



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0095655
(43) 공개일자 2016년08월11일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) **G02F 1/1368** (2006.01)
H01B 3/10 (2006.01)
- (52) CPC특허분류
G02F 1/136209 (2013.01)
G02F 1/1368 (2013.01)
- (21) 출원번호 10-2016-0097267(분할)
- (22) 출원일자 2016년07월29일
 심사청구일자 2016년07월29일
- (62) 원출원 특허 10-2009-0114554
 원출원일자 2009년11월25일
 심사청구일자 2014년11월10일
- (30) 우선권주장
 JP-P-2008-304243 2008년11월28일 일본(JP)
- (71) 출원인
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
 이시타니 테츠지
 일본국 243-0036 가나가와Ken 아쓰기시 하세 398
 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 쿠보타 다이스케
 일본국 243-0036 가나가와Ken 아쓰기시 하세 398
 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 황의만
- (74) 대리인

전체 청구항 수 : 총 3 항

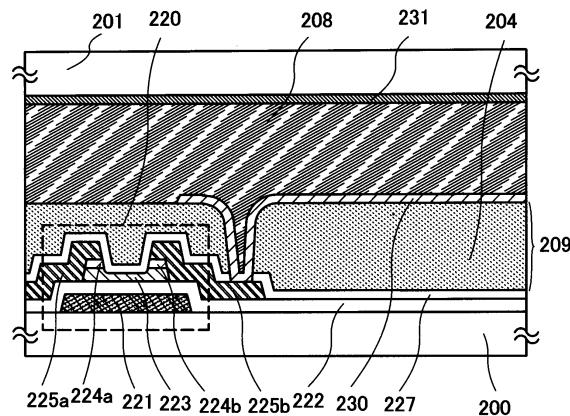
(54) 발명의 명칭 **액정 표시 장치**

(57) 요 약

산화물 반도체를 사용한 박막 트랜지스터에 적합한 액정 표시 장치를 제공하는 것을 목적으로 한다.

산화물 반도체층을 포함하는 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 적어도 상기 산화물 반도체층을 덮는 층간막에, 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막을 사용한다. 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서는, 착색층을 사용할 수 있고, 유채색의 투광성 수지층을 사용하면 좋다. 또한, 유채색 투광성 수지층 및 차광층을 포함하는 층간막으로 하여, 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서 차광층을 사용하여도 좋다.

대 표 도 - 도1



(52) CPC특허분류

H01B 3/10 (2013.01)

G02F 2001/136222 (2013.01)

명세서

청구범위

청구항 1

액정 표시 장치로서,

복수의 박막 트랜지스터들로서, 각 박막 트랜지스터에서 각 게이트 전극과 겹치는 각 산화물 반도체층이 채널 형성 영역으로서 기능하고, 상기 박막 트랜지스터들은 기판 상에 제공되며, 상기 각 박막 트랜지스터는 각 화소 전극에 전기적으로 접속되는, 상기 복수의 박막 트랜지스터들;

상기 박막 트랜지스터들과 상기 화소 전극 사이에 제공된 충간막; 및

상기 박막 트랜지스터들, 상기 화소 전극, 및 상기 충간막 위에 제공된 액정층을 포함하고,

상기 충간막은, 각각 유채색의 투광성 수지층으로 형성되고 각각 상기 산화물 반도체층보다 낮은 광 투과율을 갖는 복수의 차광 소자와 복수의 컬러 필터 소자를 포함하고,

상기 차광 소자는 상기 컬러 필터 소자의 경계에서 형성되고,

상기 컬러 필터 소자 각각은 각 화소 전극과 겹치도록 제공되고, 상기 컬러 필터 소자나 상기 차광 소자는 각각의 산화물 반도체층을 덮도록 각각 제공되고,

상기 차광 소자는 상기 기판에 대해 상기 컬러 필터 소자 아래에 적층되도록 제공되고,

상기 차광 소자는 차광성의 금속막으로 각각 형성되는, 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 컬러 필터 소자는 복수의 컬러를 가지고, 각 화소는 상기 복수의 컬러 중 하나의 컬러를 갖는 컬러 필터 소자를 포함하는, 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연 중 적어도 하나를 포함하는, 액정 표시 장치.

발명의 설명

기술 분야

[0001]

산화물 반도체를 사용하는 액정 표시 장치 및 그 제작 방법에 관한 것이다.

배경 기술

[0002]

액정 표시 장치로 대표되는 것처럼, 유리 기판 등의 평판에 형성되는 박막 트랜지스터는, 비정질 실리콘, 다결정 실리콘에 의하여 제작된다. 비정질 실리콘을 사용한 박막 트랜지스터는, 전계 효과 이동도가 낮지만, 유리 기판의 대면적화에 대응할 수 있고, 한편, 결정 실리콘을 사용한 박막 트랜지스터는 전계 효과 이동도가 높지만, 레이저 어닐링 등의 결정화 공정이 필요하고, 유리 기판의 대면적화에는 반드시 적합하지 않다는 특성을 갖는다.

[0003]

이에 대하여, 산화물 반도체를 사용하여 박막 트랜지스터를 제작하여, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들어, 산화물 반도체막으로서 산화 아연, In-Ga-Zn-O계 산화물 반도체를 사용하여 박막 트랜지스터를 제작하여, 화상 표시 장치의 스위칭 소자 등에 사용되는 기술이 특허 문헌 1 및 특허 문헌 2에서 개시된다.

- [0004] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터는, 비정질 실리콘을 사용한 박막 트랜지스터보다도 높은 전계 효과 이동도가 얻어진다. 산화물 반도체막은 스퍼터링법 등에 의하여 300°C이하의 온도로 막을 형성할 수 있고, 다결정 실리콘을 사용한 박막 트랜지스터보다도 제조 공정이 간단하다.
- [0005] 산화물 반도체는, 가시광 영역의 광을 투과하는 투명 반도체이기 때문에, 표시 장치의 화소로 사용함으로써, 고개구화를 할 수 있다고 한다.
- [0006] 이러한 산화물 반도체를 사용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하여, 표시 장치로의 응용이 기대된다.
- [0007] [특허 문현1] 일본특개2007-123861호 공보
- [0008] [특허 문현2] 일본특개2007-96055호 공보

발명의 내용

해결하려는 과제

- [0009] 따라서, 산화물 반도체를 사용한 박막 트랜지스터에 적합한 액정 표시 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 산화물 반도체를 포함하는 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 적어도 상기 산화물 반도체층을 덮는 층간막에, 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막을 사용한다. 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막은, 산화물 반도체층보다 가시광의 광 투과율이 낮은 막이다. 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서는, 착색층을 사용할 수 있고, 유채색의 투광성 수지층을 사용하면 좋다. 또한, 유채색의 투광성 수지층 및 차광층을 포함하는 층간막으로 하여, 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서 차광층을 사용하여도 좋다.
- [0011] 박막 트랜지스터 위에 형성하는 층간막으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광 감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 층간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 층간막과 컬러 필터층을 동일한 절연층으로 겹 하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.
- [0012] 유채색은, 흑색, 회색, 백색 등의 무채색을 제외한 색깔이고, 유채색의 투광성 수지층은 컬러 필터로서 기능시키기 위하여, 그 착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안, 마젠타, 옐로우(황색) 등을 사용하여도 좋다. 착색된 유채색의 광만을 투과하는 광은, 유채색의 투광성 수지층에 있어서 투과한다는 것은, 그 유채색의 광의 광장에 퍼크를 갖는다는 것이다.
- [0013] 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시키기 때문에, 포함시키는 착색 재료의 농도와 광의 투과율의 관계를 고려하여, 최적의 막 두께를 적절히 제어하면 좋다. 층간막을 복수의 박막으로 적층하는 경우, 적어도 한층이 유채색의 투광성 수지층이라면, 컬러 필터로서 기능시킬 수 있다.
- [0014] 유채색의 색깔에 따라 막 두께가 다른 경우나 박막 트랜지스터에 기인하는 요철을 갖는 경우는, 가시광 영역의 광을 투과하는(소위 무색 투명) 절연층을 적층하여, 층간막 표면을 평탄화하여도 좋다. 층간막의 평탄성을 높이면 그 위에 형성되는 화소 전극층이나 공통 전극층의 피복성도 좋고, 또 액정층의 캡(막 두께)을 균일하게 할 수 있기 때문에, 보다 액정 표시 장치의 시인성을 향상시켜, 고화질화할 수 있다.
- [0015] 박막 트랜지스터 위에 형성하는 층간막으로서 차광층(블랙 매트릭스)을 사용하면, 차광층은 박막 트랜지스터의 반도체층에의 광의 입사를 차단할 수 있기 때문에, 산화물 반도체의 광 감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과가 있다. 또한, 차광층은 서로 이웃하는 화소에의 광의 누설을 방지할 수도 있기 때문에, 보다 높은 콘트라스트 및 고정세한 표시를 행할 수 있게 된다. 따라서, 액정 표시 장치의 고정세, 고신뢰성을 달성할 수 있다.

- [0016] 본 명세서에서는, 박막 트랜지스터, 화소 전극층, 공통 전극층, 및 충간막이 형성되는 기판을 소자 기판(제 1 기판)이라 하고, 상기 소자 기판과 액정층을 사이에 두고 대향하는 기판을 대향 기판(제 2 기판)이라 한다.
- [0017] 차광층은, 액정 표시 장치의 대향 기판 측에도 소자 기판 측에도 형성할 수 있다. 보다 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 높일 수 있다. 차광층을 박막 트랜지스터와 대향하는 영역(적어도 박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하면, 대향 기판으로부터 입사하는 광에 의한 박막 트랜지스터의 전기 특성의 변동을 방지할 수 있다. 차광층을 대향 기판측에 형성하는 경우, 액정층을 사이에 두고 박막 트랜지스터와 대응하는 영역(적어도 박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하면 좋다. 차광층을 소자 기판 측에 형성하는 경우, 박막 트랜지스터 위(적어도 박막 트랜지스터의 반도체층을 덮는 영역)에 직접, 또는 절연층을 사이에 두고 차광층을 형성하면 좋다.
- [0018] 대향 기판 측에도 차광층을 형성하는 경우, 박막 트랜지스터의 반도체층이 차광성의 배선층이나 전극층 등에 의하여 소자 기판으로부터의 광도 대향 기판으로부터의 광도 차단할 수 있는 경우도 있기 때문에, 반드시 차광층을, 박막 트랜지스터를 덮도록 형성하지 않아도 좋다.
- [0019] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 게이트 전극층과 중첩하는 산화물 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터와, 박막 트랜지스터에 전기적으로 접속하는 화소 전극층과, 박막 트랜지스터 및 화소 전극 사이에 형성된 충간막과, 박막 트랜지스터, 화소 전극층 및 충간막층 위에 형성된 액정층을 갖고, 충간막은 산화물 반도체층보다도 광 투과율이 낮은 유채색의 투광성 수지층이며, 유채색의 투광성 수지층은, 화소 전극층과 중첩하는 것과 함께 산화물 반도체층을 피복하도록 형성된다.
- [0020] 본 명세서에서 개시하는 발명의 구성의 다른 일 형태는, 게이트 전극층과 중첩하는 산화물 반도체층을 채널 형성 영역으로 하는 박막 트랜지스터와, 박막 트랜지스터에 전기적으로 접속하는 화소 전극층과, 박막 트랜지스터 및 화소 전극층 사이에 형성된 충간막과, 박막 트랜지스터, 화소 전극층 및 충간막층 위에 형성된 액정층을 갖고, 충간막은 산화물 반도체층보다도 광 투과율이 낮은 유채색의 투광성 수지층 및 차광층을 포함하고, 차광층은 산화물 반도체층을 피복하도록 형성되고, 유채색의 투광성 수지층은 화소 전극층과 중첩하도록 형성된다.
- [0021] 또한, 제 1, 제 2 등의 서수사는 편의상 사용하는 것이고, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.
- [0022] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.
- 발명의 효과**
- [0023] 산화물 반도체층을 사용하여 채널을 형성하는 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 적어도 상기 산화물 반도체층을 덮는 충간막을, 투과하는 가시광의 광 강도를 감쇠시키는 재질로 형성함으로써, 개구율을 저하시키지 않고, 상기 박막 트랜지스터의 동작 특성을 안정화시킬 수 있다.
- 도면의 간단한 설명**
- [0024] 도 1은 액정 표시 장치를 설명한 도면.
- 도 2는 액정 표시 장치를 설명한 도면.
- 도 3(A) 및 도 3(B)는 액정 표시 장치를 설명한 도면.
- 도 4(A) 및 도 4(B)는 액정 표시 장치를 설명한 도면.
- 도 5(A) 및 도 5(B)는 액정 표시 장치를 설명한 도면.
- 도 6(A) 및 도 6(B)는 액정 표시 장치를 설명한 도면.
- 도 7(A) 및 도 7(B)는 액정 표시 장치를 설명한 도면.
- 도 8(A) 내지 도 8(D)는 액정 표시 장치의 전극층을 설명한 도면.
- 도 9(A) 및 도 9(B)는 액정 표시 장치를 설명한 도면.
- 도 10(A) 및 도 10(B)는 액정 표시 장치를 설명한 도면.

도 11(A) 및 도 11(B)는 액정 표시 장치를 설명한 도면.

도 12(A1), 도 12(A2) 및 도 12(B)는 액정 표시 장치를 설명한 도면.

도 13(A) 및 도 13(B)는 텔레비전 장치 및 디지털 포토 프레임의 예를 도시하는 외관도.

도 14(A) 및 도 14(B)는 유기기의 예를 도시하는 외관도.

도 15(A) 및 도 15(B)는 휴대 전화기의 일례를 도시하는 외관도.

도 16은 액정 표시 모듈을 설명한 도면.

도 17(A) 및 도 17(B)는 액정 표시 장치를 설명한 도면.

도 18(A) 및 도 18(B)는 액정 표시 장치를 설명한 도면.

도 19(A) 내지 도 19(D)는 액정 표시 장치의 제작 방법을 설명한 도면.

발명을 실시하기 위한 구체적인 내용

[0025]

실시형태에 대하여, 도면을 사용하여 상세히 설명한다. 다만, 이하의 설명에 한정되지 않고, 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세한 내용을 변경할 수 있는 것은 당업자라면 쉽게 이해가 된다. 따라서, 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 이하에 설명한 구성에 있어서, 동일 부분 또는 같은 기능을 갖는 부분에는 동일의 부호를 다른 도면간에서 공통적으로 사용하여, 그 반복 설명은 생략한다.

[0026]

(실시형태 1)

[0027]

액정 표시 장치 및 액정 표시 장치의 제작 방법을, 도 1, 도 2 및 도 17(A) 및 도 17(B)를 사용하여 설명한다.

[0028]

도 1, 도 2, 도 17(A) 및 도 17(B)는 액정 표시 장치의 단면도이다.

[0029]

도 1 및 도 2에 있어서, 소자 기판인 제 1 기판(200) 위에 소자층(203)(도 17(A) 및 도 17(B) 참조)이 형성되고, 소자층(203)(도 17(A) 및 도 17(B) 참조) 위에 충간막(209)이 형성되고, 충간막(209) 위에 화소 전극 층(230)이 형성된다. 화소 전극층(230)과, 대향 기판인 제 2 기판(201)에 형성된 대향 전극층(231)과는 액정층(208)을 협지하도록 밀봉된다.

[0030]

도 1의 액정 표시 장치의 형태는, 복수의 화소가 매트릭스 형상으로 형성되어, 화소의 산화물 반도체층을 포함하는 박막 트랜지스터와, 박막 트랜지스터 위에 충간막과, 충간막 위에 화소 전극층과, 화소 전극층 위에 액정 층을 갖고, 충간막은 유채색의 투광성 수지층이다.

[0031]

소자층(203)(도 17(A) 및 도 17(B) 참조)에는 복수의 화소가 매트릭스 형상으로 형성되어, 상기 화소에 산화물 반도체층을 포함하는 박막 트랜지스터(220)를 갖는다. 박막 트랜지스터(220)는 역 스태거형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 제 1 기판(200) 위에, 게이트 전극층(221), 게이트 절연층(222), 반도체층(223), 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(224a, 224b), 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(225a, 225b)을 포함한다. 또한, 박막 트랜지스터(220)는 절연막(227)으로 덮여 있다.

[0032]

도 1의 액정 표시 장치는, 충간막(209)에, 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서, 유채색의 투광성 수지층(204)을 사용한다. 유채색의 투광성 수지층(204)의 가시광의 광 투과율은, 산화물 반도체층인 반도체층(223)의 가시광의 광 투과율보다 낮다.

[0033]

박막 트랜지스터(220) 위에 형성하는 충간막(209)으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터(220)의 반도체층(223)으로 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광 감도에 의한 박막 트랜지스터(220)의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판, 화소 영역의 위치를 정확하게 맞추는 것이 어려워서 화질이 손상될 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일의 절연층으로 겹하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

[0034]

유채색은, 흑색, 회색, 백색 등의 무채색을 제외한 색깔이고, 착색층은 컬러 필터로서 기능시키기 위하여, 그

착색된 유채색의 광만을 투과하는 재료로 형성된다. 유채색으로서는, 적색, 녹색, 청색 등을 사용할 수 있다. 또한, 시안, 마젠타, 엘로우(황색) 등을 사용하여도 좋다. 착색된 유채색의 광만을 투과한다는 것은, 착색층에 있어서 투과하는 광은, 그 유채색의 광의 과장에 피크를 갖는다는 것이다.

[0035] 유채색의 투광성 수지층(204)은, 착색층(컬러 필터)으로서 기능시키기 위하여, 포함시키는 착색 재료의 농도와 투과율의 관계에 고려하여, 최적의 막 두께를 적절히 제어하면 좋다. 충간막(209)을 복수의 박막으로 적층하는 경우, 적어도 한층이 유채색의 투광성 수지층이라면, 컬러 필터로서 기능시킬 수 있다.

[0036] 유채색의 색깔에 따라 유채색의 투광성 수지층의 막 두께가 다른 경우나 차광층, 박막 트랜지스터에 기인하는 요철을 갖는 경우는, 가시광 영역의 광을 투과하는(소위 무색 투명) 절연층을 적층하여, 충간막 표면을 평탄화하여도 좋다. 충간막의 평탄성을 높이면 그 위에 형성되는 화소 전극층이나 공통 전극층의 피복성도 좋고, 또 액정층의 캡(막 두께)을 균일하게 할 수 있기 때문에, 보다 액정 표시 장치의 시인성을 향상시켜, 고화질화할 수 있다.

[0037] 투과하는 가시광의 강 광도를 감쇠시키는 기능을 갖는 막으로서는, 차광층이 되는 착색층도 사용할 수 있다. 도 2의 액정 표시 장치는, 충간막(209)에 유채색의 투광성 수지층(204) 및 차광층(205)을 포함하고, 반도체층(223) 위에 형성하는 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서, 차광층(205)을 사용하는 예이다. 차광층(205)의 가시광의 광 투과율은, 산화물 반도체층인 반도체층(223)의 가시광의 광 투과율보다 낮다.

[0038] 도 2의 액정 표시 장치의 형태는, 복수의 화소가 매트릭스 형상으로 형성되어, 화소의 산화물 반도체층을 포함하는 박막 트랜지스터와, 차광층 및 유채색의 투광성 수지층을 포함하는 충간막과, 화소 전극층과, 화소 전극층 위에 액정층을 갖고, 충간막에 있어서, 박막 트랜지스터 위에 차광층이 형성되고, 유채색의 투광성 수지층 위에 화소 전극층이 형성된다.

[0039] 유채색의 투광성 수지층(204)으로서는, 투광성의 유기 수지, 유채색의 안료, 염료를 사용할 수 있고, 유기 수지에 안료, 또는 염료 등을 혼합시켜 사용하면 좋다. 투광성의 유기 수지로서는, 감광성, 또는 비감광성의 수지를 사용할 수 있다.

[0040] 유채색의 투광성 수지층(204)의 형성 방법은 특히 한정되지 않고, 재료에 따라, 스펀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프 셋 인쇄 등) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의하여 원하는 바탕으로 가공하면 좋다.

[0041] 박막 트랜지스터(220) 위에 형성하는 충간막(209)으로서 차광층(205)(블랙 매트릭스)을 사용하면, 차광층(205)은 박막 트랜지스터(220)의 반도체층(223)에의 광의 입사를 차단할 수 있기 때문에, 산화물 반도체의 광 감도에 의한 박막 트랜지스터(220)의 전기 특성의 변동을 방지하여 안정화하는 효과가 있다. 또한, 차광층(205)은 서로 이웃하는 화소로의 광의 누설을 방지할 수도 있기 때문에, 보다 높은 콘트라스트 및 고정세한 표시를 행할 수 있게 된다. 따라서, 액정 표시 장치의 고정세, 고신뢰성을 달성할 수 있다.

[0042] 차광층을, 액정 표시 장치의 대향 기판 측에 더 형성하여도 좋다. 보다 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 높일 수 있다. 차광층을 대향 기판 측에 형성하는 경우, 액정층을 사이에 두고 박막 트랜지스터와 대응하는 영역(적어도 박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하면, 대향 기판으로부터 입사하는 광에 의한 박막 트랜지스터의 전기 특성의 변동을 보다 방지할 수 있다.

[0043] 대향 기판 측에 차광층을 형성하는 경우, 박막 트랜지스터의 반도체층이, 차광성의 배선층이나 전극층 등에 의하여 소자 기판으로부터의 광도 대향 기판으로부터의 광도 차단할 수 있는 경우도 있기 때문에, 반드시 차광층을 박막 트랜지스터를 덮도록 형성하지 않아도 좋다.

[0044] 차광층(205)은, 광을 반사, 또는 흡수하여, 차광성을 갖는 재료를 사용한다. 예를 들어, 흑색의 유기 수지를 사용할 수 있고, 감광성 및 비감광성의 폴리이미드 등의 수지 재료에, 안료계의 흑색 수지나 카본 블랙, 티타늄 블랙 등을 혼합하여 형성하면 좋다. 또한, 차광성의 금속막을 사용할 수도 있고, 예를 들어 크롬, 몰리브덴, 니켈, 티타늄, 코발트, 구리, 텉스텐, 또는, 알루미늄 등을 사용하면 좋다.

[0045] 차광층(205)의 형성 방법은 특히 한정되지 않고, 재료에 따라, 증착법, 스퍼터법, CVD법 등의 건식법, 또는 스펀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프 셋 인쇄 등) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의하여 원하는 바탕으로 가공하면 좋다.

- [0046] 본 명세서에서는 산화물 반도체로서 $InMo_3(ZnO)_m$ ($m > 0$)로 표기되는 박막을 바람직하게 사용한다. 박막 트랜지스터(220)는, $InMo_3(ZnO)_m$ ($m > 0$)로 표기되는 박막을 형성하여, 그 박막을 반도체층(223)으로서 사용한다. 또한, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어 M으로서, Ga가 포함되는 경우 이외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 그 이외의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함되는 것이 있다. 예를 들어, 산화물 반도체층으로서 In-Ga-Zn-O계 비단결정막을 사용할 수 있다.
- [0047] $InMo_3(ZnO)_m$ ($m > 0$)막(층)에 있어서, M이 갈륨(Ga)인 경우, 본 명세서에 있어서는 이 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다. In-Ga-Zn-O계 비단결정막의 결정 구조는, 스퍼터법으로 성막한 후, 200°C 내지 500°C, 대표적으로는 300°C 내지 400°C로 10분 내지 100분 열 처리를 행하여도, 비정질 구조가 XRD(X선 회절)의 분석에서는 관찰된다. 또한, 박막 트랜지스터의 전기 특성도 게이트 전극 $\pm 20V$ 에 있어서, 온 오프 비가 10^9 이상, 이동도가 10이상인 것을 제작할 수 있다. 또한, $In_2O_3: Ga_2O_3: ZnO = 1:1:1$ 로 한 타깃을 사용하여, 스퍼터법으로 성막한 In-Ga-Zn-O계 비단결정막은 파장 450nm이하에 광 감도를 갖는다.
- [0048] 또한, 액정 표시 장치에 형성되는 박막 트랜지스터의 구조는, 특히 한정되지 않는다. 박막 트랜지스터는 채널 형성 영역이 하나 형성되는 싱글 게이트 구조라도, 두개 형성되는 더블 게이트 구조 또는 세개 형성되는 트리플 게이트 구조라도 좋다. 또한, 주변 구동 회로 영역의 트랜지스터도, 싱글 게이트 구조, 더블 게이트 구조 또는 트리플 게이트 구조라도 좋다.
- [0049] 박막 트랜지스터는, 톱 게이트 형(예를 들어, 순 스태거 형, 코플레이너형), 보텀 게이트 형(예를 들어, 역 스태거 형, 역 코플레이너형), 또는 채널 영역 위 아래로 게이트 절연막을 사이에 두고 배치된 두개의 게이트 전극층을 갖는, 듀얼 게이트 형이나 그 이외의 구조에 있어서도 적용할 수 있다.
- [0050] 또한, 도 1 및 도 2에서는 도시하지 않았지만, 배향막이나, 편광판, 위상차판, 반사 방지막 등의 광학 필름 등은 적절히 형성한다. 예를 들어, 편광판 및 위상차판에 의한 원편광을 사용하여도 좋다. 또한, 광원으로서 백라이트, 사이드 라이트 등을 사용하여도 좋다.
- [0051] 또한, 차광층은, 유채색의 투광성 수지층의 위나 아래에 적층하여 형성하여도 좋다. 차광층과 유채색의 투광성 수지층의 적층 구조의 예를 도 17(A) 및 도 17(B)에 도시한다. 도 17(A) 및 도 17(B)는, 소자 기판인 제 1 기판(200) 위에 소자층(203)이 형성되고, 소자층(203) 위에 층간막(209)이 형성된다. 층간막(209)은, 유채색의 투광성 수지층(204a, 내지 204c) 및 차광층(205a, 내지 205d)을 포함하고, 유채색의 투광성 수지층(204a, 내지 204c) 사이에 차광층(205a, 내지 205d)이 각각 형성되는 구조이다. 또한, 도 17(A) 및 도 17(B)에서는 포함되는 화소 전극층 및 공통 전극층은 생략한다.
- [0052] 유채색은 복수색 사용할 수 있고, 예를 들어 도 17(A) 및 도 17(B)의 액정 표시 장치에 있어서는, 유채색의 투광성 수지층(204a)은 적색, 유채색의 투광성 수지층(204b)은 녹색, 유채색의 투광성 수지층(204c)은 청색의 착색층으로 하여, 복수색의 유채색의 투광성 수지층을 사용한다.
- [0053] 도 17(A) 및 도 17(B)는, 차광층으로서 유채색의 투광성 수지층보다 막 두께가 얇은 박막을 사용하여, 유채색의 투광성 수지층의 상방, 또는 하방에 차광층을 적층하는 예이다. 이러한 차광층으로서는, 박막의 차광성의 무기 막(예를 들어, 금속막)이 바람직하다.
- [0054] 도 17(A)는, 소자층(203) 위에 박막의 차광층(205a 내지 205d)이 형성되어, 차광층(205a 내지 205d) 위에 유채색의 투광성 수지층(204a 내지 204c)이 적층된다. 또한, 도 17(B)는, 소자층(203) 위에 유채색의 투광성 수지층(204a, 내지 204c)이 형성되어, 유채색의 투광성 수지층(204a 내지 204c) 위에 박막의 차광층(205a 내지 205d)이 적층되어, 차광층(205a 내지 205d) 위에 오버 코트막으로서 절연막(211)이 형성된다. 도 17(B)처럼 소자층, 차광층, 유채색의 투광성 수지층은 직접 적층되어도 좋고, 각각의 위, 아래, 사이에 절연막이 형성된 구조라도 좋다.
- [0055] 액정층(208)의 액정 재료로서는, 각각의 액정을 사용할 수 있고, 유방성(Lyotropic) 액정, 서모트로픽 액정, 저분자 액정, 고분자 액정, 디스코틱 액정, 강유전 액정, 반강유전 액정 등을 적절히 선택하여 사용하면 좋다.
- [0056] 씰 채(202a, 202b)로서는, 대표적으로는 가시광 경화성, 자외선 경화성 또는 열 경화성의 수지를 사용하는 것이 바람직하다. 대표적으로는, 아크릴 수지, 에폭시 수지, 아민 수지 등을 사용할 수 있다. 또한, 광(대표적으로

는 차외선) 중합 개시체, 열경화제, 필러, 커플링제를 포함하여도 좋다.

[0057] 본 명세서에 있어서, 액정 표시 장치는 광원의 광을 투과함으로써 표시를 행하는 투과형의 액정 표시 장치(또는 반투과형의 액정 표시 장치)인 경우, 적어도 화소 영역에 있어서 광을 투과시킬 필요가 있다. 따라서 광이 투과하는 화소 영역으로 존재하는 제 1 기판, 제 2 기판, 소자층에 포함되는 화소 전극층, 공통 전극층, 타질연막, 도전막 등의 박막은 모두 가시광의 광에 대하여 투광성으로 한다.

[0058] 제 1 기판(200), 제 2 기판(201)에는 바륨 보로실리케이트 유리나 알루미노 실리케이트 유리 등의 유리 기판, 석영 기판, 플라스틱 기판 등을 사용할 수 있다. 산화물 반도체층에서 채널을 형성하는 박막 트랜지스터를 갖는 액정 표시 장치에 있어서, 적어도 상기 산화물 반도체층을 덮는 충간막을, 투과하는 가시광의 광 강도를 감쇠시키는 재질로 형성함으로써, 개구율을 손상시키지 않고, 상기 박막 트랜지스터의 동작 특성을 안정화시킬 수 있다. 따라서, 상기 박막 트랜지스터를 갖는 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[0059] (실시형태 2)

[0060] 액정 표시 장치를 도 18(A) 및 도 18(B)를 사용하여 설명한다.

[0061] 도 18(A)는 액정 표시 장치의 평면도이고 1화소분의 화소를 도시한다. 도 18(B)는 도 18(A)의 선 X1-X2에 있어서 단면도이다.

[0062] 도 18(A)에 있어서, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중의 상하 방향으로 연신) 또 서로 이격된 상태로 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층에 대략 직교하는 방향(도면 중의 좌우 방향)으로 연신하여, 또 서로 이격되도록 배치된다. 공통 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중의 좌우 방향)으로 연신한다. 소스 배선층과, 공통 배선층(408) 및 게이트 배선층으로, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 배선층이 배치된다. 화소 전극층을 구동하는 박막 트랜지스터(420)는, 도면 중의 왼쪽 위의 모서리에 배치된다. 화소 전극층 및 박막 트랜지스터는 매트릭스 형상으로 복수 배치된다.

[0063] 도 18(A) 및 도 18(B)의 액정 표시 장치에 있어서, 박막 트랜지스터(420)에 전기적으로 접속하는 제 1 전극층(447)이 화소 전극층으로서 기능하고, 공통 배선층(408)과 전기적으로 접속하는 제 2 전극층(446)이 공통 전극층으로서 기능한다. 또한, 제 1 전극층과 공통 배선층에 의하여 용량이 형성된다. 공통 전극층은 플로팅 상태(전기적으로 고립된 상태)로서 동작할 수도 있지만, 고정 전위, 바람직하게는 공통 전위(데이터로서 보내지는 화소 신호의 중간 전위)근방에서 폴리커가 생기지 않는 레벨로 설정하여도 좋다.

[0064] 기판에 대략 평행(즉, 수평 방향)인 전계를 생기도록 하여, 기판과 평행한 면 내에서 액정 문자를 움직여서, 계조를 제어하는 방식을 사용할 수 있다. 이러한 방식으로서, 도 18(A) 및 도 18(B)에 도시하는 것처럼 IPS모드로 사용하는 전극 구성이 적용할 수 있다.

[0065] IPS모드 등에 나타내는 횡전계 모드는, 액정층의 하방에 개구 패턴을 갖는 제 1 전극층(예를 들어, 각 화소 별로 전압이 제어되는 화소 전극층) 및 제 2 전극층(예를 들어, 전체 화소에 공통 전압이 공급되는 공통 전극층)을 배치한다. 따라서, 제 1 기판(441) 위에는, 한쪽이 화소 전극층이고, 다른 쪽이 공통 전극층인 제 1 전극층(447) 및 제 2 전극층(446)이 형성되어, 적어도 제 1 전극층 및 제 2 전극층의 한 쪽이 충간막 위에 형성된다. 제 1 전극층(447) 및 제 2 전극층(446)은, 평면 형상이 아니라, 다양한 개구 패턴을 갖고, 굴곡부나 분기된 빗살 형상을 포함한다. 제 1 전극층(447) 및 제 2 전극층(446)은 그 전극 사이에 전계를 발생시키기 위하여 같은 형상으로 겹치지 않는 배치로 한다.

[0066] 화소 전극층과 공통 전극층 사이에 전계를 가함으로써, 액정을 제어한다. 액정에는 수평 방향의 전계가 가해지기 때문에, 그 전계를 사용하여 액정 문자를 제어할 수 있다. 즉, 기판과 평행으로 배향하는 액정 문자를, 기판과 평행한 방향으로 제어할 수 있기 때문에, 시야각이 넓어진다.

[0067] 제 1 전극층(447) 및 제 2 전극층(446)의 다른 예를 도 8(A) 내지 도 8(D)에 도시한다. 도 8(A) 내지 도 8(D)의 상면도에 도시한 것처럼, 제 1 전극층(447a 내지 447d) 및 제 2 전극층(446a 내지 446d)이 엇갈리도록 형성되어 있고, 도 8(A)에서는 제 1 전극층(447a) 및 제 2 전극층(446a)은 굴곡을 갖는 파장 형상이고, 도 8(B)에서는 제 1 전극층(447b) 및 제 2 전극층(446b)은 동심원 형상의 개구부를 갖는 형상이고, 도 8(C)에서는 제 1 전극층(447c) 및 제 2 전극층(446d)은 빗살 형상이고 일부 겹치는 형상이고, 도 8(D)에서는 제 1 전극층(447d) 및 제 2 전극층(446d)은 빗살 형상이고 전극끼리가 맞물리는 형상이다. 또한, 도 8(A) 내지 도 8(C)처럼, 제 1

전극층(447a 내지 447c)과 제 2 전극층(446a, 내지 446c)이 겹치는 경우는, 제 1 전극층(447)과 제 2 전극층(446)의 사이에는 절연막을 형성하여, 다른 막 위에 제 1 전극층(447)과 제 2 전극층(446)을 형성한다.

[0068] 박막 트랜지스터(420)는 역 스태거 형의 박막 트랜지스터이고, 절연 표면을 갖는 기판인 제 1 기판(441) 위에, 게이트 전극층(401), 게이트 전극층(402), 반도체층(403), 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(404a, 404b), 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(405a, 405b)을 포함한다.

[0069] 박막 트랜지스터(420)를 덮고, 반도체층(403)에 접하는 절연막(407)이 형성된다. 절연막(407) 위에 층간막(413)이 형성되어, 층간막(413) 위에 제 1 전극층(447) 및 제 2 전극층(446)이 형성된다.

[0070] 도 18(A) 및 도 18(B)의 액정 표시 장치는, 층간막(413)에 투과하는 가시광의 광 강도를 감쇠시키는 기능을 갖는 막으로서, 유채색의 투광성 수지층(417)을 사용한다.

[0071] 박막 트랜지스터(420) 위에 형성하는 층간막(413)으로서, 유채색의 투광성 수지층(417)의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터(420)의 반도체층(403)에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광 감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층(417)은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과, 화소 영역의 정확한 위치를 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 층간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 층간막과 컬러 필터층을 동일한 절연층으로 겹하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

[0072] 유채색의 투광성 수지로서는, 감광성, 비감광성의 유기 수지를 사용할 수 있다. 감광성의 유기 수지층을 사용하면 레지스트 마스크의 개수를 삐감할 수 있기 때문에, 공정이 간략화하여 바람직하다. 또한, 층간막에 형성하는 콘택트 홀도 곡률을 갖는 개구 형상이 되기 때문에 콘택트 홀에 형성되는 전극층 등의 막의 피복성도 향상시킬 수 있다.

[0073] 층간막(413)(유채색의 투광성 수지층(417))의 형성법은, 특히 한정되지 않고, 그 재료에 따라, 스펜 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프 셋 인쇄 등), 닉터 나이프, 룰 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다.

[0074] 제 1 전극층(447) 및 제 2 전극층(446) 위에는 액정층(444)이 형성되어, 대향 기판인 제 2 기판(442)으로 밀봉된다.

[0075] 제 1 기판(441) 및 제 2 기판(442)은 투광성 기판이고, 각각 외측(액정층(444)과 반대측)에 편광판(443a, 443b)이 형성된다.

[0076] 제 1 전극층(447) 및 제 2 전극층(446)은, 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하 ITO라 나타냄), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석선화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0077] 또한, 제 1 전극층(447) 및 제 2 전극층(446)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다. 도전성 조성물을 사용하여 형성한 화소 전극은, 시트 저항이 $10000\Omega/\square$ 이하, 파장 550nm에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0078] 도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐링 또는 그 유도체, 폴리피롤 또한 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들 2종 이상의 공중합체 등을 들 수 있다.

[0079] 마지막이 되는 절연막을 제 1 기판(441)과 게이트 전극층(401) 사이에 형성하여도 좋다. 마지막은, 제 1 기판(441)으로부터 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다. 게이트 전극층(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금재료를 사용하여, 단층 또는 적층으로 형성할 수 있다. 게이트 전극층

(401)으로 차광성을 갖는 도전막을 사용함으로써, 백 라이트로부터의 광(제 1 기판(441)으로부터 입사하는 광)이, 반도체층(403)에 입사하는 것을 방지할 수 있다.

[0080] 예를 들어, 게이트 전극층(401)의 2층의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈을 적층한 2층 구조, 질화티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화텅스텐과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금과, 질화티타늄 또는 티타늄층을 적층한 적층으로 하는 것이 바람직하다.

[0081] 게이트 전극층(402)은, 플라즈마CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층을 단층 또는 적층으로 형성할 수 있다. 또한, 게이트 전극층(402)으로서, 유기실란가스를 사용한 CVD법에 의하여 산화실리콘층을 형성할 수도 있다. 유기실란가스로서는, 규산에틸(TEOS: 화학식 $\text{Si}(\text{OC}_2\text{H}_5)_4$), 테트라메틸실란(TMS: 화학식 $\text{Si}(\text{CH}_3)_4$), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란($\text{SiH}(\text{OC}_2\text{H}_5)_3$), 트리스디메틸아미노실란 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 등의 실리콘 함유 화합물을 사용할 수 있다.

[0082] 반도체층(403)으로서 사용하는 산화물 반도체막을 형성하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터법을 행하여, 게이트 절연층의 표면에 먼지를 제거하는 것이 바람직하다. 또한, 아르곤 분위기를 대신하여 질소, 헬륨 등을 사용하여도 좋다. 또한, 아르곤 분위기에 산소, 수소, N_2O 등을 가한 분위기에서 행하여도 좋다. 또한, 아르곤 분위기에 Cl_2 , CF_4 등을 가한 분위기에서 행하여도 좋다.

[0083] 반도체층(403) 및 소스 영역 또는 드레인 영역으로서 기능하는 n^+ 층(404a, 404b)에는, In-Ga-Zn-O계 비단결정막을 사용할 수 있다. n^+ 층(404a, 404b)은, 반도체층(403)보다 저저항인 산화물 반도체이다. 예를 들어, n^+ 층(404a, 404b)은, n 형의 도전형을 갖고, 활성화 에너지(ΔE)이 0.01eV이상 0.1eV이하이다. n^+ 층(404a, 404b)은, In-Ga-Zn-O계 비단결정막이고, 적어도 비정질 성분을 포함하는 것으로 한다. n^+ 층(404a, 404b)은, 비정질 구조 속에 결정립(나노크리스탈)을 포함하는 경우가 있다. 이 n^+ 층(404a, 404b) 중의 결정립(나노크리스탈)은 직경 1nm 내지 10nm, 대표적으로는 2nm 내지 4nm정도이다.

[0084] n^+ 층(404a, 404b)을 형성함으로써, 금속층인 배선층(405a, 405b)과, 산화물 반도체층인 반도체층(403)의 사이를 양호한 접합으로 함으로써 쇼트키 접합과 비교하여 열적으로도 안정 동작을 가지게 한다. 또한, 채널의 캐리어를 공급하고 (소스 측), 또는 채널의 캐리어를 안정하여 흡수하고(드레인 측), 또는 저항 성분을 배선층과의 계면에 제작하지 않도록 적극적으로 n^+ 층을 형성하면 효과적이다. 또한 저저항화에 의해, 높은 드레인 전압이라도 양호한 이동도를 유지할 수 있다.

[0085] 반도체층(403)으로서 사용하는 제 1 In-Ga-Zn-O계 비단결정막은, n^+ 층(404a, 404b)으로서 사용하는 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건과 다르게 한다. 예를 들어, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량과 아르곤 가스 유량의 비보다도 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건은, 희소 가스(아르곤 또는 헬륨 등) 분위기하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건은, 산화 분위기하(또는 산소 가스 유량이 아르곤 가스 유량과 같거나 또는 그 이상)로 한다.

[0086] 예를 들어, 반도체층(403)으로서 사용하는 제 1 In-Ga-Zn-O계 비단결정막은, 직경 8인치의 In, Ga, Zn 중의 적어도 하나를 포함하는 산화물 반도체 타깃(In_2O_3 : Ga_2O_3 : $\text{ZnO}=1$: 1: 1)을 사용하여, 기판과 타깃 사이의 거리를 170nm, 압력이 0.4Pa, 직류(DC)전원 0.5kW, 아르곤 또는 산소 분위기하에서 성막한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 제 1 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm 내지 200nm으로 한다.

[0087] 한편, n^+ 층(404a, 404b)으로서 사용하는 제 2 산화물 반도체막은, In_2O_3 : Ga_2O_3 : $\text{ZnO}=1$: 1 : 1로 한 타깃을 사용하여, 성막 조건은, 압력을 0.4Pa로 하여, 전력을 500W로 하여, 성막 온도를 실온으로 하여, 아르곤 가스 유

량 40sccm을 도입하여 스퍼터링법에 의해 성막한다. 성막 직후에 크기 1nm 내지 10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되는 경우가 있다. 또한, 타깃의 성분비, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치Φ), 온도(실온 내지 100°C), 반응성 스퍼터의 성막 조건 등을 적절히 조절함으로써 결정립의 유무나, 결정립의 밀도나, 직경 사이즈는, 1nm 내지 10nm의 범위로 조절할 수 있다고 할 수 있다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm 내지 20nm로 한다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막 두께를 넘은 크기가 되지 않는다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm로 한다.

- [0088] 스퍼터법에는 스퍼터용 전원에 고주파 전원을 사용하는 RF스퍼터법과, DC스퍼터법이 있고, 더 펄스적으로 바이어스를 공급하는 펄스DC스퍼터법도 있다. RF스퍼터법은 주로 절연막을 형성하는 경우에 사용되고, DC스퍼터법은 주로 금속막을 형성하는 경우에 사용된다.
- [0089] 또한, 재료가 다른 타깃을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일한 챔버에서 다른 재료막을 적층 형성할 수도, 동일한 챔버에서 복수종류의 재료를 동시에 방전시켜 성막할 수도 있다.
- [0090] 또한, 챔버 내부에 자석 기구를 구비한 마그네트론 스퍼터법을 사용하는 스퍼터 장치나 글로 방전을 사용하지 않고 마이크로파를 사용하여 발생시킨 플라즈마를 사용하는 ECR스퍼터법을 사용하는 스퍼터 장치가 있다.
- [0091] 또한, 스퍼터법을 사용하는 성막 방법으로서, 성막 중에 타깃물질과 스퍼터 가스 성분을 화학 반응시켜 그들의 화합물 박막을 형성하는 리액티브 스퍼터법이나, 성막 중에 기판에도 전압을 인가하는 바이어스 스퍼터법이 있다.
- [0092] 반도체층, n^+ 층, 배선층의 제작 공정에 있어서, 박막을 원하는 형상으로 가공하기 위하여 에칭 공정을 사용한다. 에칭 공정은, 드라이 에칭이나 웨트 에칭을 사용할 수 있다.
- [0093] 드라이 에칭에 사용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl₂), 염화붕소(BCl₃), 염화실리콘(SiCl₄), 사염화탄소(CCl₄) 등이 바람직하다.
- [0094] 또한, 불소를 포함하는 가스(불소계 가스, 예를 들어 사불화탄소(CF₄), 불화유황(SF₆), 불화질소(NF₃), 트리플루오로메탄(CHF₃)등), 브롬화수소(HBr), 산소(O₂), 이들의 가스에 헬륨(He)이나 아르곤(Ar) 등의 희소 가스를 첨가한 가스 등을 사용할 수 있다.
- [0095] 드라이 에칭에 사용하는 에칭 장치로서는, 반응성 이온 에칭법(RIE법)을 사용한 에칭 장치나, ECR(Electron Cyclotron Resonance)나 ICP(Inductively Coupled Plasma) 등의 고밀도 플라즈마원을 사용한 드라이 에칭 장치를 사용할 수 있다. 또한, ICP에칭 장치와 비교하여 넓은 면적에 걸쳐서 똑같은 방전을 얻기 쉬운 드라이 에칭 장치로서는, 상부 전극을 접지시켜, 하부 전극에 13.56MHz의 고주파 전원을 접속하여, 또한 하부 전극에 3.2MHz의 저주파 전원을 접속한 ECCP(Enhanced Capacitively Coupled Plasma) 모드의 에칭 장치가 있다. 이 ECCP모드의 에칭 장치라면, 예를 들어 기판으로서, 제 10세대의 3m를 넘는 사이즈의 기판을 사용하는 경우에도 대응할 수 있다.
- [0096] 원하는 가공 형상으로 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전력량, 기판측의 전극에 인가되는 전력량, 기판 측의 전극 온도 등)을 적절히 조절한다.
- [0097] 웨트 에칭에 사용하는 에칭액으로서는, 인산과 초산과 질산을 섞은 용액, 암모니아과수(과산화수소 : 암모니아 : 물=5 : 2 : 2) 등을 사용할 수 있다. 또한, IT007N(KANTO CHEMICAL CO. INC 제)을 사용하여도 좋다.
- [0098] 또한, 웨트 에칭 후의 에칭 액은 에칭된 재료와 함께 세정함으로써 제거된다. 그 제거된 재료를 포함하는 에칭 액의 폐액을 정제하여, 포함되는 재료를 재활용하여도 좋다. 상기 에칭 후의 폐액으로부터 산화물 반도체층에 포함되는 인듐 등의 재료를 회수하여 재활용함으로써, 자원을 유효 활용하여 저비용화할 수 있다.
- [0099] 원하는 가공 형상으로 에칭할 수 있도록, 재료에 알맞은 에칭 조건(에칭 액, 에칭 시간, 온도 등)을 적절히 조절한다.
- [0100] 배선층(405a, 405b)의 재료로서는, Al, Cr, Ta, Ti, Mo, W로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 200°C 내지 600°C의 열 처리를 행하는 경우에는, 이 열 처리에 버티는 내열성을 도전막에 갖게 하는 것이 바람직하다. Al단체로는 내열성이 뒤떨어지고, 또한 부식하기 쉽다 등의 문제점이 있기 때문에 내열성 도전성 재료와 조합하여 형성한다. Al과

조합하는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 스칸듐(Sc)으로부터 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막, 또한 상술한 원소를 성분으로 하는 질화물로 형성한다.

[0101] 게이트 전극층(402), 반도체층(403), n^+ 층(404a, 404b), 배선층(405a, 405b)을 대기에 접촉시키지 않고 연속적으로 형성하여도 좋다. 대기에 접촉시키지 않고 연속 성막함으로써, 대기 성분이나 대기 중에 부유하는 오염 불순물 원소로 오염되지 않고 각 적층 계면을 형성할 수 있기 때문에, 박막 트랜지스터의 특성의 변동을 저감할 수 있다.

[0102] 또한, 반도체층(403)은 일부만이 에칭되어, 홈부(볼록부)를 갖는 반도체층이다.

[0103] 반도체층(403), n^+ 층(404a, 404b)에 200°C 내지 600°C, 대표적으로는 300°C 내지 500°C의 열 처리를 행하면 좋다. 예를 들어, 질소 분위기하에서 350°C, 1시간의 열 처리를 행한다. 이 열 처리에 의해 반도체층(403), n^+ 층(404a, 404b)을 구성하는 In-Ga-Zn-O계 산화물 반도체의 원자 레벨의 재배열이 행해진다. 이 열 처리(광 어닐링 등도 포함함)는, 반도체층(403), n^+ 층(404a, 404b) 중에 있어서의 캐리어 이동을 저해하는 변형을 해방할 수 있는 점에서 중요하다. 또한, 상기 열 처리를 행하는 타이밍은, 반도체층(403), n^+ 층(404a, 404b)의 형성 후라면 특히 한정되지 않는다.

[0104] 또한, 노출된 반도체층(403)의 볼록부에 대하여 산화라디칼 처리를 행하여도 좋다. 라디칼 처리는, O₂, N₂O, 산소를 포함하는 N₂, He, Ar 등의 분위기하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl₂, CF₄를 더한 분위기하에서 행하여도 좋다. 또한, 라디칼 처리는, 제 1 기판(441) 측에 바이어스 전압을 인가하지 않고 행하는 것이 바람직하다.

[0105] 박막 트랜지스터(420)를 덮는 절연막(407)은, 건식법이나 습식법으로 형성되는 무기 절연막, 유기 절연막을 사용할 수 있다. 예를 들어, CVD법이나 스피터법 등을 사용하여 얻어지는 질화실리콘막, 산화실리콘막, 산화질화실리콘막, 산화알루미늄막, 산화탄탈막 등을 사용할 수 있다. 또한, 아크릴, 폴리이미드, 벤조사이클로부텐, 폴리아미드, 에폭시 등의 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k재료), 실록산계 수지, PSG(인 유리), BPSG(붕소 인 유리) 등을 사용할 수 있다.

[0106] 또, 실록산계 수지란, 실록산계 재료를 출발 재료로하여 형성된 Si-O-Si결합을 포함하는 수지에 상당한다. 실록산계 수지는 치환기로서는 유기기(예를 들어, 알킬기나 아릴기)나 플루오로기를 사용하여도 좋다. 또한, 유기기는 플루오로기를 가져도 좋다. 실록산계 수지는 도포법으로써 성막하여, 소성함으로써 절연막(407)으로서 사용할 수 있다.

[0107] 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연막(407)을 형성하여도 좋다. 예를 들어, 무기 절연막 위에 유기 수지막을 적층하는 구조로 하여도 좋다.

[0108] 또한, 다계조 마스크에 의해 형성한 복수(대표적으로는 두종류)의 두께 영역을 갖는 레지스트 마스크를 사용하면, 레지스트 마스크의 개수를 삭감할 수 있기 때문에, 공정 간략화, 저비용화를 도모할 수 있다.

[0109] 콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.

[0110] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[0111] (실시형태 3)

[0112] 실시형태 3에 있어서, 화소 전극층과 공통 전극층이 다른 면 위에 형성되는 예를 도 3(A) 내지 도 4(B), 도 7(A) 및 도 7(B)에 도시한다. 또한, 실시형태 1 및 실시형태 2와 같은 내용에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0113] 도 3(A), 도 4(A), 도 7(A)는 액정 표시 장치의 평면도이며, 일 화소분의 화소를 도시한다. 도 3(B), 도 4(B), 도 7(B)는, 도 3(A), 도 4(A), 도 7(A) 각각의 선 X1-X2에 있어서의 단면도이다.

[0114] 도 3(A), 도 4(A), 도 7(A)의 평면도에 있어서는, 실시형태 2와 같이, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연장) 또 서로 이격된 상태에서 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연장 또한 서로 이격

되도록 배치된다. 공통 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연진)한다. 소스 전극 층과, 공통 배선층(408) 및 게이트 배선층에 의하여, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 배선층이 배치된다. 화소 전극층을 구동하는 박막 트랜지스터(420)는, 도면 중 왼쪽 위의 모서리에 배치된다. 화소 전극층 및 박막 트랜지스터는, 매트릭스 형상으로 복수 배치된다.

[0115] 도 3(A) 내지 도 4(B), 도 7(A) 및 도 7(B)의 액정 표시 장치는, 도 3(B), 도 4(B), 도 7(B)의 단면도에 도시하는 것처럼, 화소 전극층인 제 1 전극층(447)과, 공통 전극층인 제 2 전극층(446)이 다른 막 위(다른 레이어 위)에 각각 형성된다. 도 3(B), 도 4(B), 도 7(B)에서는, 화소 전극층인 제 1 전극층(447)이, 절연막을 사이에 두고 공통 전극층인 제 2 전극층(446)의 아래에 형성되는 예를 도시하지만, 공통 전극층인 제 2 전극층(446)이 절연막을 사이에 두고 화소 전극층인 제 1 전극층(447) 아래에 형성되는 구조라도 좋다.

[0116] 도 3(A), 도 4(A), 도 7(A)의 액정 표시 장치에 있어서, 박막 트랜지스터(420)에 전기적으로 접속하는 제 1 전극층(447)이 화소 전극층으로서 기능하여, 공통 배선층(408)과 전기적으로 접속하는 제 2 전극층(446)이 공통 전극층으로서 기능한다.

[0117] 도 3(A) 및 도 3(B)에 있어서는, 제 1 전극층(447)이 제 1 기판(441) 위에 형성되고, 제 1 전극층(447) 위에는 게이트 전극층(402), 배선층(405b), 절연막(407), 충간막(413)이 적층되고, 충간막(413) 위에 제 2 전극층(446)이 형성된다. 또한, 도 3(A) 및 도 3(B)에 있어서는, 배선층(405a, 405b)과 같은 공정으로 형성되는 배선층(410)과 제 1 전극층(447)에 의하여 용량이 형성된다.

[0118] 도 4(A) 및 도 4(B)에 있어서는, 제 1 전극층(447)이 절연막(407) 위에 형성되고, 제 1 전극층(447) 위에는 충간막(413)이 적층되고, 충간막(413) 위에 제 2 전극층(446)이 형성된다. 또한, 도 4(A) 및 도 4(B)에 있어서는, 제 1 전극층과 공통 배선층에 있어서 용량이 형성된다.

[0119] 도 7(A) 및 도 7(B)에 있어서는, 제 1 전극층(447)이 충간막(413) 위에 형성되고, 제 1 전극층(447) 위에는 절연막(416)이 적층되어, 절연막(416) 위에 제 2 전극층(446)이 형성된다. 또한, 도 7(A) 및 도 7(B)에 있어서는, 제 1 전극층과 공통 배선층에 의하여 용량이 형성된다. 또한, 도 7(A) 및 도 7(B)는 제 1 전극층(447) 및 제 2 전극층(446)은 빗살 형상이지만, 그 굴곡부의 각도가 90도가 되는 예이다. 이렇게 제 1 전극층(447) 및 제 2 전극층(446)의 굴곡부의 각도가 90도라면, 편광판의 편광축과 액정 분자가 배향하는 각도의 차이가 45도가 되어, 백 표시시의 투과율을 최대로 할 수 있다.

[0120] 박막 트랜지스터 위에 형성하는 충간막으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판의, 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층으로 겹하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

[0121] 콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.

[0122] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[0123] (실시형태 4)

[0124] 차광층(블랙 매트릭스)을 갖는 액정 표시 장치를, 도 5(A) 및 도 5(B)를 사용하여 설명한다.

[0125] 도 5(A) 및 도 5(B)에 도시하는 액정 표시 장치는, 실시형태 2의 도 18(A) 및 도 18(B)로 도시하는 액정 표시 장치에 있어서, 대향 기판인 제 2 기판(442) 측에 더 차광층(414)을 형성하는 예이다. 따라서, 실시형태 2와 같은 내용에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0126] 도 5(A)는 액정 표시 장치의 평면도이며, 도 5(B)는 도 5(A)의 선 X1-X2의 단면도이다. 또한, 도 5(A)의 평면도에서는 소자 기판 측만 도시하고, 대향 기판 측의 기재는 생략한다.

- [0127] 제 2 기판(442)의 액정층(444) 측에, 차광층(414)이 형성되어, 평탄화막으로서 절연층(415)이 형성된다. 차광층(414)은, 액정층(444)을 사이에 두고 박막 트랜지스터(420)와 대응하는 영역(박막 트랜지스터의 반도체층과 중첩하는 영역)에 형성하는 것이 바람직하다. 차광층(414)이 박막 트랜지스터(420)의 적어도 반도체층(403) 상방을 덮도록 배치되는 것처럼, 제 1 기판(441) 및 제 2 기판(442)은 액정층(444)을 협지하여 고착된다.
- [0128] 차광층(414)은, 광을 반사, 또는 흡수하여, 차광성을 갖는 재료를 사용한다. 예를 들어, 흑색의 유기 수지를 사용할 수 있고, 감광성 또는 비감광성의 폴리아미드 등의 수지 재료에, 안료계의 흑색 수지나 카본 블랙, 티타늄 블랙 등을 혼합하여 형성하면 좋다. 또한, 차광성의 금속막을 사용할 수도 있고, 예를 들어 크롬, 몰리브덴, 니켈, 티타늄, 코발트, 구리, 텉스텐, 또는, 알루미늄 등을 사용하면 좋다.
- [0129] 차광층(414)의 형성 방법은 특히 한정되지 않고, 재료에 따라, 증착법, 스퍼터법, CVD법 등의 건식법, 또는 스펀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프 셋 인쇄 등) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의하여 원하는 바탕으로 가공하면 좋다.
- [0130] 절연층(415)도 아크릴이나 폴리아미드 등의 유기 수지 등을 사용하여, 스펀 코팅이나 각종 인쇄법 등의 도포법으로 형성하면 좋다.
- [0131] 이렇게 더 대량 기판 측에 차광층(414)을 형성하면, 보다 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 높일 수 있다. 차광층(414)은 박막 트랜지스터(420)의 반도체층(403)에의 광의 입사를 차단할 수 있기 때문에, 산화물 반도체의 광 감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 보다 안정화시킨다. 또한, 차광층(414)은 서로 이웃하는 화소로의 광의 누설을 방지할 수도 있기 때문에, 보다 높은 콘트라스트 및 고정세한 표시를 행할 수 있게 된다. 따라서, 액정 표시 장치의 고정세, 고신뢰성을 달성할 수 있다.
- [0132] 콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 낮은 비용으로 생산성 좋게 제작할 수 있다.
- [0133] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0134] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0135] (실시형태 5)
- [0136] 차광층(블랙 매트릭스)을 갖는 액정 표시 장치를 도 6(A) 및 도 6(B)를 사용하여 설명한다.
- [0137] 도 6(A) 및 도 6(B)에 도시하는 액정 표시 장치는, 실시형태 2의 도 18(A) 및 도 18(B)에 도시하는 액정 표시 장치에 있어서, 소자 기판인 제 1 기판(441) 측에 충간막(413)의 일부로서 차광층(414)을 형성하는 예이다. 따라서, 실시형태 2와 같은 내용에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0138] 도 6(A)는 액정 표시 장치의 평면도이며, 도 6(B)는 도 6(A)의 선 X1-X2의 단면도이다. 또한, 도 6(A)의 평면도에서는 소자 기판 측만 도시하고, 대량 기판 측의 기재는 생략한다.
- [0139] 충간막(413)은 차광층(414) 및 유채색의 투광성 수지층(417)을 포함한다. 차광층(414)은, 소자 기판인 제 1 기판(441)측에 형성되고, 박막 트랜지스터(420) 위(적어도 박막 트랜지스터의 반도체층을 덮는 영역)에 절연막(407)을 사이에 두고 형성되어, 반도체층에 대한 차광층으로서 기능한다. 한편, 유채색의 투광성 수지층(417)은, 제 1 전극층(447) 및 제 2 전극층(446)에 겹치는 영역에 형성되어, 컬러 필터층으로서 기능한다. 도 6(B)의 액정 표시 장치에 있어서, 제 2 전극층(446)의 일부는, 차광층(414) 위에 형성되고, 그 위에 액정층(444)이 형성된다.
- [0140] 차광층(414)을 충간막으로서 사용하기 때문에, 흑색의 유기 수지를 사용하는 것이 바람직하다. 예를 들어, 감광성 또는 비감광성의 폴리아미드 등의 수지 재료에, 안료계의 흑색 수지나 카본 블랙, 티타늄 블랙 등을 혼합시켜서 형성하면 좋다. 차광층(414)의 형성 방법은 재료에 따라, 스펀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프 셋 인쇄 등) 등의 습식법을 사용하여, 필요에 따라 에칭법(드라이 에칭 또는 웨트 에칭)에 의하여 원하는 바탕으로 가공하면 좋다.
- [0141] 이렇게 차광층(414)을 형성하면, 차광층(414)은, 화소의 개구율을 저하시키지 않고 박막 트랜지스터(420)의 반도체층(403)으로의 광의 입사를 차단할 수 있고, 산화물 반도체의 광 감도에 의한 박막 트랜지스터(420)의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 차광층(414)은 서로 이웃하는 화소에의 광의 누설을 방지할 수도 있기 때문에, 보다 높은 콘트라스트 및 고정세한 표시를 행할 수 있게 된다. 따라서, 액정

표시 장치의 고정세, 고신뢰성을 달성할 수 있다.

[0142] 또한, 유채색의 투광성 수지층(417)은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판의, 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 충간막에 포함되는 유채색의 투광성 수지층(417)을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층으로 겹하기 때문에, 공정이 간략화되어 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

[0143] 콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.

[0144] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[0145] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0146] (실시형태 6)

[0147] 실시형태 1 내지 실시형태 5에 있어서, 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 나타낸다. 또한, 실시형태 2 내지 실시형태 5와 같은 내용에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.

[0148] 소스 전극층 및 드레인 전극층과 반도체층이 n^+ 층을 통하지 않고 접하는 구성의 박막 트랜지스터를 갖는 액정 표시 장치의 예를 도 10(A) 및 도 10(B)에 도시한다.

[0149] 도 10(A)는 액정 표시 장치의 평면도이며 일 화소분의 화소를 도시한다. 도 10(B)는, 도 10(A)의 선 V1-V2에 있어서의 단면도이다.

[0150] 도 10(A)의 평면도에 있어서는, 실시형태 2와 같이, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연신) 또한 서로 이격된 상태로 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연장되고, 또 서로 이격되도록 배치된다. 공통 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연장된다. 소스 배선층과, 공통 배선층(408) 및 게이트 배선층으로, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 배선층이 배치된다. 화소 전극층을 구동하는 박막 트랜지스터(422)는, 도면 중 왼쪽 위의 모서리에 배치된다. 화소 전극층 및 박막 트랜지스터는 매트릭스 형상으로 복수 배치된다.

[0151] 박막 트랜지스터(422), 유채색의 투광성 수지층인 충간막(413), 제 1 전극층(447), 및 제 2 전극층(446)이 형성된 제 1 기판(441)과, 제 2 기판(442)은 액정층(444)을 사이에 협지하여 고착된다.

[0152] 박막 트랜지스터(422)는, 소스 전극층 및 드레인 전극층으로서 기능하는 배선층(405a, 405b)과 반도체층(403)이 n^+ 층을 통하지 않고 접하는 구성이다.

[0153] 박막 트랜지스터 위에 형성하는 충간막으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층으로 겹하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

[0154] 콘트라스트나 시야각 특성을 개선하여, 고속 응답할 수 있게 함으로써, 보다 고화질 및 고성능인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.

[0155] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[0156] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0157] (실시형태 7)

[0158] 실시형태 1 내지 실시형태 5에 있어서, 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를, 도 9(A) 및 도 9(B)를 사용하여 설명한다.

[0159] 도 9(A)는 액정 표시 장치의 평면도이며, 일 화소분의 화소를 도시한다. 도 9(B)는, 도 9(A)의 선 Z1-Z2에 있어서의 단면도이다.

[0160] 도 9(A)에 평면도에 있어서는, 실시형태 2와 같이, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연신) 또 서로 이격된 상태로 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신하여, 또 서로 이격하도록 배치된다. 공통 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되고, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신한다. 소스 배선층과, 공통 배선층(408) 및 게이트 배선층으로, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 배선층이 배치된다. 화소 전극층을 구동하는 박막 트랜지스터(421)는, 도면 중 원쪽 위의 모서리에 배치된다. 화소 전극층 및 박막 트랜지스터는 매트릭스 형상으로 복수 배치된다.

[0161] 박막 트랜지스터(421), 유채색의 투광성 수지층인 층간막(413), 제 1 전극층(447), 및 제 2 전극층(446)이 형성된 제 1 기판(441)과 제 2 기판(442)은 액정층(444)을 사이에 협지하여 고착된다.

[0162] 박막 트랜지스터(421)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 제 1 기판(441) 위에, 게이트 전극층(401), 게이트 절연층(402), 소스 전극층 또는 드레인 전극층으로서 기능하는 배선층(405a, 405b), 소스 영역 또는 드레인 영역으로서 기능하는 n⁺층(404a, 404b), 및 반도체층(403)을 포함한다. 또한, 박막 트랜지스터(421)를 덮고, 반도체층(403)에 접하는 절연막(407)이 형성된다. 반도체층(403) 및 n⁺층(404a, 404b)은, In-Ga-Zn-O계 비단결정막을 사용한다. 이러한 구조의 박막 트랜지스터(421)는, 이동도 20cm²/Vs이상, S값 0.4V/dec이하의 특성이 얻어진다. 따라서, 고속 동작이 가능해지고, 시프트 레지스터 등의 구동 회로(소스 드라이버 및 게이트 드라이버)를 화소부와 동일한 기판 위에 형성할 수 있다.

[0163] 또한, 반도체층(403)을 스퍼터법에 의해 성막하기 전에, 게이트 절연층(402), 배선층(405a, 405b)에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터법을 행하여, 표면에 부착하는 먼지를 제거하는 것이 바람직하다.

[0164] 반도체층(403) 및 n⁺층(404a, 404b)에, 200°C 내지 600°C, 대표적으로는 300°C 내지 500°C의 열 처리를 행하면 좋다. 예를 들어, 질소 분위기하에서 350°C, 1시간의 열 처리를 행한다. 이 열 처리를 행하는 타이밍은, 반도체층(403) 및 n⁺층(404a, 404b)에 사용하는 산화물 반도체막의 형성 후라면 특히 한정되지 않는다.

[0165] 또한, 반도체층(403)에 대하여 산소 라디칼 처리를 행하여도 좋다.

[0166] 박막 트랜지스터(421)는, 박막 트랜지스터(421)를 포함하는 모든 영역에 있어서 게이트 절연층(402)이 존재하여, 게이트 절연층(402)과 절연 표면을 갖는 기판인 제 1 기판(441) 사이에 게이트 전극층(401)이 형성된다. 게이트 절연층(402) 위에는 배선층(405a, 405b) 및 n⁺층(404a, 404b)이 형성된다. 그리고, 게이트 절연층(402), 배선층(405a, 405b), 및 n⁺층(404a, 404b) 위에 반도체층(403)이 형성된다. 또한, 도시하지 않지만, 게이트 절연층(402) 위에는 배선층(405a, 405b)에 대하여 배선층을 갖고, 상기 배선층은 반도체층(403)의 외주부보다 외측에 연장한다.

[0167] 박막 트랜지스터 위에 형성하는 층간막으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 층간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 층간막과 컬러 필터층을 동일한 절연층으로 겹히기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

- [0168] 콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.
- [0169] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0170] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0171] (실시형태 8)
- [0172] 실시형태 1 내지 실시형태 5에 있어서, 액정 표시 장치에 적용할 수 있는 박막 트랜지스터의 다른 예를 도시한다. 또한, 실시형태 2 내지 실시형태 5와 같은 내용에 관해서는 같은 재료 및 제작 방법을 적용할 수 있고, 동일 부분 또는 같은 기능을 갖는 부분의 상세한 설명은 생략한다.
- [0173] 소스 전극층 및 드레인 전극층과 반도체층이, n^+ 층을 통하지 않고 접하는 구성의 박막 트랜지스터를 갖는 액정 표시 장치의 예를 도 11(A) 및 도 11(B)에 도시한다.
- [0174] 도 11(A)는 액정 표시 장치의 평면도이며 일 화소분의 화소를 도시한다. 도 11(B)는, 도 11(A)의 선 Y1-Y2에 있어서의 단면도이다.
- [0175] 도 11(A)의 평면도에 있어서는, 실시형태 2와 같이, 복수의 소스 배선층(배선층(405a)을 포함함)이 서로 평행(도면 중 상하 방향으로 연신) 또 서로 이격된 상태로 배치된다. 복수의 게이트 배선층(게이트 전극층(401)을 포함함)은, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신하여, 또 서로 이격하도록 배치된다. 공통 배선층(408)은, 복수의 게이트 배선층 각각에 인접하는 위치에 배치되어, 게이트 배선층에 대략 평행한 방향, 즉, 소스 배선층에 대략 직교하는 방향(도면 중 좌우 방향)으로 연신한다. 소스 배선층과, 공통 배선층(408) 및 게이트 배선층으로, 대략 직사각형의 공간이 둘러싸여 있지만, 이 공간에 액정 표시 장치의 화소 전극층 및 공통 배선층이 배치된다. 화소 전극층을 구동하는 박막 트랜지스터(423)는, 도면 중 왼쪽 위의 모서리에 배치된다. 화소 전극층 및 박막 트랜지스터는 매트릭스 형상으로 복수 배치된다.
- [0176] 박막 트랜지스터(423), 유채색의 투광성 수지층인 충간막(413), 제 1 전극층(447), 및 제 2 전극층(446)이 형성된 제 1 기판(441)과, 제 2 기판(442)은 액정층(444)을 사이에 협지하여 고착된다.
- [0177] 박막 트랜지스터(423)는, 박막 트랜지스터(423)를 포함하는 모든 영역에 있어서 게이트 절연층(402)이 존재하여, 게이트 절연층(402)과 절연 표면을 갖는 기판인 제 1 기판(441) 사이에 게이트 전극층(401)이 형성된다. 게이트 절연층(402) 위에는 배선층(405a, 405b)이 형성된다. 그리고 게이트 절연층(402), 배선층(405a, 405b) 위에 반도체층(403)이 형성된다. 또한, 도시하지 않았지만, 게이트 절연층(402) 위에는 배선층(455a, 455b)에 가하여 배선층을 갖고, 상기 배선층은 반도체층(403)의 외주부보다 외측으로 연장된다.
- [0178] 박막 트랜지스터 위에 형성하는 충간막으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감쇠시킬 수 있고, 산화물 반도체의 광 감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과, 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층으로 겹하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.
- [0179] 콘트라스트나 시야각 특성을 개선함으로써, 보다 고화질인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.
- [0180] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.
- [0181] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0182] (실시형태 9)
- [0183] 상기 실시형태에 있어서, 액정층으로서 블루상을 나타내는 액정 재료를 사용할 수 있다. 블루상(blue phase)을 나타내는 액정층을 사용하는 액정 표시 장치에 있어서 도 19(A) 내지 도 19(D)를 사용하여 설명한다.
- [0184] 도 19(A) 내지 도 19(D)는 액정 표시 장치 및 상기 제작 공정의 단면도이다.

- [0185] 도 19(A)에 있어서, 소자 기판인 제 1 기판(200) 위에 소자층(203)이 형성되어, 소자층(203) 위에 층간막(209)이 형성된다.
- [0186] 층간막(209)은, 유채색의 투광성 수지층(204a 내지 204c) 및 차광층(205a 내지 205d)을 포함하고, 유채색의 투광성 수지층(204a 내지 204c) 사이에 차광층(205a 내지 205d)이 각각 형성되는 구성이다. 또한, 도 19(A) 내지 도 19(D)에서는 포함되는 화소 전극층 및 공통 전극층은 생략한다. 예를 들어, 화소 전극층 및 공통 전극층은 실시형태 2 내지 실시형태 8의 구조를 사용할 수 있고, 횡전계 모드를 적용할 수 있다.
- [0187] 도 19(B)에 도시한 바와 같이, 제 1 기판(200)과 대향 기판인 제 2 기판(201)을, 액정층(206)을 사이에 협지시켜, 쇔재(202a, 202b)로 고착한다. 액정층(206)을 형성하는 방법으로서, 디스펜서법(적하법)이나, 제 1 기판(200)과 제 2 기판(201)을 접합한 후에 모세관 현상을 사용하여 액정을 주입하는 주입법을 사용할 수 있다.
- [0188] 액정층(206)에는, 블루상을 나타내는 액정 재료를 사용할 수 있다. 블루상을 나타내는 액정 재료는, 응답 속도가 1msec 이하라서 짧게, 고속 응답을 할 수 있기 때문에, 액정 표시 장치를 고성능화할 수 있다.
- [0189] 블루상을 나타내는 액정 재료로서 액정 및 카이랄제를 포함한다. 카이랄제는, 액정을 나선 구조에 배향시켜, 블루상을 발현시키기 위하여 사용한다. 예를 들어, 5중량% 이상의 카이랄제를 혼합시킨 액정 재료를 액정층에 사용하면 좋다.
- [0190] 액정은, 서모트로픽 액정, 저분자 액정, 고분자 액정, 강유전 액정, 반강유전 액정 등을 사용한다.
- [0191] 카이랄제는, 액정에 대한 상용성이 좋고, 또 꼬이는 힘이 강한 재료를 사용한다. 또한, R체, S체의 어느 한쪽의 재료가 좋고, R체와 S체의 비율이 50:50의
- [0192] 라세미체는 사용하지 않는다.
- [0193] 상기 액정 재료는, 조건에 따라 콜레스테릭(cholesteric)상, 콜레스테릭 블루상, 스맥틱(smectic)상, 스맥틱 블루상, 큐빅(Cubic)상, 카이랄 네마틱(Chiral Nematic)상, 등방상 등을 나타낸다.
- [0194] 블루상인 콜레스테릭 블루상 및 스맥틱 블루상은, 나선 피치가 500nm 이하로, 비교적 짧은 콜레스테릭상 또는 스맥틱상을 갖는 액정 재료에 나타난다. 액정 재료의 배향은 이중 꼬임 구조를 갖는다. 가시광의 파장 이하의 질서를 갖기 때문에, 투명하고, 전압 인가에 의하여 배향 질서가 변화하여 광학적 변조가 생긴다. 블루상은 광학적으로 등방이기 때문에 시야각 의존성이 없고, 배향막을 형성하지 않아도 되기 때문에, 표시 화상의 질을 향상 및 비용을 삼감할 수 있다. 또한 배향막의 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 일으키는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감시킬 수 있다. 따라서, 액정 표시 장치의 생산성을 향상시킬 수 있다. 특히, 산화물 반도체층을 사용하는 박막 트랜지스터는, 정전기의 영향에 의한 박막 트랜지스터의 전기적인 특성이 매우 변동하여 설계 범위를 일탈할 우려가 있다. 따라서 산화물 반도체층을 사용하는 박막 트랜지스터를 갖는 액정 표시 장치에 블루상의 액정 재료를 사용하는 것은 더 효과적이다.
- [0195] 또한, 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 넓게 개선하기 위해 액정 재료에, 광경화수지 및 광중합 개시제를 첨가하여, 고분자 안정화 처리를 행하는 것이 바람직하다. 고분자 안정화 처리는, 액정, 카이랄제, 광경화수지, 및 광중합 개시제를 포함하는 액정 재료에, 광경화수지, 및 광중합 개시제가 반응하는 파장의 광을 조사하여 행한다. 이 고분자 안정화 처리는, 등방상을 나타내는 액정 재료에 광 조사하여 행하여도 좋고, 온도를 제어하여 블루상을 발현한 액정 재료에 광 조사를 행하여도 좋다. 예를 들어, 액정층의 온도를 제어하여, 블루상을 발현한 상태에서 액정층에 광을 조사함으로써 고분자 안정화 처리를 행한다. 다만, 이것에 한정되지 않고, 블루상과 등방상 사이의 상전위 온도로부터 +10°C이내, 바람직하게는 +5°C이내의 등방상을 발현한 상태에서 액정층에 광을 조사함으로써 고분자 안정화 처리를 행하여도 좋다. 블루상과 등방상 사이의 상전위 온도란, 승온시에 블루상으로부터 등방상으로 전위하는 온도 또는 강온시에 등방상으로부터 블루상으로 상전위하는 온도를 말한다. 고분자 안정화 처리의 일례로서는, 액정층을 등방상까지 가열한 후에, 서서히 강온시켜 블루상으로까지 상전위시켜, 블루상이 발현하는 온도를 유지한 상태에서 광을 조사할 수 있다. 이외에도, 액정층을 서서히 가열하여 등방상으로 상전위시킨 후, 블루상과 등방상 사이의 상전위 온도로부터 +10°C이내, 바람직하게는 +5°C 이내 상태(등방상을 발현한 상태)로 광을 조사할 수 있다. 또한, 액정 재료에 포함되는 광경화수지로서, 자외선 경화수지(UV경화수지)를 사용하는 경우, 액정층에 자외선을 조사하면 좋다. 또한, 블루상을 발현하지 않아도, 블루상과 등방상 사이의 상전위 온도로부터 +10°C 이내, 바람직하게는 +5°C 이내 상태(등방상을 발현한 상태)로 광을 조사하여 고분자 안정화 처리를 행하면, 응답 속도가 1msec이하로 짧

고 고속 응답을 할 수 있다.

[0196] 광경화수지는, 아크릴레이트, 메타크릴레이트 등의 단관능 단위체라도 좋고, 디아크릴레이트, 트리아크릴레이트, 디메타크릴레이트, 트리메타크릴레이트 등의 다관능 단위체라도 좋고, 이들을 혼합시킨 것이라도 좋다. 또한, 액정성인 것이라도 비액정성인 것이라도 좋고, 이들을 혼합시켜도 좋다. 광경화수지는, 사용하는 광중합 개시제가 반응하는 과장의 빛으로 경화하는 수지를 선택하면 좋고, 대표적으로는 자외선 경화 수지를 사용할 수 있다.

[0197] 광중합 개시제는, 광 조사에 의하여 라디칼을 발생시키는 라디칼 중합 개시제라도 좋고, 산을 발생시키는 산 발생제라도 좋고, 염기를 발생시키는 염기 발생제라도 좋다.

[0198] 구체적으로는, 액정 재료로서, JC-1041XX(CHISSO CO. INC 제)와 4-시아노-4'펜칠 비페닐의 혼합물을 사용할 수 있고, 키랄제로서는, ZLI-4572(Merck CO. INC 제)를 사용할 수 있고, 광경화수지는, 2-에틸헥실 아크릴레이트, RM257(Merck CO. INC 제), 트리메치롤프로판 트리아크릴레이트를 사용할 수 있고, 광중합 개시제로서는 2, 2-디메톡시-2-페닐아세토페논을 사용할 수 있다.

[0199] 액정층(206)은, 액정, 키랄제, 광경화수지, 및 광중합 개시제를 포함하는 액정 재료를 사용하여 형성한다.

[0200] 도 19(C)에 도시하는 것처럼, 액정층(206)에, 광(207)을 조사하여 고분자 안정화 처리를 행하여, 액정층(208)을 형성한다. 광(207)은, 액정층(206)에 포함되는 광경화수지, 및 광중합 개시제가 반응하는 과장의 광으로 한다. 이 광 조사에 의한 고분자 안정화 처리에 의해, 액정층(208)이 블루상을 나타내는 온도 범위를 넓게 개선할 수 있다.

[0201] 셀재에 자외선 등의 광경화수지를 사용하여, 적하법으로 액정층을 형성하는 경우 등, 고분자 안정화 처리의 광 처리 공정에 의하여 셀재의 경화를 행하여도 좋다.

[0202] 도 19(A) 내지 도 19(D)처럼, 소자 기판 위에 컬러 필터층 및 차광층을 형성하는 액정 표시 장치의 구성이라면, 컬러 필터층 및 차광층에 의하여 대향 기판 측으로부터 조사되는 광이 흡수, 차단되는 일이 없기 때문에 액정층 전체에 균일하게 조사할 수 있다. 따라서, 광중합의 불균일로 인한 액정의 배향 흐트러짐이나 그에 따른 표시 얼룩 등을 방지할 수 있다. 또한, 차광층에 의하여 박막 트랜지스터는 차광되기 때문에, 그 전기 특성은 그대로 안정된다.

[0203] 도 19(D)에 도시한 바와 같이, 제 1 기판(200)의 외측(액정층(208)과 반대측)에 편광판(210a)를, 제 2 기판(201)의 외측(액정층(208)과 반대측)에 편광판(210b)을 형성한다. 또한, 편광판 이외에, 위상차판, 반사 방지막 등의 광학 필름 등을 형성하여도 좋다. 예를 들어, 평판판 및 위상차판에 의한 원편광을 사용하여도 좋다. 이상의 공정으로, 액정 표시 장치를 완성시킬 수 있다.

[0204] 또한, 대형 기판을 사용하여 복수의 액정 표시 장치를 제작하는 경우(소위 다면취), 그 분단 공정은, 고분자 안정화 처리를 행하기 전이나, 편광판을 형성하기 전에 행할 수 있다. 분단 공정에 의한 액정층에 대한 영향(분단 공정시에 가해지는 힘 등에 의한 배향 흐트러짐 등)을 고려하면, 제 1 기판과 제 2 기판을 접합시킨 후, 고분자 안정화 처리를 행하기 전이 바람직하다.

[0205] 도시하지 않았지만, 광원으로서 백 라이트, 사이드 라이트 등을 사용하면 좋다. 광원은 소자 기판인 제 1 기판(200)측으로부터, 시인측인 제 2 기판(201)에 투과하도록 조사된다.

[0206] 콘트라스트나 시야각 특성을 개선하여, 고속 응답을 할 수 있게 함으로써, 보다 고화질, 및 고성능인 액정 표시 장치를 제공할 수 있다. 또한, 상기 액정 표시 장치를 보다 적은 비용으로 생산성 좋게 제작할 수 있다.

[0207] 또한, 박막 트랜지스터의 특성을 안정화하여, 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[0208] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0209] (실시형태 10)

[0210] 박막 트랜지스터를 제작하여, 상기 박막 트랜지스터를 화소부, 또한 구동 회로에 사용하여 표시 기능을 갖는 액정 표시 장치를 제작할 수 있다. 또한, 박막 트랜지스터를 사용한 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체로 형성하여, 시스템 온 패널을 형성할 수 있다.

[0211] 액정 표시 장치는 표시 소자로서 액정 소자(액정 표시 소자라고도 함)를 포함한다.

[0212] 또한, 액정 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을

실장한 상태에 있는 모듈을 포함한다. 또한, 상기 액정 표시 장치를 제작하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 상당하는 소자 기판에 관하여, 상기 소자 기판은 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자 기판은 구체적으로는, 표시 소자의 화소 전극만이 형성된 상태라도 좋고, 화소 전극이 되는 도전막을 형성한 후로서, 예칭하여 화소 전극을 형성하기 전의 상태라도 좋으며, 온갖 형태가 적합하다.

[0213] 또한, 본 명세서 중에 있어서의 액정 표시 장치란, 화상 표시 디바이스, 표시 디바이스, 또한 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어, FPC(Flexible printed circuit) 또한 TAB(Tape Automated Bonding) 테이프, 또한 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 형성된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의하여 IC(집적회로)가 직접 실장된 모듈도 모두 액정 표시 장치에 포함하는 것으로 한다.

[0214] 액정 표시 장치의 일 형태에 상당하는 액정 표시 패널의 외관 및 단면에 대하여 도 12(A1), 도 12(A2), 및 도 12(B)를 사용하여 설명한다. 도 12(A1), 도 12(A2), 및 도 12(B)는, 제 1 기판(4001) 위에 형성된 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터(4010, 4011), 및 액정 소자(4013)를, 제 2 기판(4006)의 사이에 씰재(4005)에 의하여 밀봉한, 패널의 상면도이며, 도 12(B)는, 도 12(A1), 도 12(A2)의 M-N에 있어서의 단면도에 상당한다.

[0215] 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록, 씰재(4005)가 형성된다. 또한, 화소부(4002)와, 주사선 구동 회로(4004) 위에 제 2 기판(4006)이 형성된다. 따라서, 화소부(4002)와, 주사선 구동 회로(4004)는, 제 1 기판(4001)과 씰재(4005)와 제 2 기판(4006)에 의하여, 액정층(4008)과 함께 밀봉된다.

[0216] 또한, 도 12(A1)은 제 1 기판(4001) 위의 씰재(4005)에 의하여 둘러싸이는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장된다. 또한, 도 12(A2)는 신호선 구동 회로의 일부를 제 1 기판(4001) 위에 산화물 반도체를 사용하는 박막 트랜지스터로 형성하는 예이며, 제 1 기판(4001) 위에 신호선 구동 회로(4003b)가 형성되어, 또한 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003a)가 실장된다.

[0217] 또한, 별도로 형성한 구동 회로의 접속 방법은, 특히 한정되지 않고, COG 방법, 와이어 본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 12(A1)은, COG 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이며, 도 12(A2)는 TAB 방법에 의하여 신호선 구동 회로(4003)를 실장하는 예이다.

[0218] 또한, 제 1 기판(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 박막 트랜지스터를 복수 갖고, 도 12(B)에서는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 예시한다. 박막 트랜지스터(4010, 4011) 위에는 절연층(4020) 층간막(4021)이 형성된다.

[0219] 박막 트랜지스터(4010, 4011)는, 실시 형태 1 내지 실시형태 8에 나타내는 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 박막 트랜지스터를 적용할 수 있다. 박막 트랜지스터(4010, 4011)는 n채널형 박막 트랜지스터이다.

[0220] 또한, 제 1 기판(4001) 위에 화소 전극층(4030) 및 공통 전극층(4031)이 형성되고, 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속된다. 액정 소자(4013)는, 화소 전극층(4030), 공통 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 제 1 기판(4001), 제 2 기판(4006)의 외측에는 각각 편광판(4032, 4033)이 형성된다. 화소 전극층(4030) 및 공통 전극층(4031)의 구성은 실시형태 1의 구성을 적용하여도 좋고, 그 경우, 공통 전극층(4031)은 제 2 기판(4006)측에 형성되고, 화소 전극층(4030)과 공통 전극층(4031)과는 액정층(4008)을 사이에 두고 적층하는 구성으로 하면 좋다.

[0221] 또한, 제 1 기판(4001), 제 2 기판(4006)으로서는, 투광성을 갖는 유리, 플라스틱 등을 사용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 사용할 수도 있다.

[0222] 또한, 4035는 절연막을 선택적으로 예칭함으로써 얻어지는 주형상(柱狀)의 스페이서이며, 액정층(4008)의 막 두께(셀 캡)를 제어하기 위하여 형성된다. 또한, 구 형상의 스페이서를 사용하여도 좋다. 또한, 액정층(4008)을 사용하는 액정 표시 장치는, 액정층(4008)의 막 두께(셀 캡)를 5 μ m이상 20 μ m이하 정도로 하는 것이 바람직하

다.

[0223] 또한, 도 12(A1), 도 12(A2) 및 도 12(B)는 투과형 액정 표시 장치의 예지만, 반투과형 액정 표시 장치라도 적용할 수 있다.

[0224] 또한, 도 12(A1), 도 12(A2) 및 도 12(B)의 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 형성하는 예를 도시하지만, 편광판은 기판의 내측에 형성하여도 좋다. 편광판의 재료나 제작 공정 조건에 따라서 적절히 설정하면 좋다. 또한, 블랙 매트리스로서 기능하는 차광층을 형성하여도 좋다.

[0225] 충간막(4021)은, 유채색의 투광성 수지층이며, 컬러 필터층으로서 기능한다. 또한, 충간막(4021)의 일부를 차광층으로 하여도 좋다. 도 12(A1), 도 12(A2) 및 도 12(B)에 있어서는, 박막 트랜지스터(4010, 4011) 상방을 덮도록 차광층(4034)이 제 2 기판(4006)측에 형성된다. 차광층(4034)을 형성함으로써 보다 콘트라스트 향상이나 박막 트랜지스터의 안정화의 효과를 높일 수 있다.

[0226] 박막 트랜지스터 위에 형성하는 충간막(4021)으로서, 유채색의 투광성 수지층의 착색층을 사용하면, 화소의 개구율을 저하시키지 않고 박막 트랜지스터의 반도체층에 입사하는 광의 강도를 감소시킬 수 있고, 산화물 반도체의 광 감도에 의한 박막 트랜지스터의 전기 특성의 변동을 방지하여 안정화하는 효과를 얻을 수 있다. 또한, 유채색의 투광성 수지층은, 컬러 필터층으로서 기능시킬 수 있다. 컬러 필터층을 대향 기판 측에 형성하는 경우, 박막 트랜지스터가 형성되는 소자 기판과 화소 영역의 위치를 정확하게 맞추는 것이 어려워서, 화질이 손상될 우려가 있지만, 충간막을 컬러 필터층으로서 직접 소자 기판 측에 형성하기 때문에 보다 정밀하게 형성 영역을 제어할 수 있고, 미세한 패턴의 화소에도 대응할 수 있다. 또한, 충간막과 컬러 필터층을 동일한 절연층으로 겸하기 때문에, 공정이 간략화하여 보다 적은 비용으로 액정 표시 장치를 제작할 수 있다.

[0227] 박막 트랜지스터의 보호막으로서 기능하는 절연층(4020)으로 덮는 구성으로 하여도 좋지만, 특별히 한정되지 않는다.

[0228] 또한, 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 방지하기 위한 것이며, 치밀한 막이 바람직하다. 보호막은, 스퍼터법을 사용하여, 산화실리콘막, 질화실리콘막, 산화질화실리콘막, 질화산화실리콘막, 산화알루미늄막, 질화알루미늄막, 산화질화알루미늄막, 또는 질화산화알루미늄막의 단층, 또는 적층으로 형성하면 좋다.

[0229] 또한, 보호막을 형성한 후에, 반도체층의 어닐링(300°C 내지 400°C)을 행하여도 좋다.

[0230] 또한, 평탄화 절연막으로서 투광성의 절연막을 더 형성하는 경우, 폴리아미드, 아크릴, 벤조사이클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기 재료를 사용할 수 있다. 또한, 상기 유기 재료 이외에, 저유전율 재료(low-k재료), 실록산계 수지, PSG(인 유리), BPSG(붕소 인 유리) 등을 사용할 수 있다. 또한, 이들의 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성하여도 좋다.

[0231] 적층하는 절연층의 형성 방법은, 특히 한정되지 않고,, 그 재료에 따라, 스퍼터링법, SOG법, 스펀 코팅, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프 셋 인쇄 등), 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층을 재료액을 사용하여 형성하는 경우, 베이크하는 공정에서 동시에, 반도체층의 어닐링(200°C 내지 400°C)을 행하여도 좋다. 절연층의 소성 공정과 반도체층의 어닐링을 겸함으로써 효율 좋게 액정 표시 장치를 제작할 수 있다.

[0232] 화소 전극층(4030), 공통 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 인듐주석산화물(이하 ITO라 나타냄), 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0233] 또한, 화소 전극층(4030), 공통 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 사용하여 형성할 수 있다.

[0234] 또한, 별도로 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급된다.

[0235] 또한, 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일한 기판 위에 형성하는 것이 바람직하다. 보호 회로는, 산화물 반도체를 사용한 비선형 소자를 사용하여 구성하는 것이 바람직하다.

- [0236] 도 12(A1), 도 12(A2) 및 도 12(B)에서는, 접속 단자 전극(4015)이, 화소 전극층(4030)과 같은 도전막으로부터 형성되어, 단자 전극(4016)은, 박막 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성된다.
- [0237] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 통하여 전기적으로 접속된다.
- [0238] 또한, 도 12(A1), 도 12(A2) 및 도 12(B)에 있어서는, 신호선 구동 회로(4003)를 별도로 형성하여, 제 1 기판(4001)에 실장하는 예를 도시하였지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하여 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성하여 실장하여도 좋다.
- [0239] 도 16은, 본 명세서에 개시하는 액정 표시 장치로서 액정 표시 모듈을 구성하는 일례를 도시한다.
- [0240] 도 16은 액정 표시 모듈의 일례이며, 소자 기판(2600)과 대향 기판(2601)이 층재(2602)에 의하여 고착되어, 그 사이에 TFT 등을 포함하는 소자층(2603), 액정층을 포함하는 표시 소자(2604), 컬러 필터로서 기능하는 유채색의 투광성 수지층을 포함하는 충간막(2605), 편광판(2606)이 형성되어 표시 영역을 형성하는 유채색의 투광성 수지층을 포함하는 충간막(2605)은 컬러 표시를 행하는 경우에 필요하고, RGB방식의 경우는, 적, 녹, 청의 각 색깔에 대응한 유채색의 투광성 수지층이 각 화소에 대응하여 형성된다. 소자 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606), 편광판(2607), 확산판(2613)이 배설된다. 광원은 냉음극관(2610)과 반사판(2611)에 의해 구성되고, 회로 기판(2612)은, 가요성 배선 기판(2609)에 의해 소자 기판(2600)의 배선 회로부(2608)와 접속되어, 컨트롤 회로나 전원 회로 등의 외부 회로가 형성된다. 또한, 광원으로서, 백색의 다이오드를 사용하여도 좋다. 또한 편광판과, 액정층의 사이에 위상차판을 갖는 상태로 적층하여도 좋다.
- [0241] 또한, 실시형태 1을 적용하는 액정 표시 모듈에는, MVA(Multi-domain Vertical Alignment)모드, PVA(Patterned Vertical Alignment), ASM(Axially Symmetricaligned Micro-cell)모드, OCB(Optical Compensated Birefringence)모드, FLC(Ferroelectric Liquid Crystal)모드, AFLC(AntiFerroelectric Liquid Crystal)등을 사용할 수 있다.
- [0242] 이상의 공정으로, 액정 표시 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.
- [0243] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.
- [0244] (실시형태 11)
- [0245] 본 명세서에 개시하는 액정 표시 장치는, 다양한 전자 기기(유기기(遊技機)도 포함함)에 적용할 수 있다. 전자 기기로서는 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 과친코(pachinko)기 등의 대형 게임기 등을 들 수 있다.
- [0246] 도 13(A)에는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 내장된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 스탠드(9605)에 의하여 케이스(9601)를 지지한 구성을 도시한다.
- [0247] 텔레비전 장치(9600)의 조작은, 케이스(9601)가 구비하는 조작 스위치나, 별체의 리모트 컨트롤 조작기(9610)에 의해 행할 수 있다. 리모트 컨트롤 조작기(9610)가 구비하는 조작기(9609)에 의하여, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트 컨트롤 조작기(9610)에, 상기 리모트 컨트롤 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.
- [0248] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반의 텔레비전 방송을 수신할 수 있고, 또 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자끼리 등)의 정보 통신을 행할 수도 있다.
- [0249] 도 13b는 디지털 포토 프레임(9700)의 일례를 도시한다. 예를 들어, 디지털 포토 프레임(9700)은 케이스(9701)에 표시부(9703)가 내장된다. 표시부(9703)는 각종 화상을 표시할 수 있고, 예를 들어, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 통상의 포토 프레임과 마찬가지로 기능시킬 수 있다.
- [0250] 또한, 디지털 포토 프레임(9700)은, 조작부, 외부 접속용 단자(USB단자, USB케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 한다. 이들의 구성은 표시부와 동일면에 내장되어도 좋지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들어, 디지털 포토 프

레임의 기록 매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입하여 화상 데이터를 취득하여 취득한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0251] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여, 원하는 화상 데이터를 취득하여, 표시시키는 구성으로 할 수도 있다.

[0252] 도 14(A)는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되어, 연결부(9893)에 의하여, 개폐할 수 있도록 연결된다. 케이스(9881)에는 표시부(9882)가 형성되어, 케이스(9891)에는 표시부(9883)가 내장된다. 또한, 도 14(A)에 도시하는 휴대형 유기기는, 그 이외, 스피커부(9884), 기록 매체 삽입부(9886), LED램프(9890), 입력 수단(조작기(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889))등을 구비한다. 물론, 휴대용 유기기의 구성은 상술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 액정 표시 장치를 구비한 구성이라면 좋고, 그 이외 부속 설비가 적절히 형성된 구성으로 할 수 있다. 도 14(A)에 도시하는 휴대형 유기기는, 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 14(A)에 도시하는 휴대형 유기기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0253] 도 14(B)는, 대형 유기기인 슬롯 머신(9900)의 일례를 도시한다. 슬롯 머신(9900)은, 케이스(9901)에 표시부(9903)가 내장된다. 또한, 슬롯 머신(9900)은, 그 이외, 스타트 레버나 스톱 스위치 등의 조작 수단, 동전 투입구, 스피커 등을 구비한다. 물론, 슬롯 머신(9900)의 구성은 상술한 내용에 한정되지 않고, 적어도 본 명세서에 개시하는 액정 표시 장치를 구비한 구성이라면 좋고, 그 이외의 부속 설비가 적절히 형성된 구성으로 할 수 있다.

[0254] 도 15(A)는, 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는, 케이스(1001)에 내장된 표시부(1002) 이외에, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.

[0255] 도 15(A)에 도시하는 휴대 전화기(1000)는, 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 메일을 작성하는 조작은, 표시부(1002)를 손가락 등으로 터치함으로써 행할 수 있다.

[0256] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.

[0257] 예를 들어, 전화를 거는 조작, 또는 메일을 작성하는 경우는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하여, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키 보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0258] 또한, 휴대 전화기(1000)의 내부에, 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치함으로써, 휴대 전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.

[0259] 또한, 화면 모드의 전환은 표시부(1002)를 터치하는 것, 또는 케이스(1001)의 조작 버튼(1003)의 조작으로 행해진다. 또한, 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상 데이터라면, 표시 모드, 텍스트 데이터라면 입력 모드로 전환한다.

[0260] 또한, 입력 모드에 있어서, 표시부(1002)의 광 센서에 의하여 검출되는 신호를 검지하여, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0261] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락으로 터치하여 장문(掌紋)이나 지문(指紋) 등을 활성화함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광(近赤外光)을 발광하는 백 라이트 또는 근적외광(近赤外光)을 발광하는 센싱용 광원을 사용하면, 손가락 정맥(靜脈), 손바닥 정맥 등을 활성화할 수도 있다.

[0262] 도 15(B)도 휴대 전화기의 일례이다. 도 15(B)의 휴대 전화기는, 케이스(9411)에, 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와, 케이스(9401)에 주사 버튼(9402), 외부 입력 단자(9403), 마이크

(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 갖고, 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)와 화살표의 2방향으로 털착할 수 있다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축끼리 형성할 수도 있고, 표시 장치(9410)와 통신 장치(9400)의 장축끼리 형성할 수도 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)로부터 표시 장치(9410)를 떼어내서, 표시 장치(9410)를 단독으로 사용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의하여 화상 또는 입력 정보를 수신할 수 있고, 각각 충전할 수 있는 배터리를 갖는다.

부호의 설명

[0263]

200: 제 1 기판 201: 제 2 기판

204: 투광성 수지층 208: 액정층

209: 층간막 220: 박막 트랜지스터

221: 게이트 전극층 222: 게이트 절연층

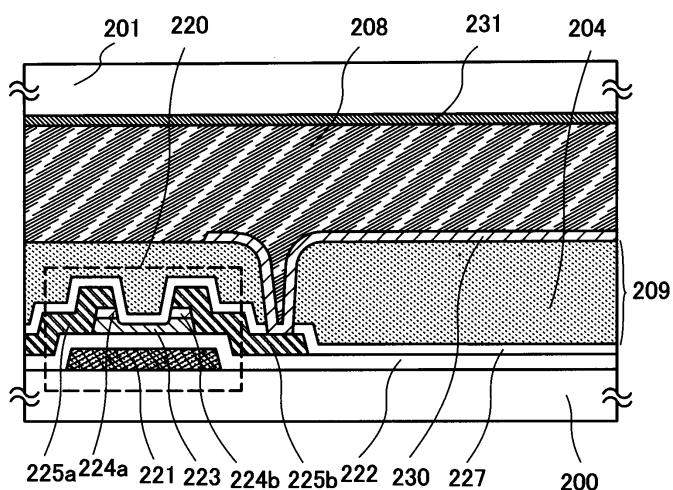
223: 반도체층 224a: n^+ 층224b: n^+ 층 225a: 배선층

225b: 배선층 230: 화소 전극층

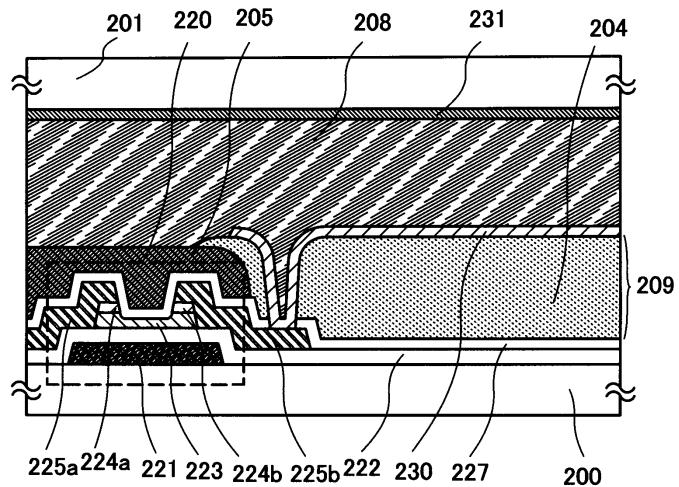
231: 대향 전극층

도면

도면1

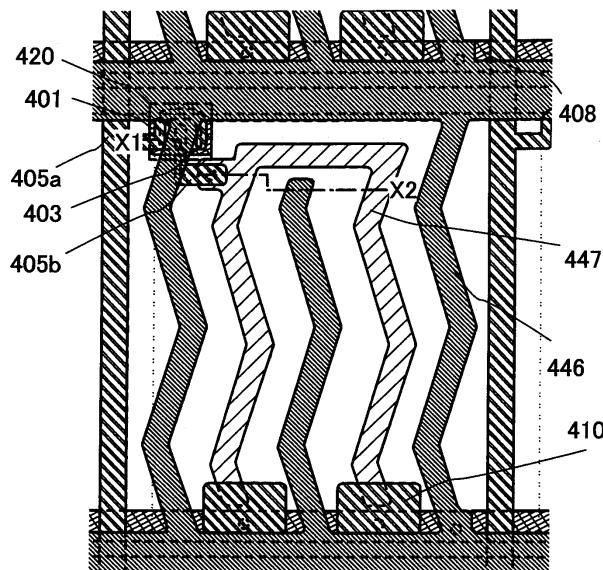


도면2

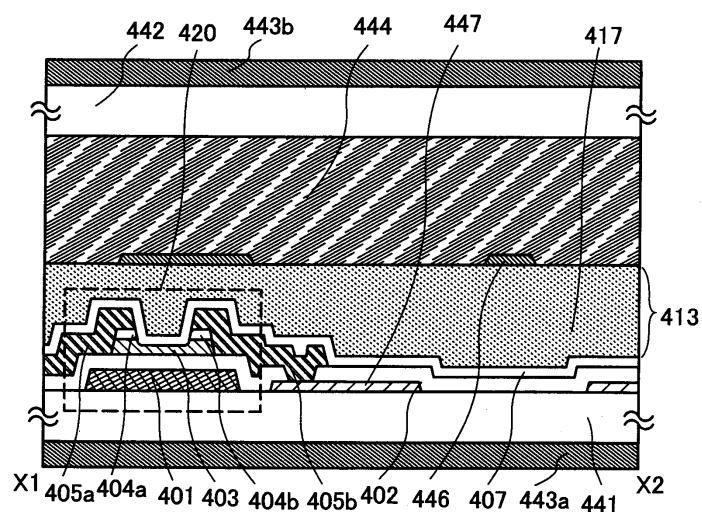


도면3

(A)

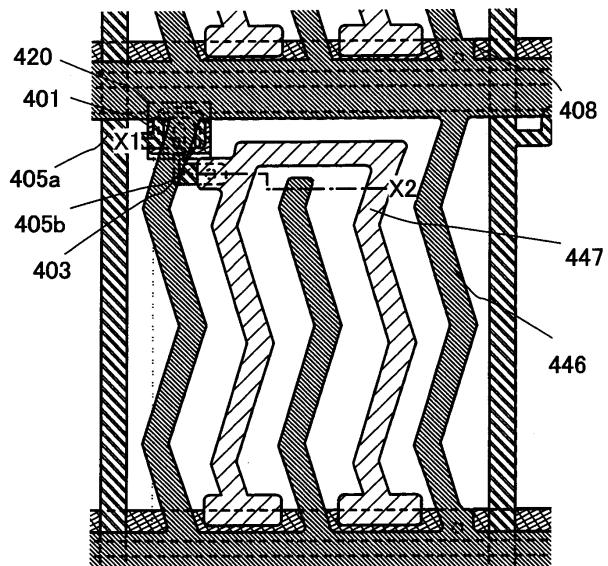


(B)

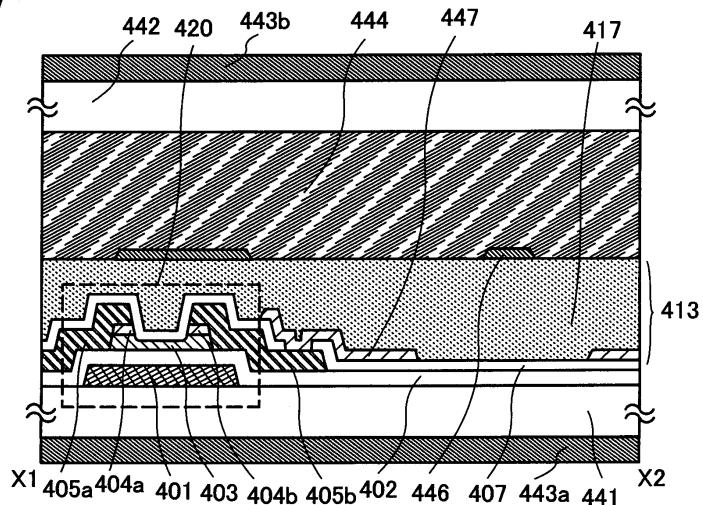


도면4

(A)

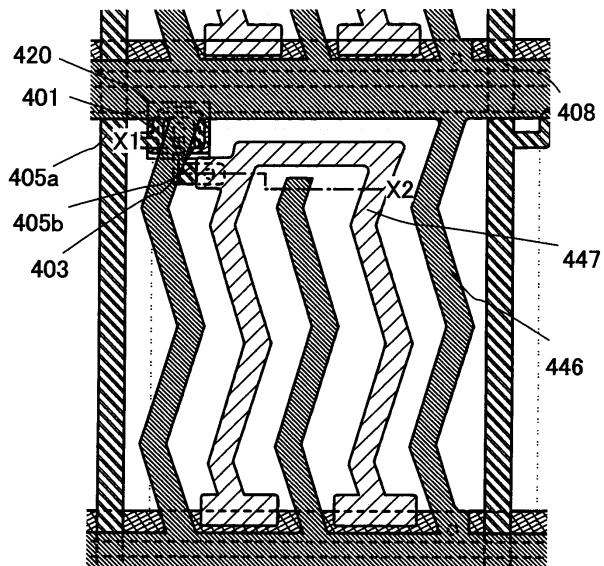


(B)

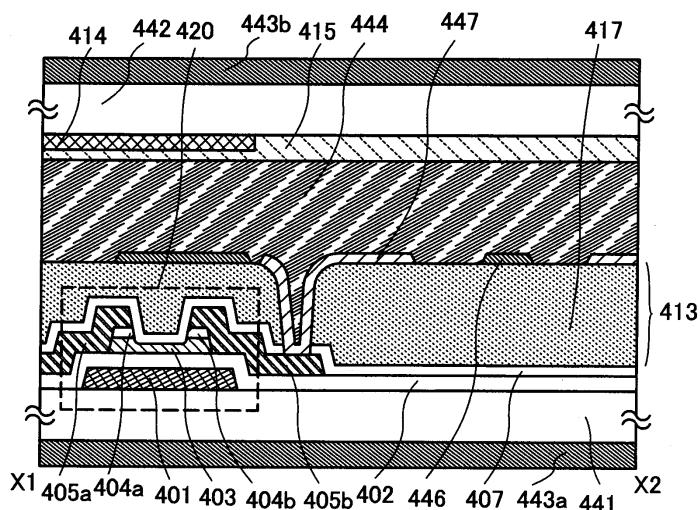


도면5

(A)

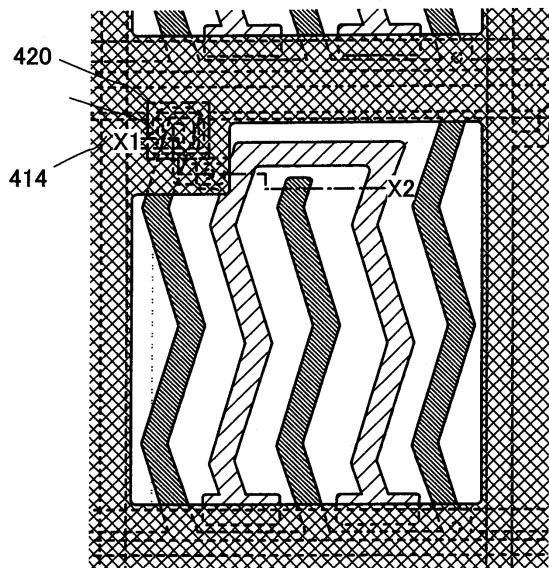


(B)

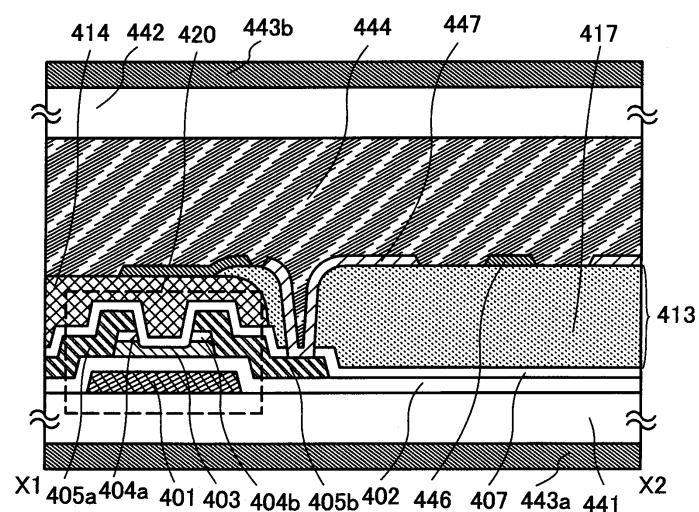


도면6

(A)

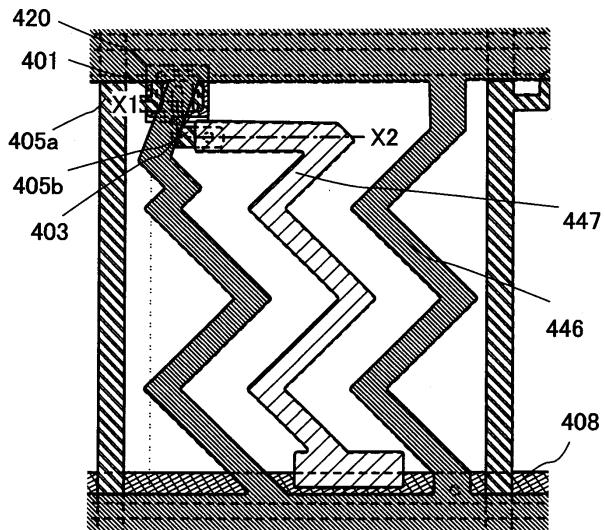


(B)

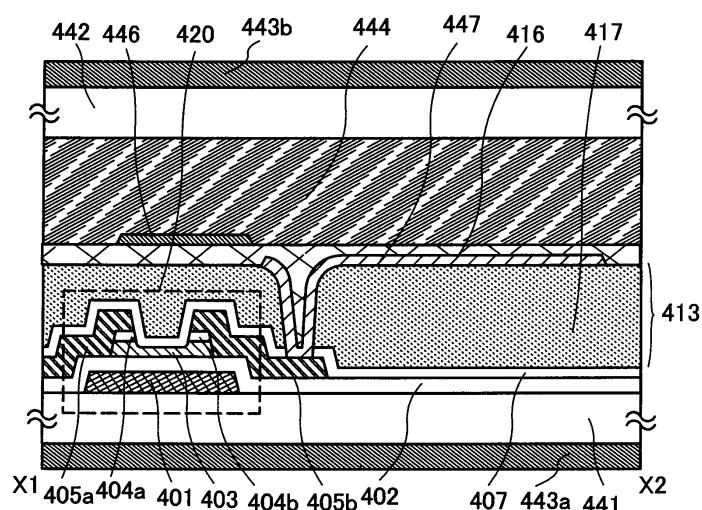


도면7

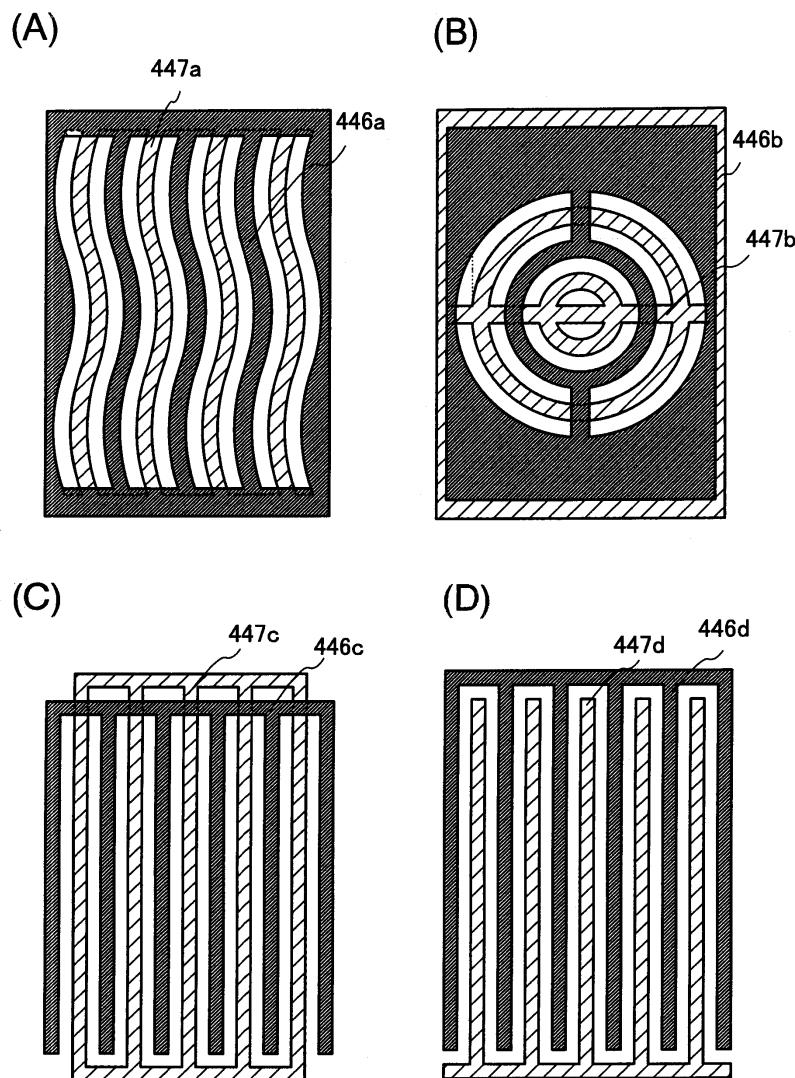
(A)



(B)

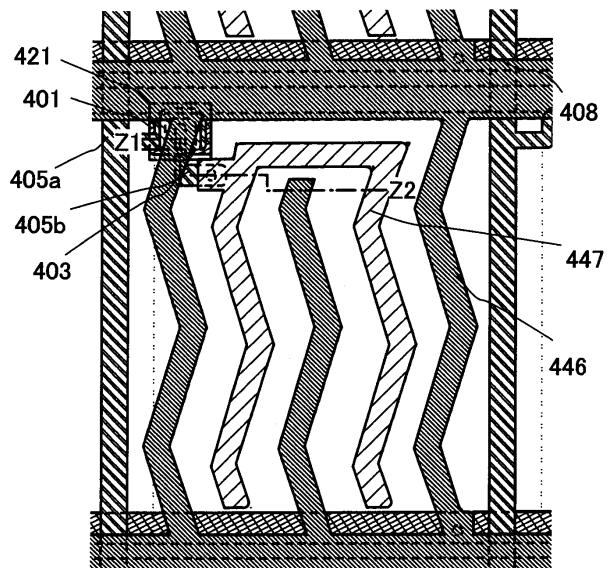


도면8

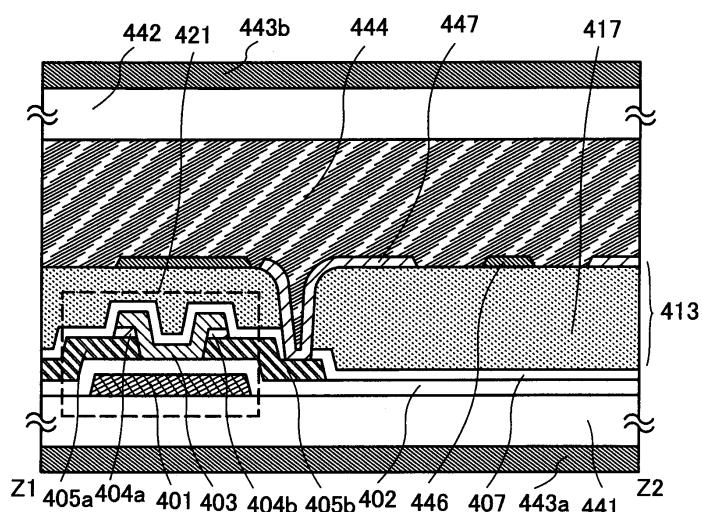


도면9

(A)

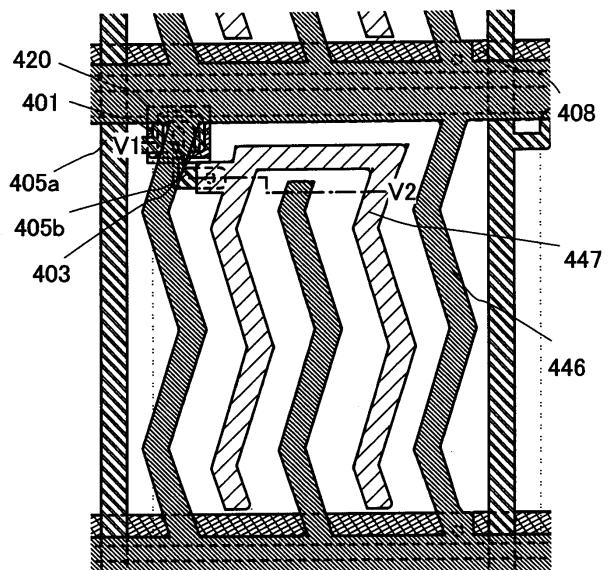


(B)

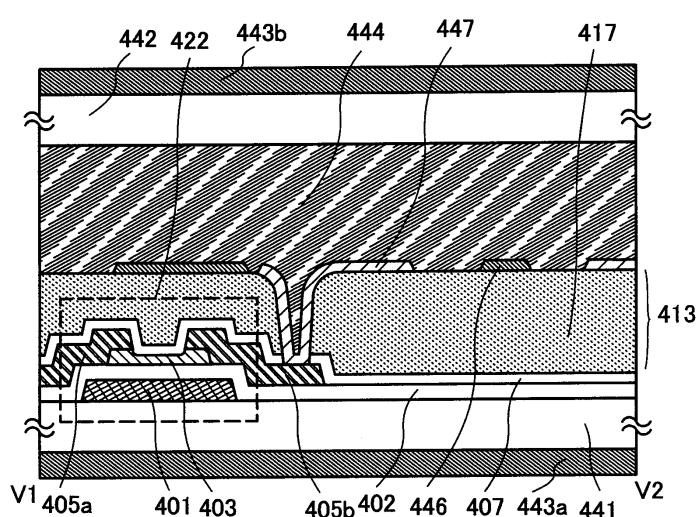


도면10

(A)

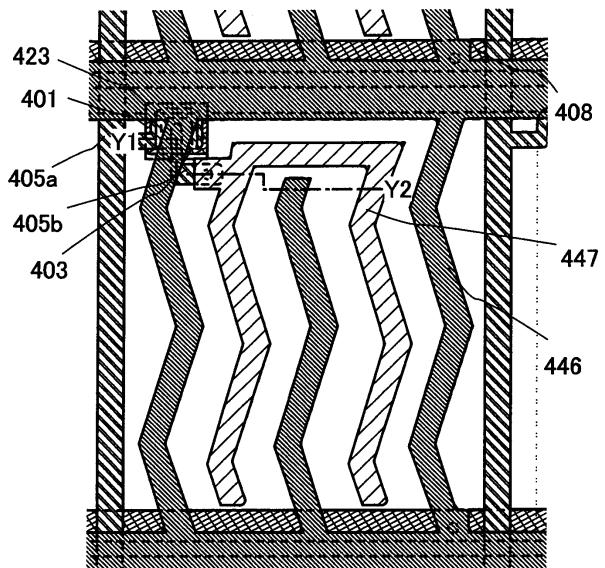


(B)

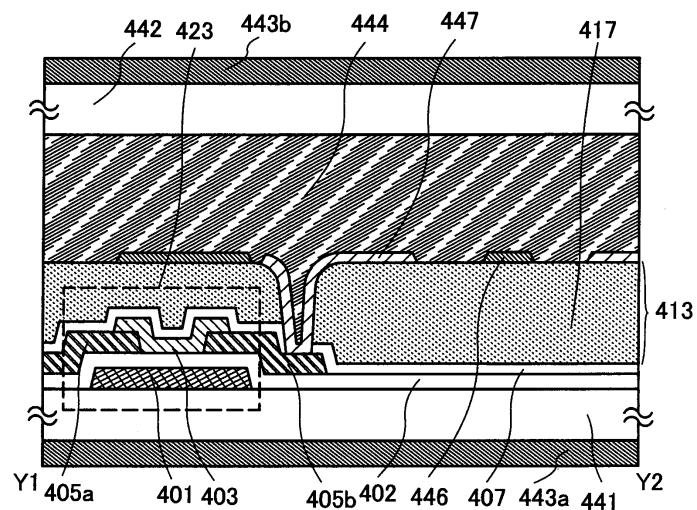


도면11

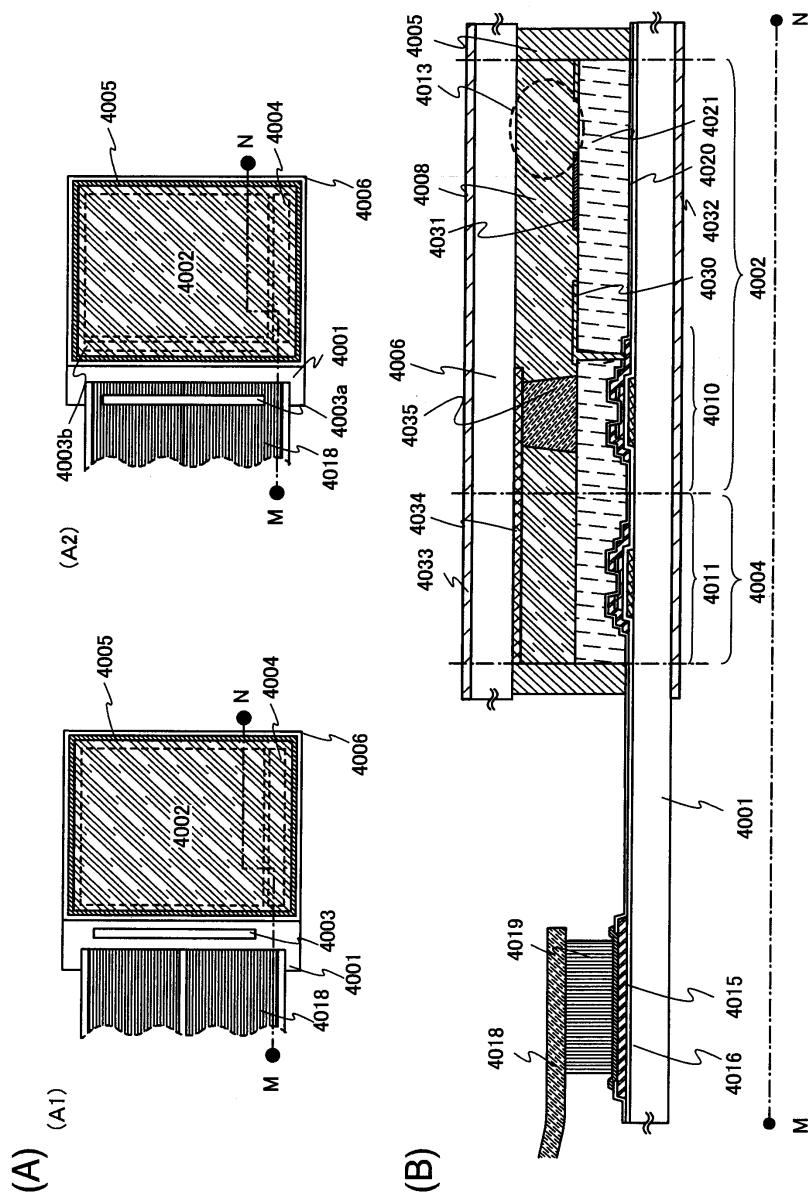
(A)



(B)

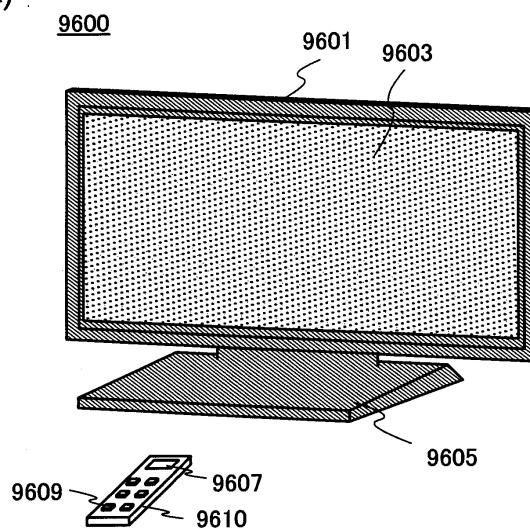


도면12



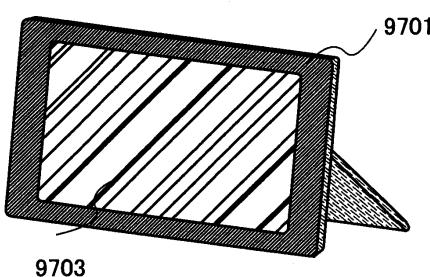
도면13

(A)



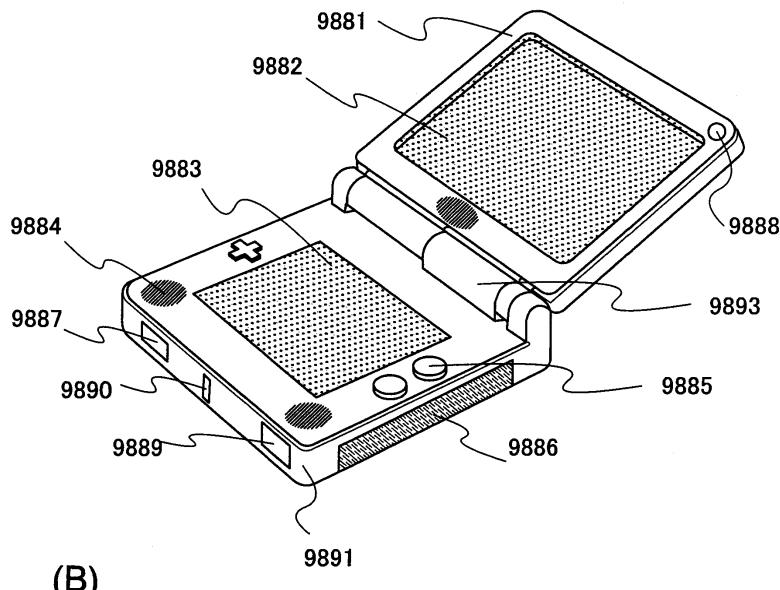
(B)

9700

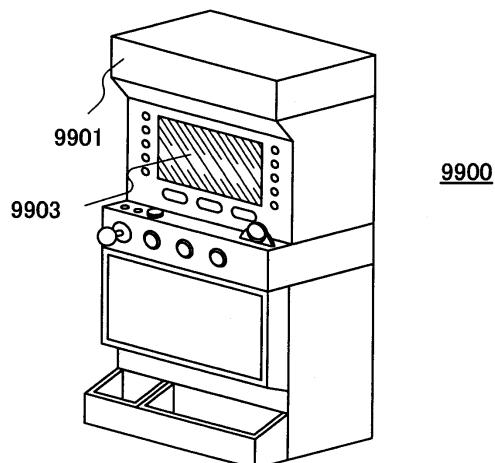


도면14

(A)

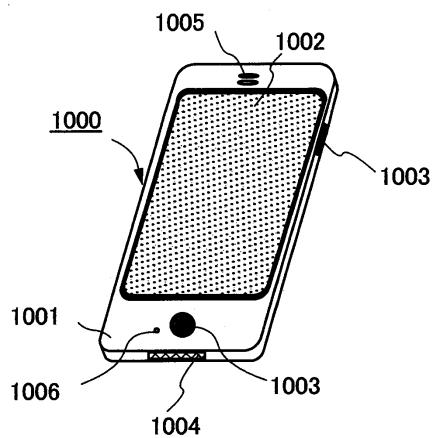


(B)

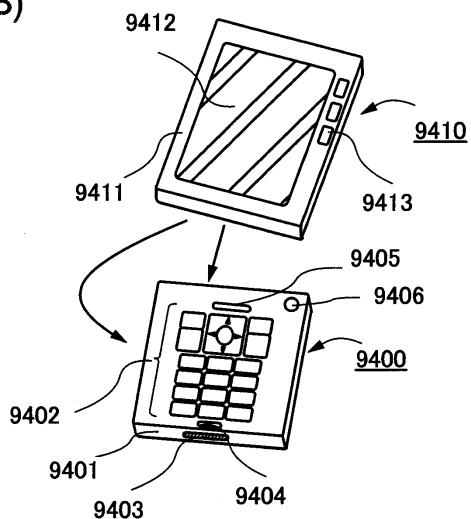


도면15

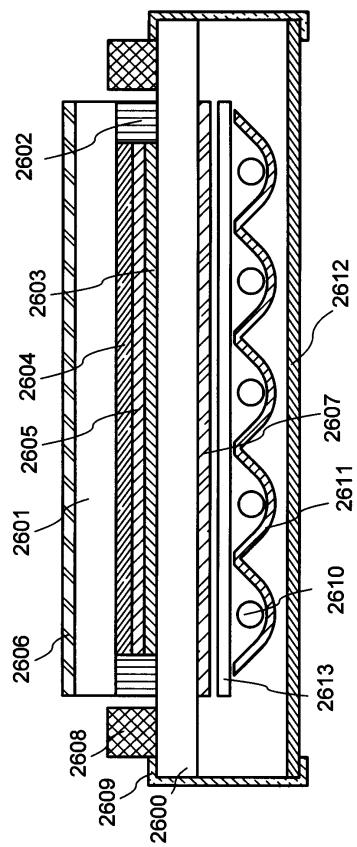
(A)



(B)

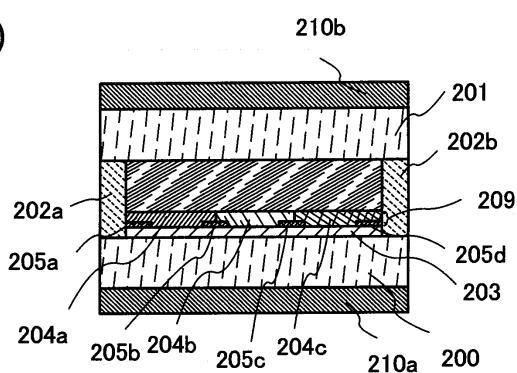


도면16

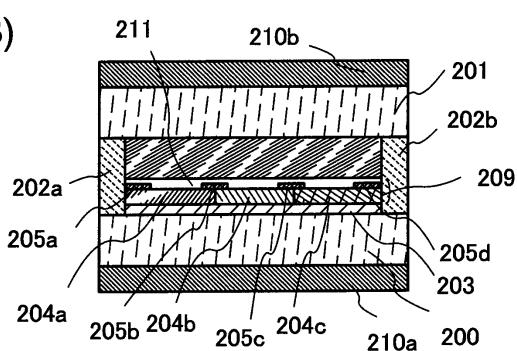


도면17

(A)

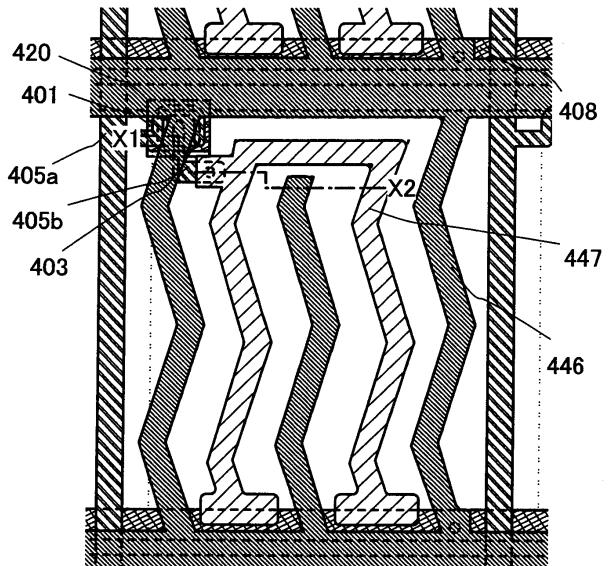


(B)

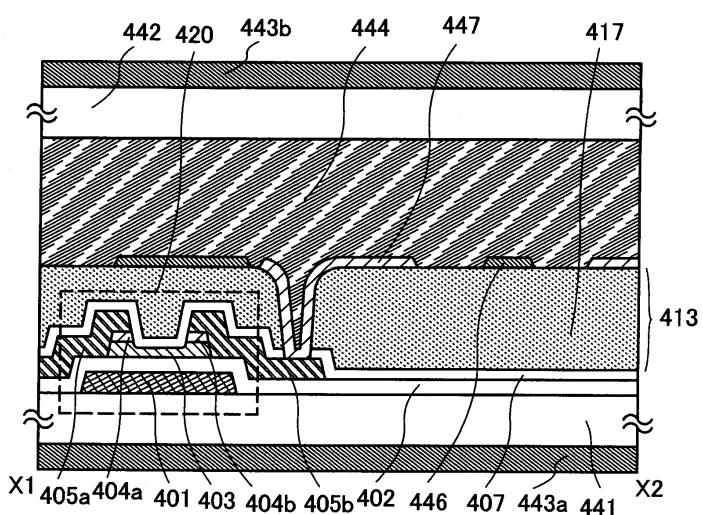


도면18

(A)

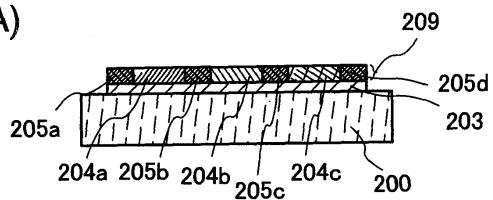


(B)

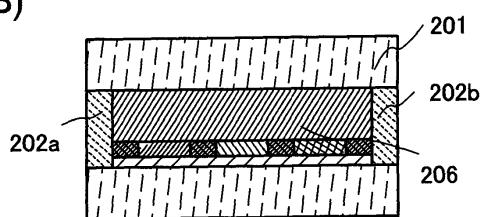


도면19

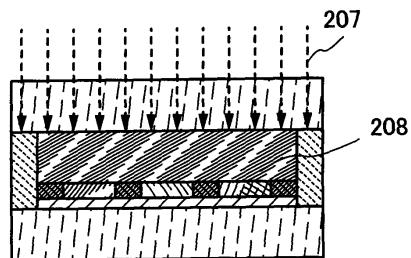
(A)



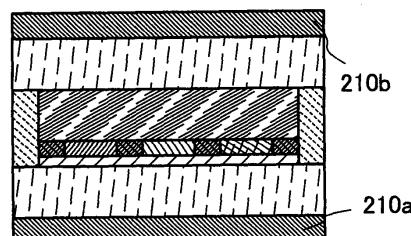
(B)



(C)



(D)



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160095655A	公开(公告)日	2016-08-11
申请号	KR1020160097267	申请日	2016-07-29
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
当前申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	ISHITANI TETSUJI 이시타니테츠지 KUBOTA DAISUKE 쿠보타다이스케		
发明人	이시타니테츠지 쿠보타다이스케		
IPC分类号	G02F1/1362 G02F1/1368 H01B3/10		
CPC分类号	G02F1/136209 G02F1/1368 H01B3/10 G02F2001/136222 G02F1/133514 H01L27/1225 H01L27/1248 H01L29/78618 H01L29/7869		
代理人(译)	黄的.		
优先权	2008304243 2008-11-28 JP		
外部链接	Espacenet		

摘要(译)

本发明的目的是提供适用于使用氧化物半导体的薄膜晶体管的液晶显示器。具有阻尼可见光穿透的光强度的功能的膜用于至少覆盖氧化物半导体层的层间膜，用于具有包括氧化物半导体层的薄膜晶体管的液晶显示器。最好是具有阻尼可见光穿透的光强度的功能的薄膜，并且可以使用彩色层，并且使用彩色的透光树脂层。此外，通过包括彩色透光树脂层和光学屏蔽层的层间膜来完成，并且具有使用光学屏蔽层阻挡可见光的光强度的功能的膜是良好的。。

