(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0007983
(43) 공개일자 2016년01월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/139 (2006.01) *G02F 1/1337* (2006.01)
(21) 출원번호 10-2014-0086976
(22) 출원일자 2014년07월10일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로1(농서동)
(72) 발명자
김효식
경기도 용인시 기흥구 한보라2로 141, 810동 307호 (공세동, 화성파크드림프라브아파트)
금병곤
경기도 수원시 영통구 매영로310번길 12, 513동 1401호 (영통동, 신나무실5단지아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

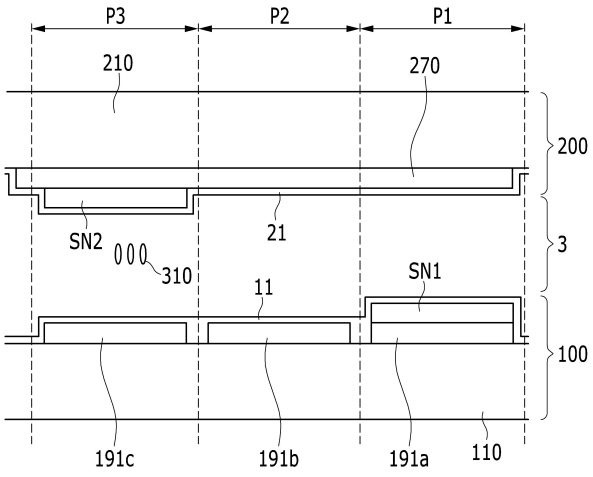
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **액정 표시 장치 및 그 제조 방법**

(57) 요 약

액정 표시 장치를 제공한다. 본 발명의 일실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판 위에 위치하는 제1 전극, 상기 제1 기판과 마주보며 위치하는 제2 기판, 상기 제2 기판 위에 위치하며 상기 제1 전극과 대향하는 제2 전극 그리고 상기 제1 기판과 상기 제2 기판 사이에 위치하는 액정층을 포함하고, 상기 제1 전극 및 상기 제2 전극 중 하나와 상기 액정층 사이에 질화 규소막이 위치하는 제1 영역과 상기 제1 전극과 상기 액정층 사이 및 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하지 않는 제2 영역을 형성하고, 상기 제1 영역에 대응하는 상기 액정층에 발생하는 제1 전계와 상기 제2 영역에 대응하는 상기 액정층에 발생하는 제2 전계가 서로 다르다.

대 표 도 - 도2



(72) 발명자

한민주

서울특별시 동작구 상도로55길 47, 206동 1104호 (상도동, 래미안상도2차아파트)

홍지표

경기도 평택시 참이슬길 13,103동 301호 (합정동, 참이슬아파트)

명 세 서

청구범위

청구항 1

제1 기판,

상기 제1 기판 위에 위치하는 제1 전극,

상기 제1 기판과 마주보며 위치하는 제2 기판,

상기 제2 기판 위에 위치하며 상기 제1 전극과 대향하는 제2 전극 그리고

상기 제1 기판과 상기 제2 기판 사이에 위치하는 액정층을 포함하고,

상기 제1 전극 및 상기 제2 전극 중 하나와 상기 액정층 사이에 질화 규소막이 위치하는 제1 영역과 상기 제1 전극과 상기 액정층 사이 및 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하지 않는 제2 영역을 형성하고,

상기 제1 영역에 대응하는 상기 액정층에 발생하는 제1 전계와 상기 제2 영역에 대응하는 상기 액정층에 발생하는 제2 전계가 서로 다른 액정 표시 장치.

청구항 2

제1항에서,

상기 제1 영역과 상기 제2 영역은 하나의 화소에 포함되는 액정 표시 장치.

청구항 3

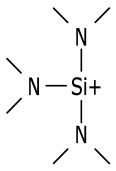
제2항에서,

상기 질화 규소막은 양전하를 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 질화 규소막은 하기 화학식 1로 표현되는 양전하를 포함하는 액정 표시 장치:



화학식 1.

청구항 5

제4항에서,

상기 제1 기판 위에 위치하는 박막 트랜지스터를 더 포함하고,

상기 박막 트랜지스터는 상기 제1 전극과 연결되며,

상기 제1 전극은 상기 제1 영역과 대응하는 제1 부화소 전극과 상기 제2 영역과 대응하는 제2 부화소 전극을 포함하고,

상기 제1 부화소 전극과 상기 제2 부화소 전극은 하나의 박막 트랜지스터로부터 전압을 인가받는 액정 표시 장치.

청구항 6

제5항에서,

상기 제1 영역에서 상기 질화 규소막과 상기 액정층 사이, 상기 제2 영역에서 상기 제1 전극 및 상기 제2 전극 중 적어도 하나와 상기 액정층 사이에 위치하는 배향막을 더 포함하는 액정 표시 장치.

청구항 7

제1항에서,

상기 제1 전극과 상기 액정층 사이에 질화 규소막이 위치하는 상기 제1 영역, 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하는 제3 영역을 형성하는 액정 표시 장치.

청구항 8

제7항에서,

상기 제1 영역과 상기 제3 영역 사이에 상기 제2 영역이 위치하는 액정 표시 장치.

청구항 9

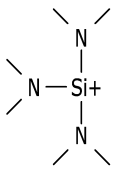
제8항에서,

상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 하나의 화소에 포함되는 액정 표시 장치.

청구항 10

제9항에서,

상기 질화 규소막은 하기 화학식 1로 표현되는 양전하를 포함하는 액정 표시 장치:



화학식 1.

청구항 11

제10항에서,

상기 제1 기판 위에 위치하는 박막 트랜지스터를 더 포함하고,

상기 박막 트랜지스터는 상기 제1 전극과 연결되며,

상기 제1 전극은 상기 제1 영역과 대응하는 제1 부화소 전극, 상기 제2 영역과 대응하는 제2 부화소 전극 및 상기 제3 영역과 대응하는 제3 부화소 전극을 포함하고,

상기 제1 부화소 전극, 상기 제2 부화소 전극 및 상기 제2 부화소 전극은 하나의 박막 트랜지스터로부터 전압을 인가받는 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 영역 또는 상기 제3 영역에서 상기 질화 규소막과 상기 액정층 사이와 상기 제2 영역에서 상기 제1 전극 및 상기 제2 전극 중 적어도 하나와 상기 액정층 사이에 위치하는 배향막을 더 포함하는 액정 표시 장치.

청구항 13

제1 기판 위에 제1 전극을 형성하는 단계,

상기 제1 기판과 마주보는 제2 기판 위에 제2 전극을 형성하는 단계,

상기 제1 전극 또는 상기 제2 전극 위의 제1 영역에 질화 규소막을 형성하는 단계 그리고

상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함하고,

상기 제1 영역에 대응하는 상기 액정층에 발생하는 제1 전계와 상기 질화 규소막이 형성되지 않는 제2 영역에 대응하는 상기 액정층에 발생하는 제2 전계가 서로 다른 액정 표시 장치의 제조 방법.

청구항 14

제13항에서,

상기 질화 규소막은 섭씨 450도 이하의 온도에서 화학 기상 증착법을 사용하여 형성하는 액정 표시 장치의 제조 방법.

청구항 15

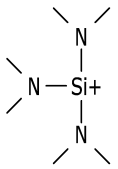
제14항에서,

상기 질화 규소막은 양전하를 포함하도록 형성하는 액정 표시 장치의 제조 방법.

청구항 16

제15항에서,

상기 질화 규소막은 하기 화학식 1로 표현되는 양전하를 포함하도록 형성하는 액정 표시 장치의 제조 방법:



화학식 1.

청구항 17

제16항에서,

상기 제1 영역에서 상기 질화 규소막과 상기 액정층 사이, 상기 제2 영역에서 상기 제1 전극 및 상기 제2 전극 중 적어도 하나와 상기 액정층 사이에 배향막을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 18

제13항에서,

상기 제1 전극과 상기 액정층 사이에 질화 규소막이 위치하는 상기 제1 영역, 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하는 제3 영역을 형성하고,

상기 제2 영역은 상기 제1 영역과 상기 제3 영역 사이에 위치하도록 형성하는 액정 표시 장치의 제조 방법.

청구항 19

제18항에서,

상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 하나의 화소에 포함되도록 형성하는 액정 표시 장치의 제조 방법.

청구항 20

제19항에서,

상기 제1 기판 위에 박막 트랜지스터를 형성하는 단계를 더 포함하고,

상기 박막 트랜지스터는 상기 제1 전극과 연결되며,

상기 제1 전극은 상기 제1 영역과 대응하는 제1 부화소 전극, 상기 제2 영역과 대응하는 제2 부화소 전극 및 상기 제3 영역과 대응하는 제3 부화소 전극을 포함하고,

상기 제1 부화소 전극, 상기 제2 부화소 전극 및 상기 제2 부화소 전극은 하나의 박막 트랜지스터로부터 전압을 인가받는 액정 표시 장치의 제조 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0005] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고, 기준 시야각이 넓어서 각광받고 있다.

[0006] 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있는데, 이를 해결하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 개의 부화소의 전압을 다르게 조절함으로써 투과율을 달리하는 방법이 제시되었다.

[0007] 하지만, 부화소의 전압을 분할하기 위해 박막 트랜지스터 및 커패시터 구조 등을 추가함으로써 개구율이 떨어지는 문제가 있었다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 해결하고자 하는 과제는 개구율 감소없이 다분할 시인성 구조를 구현하는 액정 표시 장치 및 그 제조 방법을 제공하는데 있다.

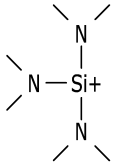
과제의 해결 수단

[0009] 본 발명의 일실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판 위에 위치하는 제1 전극, 상기 제1 기판과 마주보며 위치하는 제2 기판, 상기 제2 기판 위에 위치하며 상기 제1 전극과 대향하는 제2 전극 그리고 상기 제1 기판과 상기 제2 기판 사이에 위치하는 액정층을 포함하고, 상기 제1 전극 및 상기 제2 전극 중 하나와 상기 액정층 사이에 질화 규소막이 위치하는 제1 영역과 상기 제1 전극과 상기 액정층 사이 및 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하지 않는 제2 영역을 형성하고, 상기 제1 영역에 대응하는 상기 액정층에 발생하는 제1 전계와 상기 제2 영역에 대응하는 상기 액정층에 발생하는 제2 전계가 서로 다르다.

[0010] 상기 제1 영역과 상기 제2 영역은 하나의 화소에 포함될 수 있다.

[0011] 상기 질화 규소막은 양전하를 포함할 수 있다.

[0012] 상기 질화 규소막은 하기 화학식 1로 표현되는 양전하를 포함할 수 있다.



[0013] 화학식 1.

[0014] 상기 액정 표시 장치는 상기 제1 기판 위에 위치하는 박막 트랜지스터를 더 포함하고, 상기 박막 트랜지스터는 상기 제1 전극과 연결되며, 상기 제1 전극은 상기 제1 영역과 대응하는 제1 부화소 전극과 상기 제2 영역과 대응하는 제2 부화소 전극을 포함하고, 상기 제1 부화소 전극과 상기 제2 부화소 전극은 하나의 박막 트랜지스터로부터 전압을 인가 받을 수 있다.

[0015] 상기 액정 표시 장치는 상기 제1 영역에서 상기 질화 규소막과 상기 액정층 사이, 상기 제2 영역에서 상기 제1 전극 및 상기 제2 전극 중 적어도 하나와 상기 액정층 사이에 위치하는 배향막을 더 포함할 수 있다.

[0016] 상기 제1 전극과 상기 액정층 사이에 질화 규소막이 위치하는 상기 제1 영역, 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하는 제3 영역을 형성할 수 있다.

[0017] 상기 제1 영역과 상기 제3 영역 사이에 상기 제2 영역이 위치할 수 있다.

[0018] 상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 하나의 화소에 포함될 수 있다.

[0019] 상기 액정 표시 장치는 상기 제1 기판 위에 위치하는 박막 트랜지스터를 더 포함하고, 상기 박막 트랜지스터는 상기 제1 전극과 연결되며, 상기 제1 전극은 상기 제1 영역과 대응하는 제1 부화소 전극, 상기 제2 영역과 대응하는 제2 부화소 전극 및 상기 제3 영역과 대응하는 제3 부화소 전극을 포함하고, 상기 제1 부화소 전극, 상기 제2 부화소 전극 및 상기 제2 부화소 전극은 하나의 박막 트랜지스터로부터 전압을 인가 받을 수 있다.

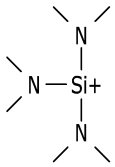
[0020] 상기 액정 표시 장치는 상기 제1 영역 또는 상기 제3 영역에서 상기 질화 규소막과 상기 액정층 사이와 상기 제2 영역에서 상기 제1 전극 및 상기 제2 전극 중 적어도 하나와 상기 액정층 사이에 위치하는 배향막을 더 포함할 수 있다.

[0021] 본 발명의 일실시예에 다른 액정 표시 장치의 제조 방법은 제1 기판 위에 제1 전극을 형성하는 단계, 상기 제1 기판과 마주보는 제2 기판 위에 제2 전극을 형성하는 단계, 상기 제1 전극 또는 상기 제2 전극 위의 제1 영역에 질화 규소막을 형성하는 단계 그리고 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함하고, 상기 제1 영역에 대응하는 상기 액정층에 발생하는 제1 전계와 상기 질화 규소막이 형성되지 않는 제2 영역에 대응하는 상기 액정층에 발생하는 제2 전계가 서로 다르다.

[0022] 상기 질화 규소막은 섭씨 450도 이하의 온도에서 화학 기상 증착법을 사용하여 형성할 수 있다.

[0023] 상기 질화 규소막은 양전하를 포함하도록 형성할 수 있다.

[0024] 상기 질화 규소막은 하기 화학식 1로 표현되는 양전하를 포함하도록 형성할 수 있다.



[0025] 화학식 1.

[0026] 상기 액정 표시 장치의 제조 방법은 상기 제1 영역에서 상기 질화 규소막과 상기 액정층 사이, 상기 제2 영역에서 상기 제1 전극 및 상기 제2 전극 중 적어도 하나와 상기 액정층 사이에 배향막을 형성하는 단계를 더 포함할 수 있다.

[0027] 상기 제1 전극과 상기 액정층 사이에 질화 규소막이 위치하는 상기 제1 영역, 상기 제2 전극과 상기 액정층 사이에 질화 규소막이 위치하는 제3 영역을 형성하고, 상기 제2 영역은 상기 제1 영역과 상기 제3 영역 사이에 위치하도록 형성할 수 있다.

[0028] 상기 제1 영역, 상기 제2 영역 및 상기 제3 영역은 하나의 화소에 포함되도록 형성할 수 있다.

[0029] 상기 액정 표시 장치의 제조 방법은 상기 제1 기판 위에 박막 트랜지스터를 형성하는 단계를 더 포함하고, 상기 박막 트랜지스터는 상기 제1 전극과 연결되며, 상기 제1 전극은 상기 제1 영역과 대응하는 제1 부화소 전극, 상기 제2 영역과 대응하는 제2 부화소 전극 및 상기 제3 영역과 대응하는 제3 부화소 전극을 포함하고, 상기 제1 부화소 전극, 상기 제2 부화소 전극 및 상기 제2 부화소 전극은 하나의 박막 트랜지스터로부터 전압을 인가 받을 수 있다.

발명의 효과

[0030] 본 발명의 일실시예에 따르면, 부화소의 전압을 분할하기 위해 양전하를 포함하는 질화 규소막을 화소 영역 일부에 형성함으로써 개구율 감소 없이 다분할 시인성 구조를 구현할 수 있다.

도면의 간단한 설명

[0031] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 개략적인 배치도이다.

도 2는 도 1의 절단선 II-II를 따라 자른 단면도이다.

도 3은 도 1 및 도 2의 실시예에서 각 영역에 따른 전류-전압 곡선을 나타내는 그래프이다.

도 4는 비교예 및 실시예에 따른 계조에 따른 휘도 곡선을 나타내는 그래프이다.

도 5는 비교예 및 실시예에 따른 투과율 및 시인성을 수치로 나타낸 표이다.

도 6은 질화 규소막의 두께를 다르게 형성하여 차등 전계 형성 영역을 추가 분할한 실시예를 나타내는 단면도이다.

도 7은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

도 8은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 9는 도 8의 절단선 IX-IX' 및 IX'-IX''를 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0033] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "위"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0034] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 개략적인 배치도이다. 도 2는 도 1의 절단선 II-II를 따라 자른 단면도이다.

[0035] 도 1 및 도 2를 참고하면, 본 발명의 일실시예에 따른 액정 표시 장치는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200)에 게재되어 있고, 액정 분자(310)를 포함하는 액정층(3)을 포함한다.

[0036] 도 1은 일반적으로 행방향과 열방향으로 배치되어 있는 복수의 화소 영역 가운데 하나의 화소 영역을 도시한 것이다. 본 실시예에 따르면, 하나의 화소 영역에 하나의 박막 트랜지스터(TFT)가 배치될 수 있다. 하나의 박막 트랜지스터는 게이트선(121)과 데이터선(171) 및 화소 전극(191)과 연결될 수 있다. 화소 전극(191)은 복수의 영역으로 나누어질 수 있고, 본 실시예에서는 3분할된 경우를 기준으로 설명한다.

[0037] 도 1 및 도 2를 다시 참고하면, 제1 기판(110) 위에 제1 전극(191)에 대응하는 화소 전극(191)이 위치하고, 제1 기판(110)과 마주보는 제2 기판(210) 위에 제2 전극(270)에 대응하는 공통 전극(270)이 위치한다. 화소 전극(191) 위에 제1 질화 규소막(SN1)이 위치하고, 공통 전극(270) 위에 제2 질화 규소막(SN2)이 위치한다. 본 발명의 일실시예에 따른 액정 표시 장치는 제1 영역(P1), 제2 영역(P2) 및 제3 영역(P3)을 포함한다. 제1 영역(P1)에 위치하는 화소 전극(191)을 제1 부화소 전극(191a), 제2 영역(P2)에 위치하는 화소 전극(191)을 제2 부

화소 전극(191b), 제3 영역(P3)에 위치하는 화소 전극(191)을 제3 부화소 전극(191c)이라고 정의한다.

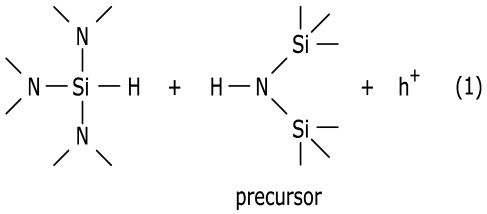
[0038] 제1 부화소 전극(191a)과 액정층(3) 사이에 제1 질화 규소막(SN1)이 위치하고, 제3 부화소 전극(191c)과 액정층(3) 사이에 제2 질화 규소막(SN2)이 위치한다. 제2 영역(P2)에서는 질화 규소막이 형성되지 않는다.

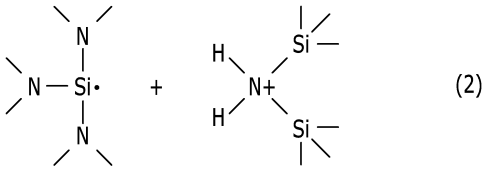
[0039] 화소 전극(191) 위에 제1 배향막(11), 공통 전극(270) 위에 제2 배향막(21)이 위치하고, 제1 영역(P1)에서는 제1 부화소 전극(191a)과 제1 배향막(11) 사이에 제1 질화 규소막(SN1)이 형성되어 있고, 제3 영역(P3)에서는 공통 전극(270) 제2 배향막(SN2) 사이에 제2 질화 규소막(SN2)이 형성되어 있다.

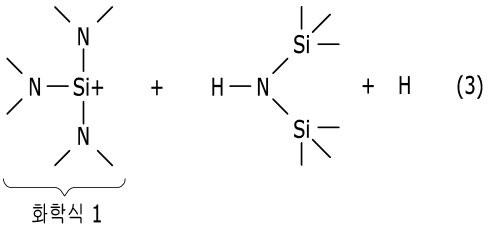
[0040] 본 실시예에 따른 질화 규소막(SN1, SN2)은 대략 섭씨 450도 이하의 온도에서 화학 기상 증착법을 사용하여 형성할 수 있고, 질화 규소막(SN1, SN2)을 형성하는 과정에서 하기 표기한 메커니즘 1에 따라 화학식 1로 표현되는 양전하가 생성된다. 따라서, 본 실시예에 따른 질화 규소막(SN1, SN2) 화학식 1로 표현되는 양전하를 포함할 수 있다.

[0041] 구체적으로, 저온 플라즈마 화학증착법(Plasma Enhanced Chemical Vapor Deposition; PECVD)으로 SiH4/NH3 또는 $SiH_4/H_2/N_2$ 기체의 혼합물을 사용하여 증착하게 되면, Si_3N_4를 생성하지 못하고 수소가 대략 8 내지 30at% 함유된 SiNx 박막을 형성하게 된다. 그러나, 이 과정에서 Si와 Si의 결합이 감소하는 속도보다 Si와 N의 결합이 증가하는 속도가 느리기 때문에 메커니즘 1에 도시한 것처럼 $H\text{-}N\text{-}(SiH_3)_2$가 전구 물질(precursor)로 작용하여 화학식 1의 양전하가 생성된다.

[0042] 이처럼, 질화 규소막이 화소 전극(191) 또는 공통 전극(270)과 액정층(3) 사이에 삽입되면 질화 규소막에 의한 커패시턴스와 액정층(3)의 직렬 연결도 인해 총 커패시턴스 값이 감소할 수 있다.







[0043]

[0044] [메커니즘 1]

[0045] 도 3은 도 1 및 도 2의 실시예에서 각 영역에 따른 전류-전압 곡선을 나타내는 그래프이다.

[0046] 도 3을 참고하면, 화소 전극(191)에 전압을 인가하고 공통 전극(270)을 그라운드로 설정한 경우에 전류-전압 곡선의 변화를 나타낸다. 제2 영역(P2)의 전류-전압 곡선을 기준으로 할 때, 제1 영역(P1)에서는 전류-전압 곡선이 왼쪽으로 시프트하고, 제3 영역(P3)에서는 전류-전압 곡선이 오른쪽으로 시프트하여 문턱 전압 Vth 값이 변화한다. 따라서, 제1 영역(P1)은 하이 픽셀 영역이 되고, 제2 영역(P2)은 미들 픽셀 영역이 되며, 제3 영역(P3)은 로우 픽셀 영역으로 분할될 수 있다.

[0047] 도 4는 비교예 및 실시예에 따른 계조에 따른 휘도 곡선을 나타내는 그래프이다.

[0048] 도 4에서 비교예 1은 화소 전극을 차등 전압 분할하지 않고 측면 시인성을 측정한 것이고, 비교예 2는 면적비 1 : 1.5, 전압비 0.77이 되도록 전압을 차등 분할한 것이다. 본 발명의 실시예는 3분할되는 면적비가 1:1:1이고, 질화 규소막에 의한 전압 강하 정도가 9%인 것으로 설정하였다. 이 때, 도 4에 도시한 바와 같이 비교예 1, 비교예 2 대비하여 본 실시예에서의 측면 시인성이 좀 더 정면 시인성에 가깝게 나타나는 경향을 보였다.

[0049] 도 5는 비교예 및 실시예에 따른 투과율 및 시인성을 수치로 나타낸 표이다.

[0050] 도 5를 참고하면, 비교예 1의 경우를 투과율 100%라고 할 때, 본 실시예에서 투과율이 조금 감소하면서 시인성 지표(GDI)가 개선되는 것을 확인할 수 있다. 비교예 2에서 2분할의 경우에는 투과율이 본 실시예보다 추가로 감소하는 것을 확인할 수 있고 시인성도 떨어진다. 따라서, 본 실시예와 같이 차등 전압을 구현하기 위해 박막 트랜지스터 등의 구조를 추가하지 않는 경우에는 시인성을 개선하면서 개구율 또는 투과율 감소를 최소화하는 장점이 있다.

[0051] 도 6은 질화 규소막의 두께를 다르게 형성하여 차등 전계 형성 영역을 추가 분할한 실시예를 나타내는 단면도이다.

[0052] 도 6을 참고하면, 도 2의 제1 영역(P1)에서 제1 질화 규소막(SN1)이 서로 다른 두께를 갖는 제1-1 질화 규소막(SN1-1)과 제1-2 질화 규소막(SN1-2)을 포함한다. 유사하게 도 2의 제3 영역(P3)에서 제2 질화 규소막(SN2)이 서로 다른 두께를 갖는 제1-1 질화 규소막(SN1-1)과 제1-2 질화 규소막(SN1-2)을 포함한다. 이와 같이 서로 다른 두께를 갖는 질화 규소막을 형성함으로써 차등 전압을 갖는 영역을 추가할 수 있다.

[0053] 도 7은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

[0054] 도 7에서 설명하려는 실시예는 도 2의 실시예에서 제3 영역(P3)을 형성하지 않고, 제1 영역(P1)과 제2 영역(P2)만으로 2분할하여 차등 전압을 구현하는 것이다. 도 7을 참고하면, 화소 전극(191)은 제1 부화소 전극(191a) 위에 질화 규소막(SN)이 위치하고, 제2 부화소 전극(191b) 위에는 바로 제1 배향막(11)이 위치한다.

[0055] 도 8은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다. 도 9는 도 8의 절단선 IX-IX' 및 IX'-IX''를 따라 자른 단면도이다.

[0056] 도 8 및 도 9는 도 1 및 도 2에서 설명한 실시예의 구조에 대해 좀 더 구체적으로 설명하는 것이다.

[0057] 도 8 및 도 9를 참조하면, 본 실시예에 따른 액정 표시 장치는 하부 표시판(100)과 상부 표시판(200) 및 이들 두 표시판(100, 200)에 게재되어 있는 액정층(3)을 포함하고, 하부 표시판(100)과 마주보는 위치에 백라이트 유닛(300)이 위치할 수 있다. 또한, 백라이트 유닛(300)의 위치는 하부 표시판(100)과 마주보는 위치에 제한되지 않고, 상부 표시판(200)과 마주보는 위치에 배치될 수도 있다.

[0058] 먼저 하부 표시판(100)에 대해 설명한다.

[0059] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(121)이 형성되어 있다.

[0060] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 게이트선(121)으로부터 돌출한 복수의 게이트 전극(124)과 다른 층 또는 게이트 구동부(도시하지 않음)와의 접속을 위한 넓은 끝 부분(129)을 포함한다. 게이트선의 끝 부분(129)도 하부막(129p)과 상부막(129r)의 이중막으로 형성될 수 있다.

[0061] 게이트선(121) 및 게이트 전극(124)은 하부막(121p, 124p) 및 상부막(121r, 124r)으로 이루어진 이중막 구조를 가진다. 하부막(121p, 124p)은 티타늄, 탄탈늄, 몰리브덴 및 이들의 합금 중에서 하나로 형성할 수 있고, 상부막(121r, 124r)은 구리(Cu) 또는 구리 합금으로 형성할 수 있다. 본 실시예에서는 게이트선(121) 및 게이트 전극(124)이 이중막 구조를 갖는 것으로 설명하였으나 단일막 구조로 형성하는 것도 가능하다.

[0062] 게이트선(121) 위에는 질화 규소 따위의 절연 물질로 만들어진 게이트 절연막(140)이 형성되어 있다. 하부 게이트 절연막(140a)과 상부 게이트 절연막(140b)은 질화 규소 또는 산화 규소 따위의 절연 물질로 형성할 수 있다. 도시한 바와 달리, 게이트 절연막(140)은 하나의 층으로 형성할 수도 있다.

[0063] 게이트 절연막(140) 위에는 수소화 비정질 규소 또는 다결정 규소 등으로 만들어진 반도체층(151)이 형성되어 있다. 반도체층(151)은 주로 세로 방향으로 뻗으며, 게이트 전극(124)을 향하여 뻗어 나온 복수의 돌출부(projection; 154)를 포함한다.

[0064] 반도체층(151)의 돌출부(154) 위에는 복수의 선형 저항성 접촉 부재(161) 및 섬형 저항성 접촉 부재(165)가 형성되어 있다. 선형 저항성 접촉 부재(161)는 복수의 돌출부(163)를 가지고 있으며, 이 돌출부(163)와 섬형 저항성 접촉 부재(165)는 쌍을 이루어 반도체층(151)의 돌출부(154) 위에 배치되어 있다.

[0065] 저항성 접촉 부재(161, 165) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 데이터선(171)에 연결된 복수의 소스 전극(173)과 소스 전극(173)과 마주보는 복수의 드레인 전극(175)이 형성되어 있다.

[0066] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 소스 전극(173)은 게이트 전극(124)을 향하여 뻗어 U자 형상을 가질 수 있으나, 이것은 한 예에 불과하고 다양하게 변형된 모양을 가질 수 있다.

[0067] 드레인 전극(175)은 데이터선(171)과 분리되어 있고 소스 전극(173)의 U자 형상의 가운데에서 상부를 향하여 연장되어 있다. 데이터선(171)은 다른 층 또는 데이터 구동부(도시하지 않음)와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다.

[0068] 도시하지 않았으나 데이터선(171), 소스 전극(173) 및 드레인 전극(175)도 상부막 및 하부막의 이중막 구조를 가질 수 있다. 상부막은 구리(Cu) 또는 구리 합금으로 형성될 수 있고, 하부막은 티타늄(Ti), 탄탈늄(Ta), 몰리브덴(Mo) 및 이들의 합금 중에서 하나로 형성될 수 있다.

[0069] 데이터선(171), 소스 전극(173) 및 드레인 전극(175)은 테이퍼(taper)진 측면을 가질 수 있다.

[0070] 저항성 접촉 부재(161, 163, 165)는 그 아래의 반도체(151, 154)와 그 위의 데이터선(171) 및 드레인 전극(175) 사이에만 존재하며 이들 사이의 접촉 저항을 낮추어 준다. 또한, 저항성 접촉 부재(161, 163, 165)는 데이터선(171), 소스 전극(173) 및 드레인 전극(175)과 실질적으로 동일한 평면 패턴을 가질 수 있다.

[0071] 반도체층(151)의 돌출부(154)에는 소스 전극(173)과 드레인 전극(175) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175)으로 가리지 않고 노출된 부분이 있다. 반도체층(151)은 돌출부(154)의 노출된 부분을 제외하고 저항성 접촉 부재(161, 165)와 실질적으로 동일한 평면 패턴을 가진다.

[0072] 하나의 게이트 전극(124), 하나의 소스 전극(173) 및 하나의 드레인 전극(175)은 반도체층(151)의 돌출부(154)와 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널은 소스 전극(173)과 드레인 전극(175) 사이의 돌출부(154)에 형성된다.

[0073] 데이터선(171), 드레인 전극(175) 및 노출된 반도체층의 돌출부(154) 부분 위에는 보호막(180)이 형성되어 있다. 보호막(180)은 질화 규소나 산화 규소 따위의 무기 절연물, 유기 절연물, 저유전율 절연물 따위로 만들어진다.

[0074] 보호막(180) 및 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 접촉 구멍(181)이 형성되어 있다. 또한, 보호막(180)에는 데이터선(171)의 끝 부분(179)을 드러내는 접촉 구멍(182) 및 드레인 전극(175)의 일단을 각각 드러내는 접촉 구멍(185)이 형성되어 있다.

[0075] 보호막(180) 위에는 화소 전극(191) 및 접촉 보조 부재(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수 있다.

[0076] 화소 전극(191)은 접촉 구멍(185)을 통하여 드레인 전극(175)과 물리적/전기적으로 연결되어 있으며, 드레인 전극(175)으로부터 데이터 전압을 인가 받는다.

[0077] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접착성을 보완하고 이들을 보호한다.

[0078] 화소 전극(191) 위에 제1 배향막(11)이 위치한다.

[0079] 다음으로, 상부 표시판(200)에 대하여 설명한다.

[0080] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(220)가 형성되어 있다. 차광 부재(220)는 화소 전극(191) 사이의 빛샘을 막고 화소 전극(191)과 마주하는 개구 영역을 정의한다.

[0081] 절연 기판(210) 및 차광 부재(220) 위에는 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터

(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.

[0082] 본 실시예에서는 차광 부재(220) 및 색필터(230)가 상부 표시판(100)에 형성된 것으로 설명하였으나, 차광 부재(200) 및 색필터(230) 중 적어도 하나를 하부 표시판(200)에 형성할 수도 있다.

[0083] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.

[0084] 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 ITO, IZO 등의 투명한 도전체 따위로 만들어지며, 공통 전압(Vcom)을 인가 받는다.

[0085] 공통 전극(270) 위에 제2 배향막(21)이 위치한다.

[0086] 하부 표시판(100)과 상부 표시판(200) 사이에 들어 있는 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자를 포함하며 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.

[0087] 화소 전극(191)과 공통 전극(270)은 그 사이의 액정층(3) 부분과 함께 액정 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

[0088] 화소 전극(191)은 유지 전극선(도시하지 않음)과 중첩하여 유지 축전기(storage capacitor)를 이룰 수 있고, 이를 통해 액정 축전기의 전압 유지 능력을 강화할 수 있다.

[0089] 도 8 및 도 9에 도시하지 않았으나, 도 2에서 설명한 질화 규소막(SN1, SN2) 및 차등 전압 분할에 관한 설명은 본 실시예에 그대로 적용될 수 있다.

[0090] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

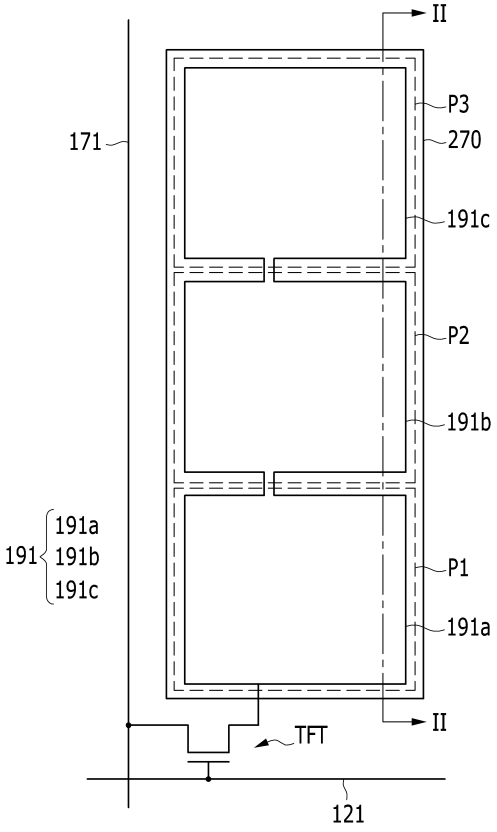
[0091] 124 게이트 전극 140 게이트 절연막

173 소스 전극 175 드레인 전극

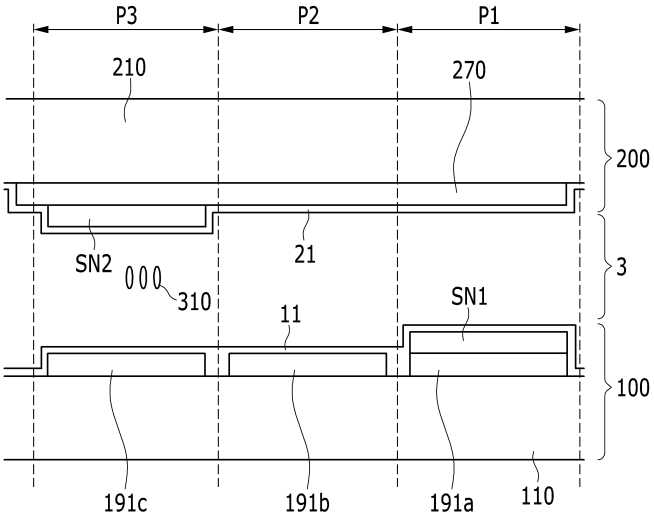
SN 질화 규소막

도면

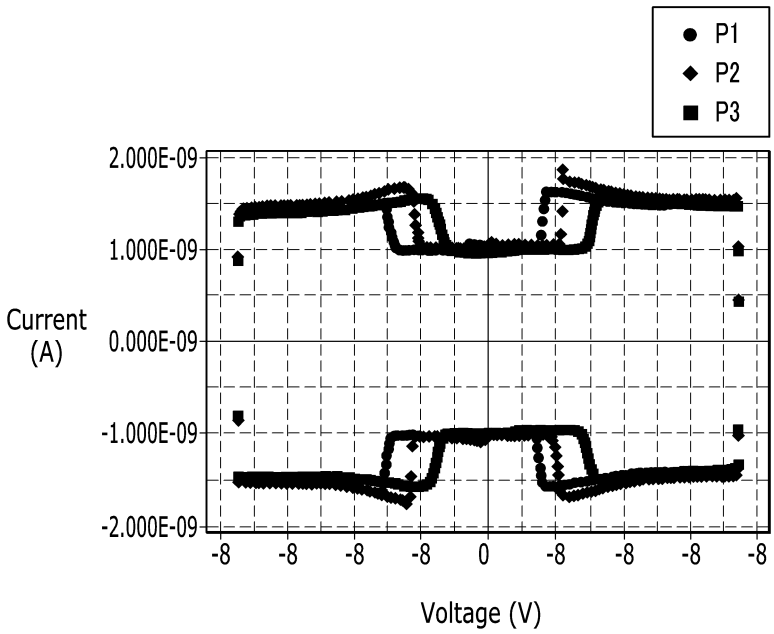
도면1


II
P3
171
270
191c
P2
191b
191a
191b
191c
191
P1
191a
II
TFT
121

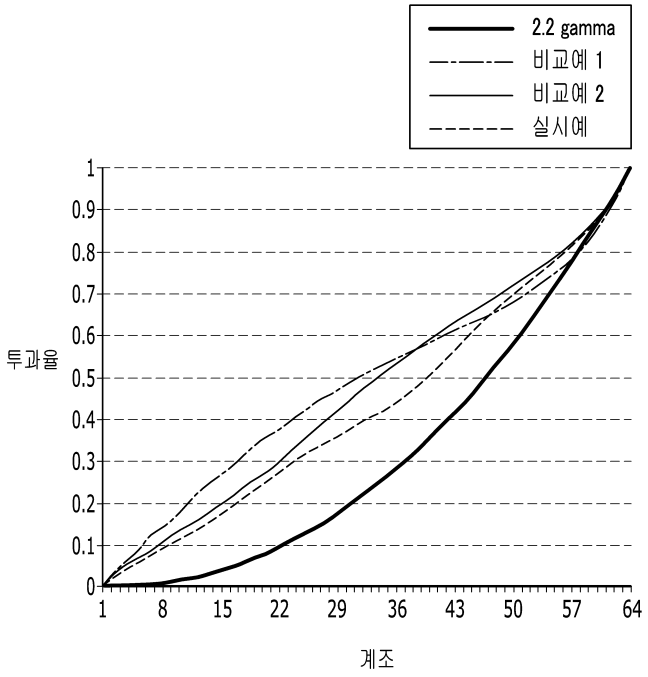
도면2


P3
P2
P1
210
270
200
SN2
21
3
310
11
SN1
100
191c
191b
191a
110

도면3


P1
P2
P3
2.000E-09
1.000E-09
0.000E-09
-1.000E-09
-2.000E-09
Current (A)
-8
-8
-8
-8
0
-8
-8
-8
-8
Voltage (V)

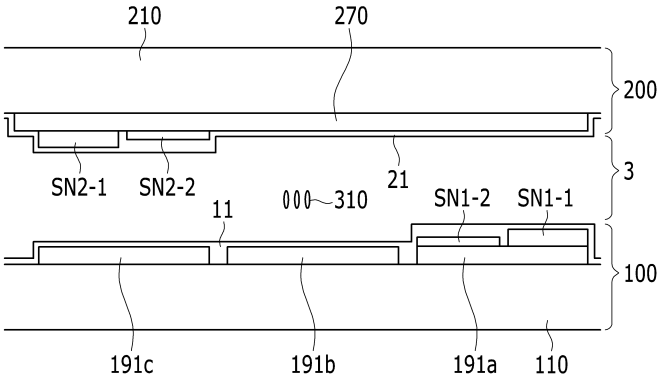
도면4


2.2 gamma
비교예 1
비교예 2
실시예
1
0.9
0.8
0.7
0.6
0.5
0.4
0.3
0.2
0.1
0
투과율
1
8
15
22
29
36
43
50
57
64
계조

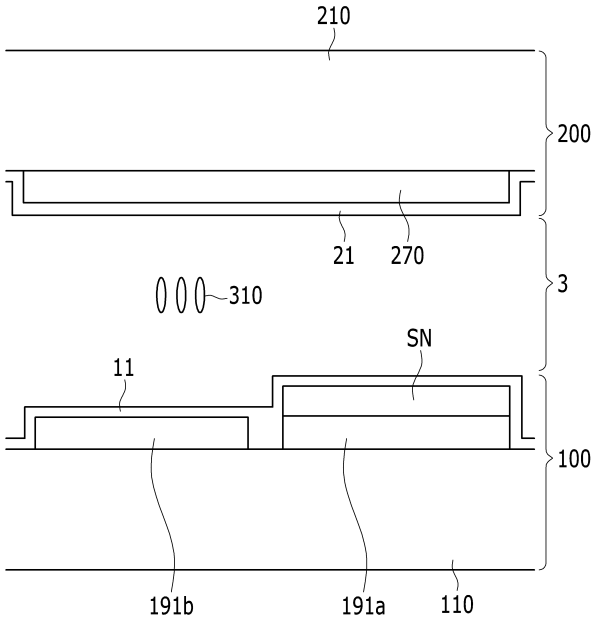
도면5

	비교예 1	비교예 2	실시예
투과율	100.0%	95.0%	96.4%
GDI	0.394	0.310	0.283

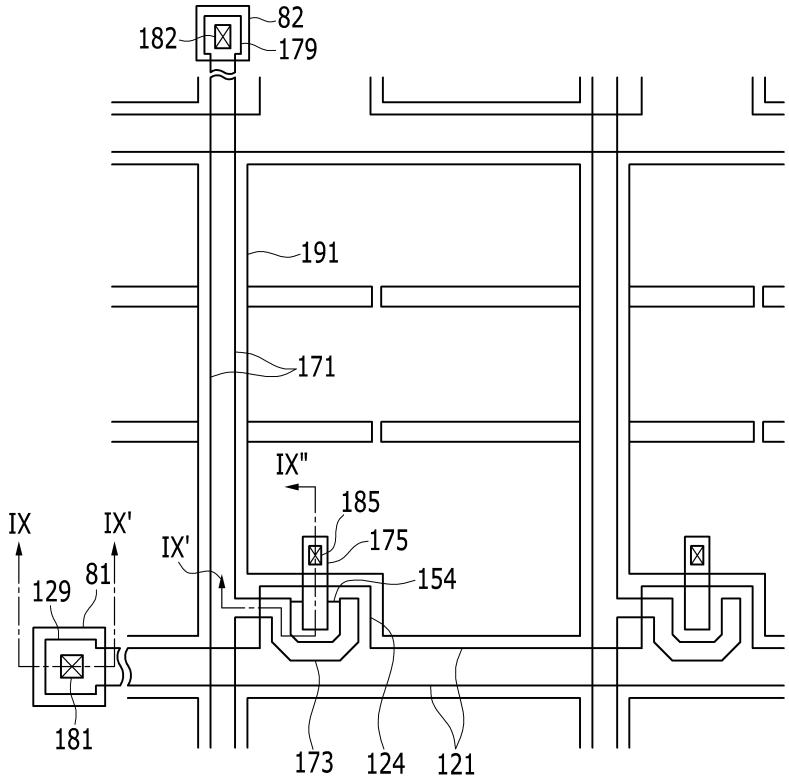
도면6



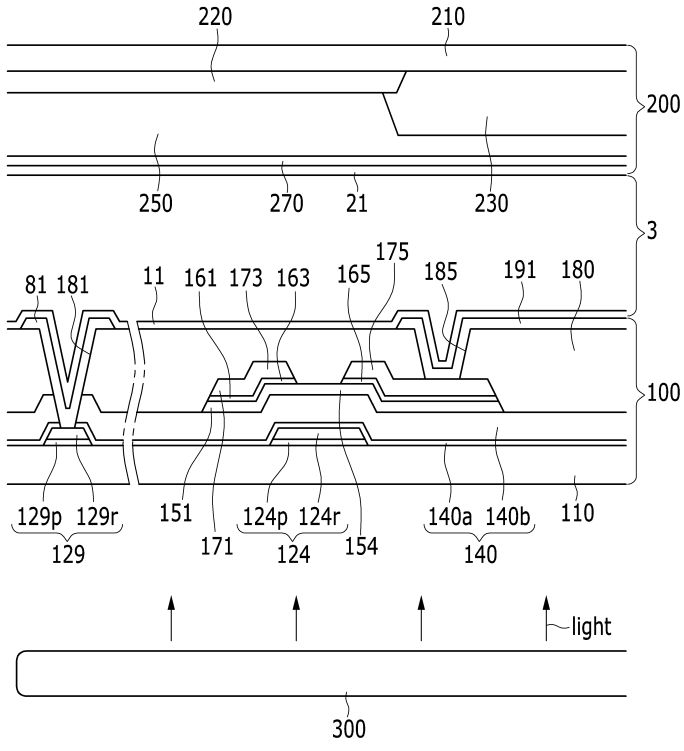
도면7



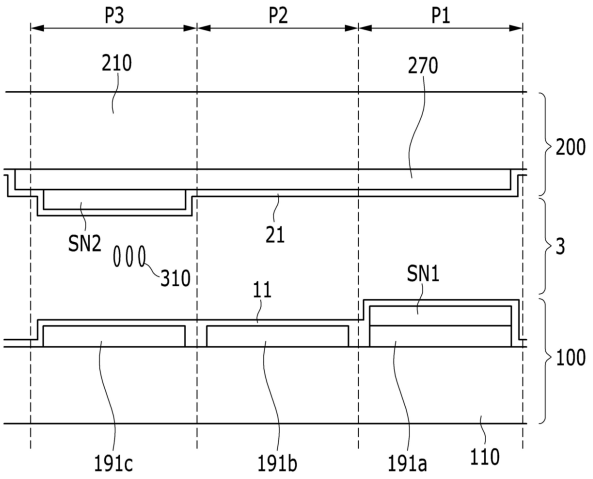
도면8


182
82
179
191
171
IX"
185
175
154
IX
IX'
IX'
129
81
181
173
124
121

도면9


220
210
200
250
270
21
230
3
175
81
181
11
161
173
163
165
185
191
180
100
129p
129r
129
151
171
124p
124r
124
154
140a
140b
140
110
light
300

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020160007983A	公开(公告)日	2016-01-21
申请号	KR1020140086976	申请日	2014-07-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM HYO SIK 김효식 KUM BYUNG GON 금병곤 HAN MIN JU 한민주 HONG JI PHYO 홍지표		
发明人	김효식 금병곤 한민주 홍지표		
IPC分类号	G02F1/139 G02F1/1337		
CPC分类号	G02F1/13439 G02F1/133707 G02F2001/134345 G02F2201/40 Y10T428/10 Y10T428/1059 Y10T428/1064		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置。根据本发明的实施例，液晶显示装置包括：第一基板;第一电极位于第一基板上;第二基板，其定位成面向第一基板;第二电极，位于第二基板上，面向第一电极;和位于第一和第二基板之间的液晶层。本发明的液晶显示装置具有第一区域和第二区域，在第一区域中，氮化硅层位于第一和第二电极之一与液晶层之间，第二区域中氮化硅层不位于其间第一电极和液晶层，以及第二电极和液晶层之间。此外，在对应于第一区域的液晶层中产生的第一电场和对应于第二区域的液晶层中产生的第二电场彼此不同。