



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0002336

(43) 공개일자 2015년01월07일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G02F 1/1345 (2006.01)

G09G 3/36 (2006.01)

(21) 출원번호 10-2013-0076045

(22) 출원일자 2013년06월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최혁

경기 파주시 책향기로 183, 1503동 1405호 (동패동, 책향기마을상록데시아파트)

(74) 대리인

특허법인로알

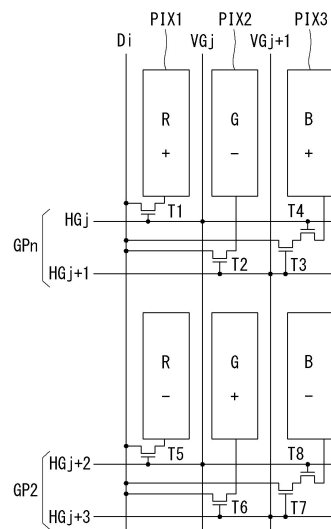
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 본 발명의 액정표시장치는 하나의 데이터 라인을 공유하고 한 쌍의 게이트 라인들로부터의 게이트 펄스들에 응답하여 데이터 전압을 충전하는 제1 내지 제3 서브 픽셀들을 포함한다. 상기 한 쌍의 게이트 라인들은 한 쌍의 수직 게이트 라인들과, 상기 수직 게이트 라인들에 연결된 한 쌍의 수평 게이트 라인들을 포함한다. 상기 한 쌍의 수평 게이트 라인들은 상기 한 쌍의 수직 게이트 라인들로부터 게이트 펄스를 전달 받아 상기 제1 내지 제3 서브 픽셀들의 TFT들을 턴-온시킨다.

대표도 - 도8



특허청구의 범위

청구항 1

하나의 데이터 라인을 공유하고 한 쌍의 게이트 라인들로부터의 게이트 펄스들에 응답하여 데이터 전압을 충전하는 제1 내지 제3 서브 픽셀들을 포함하고,

상기 한 쌍의 게이트 라인들은 한 쌍의 수직 게이트 라인들과, 상기 수직 게이트 라인들에 연결된 한 쌍의 수평 게이트 라인들을 포함하고,

상기 한 쌍의 수평 게이트 라인들은 상기 한 쌍의 수직 게이트 라인들로부터 게이트 펄스를 전달 받아 상기 제1 내지 제3 서브 픽셀들의 TFT들을 턴-온시키는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

한 쌍의 수직 게이트 라인들은 제1 및 제2 수직 게이트 라인들을 포함하고,

상기 한쌍의 수평 게이트 라인들은 상기 제1 수직 게이트 라인에 연결된 제1 수평 게이트 라인, 및 상기 제2 수직 게이트 라인에 연결된 제2 수평 게이트 라인을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 수평 게이트 라인을 통해 제1 기간에 입력되는 제1 게이트 펄스에 응답하여 제1 화소전극에 상기 수직 데이터라인으로부터의 제1 데이터 전압을 공급한 후에, 제3 기간에 입력되는 제2 게이트 펄스에 응답하여 상기 제1 화소전극에 상기 수직 데이터라인으로부터의 제2 데이터 전압을 공급하는 제1 TFT;

상기 제2 수평 게이트 라인을 통해 상기 제1 기간과 제2 기간에 입력되는 제2 게이트 펄스에 응답하여 제2 화소전극에 상기 수직 데이터라인으로부터의 제2 데이터 전압을 공급하는 제1 TFT;

상기 제1 수평 게이트 라인을 통해 상기 제1 기간에 입력되는 상기 제1 게이트 펄스에 응답하여 턴-온되는 제3 TFT; 및

상기 제2 수평 게이트 라인을 통해 상기 제1 기간과 제2 기간에 입력되는 제3 게이트 펄스에 응답하여 턴-온되는 제4 TFT를 포함하고,

상기 제3 및 제4 TFT는 상기 제1 및 제3 게이트 펄스가 동시에 발생될 때 턴-온되어 제3 화소전극에 상기 수직 데이터라인으로부터의 제3 데이터 전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 TFT는 상기 수직 데이터 라인에 연결된 드레인 전극, 상기 제1 화소전극에 연결된 소스 전극 및 상기 제1 수평 게이트 라인에 연결된 게이트 전극을 포함하고,

상기 제2 TFT는 상기 수직 데이터 라인에 연결된 드레인 전극, 상기 제2 화소전극에 연결된 소스 전극 및 상기 제2 수평 게이트 라인에 연결된 게이트 전극을 포함하고,

상기 제3 TFT는 상기 수직 데이터 라인에 연결된 드레인 전극, 상기 제4 TFT의 드레인 전극에 연결된 소스 전극 및 상기 제2 수평 게이트 라인에 연결된 게이트 전극을 포함하고,

상기 제4 TFT는 상기 제3 TFT의 소스 전극에 연결된 드레인 전극, 상기 제3 화소전극에 연결된 소스 전극 및 상기 제1 수평 게이트 라인에 연결된 게이트 전극을 포함하는 것을 특징으로 하는 액정표시장치.

명세서

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것이다.

배경 기술

[0002] 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 전기영동 표시장치(Electrophoretic Display Device: EPD) 등이 있다. 액정표시장치는 액정 분자에 인가되는 전계를 데이터 전압에 따라 제어하여 화상을 표시한다. 액티브 매트릭스 타입의 액정표시장치는 공정 기술과 구동 기술의 발달에 힘입어 가격이 낮아지고 성능이 높아져 소형 모바일 기기부터 대형 텔레비전까지 거의 모든 표시장치에 적용되어 가장 널리 이용되고 있다.

[0003] 액정표시장치의 소스 드라이브 IC(Integrated Circuit) 개수를 줄이기 위하여, 픽셀 어레이를 도 1 및 도 2와 같이 적용하고 데이터 구동 주파수를 3 배속으로 높이는 TRD(Triple rate driving) 기술이 알려져 있다.

[0004] 도 1 및 도 2를 참조하면, TRD 기술은 1 픽셀을 수직 방향(y축 방향)을 따라 배치되는 적색 서브 픽셀(R), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)로 분할한다. 적색 서브 픽셀(R), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)은 하나의 데이터 라인(Di)에 연결된다. TRD 기술은 하나의 픽셀을 구동하기 위하여, 하나의 데이터 라인(Di)과 3 개의 게이트 라인들(Gj, Gj+1, Gj+2)이 필요하다. 데이터 라인(Di)과 게이트 라인들(Gj, Gj+1, Gj+2)의 교차부에는 박막 트랜지스터(Thin Film Transistor, 이하 "TFT"라 함)가 형성된다. TFT는 게이트 라인(Gj, Gj+1, Gj+2)으로부터의 게이트펄스에 따라 턴-온(turn-on)되어 데이터 라인(Di) 상의 데이터전압을 화소 전극에 공급한다.

[0005] 일반적인 픽셀 구조를 갖는 액정표시장치는 RGB 데이터 전압을 3 개의 데이터 라인들을 통해 1 수평 기간에 1 픽셀의 서브 픽셀들에 공급한다. 이에 비하여, TRD 기술은 도 2와 같이 RGB 데이터전압을 1 개의 데이터 라인(Di)을 통해 RGB 서브 픽셀들에 순차적으로 공급한다. 예를 들어, R 데이터전압은 제1 1/3 수평기간에 적색 서브 픽셀(R)에 공급된다. 이어서, G 데이터전압이 제2 1/3 수평기간에 녹색 서브 픽셀(G)에 공급된 다음, B 데이터전압이 제3 1/3 수평기간에 청색 서브 픽셀(B)에 공급된다. 따라서, TRD 기술은 일반적인 픽셀 구조에 비하여 데이터 라인들의 개수를 1/3로 줄일 수 있다. 그러나 TRD 기술에서, 게이트 라인들의 개수는 3 배로 증가하고 데이터 구동 주파수는 3배 높아진다.

[0006] TRD 기술은 게이트 라인들이 차지하는 면적이 증가하여 그 픽셀들의 개구율이 낮아지는 단점이 있다.

[0007] TRD 기술의 서브 픽셀들(R, G, B)의 수평 방향(x) 길이는 수직 방향(y) 길이보다 길다. 따라서, TRD 기술의 서브 픽셀은 수평 방향으로 긴 구조를 갖는다. 이렇게 수평 방향으로 긴 서브 픽셀 구조는 도 3과 같이 텍스트의 문자 가독성(Legibility)이 낮아지는 문제가 있다.

[0008] 도 3은 TRD 기술이 적용된 액정표시장치에 클리어 타입(Clear type)을 적용하여 "A"를 표시한 실험 결과를 나타낸다. 도 3에서 (a)는 TRD 기술의 픽셀 구조이고, (b)는 (a)와 같은 픽셀들로 이루어진 픽셀 어레이에 "A"를 클리어타입(Clear type)으로 표시한 예이다. 클리어타입은 마이크로소프트 윈도의 글꼴 렌더링 기술이다. 도 3에서 확인할 수 있는 바와 같이, 수평 방향(x)으로 긴 서브 픽셀들의 구조로 인하여 클리어타입에서 가독성이 나빠진다.

[0009] 평판 표시장치의 제조사들은 네로우 베젤(Narrow bezel)을 구현하기 위한 다양한 시도를 하고 있다. 네로우 베젤 기술은 표시패널의 가장자리에서 영상이 표시되지 않는 베젤(bezel)을 줄여 같은 크기의 표시패널에서 영상이 표시되는 유효 화면의 크기를 상대적으로 더 크게 할 수 있다. 일반적으로, 표시패널의 좌우 가장자리에 게이트 드라이브 IC가 배치된다. 따라서, 표시패널의 좌우 가장자리에는 게이트 드라이브 IC가 접합되는 영역, 게이트 드라이브 IC와 픽셀 어레이의 수평 게이트 라인들을 연결하는 게이트 링크(gate link) 영역 등이 확보되어야 한다. 이러한 평판 표시장치의 구조적 문제로 인하여 네로우 베젤을 구현하기가 어렵다.

발명의 내용

해결하려는 과제

[0010] 본 발명은 TRD 기술에서 픽셀 개구율을 높이고 가독성을 향상시킬 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0011] 본 발명의 액정표시장치는 하나의 데이터 라인을 공유하고 한 쌍의 게이트 라인들로부터의 게이트 펄스들에 응답하여 데이터 전압을 충전하는 제1 내지 제3 서브 픽셀들을 포함한다.

[0012] 상기 한 쌍의 게이트 라인들은 한 쌍의 수직 게이트 라인들과, 상기 수직 게이트 라인들에 연결된 한 쌍의 수평 게이트 라인들을 포함한다.

[0013] 상기 한 쌍의 수평 게이트 라인들은 상기 한 쌍의 수직 게이트 라인들로부터 게이트 펄스를 전달 받아 상기 제1 내지 제3 서브 픽셀들의 TFT들을 턴-온시킨다.

발명의 효과

[0014] 본 발명은 1 픽셀에서 나뉘어진 다수의 서브 픽셀들을 하나의 데이터 라인과 한 쌍의 게이트 라인들로 구동하고 수직 방향으로 긴 구조로 서브 픽셀을 구현한다. 그 결과, 본 발명은 TRD 기술에서 게이트 라인 개수를 줄여 픽셀 개구율을 높이고 가독성을 향상시킬 수 있는 액정표시장치를 제공한다.

도면의 간단한 설명

[0015] 도 1은 가로 방향으로 긴 TRD 기술의 픽셀 구조를 보여 주는 단면도이다.
 도 2는 도 1에 도시된 픽셀의 구동 신호를 보여 주는 파형도이다.
 도 3은 도 1과 같은 구조의 픽셀들에 문자를 표시한 일 예를 보여 주는 도면이다.
 도 4는 본 발명의 실시예에 따른 액정표시장치를 보여 주는 도면이다.
 도 5는 도 4에 도시된 표시패널 구동회로의 제1 실시예를 보여 주는 도면이다.
 도 6은 도 5에 도시된 COF를 확대하여 보여 주는 도면이다.
 도 7는 도 4에 도시된 표시패널 구동회로의 제2 실시예를 보여 주는 도면이다.
 도 8은 본 발명의 실시예에 따른 픽셀 구조를 보여 주는 등가 회로도이다.
 도 9는 도 8에 도시된 픽셀의 구동 신호를 보여 주는 파형도이다.
 도 10은 도 8과 같은 구조의 픽셀들에 문자를 표시한 일 예를 보여 주는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0017] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로, 실제 제품의 명칭과는 상이할 수 있다.

[0018] 도 4 내지 도 7을 참조하면, 본 발명의 액정표시장치는 표시패널(PNL), 표시패널 구동회로(10), 타이밍 컨트롤러(Timing Controller: TCON)(12) 등을 포함한다.

[0019] 표시패널(PNL)은 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 등 알려져 있는 어떠한 구조의 액정모드으로도 구현될 수 있다.

- [0020] 표시패널(PNL)은 액정층을 사이에 두고 대향하는 상부 기판과 하부 기판을 포함한다. 표시패널(PNL)에서 영상 데이터는 매트릭스 형태로 픽셀들이 배치된 $m \times n$ (m, n 각각은 2 이상의 양의 정수) 픽셀 어레이에 표시된다. 픽셀 어레이는 하부 기판에 형성된 박막 트랜지스터(Thin Film Transistor, 이하 "TFT"라 함) 어레이와, 상부 기판에 형성된 컬러필터 어레이를 포함한다. 픽셀 어레이 밖의 베젤(BZ)은 비표시 영역이다.
- [0021] TFT 어레이는 수직 배선들과 수평 배선들을 포함한다. 수직 배선들은 표시패널(PNL)의 수직 방향(y 축 방향)을 따라 형성된다. 수평 배선들은 표시패널(PNL)의 수평 방향(x 축 방향)을 따라 형성되어 수직 배선들과 직교된다. 수직 배선들은 수직 데이터 라인들(VD), 수직 게이트 라인들(VG), 및 수직 공통 라인들(VC)을 포함한다. 수직 데이터 라인들(VD)에는 데이터 전압이 공급되고, 수직 게이트 라인들(VG)에는 데이터 전압에 동기되는 게이트 펄스가 공급된다. 수직 공통 라인들(VC)에는 도시하지 않은 전원회로로부터 공통전압(V_{com})이 공급된다.
- [0022] 수평 배선들은 수직 게이트 라인들(VG)을 통해 게이트 펄스를 전달받는 수평 게이트 라인들(HG)을 포함한다. 수평 게이트 라인들(HG)은 수직 게이트 라인들(VG)과 연결되어 수직 게이트 라인들(VG)을 통해 게이트 펄스를 공급받는다. 수평 게이트 라인들(HG)은 표시패널(PNL)의 좌측 또는 우측의 베젤(BZ)에서 수직 게이트 라인들(VG)에 연결되거나 픽셀 어레이 내에서 연결될 수 있다.
- [0023] TFT 어레이에서, 도 8과 같이 수직 데이터 라인들(VD)과 수평 게이트 라인들(HG)의 교차부에 TFT들이 형성된다. TFT는 수평 게이트 라인(HG)으로부터의 게이트 펄스에 응답하여 수직 데이터 라인(VD)으로부터의 데이터 전압을 액정셀(Clc)의 화소전극(1)에 공급한다. 액정셀들(Clc) 각각은 TFT를 통해 데이터 전압을 충전하는 화소전극(1)과 공통전압(V_{com})이 인가되는 공통전극(2)의 전압차에 의해 구동된다. 공통전압(V_{com})은 수직 공통 라인들(VC)을 통해 모든 픽셀들의 공통전극(2)에 인가된다. 공통전극(2)과 화소전극(1)은 ITO와 같은 투명전극 소재로 형성된다. 스토리지 커패시터(Cst)는 액정셀(Clc)의 화소전극(1)에 연결되어 액정셀(Clc)의 전압을 1 프레임 기간 동안 유지시킨다.
- [0024] 컬러필터 어레이는 컬러필터와 블랙 매트릭스를 포함한다. 표시패널(PNL)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0025] 표시패널 구동회로(10)는 타이밍 컨트롤러(12)로부터 입력되는 데이터를 표시패널의 픽셀들에 기입한다. 표시패널 구동회로(10)는 데이터전압을 출력하는 소스 드라이브 IC(SIC)와, 게이트펄스를 출력하는 게이트 드라이브 IC(GIC)를 포함한다.
- [0026] 소스 드라이브 IC(SIC)와 게이트 드라이브 IC(GIC)는 도 5와 같이 COF(Chip on film)와 같은 연성회로기판 상에 함께 실장될 수 있다. COF의 입력단은 PCB(Printed Circuit Board)에 접합되고, COF의 출력단은 표시패널(PNL)의 TFT 어레이 기판에 접합된다. COF에서, 소스 드라이브 IC(SIC)에 연결된 배선들(도 6, 점선)과 게이트 드라이브 IC(GIC)에 연결된 배선들(도 6, 실선)이 전기적으로 분리될 수 있도록 그 배선들 사이에는 절연층이 형성된다. 소스 드라이브 IC(SIC)와 게이트 드라이브 IC(GIC)는 도 7과 같이 표시패널(PNL)의 상측 베젤과 하측 베젤에 분리 배치될 수 있다. 소스 드라이브 IC(SIC)와 게이트 드라이브 IC(GIC)는 COG(Chip on glass) 공정으로 표시패널(PNL)의 기판 상에 직접 접합될 수 있다. 이 경우, 소스 드라이브 IC(SIC)는 도 7과 같이 픽셀 어레이 영역(PIXR)의 하측 바깥쪽에 하측 베젤 내에서 기판에 접합될 수 있다. 게이트 드라이브 IC(GIC)는 픽셀 어레이 영역(PIXR)의 상측 바깥쪽에 배치된 상측 베젤 영역 내에서 기판에 접합될 수 있다.
- [0027] 소스 드라이브 IC(SIC)는 타이밍 컨트롤러(12)의 제어 하에 입력 영상의 디지털 비디오 데이터들을 샘플링한 후에 래치(Latch)하여 병렬 데이터 체계의 데이터로 변환한다. 소스 드라이브 IC(SIC)는 타이밍 컨트롤러(12)의 제어 하에 디지털-아날로그 변환기(Digital to Analog converter, DAC)를 이용하여 디지털 비디오 데이터들을 아날로그 감마보상전압으로 변환하여 데이터 전압을 발생하고 그 데이터 전압을 수직 데이터 라인들(VD)에 공급한다. 게이트 드라이브 IC(GIC)는 타이밍 컨트롤러(12)의 제어 하에 데이터 전압에 동기되는 게이트 펄스(또는 스캔펄스)를 제1 수직 게이트 라인으로부터 제 n 수직 게이트 라인까지 순차적으로 공급한다.
- [0028] 소스 드라이브 IC(SIC)와 게이트 드라이브 IC(GIC)은 표시패널(PNL)의 상측 또는 하측에 배치된다. 이 때문에, 표시패널(PNL)의 좌측과 우측 베젤 영역에서 게이트 드라이브 IC(GIC)가 접합되거나 내장될 필요가 없고, 수평 게이트 라인들(HG)과 게이트 드라이브 IC(GIC)를 연결하는 게이트 링크 라인들이 필요없다. 따라서, 본 발명의 표시패널(PNL)의 우측 베젤(BZ)과 우측 베젤(BZ)에서 게이트 드라이브 IC(GIC)의 접합 영역과 게이트 링크 영역이 제거되므로 그 폭이 감소된다. 그 결과, 본 발명의 액정표시장치는 네로우 베젤을 구현할 수 있다.
- [0029] 타이밍 컨트롤러(12)는 호스트 시스템(14)으로부터 수신한 입력 영상의 디지털 비디오 데이터를 소스 드라이브

IC들(SIC)에 전송한다. 타이밍 콘트롤러(12)는 호스트 시스템(14)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 메인 클럭(CLK) 등의 타이밍 신호들을 입력받는다. 이러한 타이밍 신호들은 입력 영상의 디지털 비디오 데이터와 동기된다. 타이밍 콘트롤러(12)는 타이밍 신호(Vsync, Hsync, DE, CLK)를 이용하여 소스 드라이브 IC들(SIC)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와, 게이트 드라이브 IC들(GIC)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다.

[0030] 호스트 시스템(Host System, SYSTEM)(14)은 텔레비전 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 홈 시어터 시스템, 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(14)은 입력 영상의 디지털 비디오 데이터(RGB)를 표시패널(PNL)에 적합한 포맷으로 변환한다. 호스트 시스템(14)은 입력 영상의 디지털 비디오 데이터와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(12)로 전송한다.

[0031] 픽셀 어레이는 도 8과 같이 TRD 구조가 가능한 픽셀 구조로 형성될 수 있다. 다양한 구조로 구현될 수 있다.

[0032] 도 8은 본 발명의 실시예에 따른 픽셀 구조를 보여 주는 등가 회로도이다. 도 9는 도 8에 도시된 픽셀의 구동 신호를 보여 주는 파형도이다. 도 10은 도 8과 같은 구조의 픽셀들에 문자를 표시한 일 예를 보여 주는 도면이다.

[0033] 도 8 및 도 9를 참조하면, 본 발명의 액정표시장치는 3 색의 서브 픽셀들을 구동하기 위하여 1 개의 데이터 라인(Di)과 한 쌍의 게이트 라인들(GPn, GPn+1)을 포함한다. 한 쌍의 게이트 라인들(GPn, GPn+1)은 한 쌍의 수직 게이트 라인들(VGj, VGj+1)과, 그 수직 게이트 라인들(VGj, VGj+1)에 연결된 한 쌍의 수평 게이트 라인들(HGj, Hj+1)을 포함한다. 수평 게이트 라인들(HGj, Hj+1)에는 도 9와 같은 게이트 펄스가 공급된다. 게이트 펄스는 게이트 하이 전압과 게이트 로우 전압 사이에서 스위칭한다.

[0034] 제n(n은 양의 정수) 픽셀은 제n 수평 라인에 형성되고 제n 수평기간에 제i(i는 양의 정수) 데이터 라인(Di)으로부터 제1 내지 제3 색의 데이터전압을 공급받는다. 제n+1 픽셀은 제n+1 수평 라인에 형성되고 제n+1 수평기간에 제i 데이터 라인(Di)으로부터 제1 내지 제3 색의 데이터전압을 공급받는다.

[0035] 제n 및 제n+1 픽셀들 각각은 제i 데이터라인을 공유하는 제1 내지 제3 색의 서브 픽셀들로 나뉘어진다. 도 8에서, 제1 색은 적색(R), 제2 색은 녹색(G), 제3 색은 청색(B)을 예시하였지만, 이에 한정되지 않는다. 한 쌍의 수직 게이트 라인들(VGj, VGj+1) 중에서 하나의 수직 게이트 라인(VGj)은 제1 색의 서브 픽셀과 제2 서브 픽셀 사이의 경계부를 따라 수직으로 형성되고, 다른 수직 게이트 라인(VGj+1)은 제2 색의 서브 픽셀과 제3 서브 픽셀 사이의 경계부를 따라 수직으로 형성된다. 수직 데이터 라인(Di)은 제3 색의 서브 픽셀과 제1 색의 서브 픽셀 사이의 경계부를 따라 수직으로 형성된다.

[0036] 제n 픽셀에서, 제1 색의 서브 픽셀은 제1 TFT(T1)와 제1 화소전극을 포함한다. 제2 색의 서브 픽셀은 제2 TFT(T2)와 제2 화소전극을 포함한다. 제3 색의 서브 픽셀은 제3 및 제4 TFT(T3, T4)와 제3 화소전극을 포함한다.

[0037] 제1 TFT(T1)는 수직 데이터 라인(Di)에 연결된 드레인 전극, 제1 화소전극에 연결된 소스 전극 및 제j 수평 게이트 라인(HGj)에 연결된 게이트 전극을 포함한다. 제2 TFT(T2)는 수직 데이터 라인(Di)에 연결된 드레인 전극, 제2 화소전극에 연결된 소스 전극 및 제j+1 수평 게이트 라인(HGj+1)에 연결된 게이트 전극을 포함한다. 제3 TFT(T3)는 수직 데이터 라인(Di)에 연결된 드레인 전극, 제4 TFT(T4)의 드레인 전극에 연결된 소스 전극 및 제j+1 수평 게이트 라인(HGj+1)에 연결된 게이트 전극을 포함한다. 제4 TFT(T4)는 제3 TFT(T3)의 소스 전극에 연결된 드레인 전극, 제3 화소전극에 연결된 소스 전극 및 제j 수평 게이트 라인(HGj)에 연결된 게이트 전극을 포함한다.

[0038] 제1 TFT(T1)는 제j(j는 양의 정수) 수평 게이트 라인(HGj)으로부터의 게이트펄스에 응답하여 제i 데이터라인(Di) 상의 데이터전압을 제1 화소전극에 공급한다. 제2 TFT(T2)는 제j+1 수평 게이트 라인(HGj)으로부터의 게이트펄스에 응답하여 제i 데이터라인(Di) 상의 데이터전압을 제1 화소전극에 공급한다. 제3 및 제4 TFT(T3, T4)는 제j 및 제j+1 수평 게이트 라인들(HGj, HGj+1)에 동시에 게이트펄스가 공급될 때 턴-온되어 제i 데이터라인(Di) 상의 데이터전압을 제3 화소전극에 공급한다.

[0039] 제n+1 픽셀에서, 제1 색의 서브 픽셀은 제5 TFT(T5)와 제4 화소전극을 포함한다. 제2 색의 서브 픽셀은 제6 TFT(T6)와 제5 화소전극을 포함한다. 제3 색의 서브 픽셀은 제7 및 제8 TFT(T7, T8)와, 제6 화소전극을 포함한다.

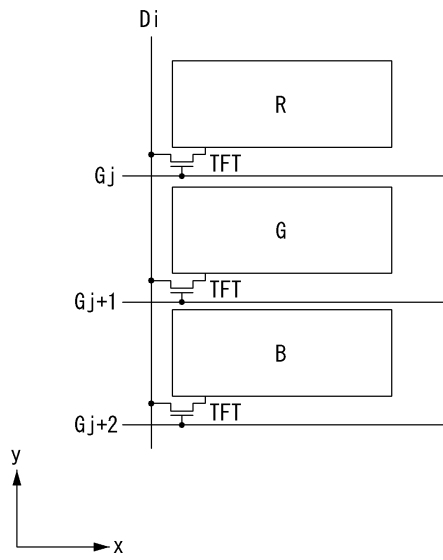
- [0040] 제5 TFT(T5)는 수직 데이터 라인(Di)에 연결된 드레인 전극, 제4 화소전극에 연결된 소스 전극 및 제j+2 수평 게이트 라인(HGj+2)에 연결된 게이트 전극을 포함한다. 제6 TFT(T6)는 수직 데이터 라인(Di)에 연결된 드레인 전극, 제5 화소전극에 연결된 소스 전극 및 제j+3 수평 게이트 라인(HGj+3)에 연결된 게이트 전극을 포함한다. 제7 TFT(T7)는 수직 데이터 라인(Di)에 연결된 드레인 전극, 제8 TFT(T8)의 드레인 전극에 연결된 소스 전극 및 제j+3 수평 게이트 라인(HGj+3)에 연결된 게이트 전극을 포함한다. 제8 TFT(T8)는 제7 TFT(T7)의 소스 전극에 연결된 드레인 전극, 제6 화소전극에 연결된 소스 전극 및 제j+2 수평 게이트 라인(HGj+2)에 연결된 게이트 전극을 포함한다.
- [0041] 제5 TFT(T5)는 제j+2 수평 게이트 라인(HGj+2)으로부터의 게이트펄스에 응답하여 제i 데이터라인(Di) 상의 데이터전압을 제4 화소전극에 공급한다. 제6 TFT(T6)는 제j+3 수평 게이트 라인(HGj+3)으로부터의 게이트펄스에 응답하여 제i 데이터라인(Di) 상의 데이터전압을 제5 화소전극에 공급한다. 제7 및 제8 TFT(T7, T8)는 제j+2 및 제j+3 수평 게이트 라인들(HGj+2, HGj+3)에 동시에 게이트펄스가 공급될 때 턴-온되어 제i 데이터라인(Di) 상의 데이터전압을 제6 화소전극에 공급한다.
- [0042] 1 수평 기간은 제1 1/3 수평 기간, 제2 1/3 수평 기간, 및 제3 1/3 수평기간으로 나뉘어진다. 제j 수평 게이트 라인(HGj)에는 제1 1/3 수평 기간에 제1 게이트 펄스(P1)가 공급된 후에, 제3 1/3 수평 기간에 제2 게이트 펄스(P2)가 공급된다. 제j+1 수평 게이트 라인(HGj+1)에는 제1 1/3 수평 기간과 제2 1/3 수평 기간 제3 게이트 펄스(P3)가 공급된다. 제3 게이트 펄스(P3)의 펄스폭은 제1 및 제2 게이트 펄스 각각에 비하여 2 배이다.
- [0043] 제3 및 제4 TFT들(T3, T4)은 제n 수평 기간의 제1 1/3 수평 기간에 제1 및 제3 게이트 펄스(P1, P3)에 응답하여 동시에 턴-온(turn-on)되어 제3 색의 데이터 전압을 제3 화소전극에 공급한다. 이어서, 제2 TFT(T2)는 제n 수평 기간의 제2 1/3 수평 기간 동안 제3 게이트 펄스(P3)에 응답하여 턴-온되어 제2 색의 데이터 전압을 제2 화소전극에 공급한다. 이어서, 제1 TFT(T1)는 제n 수평 기간의 제1 1/3 수평 기간에 제1 게이트 펄스(P1)에 응답하여 제3 색의 데이터 전압을 제1 화소전극에 공급한 후에, 제3 1/3 수평 기간에 제2 게이트 펄스(P2)에 응답하여 턴-온되어 제1 색의 데이터 전압을 제1 화소전극에 공급한다.
- [0044] 제7 및 제8 TFT들(T7, T8)은 제n+1 수평 기간의 제1 1/3 수평 기간에 제1 및 제3 게이트 펄스(P1, P3)에 응답하여 동시에 턴-온되어 제3 색의 데이터 전압을 제6 화소전극에 공급한다. 이어서, 제6 TFT(T6)는 제n+1 수평 기간의 제2 1/3 수평 기간 동안 제3 게이트 펄스(P3)에 응답하여 턴-온되어 제2 색의 데이터 전압을 제5 화소전극에 공급한다. 이어서, 제5 TFT(T5)는 제n+1 수평 기간의 제1 1/3 수평 기간에 제1 게이트 펄스(P1)에 응답하여 제3 색의 데이터 전압을 제4 화소전극에 공급한 후에, 제3 1/3 수평 기간에 제2 게이트 펄스(P2)에 응답하여 턴-온되어 제1 색의 데이터 전압을 제4 화소전극에 공급한다.
- [0045] 도 8과 같은 픽셀 구조에서, 서브 픽셀의 수직 방향(x축) 길이는 수평 방향 (x축) 길이보다 길다. 따라서, 서브픽셀은 수평 방향으로 긴 구조를 갖는다. 이렇게 수평 방향(x축)으로 긴 서브 픽셀 구조로 인하여, 도 8과 같은 픽셀 구조를 갖는 픽셀 어레이에 텍스트를 표시하면 도 10과 같이 문자 가독성이 현저히 향상된다. 도 10에서 (a)는 수직 방향으로 긴 픽셀 구조이고, (b)는 (a)와 같은 픽셀들로 이루어진 픽셀 어레이에 "A"를 클리어 타입으로 표시한 예이다.
- [0046] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

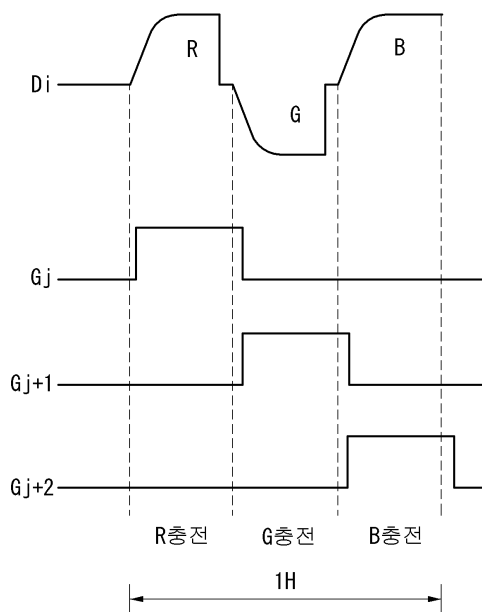
- [0047] PNL : 표시패널
10 : 표시패널 구동회로
12 : 타이밍 컨트롤러
14 : 호스트 시스템
T1~T8 : TFT

도면

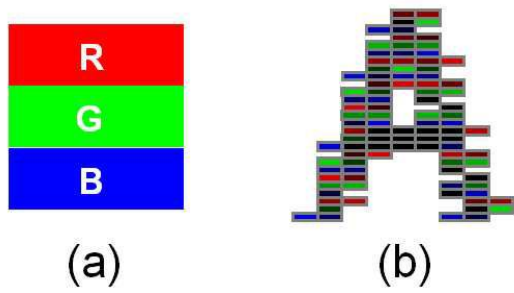
도면1



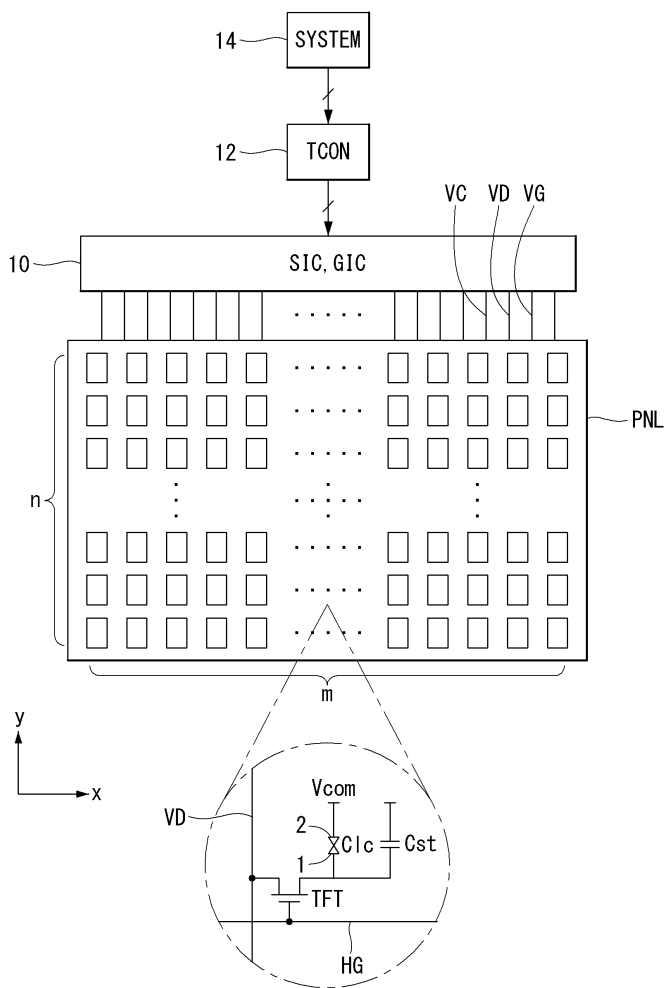
도면2



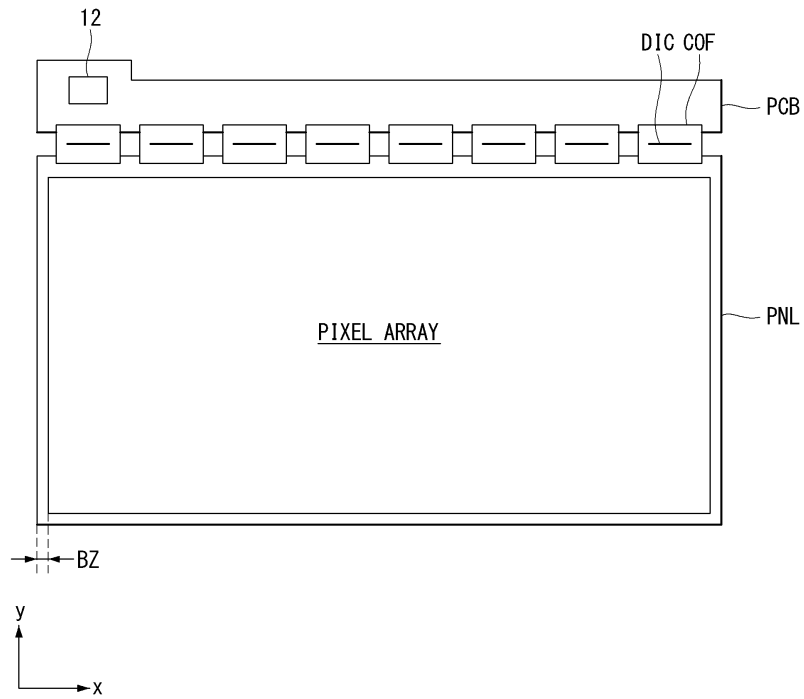
도면3



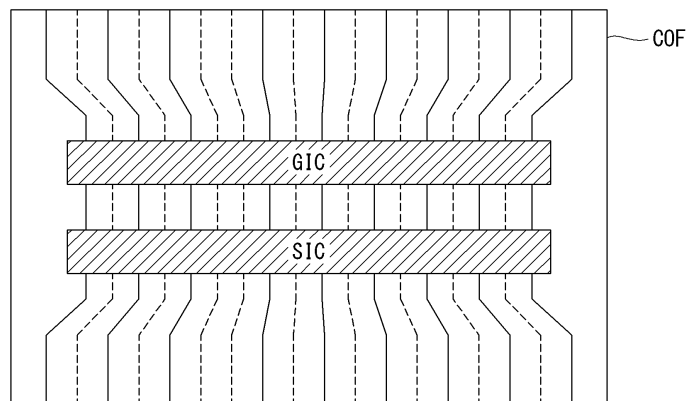
도면4



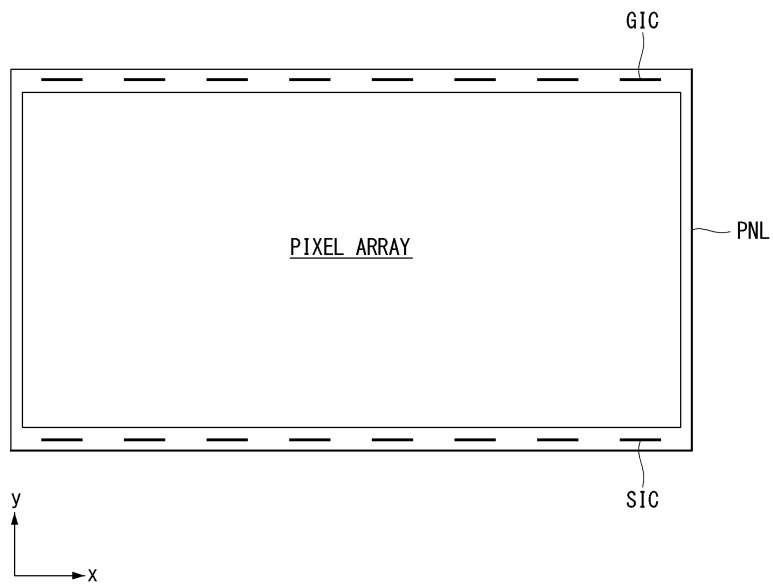
도면5



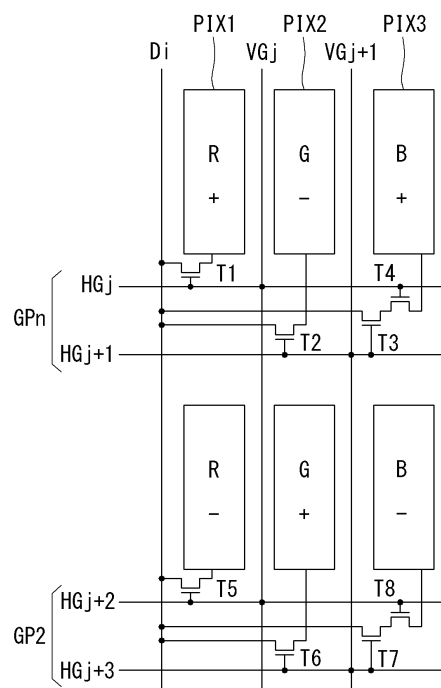
도면6



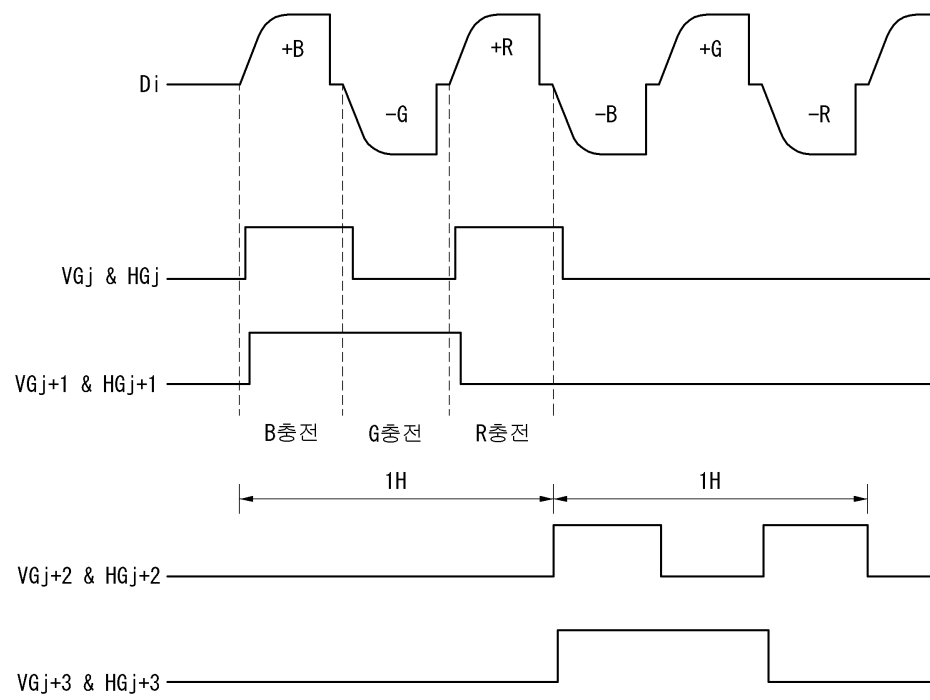
도면7



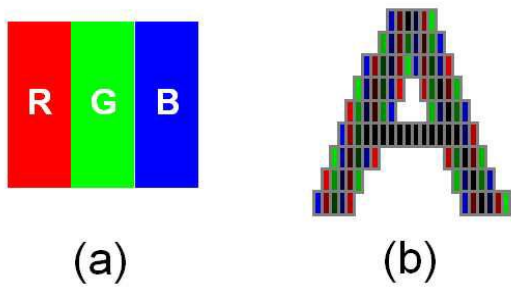
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020150002336A	公开(公告)日	2015-01-07
申请号	KR1020130076045	申请日	2013-06-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHOI HYUCK 최혁		
发明人	최혁		
IPC分类号	G09G3/36 G02F1/133 G02F1/1345		
CPC分类号	G09G3/3611 G02F1/133 G02F1/1345		
其他公开文献	KR102016566B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及一种液晶显示装置，其中本发明的液晶显示装置共用一条数据线并响应来自一对栅极线的栅极脉冲对数据电压充电。包括他们。该对栅极线包括一对垂直栅极线 and 一对连接到垂直栅极线的水平栅极线。该对水平栅极线从该对垂直栅极线接收栅极脉冲，以导通第一至第三子像素的TFT。专利公开10-2015-0002336

