



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0094723
(43) 공개일자 2014년07월31일

(51) 국제특허분류(Int. Cl.)
G02F 1/13 (2006.01) G02F 1/1345 (2006.01)
G02F 1/1368 (2006.01) G01R 31/26 (2014.01)
(21) 출원번호 10-2013-0006611
(22) 출원일자 2013년01월21일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
노성인
경기 화성시 동탄반석로 232, 134동 1301호 (석우동, 예당마을신일유토빌아파트)
김향율
경기 화성시 동탄공원로 21-12, 907동 901호 (능동, 푸른마을포스코더샵아파트)
(74) 대리인
권혁수, 송윤호, 오세준

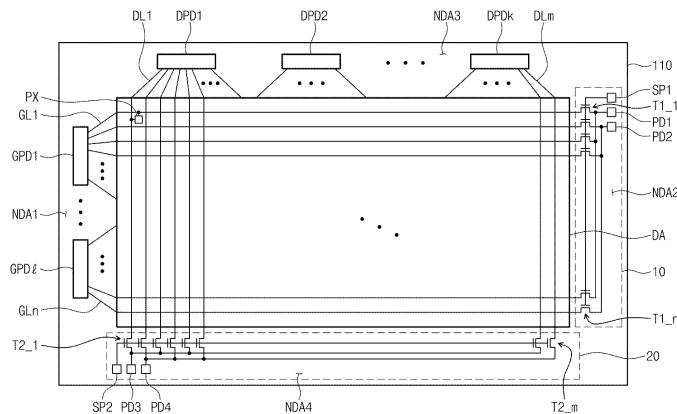
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 박막 트랜지스터 기판, 그것의 검사 방법 및 그것을 포함하는 액정 표시 장치

(57) 요약

박막 트랜지스터 기판은 서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소들이 배치되는 표시 영역, 상기 게이트 라인들의 일측에 연결된 복수의 게이트 패드부들, 대응하는 게이트 라인들의 타측에 연결된 제1 테스트 트랜지스터들, 상기 데이터 라인들의 일측에 연결된 복수의 데이터 패드부들, 대응하는 데이터 라인들의 타측에 연결된 제2 테스트 트랜지스터들, 및 상기 표시 영역 주변에 형성되며, 상기 게이트 패드부들, 상기 데이터 패드부들, 및 상기 제1 및 제2 테스트 트랜지스터들이 배치된 비표시 영역을 포함하고, 상기 제1 테스트 트랜지스터들은 스위칭되어 제1 검사신호를 인가받고, 상기 제2 테스트 트랜지스터들은 스위칭되어 제2 검사신호를 인가받는다.

대표도



(72) 발명자

박승현

서울 도봉구 도봉산길 35, 3동 107호 (도봉동, 가
든아파트)

이재학

서울 광진구 광나루로 346, 브라운 스톤 606호 (화
양동)

특허청구의 범위

청구항 1

서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소들이 배치되는 표시 영역;
 상기 게이트 라인들의 일측에 연결된 복수의 게이트 패드부들;
 대응하는 게이트 라인들의 타측에 연결된 제1 테스트 트랜지스터들;
 상기 데이터 라인들의 일측에 연결된 복수의 데이터 패드부들;
 대응하는 데이터 라인들의 타측에 연결된 제2 테스트 트랜지스터들; 및
 상기 표시 영역 주변에 형성되며, 상기 게이트 패드부들, 상기 데이터 패드부들, 및 상기 제1 및 제2 테스트 트랜지스터들이 배치된 비표시 영역을 포함하고,
 상기 제1 테스트 트랜지스터들은 스위칭되어 제1 검사신호를 인가받고, 상기 제2 테스트 트랜지스터들은 스위칭되어 제2 검사 신호를 인가받는 박막 트랜지스터 기관.

청구항 2

제 1 항에 있어서,
 상기 비표시 영역은,
 상기 표시 영역의 좌측에 인접하고 상기 게이트 패드부들이 배치된 제1 비표시 영역;
 상기 표시 영역의 우측에 인접하고 상기 제1 테스트 트랜지스터들이 배치된 제2 비표시 영역;
 상기 표시 영역의 상측에 인접하고 상기 데이터 패드부들이 배치된 제3 비표시 영역; 및
 상기 표시 영역의 하측에 인접하고 상기 제2 테스트 트랜지스터들이 배치된 제4 비표시 영역을 포함하는 박막 트랜지스터 기관.

청구항 3

제 2 항에 있어서,
 상기 제1 테스트 트랜지스터들을 스위칭하기 위한 제1 스위칭 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 제1 스위칭 패드; 및
 상기 제1 검사 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 복수의 제1 테스트 패드들을 더 포함하고,
 상기 제1 스위칭 패드 및 상기 제1 테스트 패드들은 상기 제2 비표시 영역에 배치되는 박막 트랜지스터 기관.

청구항 4

제 3 항에 있어서,
 상기 제1 테스트 트랜지스터들 각각은,
 상기 제1 스위칭 패드에 공통으로 연결된 게이트 전극;
 상기 대응하는 게이트 라인에 연결된 드레인 전극; 및
 상기 제1 테스트 패드에 연결된 소스 전극을 포함하고,
 상기 제1 테스트 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 각각의 상기 제1 그룹의 상기 제1 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기관.

청구항 5

제 2 항에 있어서,

상기 제2 테스트 트랜지스터들을 스위칭하기 위한 제2 스위칭 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 제2 스위칭 패드; 및

상기 제2 검사 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 복수의 제2 테스트 패드들을 더 포함하고,

상기 제2 스위칭 패드 및 상기 제2 테스트 패드들은 상기 제4 비표시 영역에 배치되는 박막 트랜지스터 기판.

청구항 6

제 5 항에 있어서,

상기 제2 테스트 트랜지스터들 각각은,

상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극;

상기 대응하는 데이터 라인에 연결된 드레인 전극; 및

상기 제2 테스트 패드에 연결된 소스 전극을 포함하고,

상기 제2 테스트 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 각각의 상기 제2 그룹의 상기 제2 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기판.

청구항 7

서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소들이 배치된 표시영역, 및 상기 표시 영역 주변에 형성되고 상기 게이트 라인들의 양단에 연결된 게이트 패드부들 및 제1 테스트부와 상기 데이터 라인들의 양단에 연결된 데이터 패드부들 및 제2 테스트부가 배치되는 비표시 영역을 포함하는 박막 트랜지스터 기판의 검사 방법에 있어서,

상기 제1 테스트부를 통해 상기 게이트 라인들에 제1 검사 신호를 인가하는 단계;

상기 제2 테스트부를 통해 상기 데이터 라인들에 제2 검사 신호를 인가하는 단계;

상기 제1 및 제2 검사 신호들에 의해 상기 표시 영역에 형성된 저항 이미지를 검사하는 단계;

상기 비표시 영역에서, 상기 데이터 패드부들에 연결된 상기 데이터 라인들이 배치된 영역 및 상기 게이트 패드부들에 연결된 상기 게이트 라인들이 배치된 영역으로 정의되는 팬 아웃 영역들 상에 검사 장치를 순차적으로 배치하는 단계; 및

상기 검사 장치와 상기 팬 아웃 영역 사이에 형성된 전계에 따라서 상기 검사 장치의 광의 투과율을 변경시키는 비접촉식 검사 및 상기 검사 장치와 상기 팬 아웃 영역을 접촉시켜 상기 팬 아웃 영역의 출력 신호를 검출하는 접촉식 검사 중 어느 하나를 이용하여 상기 팬 아웃 영역의 결함을 검출하는 단계를 포함하는 박막 트랜지스터 기판의 검사 방법.

청구항 8

제 7 항에 있어서,

상기 비표시 영역은,

상기 표시 영역의 좌측에 인접하고 상기 게이트 패드부들이 배치된 제1 비표시 영역;

상기 표시 영역의 우측에 인접하고 상기 제1 테스트부가 배치된 제2 비표시 영역;

상기 표시 영역의 상측에 인접하고 상기 데이터 패드부들이 배치된 제3 비표시 영역; 및

상기 표시 영역의 하측에 인접하고 상기 제2 테스트부가 배치된 제4 비표시 영역을 포함하는 박막 트랜지스터 기판의 검사 방법.

청구항 9

제 8 항에 있어서,

상기 비 접촉식 검사 방법은,

상기 제3 비표시 영역의 상기 데이터 라인들 및 상기 제1 비표시 영역의 상기 게이트 라인들 상에 소정의 간격을 두어 상기 검사 장치를 순차적으로 배치하는 단계;

상기 검사 장치의 상부에서 상기 검사 장치에 상기 광을 입사하는 단계;

상기 검사 장치와 상기 제3 비표시 영역의 상기 데이터 라인들 사이에 형성된 상기 전계에 따라서 상기 광의 투과율을 변경시키는 단계;

상기 검사 장치와 상기 제1 비표시 영역의 상기 게이트 라인들 사이에 형성된 상기 전계에 따라서 상기 광의 투과율을 변경시키는 단계; 및

상기 광의 투과율에 따라서 상기 검사 장치 내에서 반사되어 상기 검사 장치로부터 출사되는 상기 광을 검출하는 단계를 포함하는 박막 트랜지스터 기판의 검사 방법.

청구항 10

제 9 항에 있어서,

상기 검사 장치는,

상기 제3 비표시 영역의 상기 데이터 라인들 및 상기 제1 비표시 영역의 상기 게이트 라인들과 전계를 형성하는 투명 전극층;

상기 투명 전극층과 마주보며 상기 게이트 전극들 및 상기 데이터 전극들과 소정의 간격을 두고 배치되어 상기 광을 반사시키는 반사층; 및

상기 반사층과 상기 투명 전극층 사이에 형성된 전광 물질층을 포함하고,

상기 전광 물질층은 상기 전계에 따라서 상기 광의 투과율을 변경시키는 박막 트랜지스터 기판의 검사 방법.

청구항 11

제 8 항에 있어서,

상기 게이트 패드부들은 상기 제1 비표시 영역에서 대응하는 게이트 라인들에 연결되는 복수의 게이트 패드들을 포함하고,

상기 데이터 패드부들은 상기 제3 비표시 영역에서 대응하는 데이터 라인들에 연결되는 복수의 데이터 패드들을 포함하는 박막 트랜지스터 기판의 검사 방법.

청구항 12

제 11 항에 있어서,

상기 접촉식 검사 방법은,

상기 제3 비표시 영역의 상기 데이터 패드들 및 상기 제1 비표시 영역의 상기 게이트 패드들에 상기 검사 장치를 순차적으로 접촉시키는 단계;

상기 제3 비표시 영역의 상기 데이터 패드들에서 출력되는 상기 제2 검사 신호를 검출하는 단계; 및

상기 제1 비표시 영역의 상기 게이트 패드들에서 출력되는 상기 제1 검사 신호를 검출하는 단계를 포함하는 박막 트랜지스터 기판의 검사 방법.

청구항 13

제 12 항에 있어서,

상기 검사 장치는,

상기 데이터 패드들 및 상기 게이트 패드들에 순차적으로 접촉되는 탐침을 포함하는 박막 트랜지스터 기판의 검

사 방법.

청구항 14

제 8 항에 있어서,

상기 제1 테스트부는,

대응하는 게이트 라인들에 연결된 제1 테스트 트랜지스터들;

상기 제1 테스트 트랜지스터들을 스위칭하기 위한 제1 스위칭 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 제1 스위칭 패드; 및

상기 제1 검사 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 복수의 제1 테스트 패드들을 더 포함하고,

상기 제1 스위칭 패드 및 상기 제1 테스트 패드들은 상기 제2 비표시 영역에 배치되는 박막 트랜지스터 기관의 검사 방법.

청구항 15

제 14 항에 있어서,

상기 제1 테스트 트랜지스터들 각각은,

상기 제1 스위칭 패드에 공통으로 연결된 게이트 전극;

상기 대응하는 게이트 라인에 연결된 드레인 전극; 및

상기 제1 테스트 패드에 연결된 소스 전극을 포함하고,

상기 제1 테스트 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 각각의 상기 제1 그룹의 상기 제1 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기관의 검사 방법.

청구항 16

제 8 항에 있어서,

상기 제2 테스트부는,

대응하는 데이터 라인들에 연결된 제2 테스트 트랜지스터들;

상기 제2 테스트 트랜지스터들을 스위칭하기 위한 제2 스위칭 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 제2 스위칭 패드; 및

상기 제2 검사 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 복수의 제2 테스트 패드들을 더 포함하고,

상기 제2 스위칭 패드 및 상기 제2 테스트 패드들은 상기 제4 비표시 영역에 배치되는 박막 트랜지스터 기관의 검사 방법.

청구항 17

제 16 항에 있어서,

상기 제2 테스트 트랜지스터들 각각은,

상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극;

상기 대응하는 데이터 라인에 연결된 드레인 전극; 및

상기 제2 테스트 패드에 연결된 소스 전극을 포함하고,

상기 제2 테스트 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 각각의 상기 제2 그룹의 상기 제2 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결되

는 박막 트랜지스터 기관의 검사 방법.

청구항 18

서로 교차하는 게이트 라인들 및 데이터 라인들에 연결되어 게이트 신호들 및 데이터 전압들을 제공받는 복수의 화소들이 형성된 표시 영역 및 상기 표시 영역 주변에 형성된 비표시 영역을 포함하는 박막 트랜지스터 기관;

상기 화소들에 상기 게이트 신호들을 제공하는 게이트 구동부;

상기 화소들에 상기 데이터 전압들을 제공하는 데이터 구동부;

상기 박막 트랜지스터 기관과 마주보는 컬러 필터 기관; 및

상기 박막 트랜지스터 기관과 상기 컬러 필터 기관 사이에 개재된 액정층을 포함하고,

상기 비표시 영역에서 상기 박막 트랜지스터 기관은,

상기 게이트 라인들의 일측과 상기 게이트 구동부에 연결된 복수의 게이트 패드부들;

대응하는 게이트 라인들의 타측에 연결된 제1 테스트 트랜지스터들;

상기 데이터 라인들의 일측과 상기 데이터 구동부에 연결된 복수의 데이터 패드부들; 및

대응하는 데이터 라인들의 타측에 연결된 제2 테스트 트랜지스터들을 포함하고,

상기 제1 테스트 트랜지스터들은 스위칭되어 제1 검사신호를 인가받고, 상기 제2 테스트 트랜지스터들은 스위칭되어 제2 검사 신호를 인가받는 액정 표시 장치.

청구항 19

제 18 항에 있어서,

상기 비표시 영역은,

상기 표시 영역의 좌측에 인접하고 상기 게이트 패드부들이 배치된 제1 비표시 영역;

상기 표시 영역의 우측에 인접하고 상기 제1 테스트 트랜지스터들이 배치된 제2 비표시 영역;

상기 표시 영역의 상측에 인접하고 상기 데이터 패드부들이 배치된 제3 비표시 영역; 및

상기 표시 영역의 하측에 인접하고 상기 제2 테스트 트랜지스터들이 배치된 제4 비표시 영역을 포함하는 액정 표시 장치.

청구항 20

제 19 항에 있어서,

상기 제1 테스트 트랜지스터들을 스위칭하기 위한 제1 스위칭 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 제1 스위칭 패드; 및

상기 제1 검사 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 복수의 제1 테스트 패드들을 더 포함하고,

상기 제1 스위칭 패드 및 상기 제1 테스트 패드들은 상기 제2 비표시 영역에 배치되며,

상기 제1 테스트 트랜지스터들 각각은,

상기 제1 스위칭 패드에 공통으로 연결된 게이트 전극;

상기 대응하는 게이트 라인에 연결된 드레인 전극; 및

상기 제1 테스트 패드에 연결된 소스 전극을 포함하고,

상기 제1 테스트 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 각각의 상기 제1 그룹의 상기 제1 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결되는 액정 표시 장치.

청구항 21

제 19 항에 있어서,

상기 제2 테스트 트랜지스터들을 스위칭하기 위한 제2 스위칭 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 제2 스위칭 패드; 및

상기 제2 검사 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 복수의 제2 테스트 패드들을 더 포함하고,

상기 제2 스위칭 패드 및 상기 제2 테스트 패드들은 상기 제4 비표시 영역에 배치되며,

상기 제2 테스트 트랜지스터들 각각은,

상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극;

상기 대응하는 데이터 라인에 연결된 드레인 전극; 및

상기 제2 테스트 패드에 연결된 소스 전극을 포함하고,

상기 제2 테스트 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 각각의 상기 제2 그룹의 상기 제2 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결되는 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은 박막 트랜지스터 기관, 그것의 검사 방법 및 그것을 포함하는 액정 표시 장치에 관한 것이다.

배경기술

[0002] 일반적으로 액정 표시 장치는 영상을 표시하는 표시 패널 및 표시 패널에 광을 제공하는 백라이트 유닛을 포함한다. 표시 패널은 박막 트랜지스터들이 형성된 박막 트랜지스터 기관, 박막 트랜지스터 기관과 마주보고 컬러 필터들이 형성된 컬러 필터 기관, 및 박막 트랜지스터 기관과 컬러 필터 기관 사이에 개재된 액정층을 포함한다.

[0003] 박막 트랜지스터 기관에는 복수의 화소들이 정의되고, 복수의 화소들은 대응되는 박막 트랜지스터들에 의해 구동된다. 박막 트랜지스터들에 의해 화소들에 화소 전압이 제공되고, 화소 전압에 따라서 액정층의 액정들의 배열이 변화된다. 변화된 액정들의 배열에 따라서 광 투과율이 조절되어 영상이 표시된다.

[0004] 표시 패널의 제조 시 각 단계에서 제품의 불량 여부를 검출하기 위한 다양한 검사가 요구된다. 이러한 검사는 비주얼 검사(visual inspection, VI), 그로스 테스트(gross test; G/T), 파이널 테스트(final test) 및 어레이 테스트(array test)등으로 나누어진다.

[0005] 이중 비주얼 검사를 수행할 경우, 쇼팅바를 이용하여 박막 트랜지스터 기관에 검사 신호가 인가된다. 검사 신호가 인가된 후, 화소들이 형성된 액티브 영역의 게이트 라인, 데이터 라인, 및 화소들 사이의 쇼트나 오픈 상태가 육안으로 검출된다. 비주얼 검사는 박막 트랜지스터 기관의 화소에 연결되는 게이트 라인 및 데이터 라인에 일정한 전압을 인가하여 저항 이미지를 관찰함으로써 수행될 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 공간적 제약 없이 비표시 영역을 효율적으로 활용하여 비주얼 검사를 수행하기 위한 테스트 부들이 배치된 박막 트랜지스터 기관을 제공하는데 있다.

[0007] 본 발명의 또 다른 목적은 비주얼 검사 방법에 의해 표시 영역의 결함을 검출하고, 비접촉 또는 접촉 방식에 의해 팬 아웃 영역들의 게이트 라인들 및 데이터 라인들의 결함을 검출할 수 있는 박막 트랜지스터 기관의 검사 방법을 제공하는데 있다.

과제의 해결 수단

- [0008] 본 발명의 실시 예에 따른 박막 트랜지스터 기판은 서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소들이 배치되는 표시 영역, 상기 게이트 라인들의 일측에 연결된 복수의 게이트 패드부들, 대응하는 게이트 라인들의 타측에 연결된 제1 테스트 트랜지스터들, 상기 데이터 라인들의 일측에 연결된 복수의 데이터 패드부들, 대응하는 데이터 라인들의 타측에 연결된 제2 테스트 트랜지스터들, 및 상기 표시 영역 주변에 형성되며, 상기 게이트 패드부들, 상기 데이터 패드부들, 및 상기 제1 및 제2 테스트 트랜지스터들이 배치된 비표시 영역을 포함하고, 상기 제1 테스트 트랜지스터들은 스위칭되어 제1 검사신호를 인가받고, 상기 제2 테스트 트랜지스터들은 스위칭되어 제2 검사 신호를 인가받는다.
- [0009] 상기 비표시 영역은, 상기 표시 영역의 좌측에 인접하고 상기 게이트 패드부들이 배치된 제1 비표시 영역, 상기 표시 영역의 우측에 인접하고 상기 제1 테스트 트랜지스터들이 배치된 제2 비표시 영역, 상기 표시 영역의 상측에 인접하고 상기 데이터 패드부들이 배치된 제3 비표시 영역, 및 상기 표시 영역의 하측에 인접하고 상기 제2 테스트 트랜지스터들이 배치된 제4 비표시 영역을 포함한다.
- [0010] 상기 제1 테스트 트랜지스터들을 스위칭하기 위한 제1 스위칭 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 제1 스위칭 패드, 및 상기 제1 검사 신호를 수신하여 상기 제1 테스트 트랜지스터들에 제공하는 복수의 제1 테스트 패드들을 더 포함하고, 상기 제1 스위칭 패드 및 상기 제1 테스트 패드들은 상기 제2 비표시 영역에 배치된다.
- [0011] 상기 제1 테스트 트랜지스터들 각각은, 상기 제1 스위칭 패드에 공통으로 연결된 게이트 전극, 상기 대응하는 게이트 라인에 연결된 드레인 전극, 및 상기 제1 테스트 패드에 연결된 소스 전극을 포함하고, 상기 제1 테스트 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 각각의 상기 제1 그룹의 상기 제1 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결된다.
- [0012] 상기 제2 테스트 트랜지스터들을 스위칭하기 위한 제2 스위칭 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 제2 스위칭 패드, 및 상기 제2 검사 신호를 수신하여 상기 제2 테스트 트랜지스터들에 제공하는 복수의 제2 테스트 패드들을 더 포함하고, 상기 제2 스위칭 패드 및 상기 제2 테스트 패드들은 상기 제4 비표시 영역에 배치된다.
- [0013] 상기 제2 테스트 트랜지스터들 각각은, 상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극, 상기 대응하는 데이터 라인에 연결된 드레인 전극, 및 상기 제2 테스트 패드에 연결된 소스 전극을 포함하고, 상기 제2 테스트 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 각각의 상기 제2 그룹의 상기 제2 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결된다.
- [0014] 본 발명의 실시 예에 따른 박막 트랜지스터 기판의 검사 방법은 서로 교차하는 게이트 라인들 및 데이터 라인들에 연결된 복수의 화소들이 배치된 표시영역, 및 상기 표시 영역 주변에 형성되고 상기 게이트 라인들의 양단에 연결된 게이트 패드부들 및 제1 테스트부와 상기 데이터 라인들의 양단에 연결된 데이터 패드부들 및 제2 테스트부가 배치되는 비표시 영역을 포함하는 박막 트랜지스터 기판의 검사 방법에 있어서, 상기 제1 테스트부를 통해 상기 게이트 라인들에 제1 검사 신호를 인가하는 단계, 상기 제2 테스트부를 통해 상기 데이터 라인들에 제2 검사 신호를 인가하는 단계, 상기 제1 및 제2 검사 신호들에 의해 상기 표시 영역에 형성된 저항 이미지를 검사하는 단계, 상기 비표시 영역에서, 상기 데이터 패드부들에 연결된 상기 데이터 라인들이 배치된 영역 및 상기 게이트 패드부들에 연결된 상기 게이트 라인들이 배치된 영역으로 정의되는 팬 아웃 영역들 상에 검사 장치를 순차적으로 배치하는 단계, 및 상기 검사 장치와 상기 팬 아웃 영역 사이에 형성된 전계에 따라서 상기 검사 장치의 광의 투과율을 변경시키는 비접촉식 검사 및 상기 검사 장치와 상기 팬 아웃 영역을 접촉시켜 상기 팬 아웃 영역의 출력 신호를 검출하는 접촉식 검사 중 어느 하나를 이용하여 상기 팬 아웃 영역의 결함을 검출하는 단계를 포함한다.
- [0015] 상기 비표시 영역은, 상기 표시 영역의 좌측에 인접하고 상기 게이트 패드부들이 배치된 제1 비표시 영역, 상기 표시 영역의 우측에 인접하고 상기 제1 테스트부가 배치된 제2 비표시 영역, 상기 표시 영역의 상측에 인접하고 상기 데이터 패드부들이 배치된 제3 비표시 영역, 및 상기 표시 영역의 하측에 인접하고 상기 제2 테스트부가 배치된 제4 비표시 영역을 포함한다.
- [0016] 상기 비 접촉식 검사 방법은, 상기 제3 비표시 영역의 상기 데이터 라인들 및 상기 제1 비표시 영역의 상기 게이트 라인들 상에 소정의 간격을 두어 상기 검사 장치를 순차적으로 배치하는 단계, 상기 검사 장치의 상부에서 상기 검사 장치에 상기 광을 입사하는 단계, 상기 검사 장치와 상기 제3 비표시 영역의 상기 데이터 라인들 사

이에 형성된 상기 전계에 따라서 상기 광의 투과율 변경시키는 단계, 상기 검사 장치와 상기 제1 비표시 영역의 상기 게이트 라인들 사이에 형성된 상기 전계에 따라서 상기 광의 투과율을 변경시키는 단계, 및 상기 광의 투과율에 따라서 상기 검사 장치 내에서 반사되어 상기 검사 장치로부터 출사되는 상기 광을 검출하는 단계를 포함한다.

[0017] 상기 검사 장치는, 상기 제3 비표시 영역의 상기 데이터 라인들 및 상기 제1 비표시 영역의 상기 게이트 라인들과 전계를 형성하는 투명 전극층, 상기 투명 전극층과 마주보며 상기 게이트 전극들 및 상기 데이터 전극들과 소정의 간격을 두고 배치되어 상기 광을 반사시키는 반사층, 및 상기 반사층과 상기 투명 전극층 사이에 형성된 전광 물질층을 포함하고, 상기 전광 물질층은 상기 전계에 따라서 상기 광의 투과율을 변경시킨다.

[0018] 상기 게이트 패드부들은 상기 제1 비표시 영역에서 대응하는 게이트 라인들에 연결되는 복수의 게이트 패드들을 포함하고, 상기 데이터 패드부들은 상기 제3 비표시 영역에서 대응하는 데이터 라인들에 연결되는 복수의 데이터 패드들을 포함한다.

[0019] 상기 접촉식 검사 방법은, 상기 제3 비표시 영역의 상기 데이터 패드들 및 상기 제1 비표시 영역의 상기 게이트 패드들에 상기 검사 장치를 순차적으로 접촉시키는 단계, 상기 제3 비표시 영역의 상기 데이터 패드들에서 출력되는 상기 제2 검사 신호를 검출하는 단계, 및 상기 제1 비표시 영역의 상기 게이트 패드들에서 출력되는 상기 제1 검사 신호를 검출하는 단계를 포함한다.

[0020] 본 발명의 실시 예에 따른 액정 표시 장치는 서로 교차하는 게이트 라인들 및 데이터 라인들에 연결되어 게이트 신호들 및 데이터 전압들을 제공받는 복수의 화소들이 형성된 표시 영역 및 상기 표시 영역 주변에 형성된 비표시 영역을 포함하는 박막 트랜지스터 기관, 상기 화소들에 상기 게이트 신호들을 제공하는 게이트 구동부, 상기 화소들에 상기 데이터 전압들을 제공하는 데이터 구동부, 상기 박막 트랜지스터 기관과 마주보는 컬러 필터 기관, 및 상기 박막 트랜지스터 기관과 상기 컬러 필터 기관 사이에 개재된 액정층을 포함하고, 상기 비표시 영역에서 상기 박막 트랜지스터 기관은, 상기 게이트 라인들의 일측과 상기 게이트 구동부에 연결된 복수의 게이트 패드부들, 대응하는 게이트 라인들의 타측에 연결된 제1 테스트 트랜지스터들, 상기 데이터 라인들의 일측과 상기 데이터 구동부에 연결된 복수의 데이터 패드부들, 및 대응하는 데이터 라인들의 타측에 연결된 제2 테스트 트랜지스터들을 포함하고, 상기 제1 테스트 트랜지스터들은 스위칭되어 제1 검사신호를 인가받고, 상기 제2 테스트 트랜지스터들은 스위칭되어 제2 검사 신호를 인가받는다.

발명의 효과

[0021] 본 발명의 박막 트랜지스터 기관은 공간적 제약 없이 비표시 영역을 효율적으로 활용하여 비주얼 검사를 수행하기 위한 테스트 부들을 배치할 수 있다.

[0022] 본 발명의 박막 트랜지스터 기관의 검사 방법은 비주얼 검사 방법에 의해 표시 영역의 결함을 검출하고, 비접촉 또는 접촉 방식에 의해 펜 아웃 영역들의 게이트 라인들 및 데이터 라인들의 결함을 검출할 수 있다.

도면의 간단한 설명

[0023] 도 1은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 평면도이다.

도 2a 내지 도 2c는 박막 트랜지스터 기관의 다양한 결함 상태를 보여주는 도면이다.

도 3은 펜 아웃 영역의 결함을 검출하는 제1 검사 장치를 도시한 도면이다.

도 4는 도 3에 도시된 제1 검사 장치를 이용하여 펜 아웃 영역의 결함을 검출하는 방법을 도시한 도면이다.

도 5는 제2 검사 장치를 이용하여 펜 아웃 영역의 결함을 검출하는 방법을 도시한 도면이다.

도 6은 도 1에 도시된 박막 트랜지스터 기관의 비주얼 검사 방법을 도시한 순서도이다.

도 7은 도 1에 도시된 박막 트랜지스터 기관을 포함하는 액정 표시 장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.

[0025] 도 1은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 평면도이다.

[0026] 도 1을 참조하면, 박막 트랜지스터 기관(110)은 복수의 게이트 라인들(GL1~GLn), 복수의 데이터 라인들

(DL1~DLm), 복수의 화소들(PX), 제1 테스트 부(10), 및 제2 테스트 부(20)를 포함한다.

- [0027] 박막 트랜지스터 기관(110)의 평면상의 영역은 표시 영역(DA) 및 표시 영역(DA)의 주변에 형성된 비표시 영역(NDA1, NDA2, NDA3, NDA4)을 포함한다.
- [0028] 박막 트랜지스터 기관(110)의 표시 영역(DA)에 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)이 배치된다. 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)은 서로 절연되어 교차한다. m 및 n은 0보다 큰 정수이다.
- [0029] 화소들(PX)은 표시 영역(DA)에서 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)이 교차하는 영역에 배치된다. 화소들(PX)은 서로 교차하는 n개의 행들 및 m개의 열들로 배열될 수 있다. 화소들(PX)은 각각 대응하는 게이트 라인들(GL1~GLn) 및 대응하는 데이터 라인들(DL1~DLm)에 연결된다.
- [0030] 비표시 영역(NDA1, NDA2, NDA3, NDA4)은 표시 영역(DA)의 좌측에 인접한 영역으로 정의되는 제1 비표시 영역(NDA1), 표시 영역(DA)의 우측에 인접한 영역으로 정의되는 제2 비표시 영역(NDA2), 표시 영역(DA)의 상측에 인접한 영역으로 정의되는 제3 비표시 영역(NDA3), 및 표시 영역(DA)의 하측에 인접한 영역으로 정의되는 제4 비표시 영역(NDA4)을 포함한다.
- [0031] 제1 비표시 영역(NDA1)에는 복수의 게이트 패드부들(GPD1~GPD1)이 배치될 수 있다. 1은 0보다 크고 n보다 작은 정수이다. 게이트 라인들(GL1~GLn)의 일측은 게이트 패드부들(GPD1~GPD1)에 연결된다. 구체적으로, 게이트 라인들(GL1~GLn)은 제1 비표시 영역(NDA1)으로 연장되어 게이트 패드부들(GPD1~GPD1)에 연결된다. 게이트 패드부들(GPD1~GPD1)은 각각 대응되는 소정의 개수의 게이트 라인들에 연결된다.
- [0032] 게이트 패드부들(GPD1~GPD1)에는 각각 대응되는 게이트 구동칩들(미 도시됨)이 연결된다. 게이트 구동칩들로부터 게이트 패드부들(GPD1~GPD1)에 게이트 신호들이 제공된다. 게이트 패드부들(GPD1~GPD1)에 연결된 게이트 라인들(GL1~GLn)을 통해 게이트 신호들이 화소들에 행 단위로 그리고 순차적으로 제공된다. 게이트 구동칩들이 게이트 라인들(GL1~GLn)에 연결되는 구성은 이하, 도 7을 참조하여 설명될 것이다.
- [0033] 제1 테스트 부(10)는 제1 비표시 영역(NDA1)의 반대측인 제2 비표시 영역(NDA2)에 배치될 수 있다. 제1 테스트 부(10)는 게이트 라인들(GL1~GLn)의 타측에 연결된다. 구체적으로, 게이트 라인들(GL1~GLn)은 제2 비표시 영역(NDA2)으로 연장되어 제1 테스트 부(10)에 연결될 수 있다.
- [0034] 제1 테스트 부(10)는 복수의 제1 테스트 트랜지스터들(T1_1~T1_n), 제1 스위칭 패드(SP1), 및 복수의 제1 테스트 패드들(PD1, PD2)을 포함할 수 있다.
- [0035] 제1 테스트 트랜지스터들(T1_1~T1_n)의 게이트 전극들은 제1 스위칭 패드(SP1)에 공통으로 연결된다. 제1 테스트 트랜지스터들(T1_1~T1_n)의 드레인 전극들은 각각 대응되는 게이트 라인들(GL1~GLn)에 연결된다.
- [0036] 제1 테스트 트랜지스터들(T1_1~T1_n)은 제1 테스트 패드들(PD1, PD2)에 대응되는 복수의 제1 그룹들로 구분될 수 있다. 각각의 제1 그룹의 제1 테스트 트랜지스터들의 소스 전극들은 대응되는 제1 테스트 패드에 공통으로 연결될 수 있다.
- [0037] 예를 들어, 제1 그룹들은 제1 테스트 트랜지스터들(T1_1~T1_n) 중 홀수 번째 트랜지스터들(T1_1, T1_3, ..., T1_{n-1})로 구성된 제1 서브 그룹과 짝수 번째 트랜지스터들(T1_2, T1_4, ..., T1_n)로 구성된 제2 서브 그룹을 포함할 수 있다. 제1 테스트 패드들(PD1, PD2)은 제1 서브 그룹에 대응되는 제1 패드(PD1) 및 제2 서브 그룹에 대응되는 제2 패드(PD2)를 포함할 수 있다. 제1 서브 그룹의 제1 테스트 트랜지스터들(T1_1, T1_3, ..., T1_{n-1})의 소스 전극들은 대응되는 제1 패드(PD1)에 공통으로 연결된다. 제2 서브 그룹의 제1 테스트 트랜지스터들(T1_2, T1_4, ..., T1_n)의 소스 전극들은 대응되는 제2 패드(PD2)에 공통으로 연결된다.
- [0038] 게이트 라인들(GL1~GLn)은 홀수 번째 게이트 라인들(GL1, GL3, ..., GL_{n-1})로 정의되는 제1 게이트 라인들(GL1, GL3, ..., GL_{n-1}) 및 짝수 번째 게이트 라인들(GL2, GL4, ..., GL_n)로 정의되는 제2 게이트 라인들(GL2, GL4, ..., GL_n)을 포함할 수 있다. 제2 비표시 영역(NDA2)에서 제1 게이트 라인들(GL1, GL3, ..., GL_{n-1}) 보다 제2 게이트 라인들(GL2, GL4, ..., GL_n)이 더 길게 연장될 수 있다.
- [0039] 제1 서브 그룹의 제1 테스트 트랜지스터들(T1_1, T1_3, ..., T1_{n-1})의 드레인 전극들은 각각 대응하는 제1 게이트 라인들(GL1, GL3, ..., GL_{n-1})에 연결된다. 제2 서브 그룹의 제1 테스트 트랜지스터들(T1_2, T1_4, ..., T1_n)의 드레인 전극들은 각각 대응하는 제2 게이트 라인들(GL2, GL4, ..., GL_n)에 연결된다.
- [0040] 예시적인 실시 예로서, 2개의 제1 그룹들 및 2개의 제1 테스트 패드들(PD1, PD2)의 구성이 설명되었으나, 제1 그룹들 및 제1 테스트 패드들의 개수는 이에 한정되지 않는다, 제1 테스트 트랜지스터들(T1_1~T1_n)은 2개보다 많

은 개수의 제1 그룹들로 구분될 수 있다. 이러한 경우, 제1 테스트 패드들의 개수는 제1 그룹들의 개수에 대응되도록 준비될 수 있다.

- [0041] 예를 들어, 제1 테스트 트랜지스터들($T1_1 \sim T1_n$)은 제1, 제2, 및 제3 트랜지스터들이 반복적으로 배치될 수 있다. 이러한 경우, 제1 트랜지스터들, 제2 트랜지스터들, 및 제3 트랜지스터들은 3개의 제1 그룹들로 구분되고, 3개의 제1 그룹들에 대응되는 3개의 제1 테스트 패드들이 준비될 수 있다. 각각의 제1 테스트 패드는 대응되는 제1 그룹의 트랜지스터들에 공통으로 연결될 수 있다. 제1 그룹들로 구분되지 않고 제1 테스트 트랜지스터들($T1_1 \sim T1_n$)은 하나의 제1 테스트 패드에 공통으로 연결될 수 있다.
- [0042] 제3 비표시 영역(NDA3)에는 복수의 데이터 패드부들(DPD1~DPDk)이 배치될 수 있다. k는 0보다 크고 m보다 작은 정수이다. 데이터 라인들(DL1~DLm)의 일측은 데이터 패드부들(DPD1~DPDk)에 연결된다. 구체적으로, 데이터 라인들(DL1~DLm)은 제3 비표시 영역(NDA3)으로 연장되어 데이터 패드부들(DPD1~DPDk)에 연결된다. 데이터 패드부들(DPD1~DPDk)은 각각 대응되는 소정의 개수의 데이터 라인들에 연결된다.
- [0043] 데이터 패드부들(DPD1~DPDk)에는 각각 대응되는 소스 구동칩들(미 도시됨)이 연결된다. 소스 구동칩들로부터 데이터 패드부들(DPD1~DPDk)에 데이터 전압들이 제공된다. 데이터 패드부들(DPD1~DPDk)에 연결된 데이터 라인들(DL1~DLm)을 통해 데이터 전압들이 화소들에 제공된다. 소스 구동칩들이 데이터 패드부들(DPD1~DPDk)에 연결되는 구성은 이하, 도 7을 참조하여 설명될 것이다.
- [0044] 제2 테스트 부(20)는 제3 비표시 영역(NDA3)의 반대측인 제4 비표시 영역(NDA4)에 배치될 수 있다. 제2 테스트 부(20)는 데이터 라인들(DL1~DLm)의 타측에 연결된다. 구체적으로, 데이터 라인들(DL1~DLm)은 제4 비표시 영역(NDA4)으로 연장되어 제2 테스트 부(20)에 연결될 수 있다.
- [0045] 제2 테스트 부(20)는 복수의 제2 테스트 트랜지스터들($T2_1 \sim T2_m$), 제2 스위칭 패드(SP2), 및 복수의 제2 테스트 패드들(PD3, PD4)을 포함한다.
- [0046] 제2 테스트 트랜지스터들($T2_1 \sim T2_m$)의 게이트 전극들은 제2 스위칭 패드(SP2)에 공통으로 연결된다. 제2 테스트 트랜지스터들($T2_1 \sim T2_m$)의 드레인 전극들은 각각 대응되는 데이터 라인들(DL1~DLm)에 연결된다.
- [0047] 제2 테스트 트랜지스터들($T2_1 \sim T2_m$)은 제2 테스트 패드들(PD3, PD4)에 대응되는 복수의 제2 그룹들로 구분될 수 있다. 각각의 제2 그룹의 제2 테스트 트랜지스터들의 소스 전극들은 대응되는 제2 테스트 패드에 공통으로 연결될 수 있다.
- [0048] 예를 들어, 제2 그룹들은 제2 테스트 트랜지스터들($T2_1 \sim T2_m$) 중 홀수 번째 트랜지스터들($T2_1, T2_3, \dots, T2_{m-1}$)로 구성된 제3 서브 그룹과 짝수 번째 트랜지스터들($T2_2, T2_4, \dots, T2_m$)로 구성된 제4 서브 그룹을 포함할 수 있다. 제2 테스트 패드들(PD3, PD4)은 제3 서브 그룹에 대응되는 제3 패드(PD3) 및 제4 서브 그룹에 대응되는 제4 패드(PD4)를 포함할 수 있다. 제3 서브 그룹의 제2 테스트 트랜지스터들($T2_1, T2_3, \dots, T2_{m-1}$)의 소스 전극들은 대응되는 제3 패드(PD3)에 공통으로 연결된다. 제4 서브 그룹의 제2 테스트 트랜지스터들($T2_2, T2_4, \dots, T2_m$)의 소스 전극들은 대응되는 제4 패드(PD4)에 공통으로 연결된다.
- [0049] 데이터 라인들(DL1~DLm)은 홀수 번째 데이터 라인들(DL1, DL3, ..., DL_{m-1})로 정의되는 제1 데이터 라인들(DL1, DL3, ..., DL_{m-1}) 및 짝수 번째 데이터 라인들(DL2, DL4, ..., DL_m)로 정의되는 제2 데이터 라인들(DL2, DL4, ..., DL_m)을 포함할 수 있다. 제4 비표시 영역(NDA4)에서 제1 데이터 라인들(DL1, DL3, ..., DL_{m-1})보다 제2 데이터 라인들(DL2, DL4, ..., DL_m)이 더 길게 연장될 수 있다.
- [0050] 제3 서브 그룹의 제2 테스트 트랜지스터들($T2_1, T2_3, \dots, T2_{m-1}$)의 드레인 전극들은 각각 대응하는 제1 데이터 라인들(DL1, DL3, ..., DL_{m-1})에 연결된다. 제4 서브 그룹의 제2 테스트 트랜지스터들($T2_2, T2_4, \dots, T2_m$)의 드레인 전극들은 각각 대응하는 제2 데이터 라인들(DL2, DL4, ..., DL_m)에 연결된다.
- [0051] 예시적인 실시 예로서, 2개의 제2 그룹들 및 2개의 제2 테스트 패드들(PD3, PD4)의 구성이 설명되었으나, 제2 그룹들 및 제2 테스트 패드들의 개수는 이에 한정되지 않는다. 제2 테스트 트랜지스터들($T2_1 \sim T2_m$)은 2개보다 많은 개수의 제2 그룹들로 구분될 수 있다. 이러한 경우, 제2 테스트 패드들의 개수는 제2 그룹들의 개수에 대응되도록 준비될 수 있다.
- [0052] 예를 들어, 제2 테스트 트랜지스터들($T2_1 \sim T2_m$)은 제1, 제2, 및 제3 트랜지스터들이 반복적으로 배치될 수 있다. 이러한 경우, 제1 트랜지스터들, 제2 트랜지스터들, 및 제3 트랜지스터들은 3개의 제2 그룹들로 구분되고, 3개의 제2 그룹들에 대응되는 3개의 제2 테스트 패드들이 준비될 수 있다. 각각의 제2 테스트 패드는 대응되는 제2 그룹의 트랜지스터들에 공통으로 연결될 수 있다. 제2 그룹들로 구분되지 않고 제2 테스트 트랜지스터들

(T2_1~T2_m)은 하나의 제2 테스트 패드에 공통으로 연결될 수 있다.

- [0053] 박막 트랜지스터 기관(110)의 비주얼 검사 시, 제1 스위칭 패드(SP1)를 통해 제1 스위칭 신호가 제1 테스트 트랜지스터들(T1_1~T1_n)에 인가된다. 또한, 제2스위칭 패드(SP2)를 통해 제2 스위칭 신호가 제2 테스트 트랜지스터들(T2_1~T2_m)에 인가된다. 제1 테스트 트랜지스터들(T1_1~T1_n)은 제1 스위칭 신호에 응답하여 턴 온된다. 제2 테스트 트랜지스터들(T2_1~T2_m)은 제2 스위칭 신호에 응답하여 턴 온된다.
- [0054] 제1 검사 신호가 제1 테스트 패드들(PD1,PD2)에 인가된다. 턴 온된 제1 테스트 트랜지스터들(T1_1~T1_n)은 제1 테스트 패드들(PD1,PD2)을 통해 제1 검사 신호를 제공받는다. 제1 검사 신호는 턴 온된 제1 테스트 트랜지스터들(T1_1~T1_n)을 통해 게이트 라인들(GL1~GLn)에 제공된다.
- [0055] 제1 검사 신호는 제1 패드(PD1)에 인가되는 제1 서브 검사 신호 및 제2 패드(PD2)에 인가되는 제2 서브 검사 신호를 포함한다. 제1 서브 검사 신호는 제1 서브 그룹의 제1 테스트 트랜지스터들(T1_1,T1_3,...,T1_n-1)에 연결된 제1 게이트 라인들(GL1,GL3,...,GLn-1)에 인가된다. 제2 서브 검사 신호는 제2 서브 그룹의 제1 테스트 트랜지스터들(T1_2,T1_4,...,T1_n)에 연결된 제2 게이트 라인들(GL2,GL4,...,GLn)에 인가된다.
- [0056] 제1 게이트 라인들(GL1,GL3,...,GLn-1)과 제2 게이트 라인들(GL2,GL4,...,GLn)에 서로 다른 제1 서브 검사 신호 및 제2 서브 검사 신호가 인가됨으로써, 제1 게이트 라인들(GL1,GL3,...,GLn-1)과 제2 게이트 라인들(GL2,GL4,...,GLn) 사이의 쇼트 불량률 검사될 수 있다.
- [0057] 제2 검사 신호가 제2 테스트 패드들(PD3,PD4)에 인가된다. 턴 온된 제2 테스트 트랜지스터들(T2_1~T2_m)은 제2 테스트 패드들(PD3,PD4)을 통해 제2 검사 신호를 제공받는다. 제2 검사 신호는 턴 온된 제2 테스트 트랜지스터들(T2_1~T2_m)을 통해 데이터 라인들(DL1~DLm)에 제공된다.
- [0058] 제2 검사 신호는 제3 패드(PD3)에 인가되는 제3 서브 검사 신호 및 제4 패드(PD4)에 인가되는 제4 서브 검사 신호를 포함한다. 제3 서브 검사 신호는 제3 서브 그룹의 제2 테스트 트랜지스터들(T2_1,T2_3,...,T2_m-1)에 연결된 제1 데이터 라인들(DL1,DL3,...,DLm-1)에 인가된다. 제4 서브 검사 신호는 제4 서브 그룹의 제2 테스트 트랜지스터들(T2_2,T2_4,...,T2_m)에 연결된 제2 데이터 라인들(DL2,DL4,...,DLm)에 인가된다.
- [0059] 제1 데이터 라인들(DL1,DL3,...,DLm-1)과 제2 데이터 라인들(DL2,DL4,...,DLm)에 서로 다른 제3 서브 검사 신호 및 제4 서브 검사 신호가 인가됨으로써, 제1 데이터 라인들(DL1,DL3,...,DLm-1)과 제2 데이터 라인들(DL2,DL4,...,DLm) 사이의 쇼트 상태가 검사될 수 있다.
- [0060] 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)이 홀수 번째 배선과 짝수번째 배선으로 그룹핑되는 이유는 홀수 번째 배선과 짝수 번째 배선에 서로 다른 전압이 인가됨으로써, 서로 인접하는 배선들에서 쇼트 불량 발생 시 두 전위의 연결로 인해 서로 다른 전압으로 인지되기 때문이다.
- [0061] 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)에 제공된 제1 및 제2 검사 신호들은 박막 트랜지스터 기관(110)의 표시 영역(DA)에 소정의 저항 이미지를 생성한다. 검사용 카메라 등을 이용하여 박막 트랜지스터 기관(110)의 표시 영역(DA)에 나타난 저항 이미지를 관찰하여 비주얼 검사가 수행된다.
- [0062] 도시하지 않았으나, 제1 및 제2 스위칭 패드들(SP1,SP2)과 제1 및 제2 테스트 패드들(PD1~PD4)은 비주얼 검사 시 오토 프로브 장비(미도시됨)의 프로브 핀(미도시됨)과 접촉되어 프로브 핀에 전기적으로 연결된다. 제1 및 제2 스위칭 패드들(SP1,SP2)과 제1 및 제2 테스트 패드들(PD1~PD4)은 오토 프로브 장비로부터 제1 및 제2 스위칭 신호들과 제1 및 제2 검사 신호들을 제공받을 수 있다.
- [0063] 게이트 패드부들(GPD1~GPD1)이 배치된 제1 비표시 영역(NDA1)에 제1 테스트 부(10)가 배치되고, 데이터 패드부들(DPD1~DPDk)이 배치된 제3 비표시 영역(NDA3)에 제2 테스트 부(20)가 배치될 수 있다. 이러한 경우, 게이트 패드부들(GPD1~GPD1) 및 데이터 패드부들(DPD1~DPDk)이 배치된 제1 및 제3 비표시 영역들(NDA1,NDA3)에 공간적 제약이 발생할 수 있다. 즉, 제1 테스트 부(10)와 제2 테스트 부(20)가 배치되기 위한 영역이 협소해지거나, 충분한 영역이 확보되지 않을 수 있다.
- [0064] 본 발명의 박막 트랜지스터 기관(110)의 제1 테스트 부(10)는 게이트 패드부들(GPD1~GPD1)이 배치되지 않은 제2 비표시 영역(NDA2)에 배치된다. 또한, 제2 테스트 부(20)는 데이터 패드부들(DPD1~DPDk)이 배치되지 않은 제4 비표시 영역(NDA4)에 배치된다. 따라서, 본 발명의 박막 트랜지스터 기관(110)은 공간적 제약 없이 비표시 영역을 효율적으로 활용하여 비주얼 검사를 수행하기 위한 제1 및 제2 테스트 부들(10,20)을 배치할 수 있다.
- [0065] 도 2a 내지 도 2c는 박막 트랜지스터 기관의 다양한 결합 상태를 보여주는 도면이다.

- [0066] 도 2a를 참조하면, 표시 영역(DA)의 어느 한 데이터 라인에 제1 결함(DF1)이 존재할 수 있다. 표시 영역(DA)의 어느 한 데이터 라인의 제1 결함(DF1)은 전술한 비주얼 검사에 의해 검출될 수 있다.
- [0067] 도 2b를 참조하면, 표시 영역(DA)의 어느 한 데이터 라인에 제1 결함(DF1)이 존재하고, 제3 비표시 영역(NDA3)의 어느 한 데이터 라인에 제2 결함(DF2)이 존재할 수 있다.
- [0068] 표시 영역(DA)의 어느 한 데이터 라인의 제1 결함(DF1)은 전술한 비주얼 검사에 의해 검출될 수 있다. 비주얼 검사에 의해 표시 영역(DA)의 불량 여부가 검출될 수 있으나, 비표시 영역(NDA1, NDA2, NDA3, NDA4)의 결함 여부는 검출되지 않는다. 따라서, 비주얼 검사에 의해 제3 비표시 영역(NDA3)의 어느 한 데이터 라인의 제2 결함(DF2)은 검출되지 않는다.
- [0069] 도 2c를 참조하면, 제3 비표시 영역(NDA3)의 어느 한 데이터 라인에 제2 결함(DF2)이 존재할 수 있다. 이러한 경우, 표시 영역(DA)에는 결함이 존재하지 않으므로, 비주얼 검사가 수행되더라도, 박막 트랜지스터 기관(110)은 정상으로 판단된다. 즉, 제3 비표시 영역(NDA3)에 결함이 있더라도 비주얼 검사 시 박막 트랜지스터 기관(110)은 정상으로 판단된다.
- [0070] 예시적인 실시 예로서 데이터 라인들(DL1~DLm)의 결함이 설명되었으나, 제1 비표시 영역(NDA1)에서 게이트 라인들(GL1~GLn)의 결함이 비주얼 검사에 의해 검출되지 않을 수 있다.
- [0071] 제1 비표시 영역(NDA1)에서 게이트 라인들(GL1~GLn)이 배치된 영역과 제3 비표시 영역(NDA3)에서 데이터 라인들(DL1~DLm)이 배치된 영역은 팬 아웃 영역들로 정의될 수 있다.
- [0072] 이하, 팬 아웃 영역들의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함을 검출하는 검사 장치가 설명될 것이다.
- [0073] 도 3은 팬 아웃 영역의 결함을 검출하는 제1 검사 장치를 도시한 도면이다.
- [0074] 도 3을 참조하면, 제1 검사 장치(30)는 모듈레이터(35), 광 방향 조절 장치(36), 카메라(37), 및 제1 표시부(38)를 포함한다.
- [0075] 모듈레이터(35)는 검사될 박막 트랜지스터 기관(110)의 팬 아웃 영역에 배치될 수 있다. 구체적으로 모듈레이터(35)는 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm) 상에 배치될 수 있다. 모듈레이터(35)는 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)과 소정의 간격을 두고 이격되어 배치될 수 있다. 또한, 모듈레이터(35)는 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn) 상에 배치될 수 있다. 모듈레이터(35)는 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn)과 소정의 간격을 두고 이격되어 배치될 수 있다.
- [0076] 광 방향 조절 장치(36)는 빔 스플리터로 정의될 수 있다. 제1 검사 장치(30)로 조사된 광(L)은 광 방향 조절 장치(36)에 의해 반사되어 모듈레이터(35)로 입사된다. 모듈레이터(35)로 입사된 광(L)은 모듈레이터(35)에서 반사되어 입사된 방향과 반대 방향으로 모듈레이터(35)로부터 출사된다. 출사된 광(L)은 광 방향 조절 장치(36)를 통과하여 카메라(37)에 제공된다.
- [0077] 모듈레이터(35)로부터 출사된 광(L)에 따라서 카메라(37)에 의해 검출된 결과는 제1 표시부(38)에 제공된다. 제1 표시부(38)는 카메라(37)로부터 제공된 검출 결과를 표시한다.
- [0078] 모듈레이터(35)는 반사층(31), 전광물질층(32), 투명 전극층(33), 및 투명 기관(34)을 포함한다. 반사층(31)과 투명 전극층(33)은 서로 마주보도록 배치된다. 반사층(31)은 제1 및 제3 비표시 영역들(NDA1, NDA3)의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)과 소정의 간격을 두고 배치된다. 반사층(31)과 투명 전극층(33) 사이에 전광 물질층(32)이 배치된다. 투명 전극층(33) 상에 투명 기관(34)이 배치된다.
- [0079] 모듈레이터(35)로 입사된 광(L)은 모듈레이터(35)의 반사층(31)에 의해 반사되어 입사된 방향과 반대 방향으로 모듈레이터(35)로부터 출사된다.
- [0080] 모듈레이터의 투명 전극층(33)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), 및 CNT(Carbon Nano Tube) 등의 투명 도전성 물질로 구성될 수 있다. 투명 전극층(33)은 소정의 전압을 인가받고, 박막 트랜지스터 기관(110)의 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)과 전계를 형성할 수 있다. 또한, 투명 전극층(33)은 소정의 전압을 인가받고, 박막 트랜지스터 기관(110)의 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn)과 전계를 형성할 수 있다.
- [0081] 전광 물질층(32)은 전계에 따라서 광(L)의 투과율을 변경시킨다. 예시적인 실시 예로서 전광 물질층(32)은 액정

(LC:Liquid Crystal)으로 구성될 수 있다.

- [0082] 도 4는 도 3에 도시된 제1 검사 장치를 이용하여 팬 아웃 영역의 결함을 검출하는 방법을 도시한 도면이다.
- [0083] 도 4를 참조하면, 제1 검사 장치(30)의 모듈레이터(35)는 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm) 중 소정의 개수의 데이터 라인들(DL1~DLj) 상에 배치될 수 있다. j는 0보다 크고 m보다 작은 정수이다. 예시적인 실시 예로서, 모듈레이터(35)는 제1 데이터 패드부(DPD1)에 연결된 데이터 라인들(DL1~DLj) 상에 배치될 수 있다.
- [0084] 제2 테스트부(20)에 의해 데이터 라인들(DL1~DLj)에 제2 검사 신호가 인가되고, 모듈레이터(35)의 투명 전극층(33)에 소정의 전압이 인가된다. 따라서, 투명 전극층(33)과 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLj) 중 정상적인 데이터 라인들 사이에 전계가 형성된다.
- [0085] 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLj) 중 데이터 라인(DLf)에 제2 결함(DF2)이 존재한다. 제2 결함(DF2)이 존재하는 데이터 라인(DLf)에는 제2 검사 신호가 정상적으로 인가되지 않으므로, 데이터 라인(DLf)과 투명 전극층(33) 사이에는 전계가 형성되지 않는다.
- [0086] 투명 전극층(33)과 제3 비표시 영역(NDA3)에 배치된 정상적인 데이터 라인들 사이에 형성된 전계에 의해 전광 물질층(32)의 분자 배열이 일정한 방향으로 배열된다. 따라서 광(L)이 전광 물질층(32)을 통과할 수 있다. 그 결과, 모듈레이터(35)로 입사된 광(L)은 반사층(31)에 의해 반사되어 모듈레이터(35)로부터 출사된다.
- [0087] 투명 전극층(33)과 제2 결함(DF2)이 발생한 데이터 라인(DLf) 사이에는 전계가 형성되지 않으므로, 전광 물질층(32)의 분자 배열이 변경되지 않는다. 따라서, 데이터 라인(DLf)으로 향하는 광(L)은 전광 물질층(32)을 통과할 수 없게 된다. 그 결과, 모듈레이터(35)로 입사되어 데이터 라인(DLf)으로 향하는 광(L)은 다시 모듈레이터(35)로부터 출사되지 않는다.
- [0088] 모듈레이터(35)로부터 출사된 광(L)은 광 방향 조절 장치(36)를 투과하여 카메라(37)에 제공된다. 모듈레이터(35)로부터 출사된 광(L)에 따라서 카메라(37)에 의해 검출된 결과는 제1 표시부(38)에 제공된다. 제1 표시부(38)는 카메라(37)로부터 제공된 검출 결과에 의해 데이터 라인(DLf)을 결함 상태로 표시한다.
- [0089] 제1 검사 장치(30)는 제3 비표시 영역(NDA3)의 제1 데이터 패드부(DPD1)에 연결된 데이터 라인들(DL1~DLj)의 결함 여부를 검출한 후 검사되지 않은 데이터 라인들로 이동하여 다시 검사를 수행한다. 제1 검사 장치(30)는 제1 데이터 패드부(DPD1)부터 제k 데이터 패드부(DPDk)로 순차적으로 이동하여 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 여부를 검출한다.
- [0090] 제1 검사 장치(30)에 의해 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)에 접촉되지 않고 결함 여부를 검출하는 방법은 비접촉 방식으로 정의될 수 있다. 즉, 비접촉 방식에 의해 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 여부가 검출될 수 있다.
- [0091] 예시적으로, 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 검출 방법이 설명되었다. 그러나, 제1 비표시 영역(NDA1)에 배치되어 게이트 패드부들(GPD1~GPDn)에 연결된 게이트 라인들(GL1~GLn)의 결함 여부도 제1 검사 장치(30)에 의해 동일하게 검출될 수 있다. 즉, 제1 검사 장치(30)에 의해 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 여부가 검출된 후, 제1 검사 장치(30)에 의해 같은 방법으로 제1 비표시 영역(NDA1)에 배치된 게이트 라인들(GL1~GLn)의 결함 여부가 검출될 수 있다.
- [0092] 그러나 이에 한정되지 않고, 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm) 및 제1 비표시 영역(NDA1)에 배치된 게이트 라인들(GL1~GLn)의 결함 여부 검출 순서는 반대로 수행될 수 있다. 또한, 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm) 및 제1 비표시 영역(NDA1)에 배치된 게이트 라인들(GL1~GLn)의 결함 여부 검출은 복수의 제1 검사 장치들(30)을 이용하여 동시에 수행될 수도 있다.
- [0093] 본 발명의 박막 트랜지스터 기관(110)의 비주얼 검사 시, 비주얼 검사에 의해 제1 및 제3 비표시 영역들(NDA1, NDA3)의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함이 검출될 수 없다. 그러나 본 발명의 박막 트랜지스터 기관(110)의 검사 방법은 제1 검사 장치(30)를 이용하여 비접촉 방식에 의해 제1 및 제3 비표시 영역들(NDA1, NDA3)의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함을 검출할 수 있다.
- [0094] 도 5는 제2 검사 장치를 이용하여 팬 아웃 영역의 결함을 검출하는 방법을 도시한 도면이다.
- [0095] 도 5를 참조하면, 데이터 패드부들(DPD1~DPDk)은 복수의 데이터 패드들(DP1~DPm)을 포함한다. 데이터 패드들(DP1~DPm)은 각각 대응하는 데이터 라인들(DL1~DLm)에 연결된다.

- [0096] 제3 비표시 영역(NDA3)에 형성된 데이터 패드들(DP1~DPm)에는 제2 검사 장치(40)가 접촉된다. 제2 검사 장치(40)는 탐침(41)을 포함한다. 구체적으로, 제2 검사 장치(40)의 탐침(41)이 제1 데이터 패드(DP1)에 접촉된다. 이후, 탐침(41)이 제1 데이터 패드(DP1)에 접촉된 상태에서 제m 데이터 패드(DPm)를 향해 이동함으로써, 데이터 패드들(DP1~DPm)과 순차적으로 접촉된다.
- [0097] 제2 테스트부(20)에 의해 데이터 라인들(DL1~DLm)에 제2 검사 신호가 인가된다. 제2 검사 장치(40)는 대응하는 데이터 라인들(DL1~DLm)에 연결된 데이터 패드들(DP1~DPm)로부터 출력되는 제2 검사 신호를 검출한다.
- [0098] 데이터 패드들(DP1~DPm)을 통해 정상적인 제2 검사 신호가 출력되는 제3 비표시 영역(NDA3)의 데이터 라인들은 정상으로 판별된다. 그러나, 결함이 있는 제3 비표시 영역(NDA3)의 데이터 라인의 경우, 정상적인 제2 검사 신호가 출력되지 않는다. 따라서, 제3 비표시 영역(NDA3)에서 결함이 있는 데이터 라인이 검출될 수 있다. 제2 검사 장치(40)에 의해 검출된 데이터 라인들의 결함 여부는 제2 표시부(42)를 통해 표시된다.
- [0099] 제2 검사 장치(40)에 의해 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)에 접촉되어 결함 여부를 검출하는 방법은 접촉 방식으로 정의될 수 있다. 즉, 접촉 방식에 의해 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 여부가 검출될 수 있다.
- [0100] 예시적으로, 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 검출 방법이 설명되었다. 그러나, 제1 비표시 영역(NDA1)에 배치되어 게이트 패드부들(GPD1~GPD1)에 연결된 게이트 라인들(GL1~GLn)의 결함 여부도 제2 검사 장치(40)에 의해 동일하게 검출될 수 있다. 즉, 제2 검사 장치(40)에 의해 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm)의 결함 여부가 검출된 후, 제2 검사 장치(40)에 의해 같은 방법으로 제1 비표시 영역(NDA1)에 배치된 게이트 라인들(GL1~GLn)의 결함 여부가 검출될 수 있다.
- [0101] 예를 들어, 게이트 패드부들(GPD1~GPD1)은 복수의 게이트 패드들(미 도시됨)을 포함하고, 게이트 패드들은 각각 대응하는 게이트 라인들(GL1~GLn)에 연결된다. 제2 검사 장치(40)는 제1 비표시 영역(NDA1)에서 게이트 패드들에 순차적으로 접촉되어 게이트 라인들(GL1~GLn)의 결함 여부를 검출할 수 있다.
- [0102] 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm) 및 제1 비표시 영역(NDA1)에 배치된 게이트 라인들(GL1~GLn)의 결함 여부 검출 순서는 반대로 수행될 수 있다. 또한, 제3 비표시 영역(NDA3)에 배치된 데이터 라인들(DL1~DLm) 및 제1 비표시 영역(NDA1)에 배치된 게이트 라인들(GL1~GLn)의 결함 여부 검출은 복수의 제2 검사 장치들(40)을 이용하여 동시에 수행될 수도 있다.
- [0103] 본 발명의 박막 트랜지스터 기관(110)의 비주얼 검사 시, 비주얼 검사에 의해 제1 및 제3 비표시 영역들(NDA1, NDA3)의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함이 검출될 수 없다. 그러나 본 발명의 박막 트랜지스터 기관(110)의 검사 방법은 제2 검사 장치(40)를 이용하여 접촉 방식에 의해 제1 및 제3 비표시 영역들(NDA1, NDA3)의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함을 검출할 수 있다.
- [0104] 도 6은 도 1에 도시된 박막 트랜지스터 기관의 비주얼 검사 방법을 도시한 순서도이다.
- [0105] 도 6을 참조하면, 단계(S110)에서 도 1에 도시된 박막 트랜지스터 기관(110)이 준비된다. 박막 트랜지스터 기관(110)의 구성은 앞서 상세히 설명하였으므로, 설명을 생략한다.
- [0106] 단계(S120)에서 박막 트랜지스터 기관(110)에 제1 검사 신호 및 제2 검사 신호가 인가된다. 구체적으로, 박막 트랜지스터 기관(110)의 제1 테스트 부(10)를 통해 게이트 라인들(GL1~GLn)에 제1 검사 신호가 인가된다. 제2 테스트 부(20)를 통해 데이터 라인들(DL1~DLm)에 제2 검사 신호가 인가된다.
- [0107] 단계(S130)에서 제1 및 제2 검사 신호들에 의해 표시 영역(DA)에 형성된 저항 이미지의 관찰을 통해 표시 영역(DA)의 결함이 검출된다. 즉, 비주얼 검사에 의해 표시 영역(DA)의 결함이 검출된다.
- [0108] 단계(S140)에서 비접촉 방식 및 접촉 방식 중 어느 하나에 의해 팬 아웃 영역들의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)이 검사된다. 구체적으로, 비접촉 방식의 제1 검사 장치(30) 및 접촉 방식의 제2 검사 장치(40) 중 어느 하나에 의해 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn)과 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)의 결함 여부가 검출된다.
- [0109] 비접촉 방식의 제1 검사 장치(30)가 사용될 경우, 제1 검사 장치(30)는 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)과 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn) 상에 순차적으로 배치된다. 제1 검사 장치(30)와 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm) 사이에 형성되는 전계에 의해 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)의 결함 여부가 검출된다. 또한, 제1 검사 장치(30)와 게이트 라인들(GL1~GLn) 사이에 형성

되는 전계에 의해 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn)의 결함 여부가 검출된다. 제1 검사 장치(30)의 구성 및 구체적인 검사 방법은 앞서 상세히 설명하였으므로, 설명을 생략한다.

- [0110] 접촉 방식의 제2 검사 장치(40)가 사용될 경우, 제2 검사 장치(40)는 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)에 연결된 데이터 패드들(DP1~DPm)과 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn)에 연결된 게이트 패드들에 순차적으로 접촉된다. 제2 검사 장치(40)는 데이터 패드들(DP1~DPm)의 출력 신호를 검출하여 제3 비표시 영역(NDA3)의 데이터 라인들(DL1~DLm)의 결함 여부를 검출한다. 또한, 제2 검사 장치(40)는 게이트 패드들의 출력 신호를 검출하여 제1 비표시 영역(NDA1)의 게이트 라인들(GL1~GLn)의 결함 여부를 검출한다. 제2 검사 장치(40)의 구성 및 구체적인 검사 방법은 앞서 상세히 설명하였으므로, 설명을 생략한다.
- [0111] 결과적으로, 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 검사 방법은 비주얼 검사 방법에 의해 표시 영역(DA)의 결함을 검출하고, 비접촉 또는 접촉 방식에 의해 팬 아웃 영역들의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함을 검출할 수 있다.
- [0112] 도 7은 도 1에 도시된 박막 트랜지스터 기관을 포함하는 액정 표시 장치를 도시한 도면이다.
- [0113] 도 7을 참조하면, 액정 표시 장치(500)는 표시 패널(100), 게이트 구동부(200), 데이터 구동부(300), 및 구동 회로 기관(400)을 포함한다.
- [0114] 표시 패널(100)은 복수의 화소들(PX)이 형성된 박막 트랜지스터 기관(110), 박막 트랜지스터 기관(110)과 마주보고 공통 전극(미 도시됨)이 형성된 컬러 필터 기관(120), 및 박막 트랜지스터 기관(110)과 컬러 필터 기관(120) 사이에 개재되는 액정층(LC)을 포함한다.
- [0115] 박막 트랜지스터 기관(110)은 화소들(PX)에 각각 대응되는 복수의 화소 전극들(미 도시됨) 및 대응되는 화소 전극들에 연결된 복수의 박막 트랜지스터들(미 도시됨)을 포함한다. 박막 트랜지스터들은 대응하는 게이트 라인들(GL1~GLn)을 통해 제공받은 게이트 신호들에 응답하여 대응하는 데이터 라인들(DL1~DLm)을 통해 데이터 전압들을 제공한다. 제공받은 데이터 전압들은 대응하는 화소 전극들에 제공된다.
- [0116] 게이트 구동부(200)는 구동 회로 기관(400)에 실장된 타이밍 컨트롤러(미 도시됨)로부터 제공된 게이트 제어 신호에 응답하여 게이트 신호들을 생성한다. 게이트 신호들은 게이트 라인들(GL1~GLn)을 통해 행 단위로 그리고 순차적으로 화소들(PX)에 제공된다. 도시하지 않았으나, 게이트 제어 신호는 제2 연성회로기관들(320_1~320_k) 중 최 좌측의 제2 연성 회로 기관(320_1)을 경유하여 게이트 구동부(200)에 제공될 수 있다.
- [0117] 게이트 구동부(200)는 복수의 게이트 구동칩들(210_1~210_l)을 포함한다. 게이트 구동칩들(210_1~210_l)은 대응하는 제1 연성회로기관들(220_1~220_l) 상에 실장되어 도 1에 도시된 제1 비표시 영역(NDA1)의 게이트 패드부들(GPD1~GPDl)에 연결된다. 도시하지 않았으나, 게이트 구동칩들(210_1~210_l)이 실장된 제1 연성회로기관들(220_1~220_l)은 각각 대응되는 게이트 패드부들(GPD1~GPDl)에 이방성 도전 필름(Anisotropic Conductive Film)들에 의해 연결될 수 있다.
- [0118] 게이트 구동부(200)의 게이트 구동칩들(210_1~210_l)은 게이트 제어 신호에 응답하여 게이트 신호들을 생성한다. 게이트 구동칩들(210_1~210_l)은 게이트 신호들을 행 단위로 그리고 순차적으로 화소들(PX)에 제공한다.
- [0119] 데이터 구동부(300)는 타이밍 컨트롤러로부터 영상 신호들 및 데이터 제어 신호를 제공한다. 데이터 구동부(300)는 데이터 제어 신호에 응답하여 영상 신호들에 대응하는 아날로그 데이터 전압들을 생성한다. 데이터 구동부(300)는 데이터 전압들을 데이터 라인들(DL1~DLm)을 통해 화소들(PX)에 제공한다.
- [0120] 데이터 구동부(300)는 복수의 소스 구동칩들(310_1~310_k)을 포함한다. 소스 구동칩들(310_1~310_k)은 대응하는 제2 연성회로기관들(320_1~320_k) 상에 실장되어 구동 회로 기관(400)과 도 1에 도시된 제3 비표시 영역(NDA3)의 데이터 패드부들(DPD1~DPDk)에 연결된다. 도시하지 않았으나, 소스 구동칩들(310_1~310_k)이 실장된 연성회로기관들(320_1~320_k)은 각각 대응되는 데이터 패드부들(DPD1~DPDk)에 이방성 도전 필름들에 의해 연결될 수 있다.
- [0121] 본 발명의 실시 예에서 게이트 구동칩들(210_1~210_l) 및 소스 구동칩들(310_1~310_k)은 제1 및 제2 연성회로기관들(220_1~220_l, 320_1~320_k) 상에 실장되는 테이프 캐리어 패키지(TCP: Tape Carrier Package) 방식을 예로 들었다. 그러나, 게이트 구동칩들(210_1~210_l) 및 소스 구동칩들(310_1~310_k)은 제1 비 표시 영역(NDA1) 및 제3 비표시 영역(NDA3)에 칩 온 글래스(COG: Chip on Glass) 방식으로 실장될 수 있다.

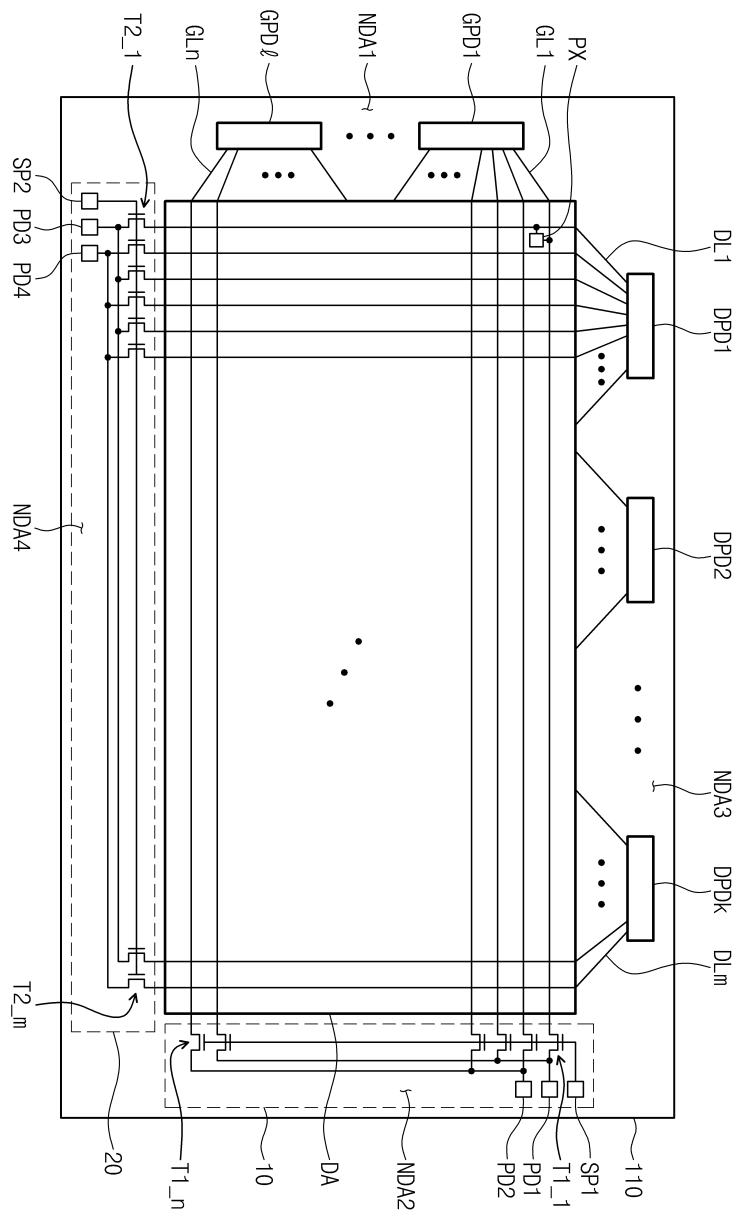
- [0122] 박막 트랜지스터 기관(110)의 다른 구성은 앞서 상세히 설명하였으므로, 설명을 생략한다.
- [0123] 도시하지 않았으나, 컬러 필터 기관(120) 상에 컬러 필터들이 형성될 수 있다. 컬러 필터는 적색, 녹색, 및 청색 중 어느 하나의 색을 나타내는 색 화소를 포함할 수 있다. 또한, 도시하지 않았으나, 액정 표시 장치(500)는 표시 패널(100) 후방에 배치되어 표시 패널(110)에 광을 제공하는 백라이트 유닛을 포함한다. 백라이트 유닛은 표시 패널(100)의 하부에서 광을 공급하는 직하형 또는 표시 패널(100)의 측면에서 광을 공급하는 엣지형으로 형성될 수 있다.
- [0124] 박막 트랜지스터들에 의해 화소 전극들에 데이터 전압들이 인가되고, 공통 전극에 공통 전압이 인가된다. 화소 전극들 및 공통 전극 사이에 형성된 전계에 의해 액정층(LC)의 액정들의 배열이 변화된다. 변화된 액정들의 배열에 따라서 백라이트 유닛으로부터 제공된 광의 투과율이 조절되어 영상이 표시된다.
- [0125] 본 발명의 박막 트랜지스터 기관(110)의 제1 테스트 부(10)는 게이트 패드부들(GPD1~GPD1)이 배치되지 않은 제2 비표시 영역(NDA2)에 배치된다. 또한, 제2 테스트 부(20)는 데이터 패드부들(DPD1~DPDk)이 배치되지 않은 제4 비표시 영역(NDA4)에 배치된다. 따라서, 본 발명의 박막 트랜지스터 기관(110)을 포함하는 액정 표시 장치(500)는 공간적 제약 없이 비표시 영역을 효율적으로 활용하여 비주얼 검사를 수행하기 위한 제1 및 제2 테스트 부들(10,20)을 배치할 수 있다.
- [0126] 또한, 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 검사 방법은 비주얼 검사 방법에 의해 표시 영역(DA)의 결함을 검출하고, 비접촉 또는 접촉 방식에 의해 팬 아웃 영역들의 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)의 결함을 검출할 수 있다.
- [0127] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

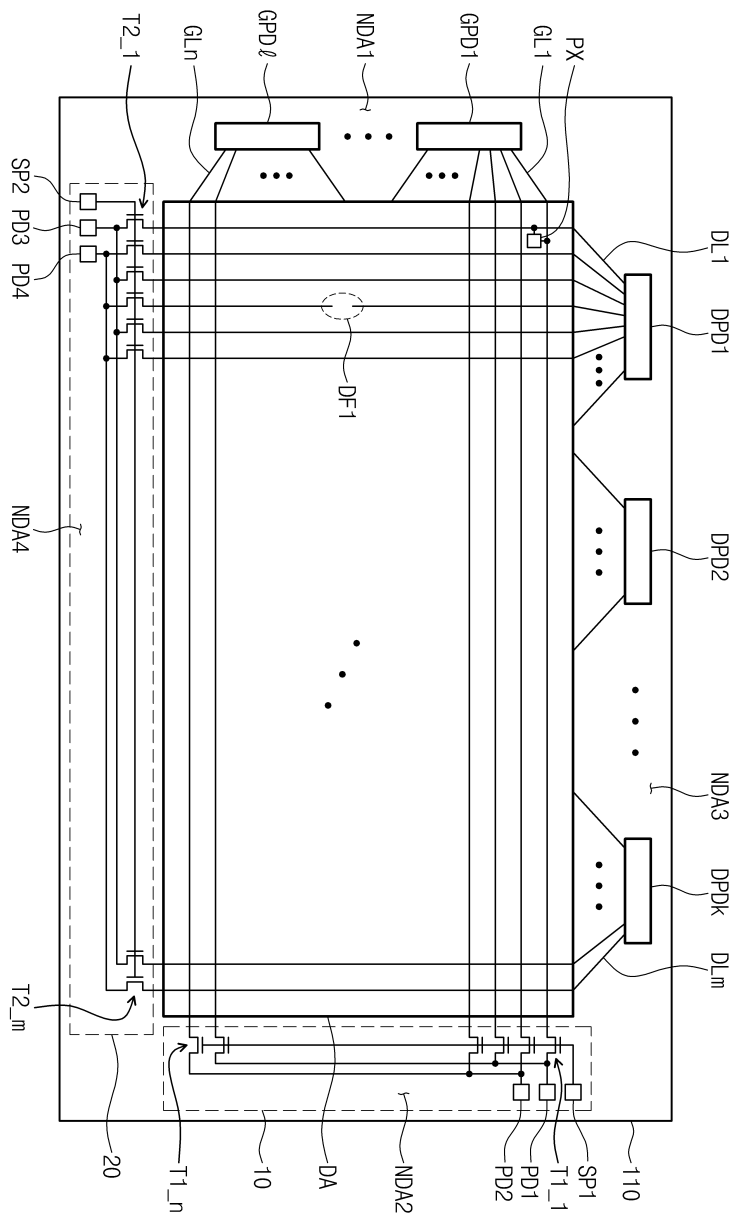
- | | | |
|--------|----------------------|-------------------------|
| [0128] | 100: 표시 패널 | 110: 박막 트랜지스터 기관 |
| | 120: 컬러 필터 기관 | 10,20: 제1 및 제2 테스트부 |
| | 30: 제1 검사 장치 | 40: 제2 검사 장치 |
| | 31: 반사창 | 32: 전광 물질층 |
| | 33: 투명 전극층 | 34: 투명 기관 |
| | 35: 모듈레이터 | 36: 광 방향 조절 장치 |
| | 37: 카메라 | 38: 제1 표시부 |
| | 41: 탐침 | 42: 제2 표시부 |
| | 200: 게이트 구동부 | 300: 데이터 구동부 |
| | 210_1~210_1: 게이트 구동칩 | 220_1~220_1: 제1 연성회로 기관 |
| | 310_1~310_k: 소스 구동칩 | 320_1~320_k: 제2 연성회로 기관 |
| | 400: 구동 회로 기관 | 500: 액정 표시 장치 |
| | DPD1~DPDk: 데이터 패드부 | GPD1~GPD1: 게이트 패드부 |

도면

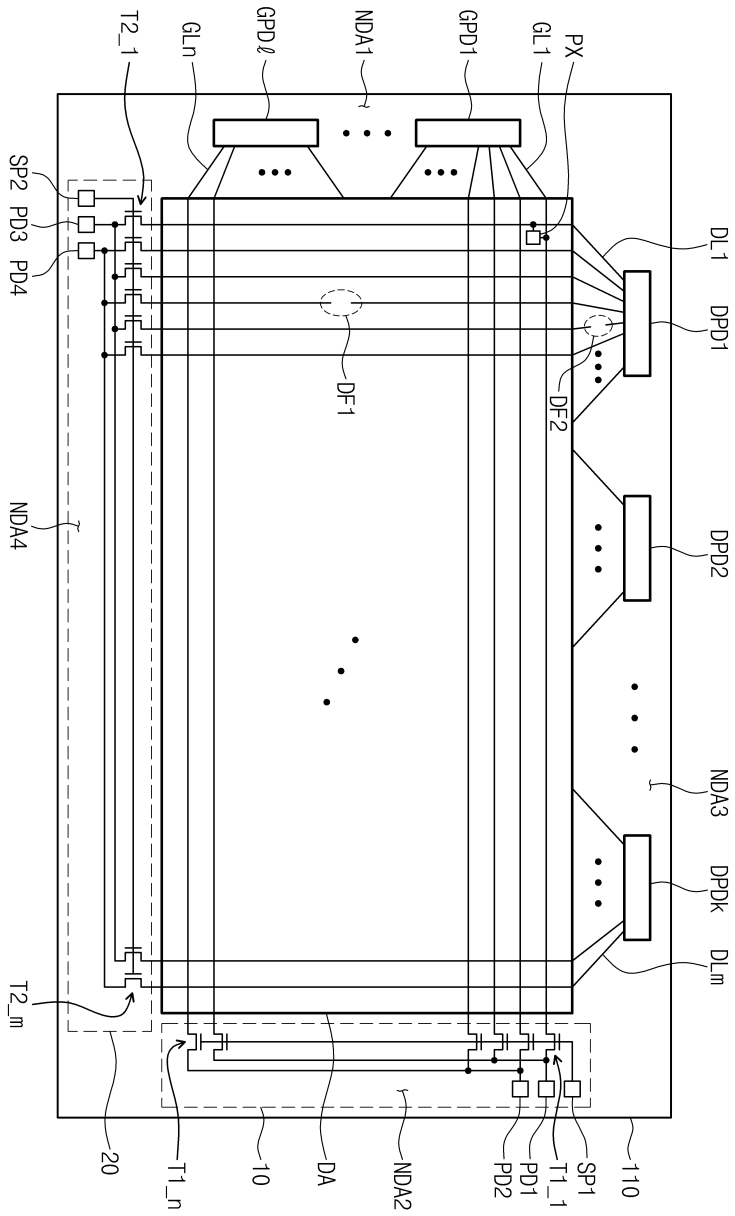
도면1



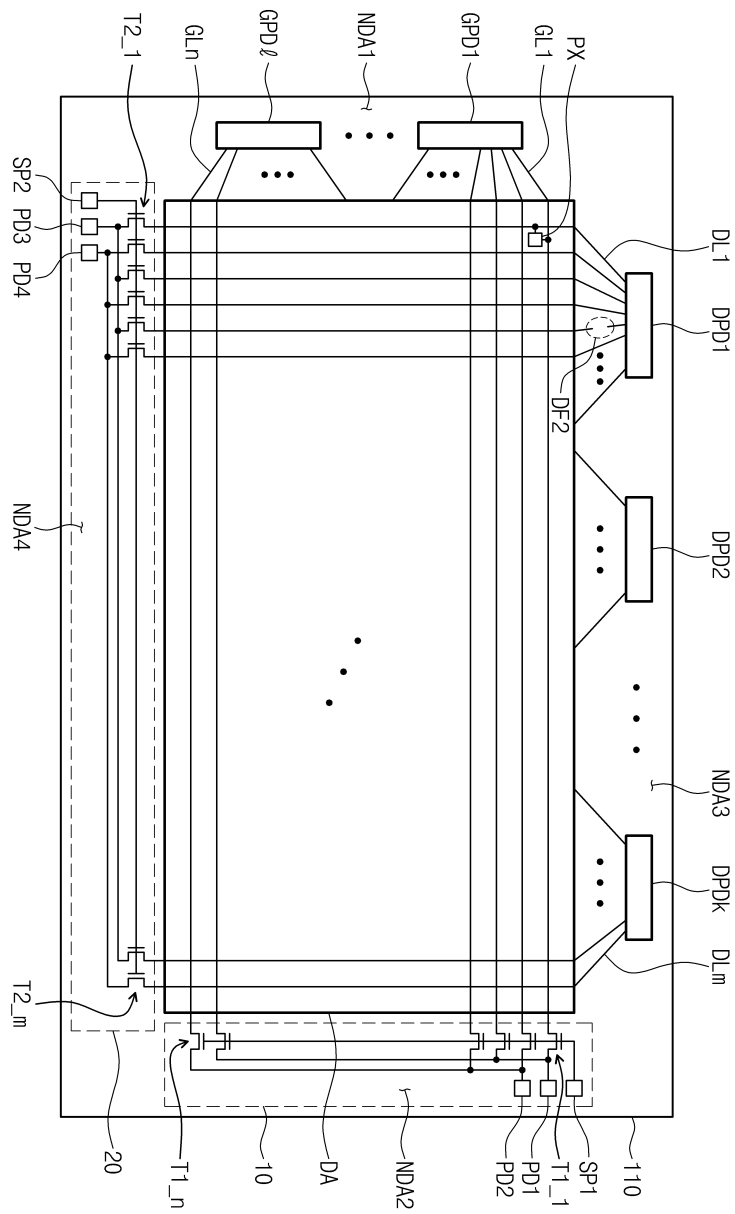
도면2a



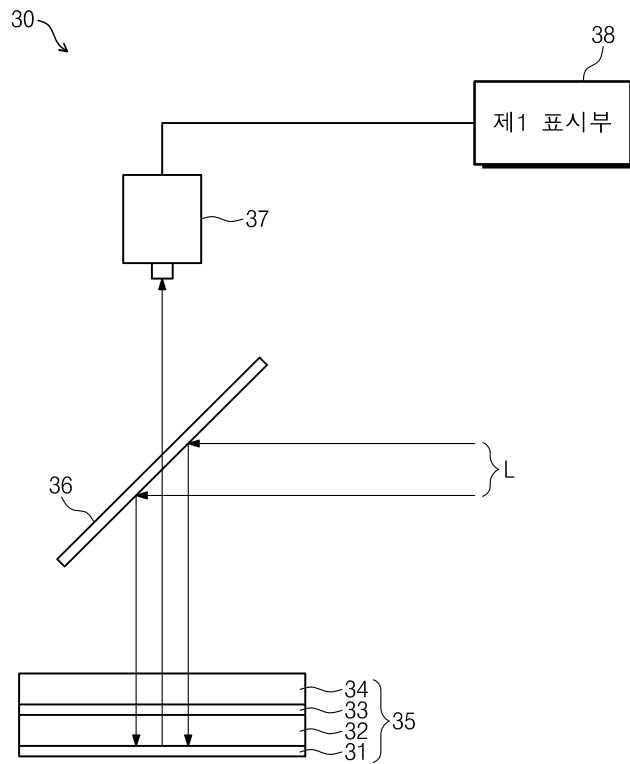
도면2b



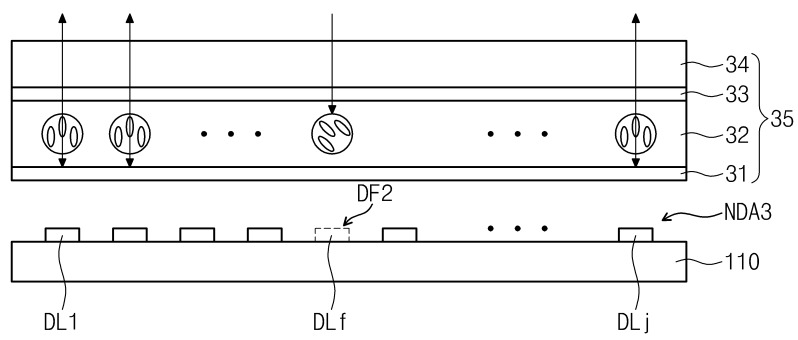
도면2c



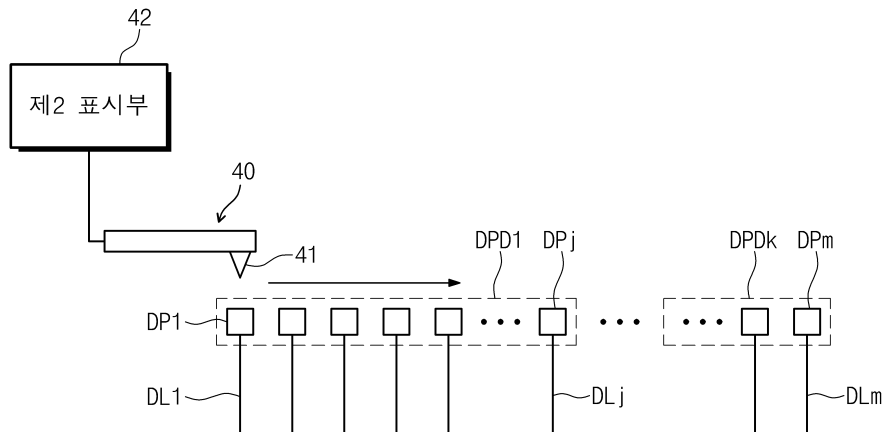
도면3



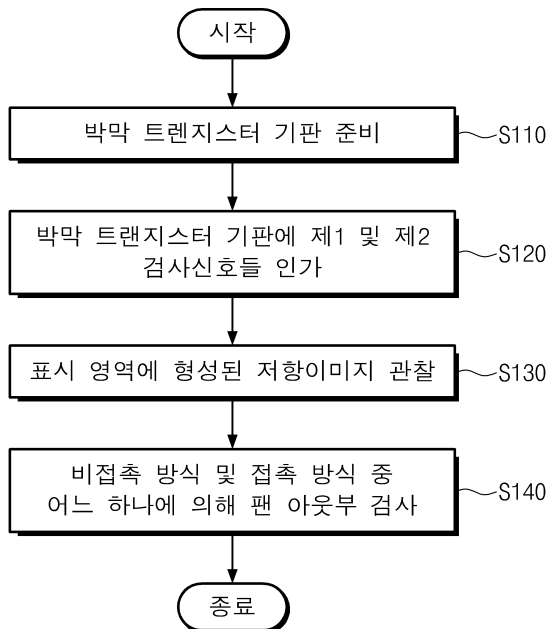
도면4



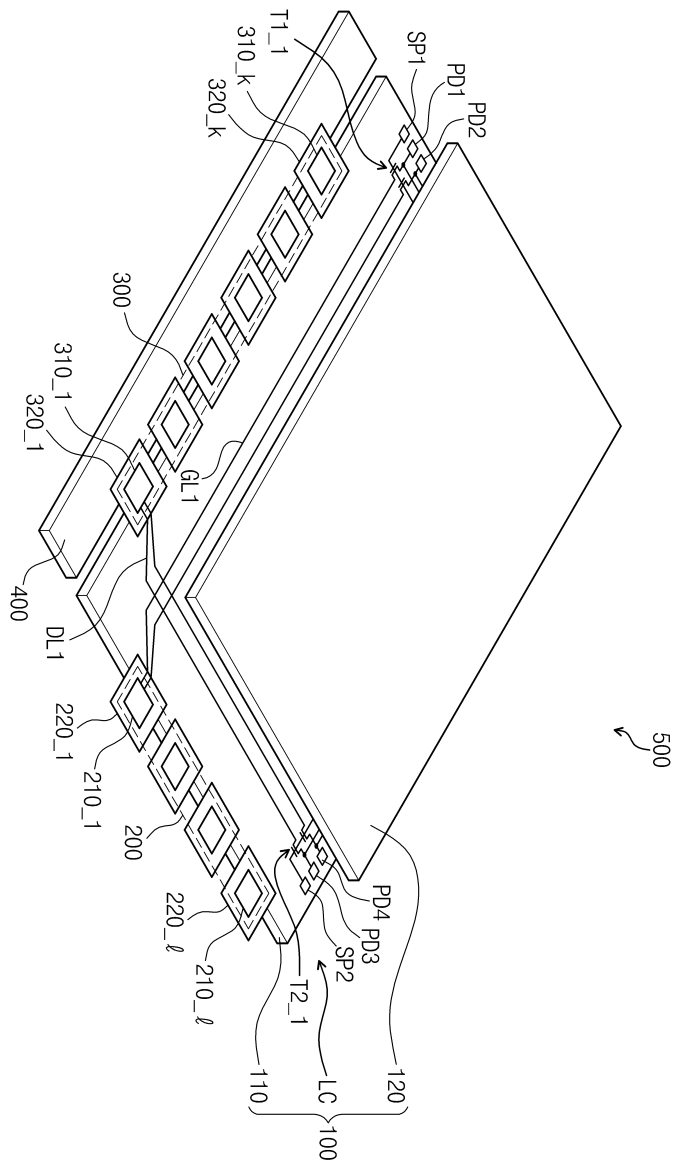
도면5



도면6



도면7



专利名称(译)	标题：薄膜晶体管基板，检查该薄膜晶体管基板的方法以及包括该基板的液晶显示装置		
公开(公告)号	KR1020140094723A	公开(公告)日	2014-07-31
申请号	KR1020130006611	申请日	2013-01-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	RO SUNGIN 노성인 KIM HYANGYUL 김향울 PARK SEUNGHYUN 박승현 LEE JAEHAK 이재학		
发明人	노성인 김향울 박승현 이재학		
IPC分类号	G02F1/13 G02F1/1345 G02F1/1368 G01R31/26		
CPC分类号	H01L27/1251 G09G3/006		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋，云何		
外部链接	Espacenet		

摘要(译)

根据本发明，薄膜晶体管基板包括：显示区域，其中布置有多个像素，所述多个像素连接到彼此交叉的栅极线和数据线；多个栅极焊盘部分连接到栅极线的一侧；第一测试晶体管连接到相应栅极线的另一侧；多个数据焊盘部分连接在数据线的一侧；第二测试晶体管连接到相应数据线的另一侧；以及在显示区域周围形成的非显示区域。在非显示区域上，布置栅极焊盘部分，数据焊盘部分以及第一和第二测试晶体管。切换第一测试晶体管以接收第一测试信号。切换第二测试晶体管以接收第二测试信号。

