



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0094217  
(43) 공개일자 2014년07월30일

(51) 국제특허분류(Int. Cl.)

G02F 1/1341 (2006.01) G02F 1/1337 (2006.01)

G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)

(21) 출원번호 10-2013-0006679

(22) 출원일자 2013년01월21일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김용석

서울 서대문구 세검정로1길 95, 109동 902호 (홍은동, 벽산아파트)

김원태

경기도 용인시 기흥구 농서로 84 미로니에동 503호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

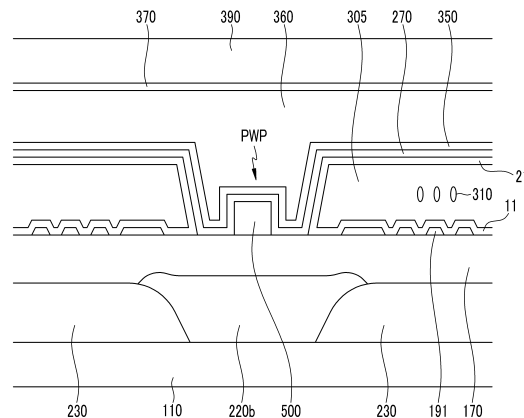
전체 청구항 수 : 총 33 항

(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

(57) 요약

액정 표시 장치를 제공한다. 본 발명의 일실시예에 따른 액정 표시 장치는 기판, 상기 기판 위에 위치하는 박막 트랜지스터, 상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극 그리고 상기 화소 전극과 마주보며 위치하는 루프층을 포함하고, 상기 화소 전극과 상기 루프층 사이에 액정 주입구를 갖는 미세 공간(Microcavity)이 형성되어 있고, 상기 미세 공간은 액정 분자를 포함하는 액정층을 형성하고, 상기 미세 공간 사이에 고정 부재가 형성되고, 상기 루프층은 상기 고정 부재를 덮는다.

대표도 - 도3



(72) 발명자

**유한준**

서울 은평구 은평로20길 6-8, 301호 (응암동, 청송빌라트)

**이대호**

서울 은평구 연서로5길 30, 101호 (역촌동, 동남빌라)

**채경태**

경기 화성시 동탄반석로 264, 102동 703호 (석우동, 예당마을대우푸르지오아파트)

**김중성**

서울 도봉구 노해로69길 103, 110동 1002호 (창동, 동아청솔아파트)

**이우재**

경기 용인시 기흥구 구성로 90, 205동 604호 (언남동, 삼성래미안2차아파트)

## 특허청구의 범위

### 청구항 1

기관,

상기 기관 위에 위치하는 박막 트랜지스터,

상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극 그리고

상기 화소 전극과 마주보며 위치하는 루프층을 포함하고,

상기 화소 전극과 상기 루프층 사이에 액정 주입구를 갖는 미세 공간(Microcavity)이 형성되어 있고, 상기 미세 공간은 액정 분자를 포함하는 액정층을 형성하고,

상기 미세 공간 사이에 고정 부재가 형성되고, 상기 루프층은 상기 고정 부재를 덮는 액정 표시 장치.

### 청구항 2

제1항에서,

상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 제1 보호막을 더 포함하고,

상기 고정 부재는 상기 제1 보호막 위에 형성된 패턴화된 구조물인 액정 표시 장치.

### 청구항 3

제2항에서,

상기 패턴화된 구조물은 포토 레지스트, 유기 물질 또는 무기 물질로 형성된 액정 표시 장치.

### 청구항 4

제3항에서,

상기 패턴화된 구조물을 덮는 제2 보호막을 더 포함하는 액정 표시 장치.

### 청구항 5

제2항에서,

상기 패턴화된 구조물은 상기 미세 공간 사이의 격벽 형성부에 형성되고, 상기 격벽 형성부에서 상기 루프층은 상기 패턴화된 구조물을 덮으면서 격벽(Partition Wall)을 형성하는 액정 표시 장치.

### 청구항 6

제5항에서,

상기 패턴화된 구조물은 상기 박막 트랜지스터의 한 단자와 연결되는 신호선과 평행한 방향을 따라 뻗어 있는 액정 표시 장치.

### 청구항 7

제6항에서,

상기 루프층 위에 위치하고, 상기 액정 주입구를 덮는 캐핑막을 더 포함하고,

상기 격벽 형성부가 뻗어 있는 방향과 평행한 방향으로 서로 이웃하는 상기 미세 공간 사이에 그루브가 형성되고, 상기 캐핑막은 상기 그루브를 덮는 액정 표시 장치.

### 청구항 8

제6항에서,

상기 패턴화된 구조물은 복수의 단위 조각들이 이격되어 형성된 액정 표시 장치.

#### 청구항 9

제2항에서,

상기 패턴화된 구조물은 역테이퍼 구조를 갖는 액정 표시 장치.

#### 청구항 10

제1항에서,

상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 유기막을 더 포함하고,

상기 고정 부재는 상기 유기막에 형성된 오픈부를 덮는 상기 루프층으로 형성되는 액정 표시 장치.

#### 청구항 11

제10항에서,

상기 고정 부재는 상기 미세 공간 사이의 격벽 형성부에 형성되고, 상기 격벽 형성부에서 상기 루프층은 상기 오픈부를 덮으면서 격벽을 형성하는 액정 표시 장치.

#### 청구항 12

제11항에서,

상기 고정 부재는 상기 박막 트랜지스터의 한 단자와 연결되는 신호선과 평행한 방향을 따라 뻗어 있는 액정 표시 장치.

#### 청구항 13

제12항에서,

상기 루프층 위에 위치하고, 상기 액정 주입구를 덮는 캐핑막을 더 포함하고,

상기 격벽 형성부가 뻗어 있는 방향과 평행한 방향으로 서로 이웃하는 상기 미세 공간 사이에 그루브가 형성되고, 상기 캐핑막은 상기 그루브를 덮는 액정 표시 장치.

#### 청구항 14

제10항에서,

상기 유기막에는 상기 박막 트랜지스터의 한 단자와 상기 화소 전극을 연결하는 접착 구멍이 형성되어 있고, 상기 접착 구멍과 상기 오픈부는 동시에 형성되는 액정 표시 장치.

#### 청구항 15

제1항에서,

상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 제1 보호막 그리고

상기 미세 공간 사이에 위치하는 유기막을 더 포함하는 액정 표시 장치.

#### 청구항 16

제15항에서,

상기 고정 부재는 상기 유기막에 형성된 오픈부를 덮는 상기 루프층으로 형성되는 액정 표시 장치.

#### 청구항 17

제16항에서,

상기 고정 부재는 상기 미세 공간과 동일한 레벨에 위치하는 액정 표시 장치.

#### 청구항 18

제1항에서,

상기 미세 공간과 상기 루프층 사이에 위치하는 공통 전극을 더 포함하는 액정 표시 장치.

#### 청구항 19

기판 위에 박막 트랜지스터를 형성하는 단계,

상기 박막 트랜지스터 위에 제1 보호막을 형성하는 단계,

상기 제1 보호막 위에 고정 부재를 형성하는 단계,

상기 제1 보호막 위에 화소 전극을 형성하는 단계,

상기 화소 전극 위에 희생층을 형성하는 단계,

상기 희생층 위에 루프층을 형성하는 단계,

상기 희생층을 제거하여 액정 주입구가 형성된 미세 공간(Microcavity)을 형성하는 단계,

상기 미세 공간에 액정 물질을 주입하는 단계 그리고

상기 루프층 위에 상기 액정 주입구를 덮도록 캐핑막을 형성하는 단계를 포함하고,

상기 루프층은 상기 고정부재를 덮는 액정 표시 장치의 제조 방법.

#### 청구항 20

제19항에서,

상기 고정 부재는 상기 제1 보호막 위에 포토 레지스트, 유기 물질 또는 무기 물질을 도포한 후에 노광 또는 패터닝하여 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 21

제20항에서,

상기 고정 부재를 덮는 제2 보호막을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 22

제21항에서,

상기 고정 부재를 베이킹하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

#### 청구항 23

제19항에서,

상기 미세 공간 사이에 격벽 형성부가 위치하고, 상기 격벽 형성부에서 상기 루프층은 상기 고정 부재를 덮으면서 격벽을 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 24

제23항에서,

상기 고정 부재는 상기 박막 트랜지스터의 한 단자와 연결되는 신호선과 평행한 방향을 따라 뻗도록 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 25

제24항에서,

상기 루프층을 패터닝하여 그루브를 형성하는 단계를 더 포함하고, 상기 그루브는 상기 격벽 형성부가 뻗어 있

는 방향과 평행한 방향으로 서로 이웃하는 상기 미세 공간 사이에 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 26

제25항에서,

상기 캐핑막은 상기 그루브를 채우도록 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 27

기판 위에 박막 트랜지스터를 형성하는 단계,

상기 박막 트랜지스터 위에 유기막을 형성하는 단계,

상기 유기막 내에 오픈부를 형성하는 단계,

상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극을 형성하는 단계,

상기 화소 전극 위에 희생층을 형성하는 단계,

상기 희생층 위에 루프층을 형성하는 단계,

상기 희생층을 제거하여 액정 주입구가 형성된 미세 공간(Microcavity)을 형성하는 단계,

상기 미세 공간에 액정 물질을 주입하는 단계 그리고

상기 루프층 위에 상기 액정 주입구를 덮도록 캐핑막을 형성하는 단계를 포함하고,

상기 루프층은 상기 오픈부를 덮는 액정 표시 장치의 제조 방법.

#### 청구항 28

제27항에서,

상기 유기막은 상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 액정 표시 장치의 제조 방법.

#### 청구항 29

제28항에서,

상기 미세 공간 사이에 격벽 형성부가 위치하고, 상기 오픈부의 폭은 상기 격벽 형성부의 폭보다 좁게 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 30

제29항에서,

상기 격벽 형성부에서 상기 루프층은 상기 오픈부를 덮으면서 격벽을 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 31

제27항에서,

상기 유기막 내에 오픈부를 형성하는 단계에서 상기 박막 트랜지스터의 한 단자와 상기 화소 전극을 연결하는 접촉 구멍을 형성하는 액정 표시 장치의 제조 방법.

#### 청구항 32

제27항에서,

상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 제1 보호막을 더 포함하고,

상기 미세 공간 사이에 상기 유기막이 형성되는 액정 표시 장치의 제조 방법.

#### 청구항 33

제32항에서,

상기 유기막은 상기 미세 공간과 동일한 레벨에 형성하는 액정 표시 장치의 제조 방법.

## 명세서

### 기술 분야

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

### 배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] NCD(Nano Crystal Display) 액정 표시 장치는 유기 물질 등으로 희생층을 형성하고 상부에 지지 부재를 형성한 후에 희생층을 제거하고, 희생층 제거로 형성된 미세 공간(Microcavity)에 액정을 채워 디스플레이를 만드는 장치이다.

[0005] NCD(Nano Crystal Display) 액정 표시 장치에서 미세 공간은 루프층(roof layer)에 의해 둘러싸여 있는데, 이러한 루프층은 그 재료, 열팽창 계수(Coefficient of Thermal Expansion; CTE)에 따라 하부 바닥에서 이탈되는 리프팅(Lifting) 불량 등 문제가 발생한다.

### 발명의 내용

#### 해결하려는 과제

[0006] 본 발명이 해결하고자 하는 과제는 리프팅 불량이 개선된 액정 표시 장치 및 그 제조 방법을 제공하는데 있다.

#### 과제의 해결 수단

[0007] 본 발명의 일실시예에 따른 액정 표시 장치는 기판, 상기 기판 위에 위치하는 박막 트랜지스터, 상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극 그리고 상기 화소 전극과 마주보며 위치하는 루프층을 포함하고, 상기 화소 전극과 상기 루프층 사이에 액정 주입구를 갖는 미세 공간(Microcavity)이 형성되어 있고, 상기 미세 공간은 액정 분자를 포함하는 액정층을 형성하고, 상기 미세 공간 사이에 고정 부재가 형성되고, 상기 루프층은 상기 고정 부재를 덮는다.

[0008] 상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 제1 보호막을 더 포함하고, 상기 고정 부재는 상기 제1 보호막 위에 형성된 패터화된 구조물일 수 있다.

[0009] 상기 패터화된 구조물은 포토 레지스트, 유기 물질 또는 무기 물질로 형성될 수 있다.

[0010] 상기 패터화된 구조물을 덮는 제2 보호막을 더 포함할 수 있다.

[0011] 상기 패터화된 구조물은 상기 미세 공간 사이의 격벽 형성부에 형성되고, 상기 격벽 형성부에서 상기 루프층은 상기 패터화된 구조물을 덮으면서 격벽(Partition Wall)을 형성할 수 있다.

[0012] 상기 패터화된 구조물은 상기 박막 트랜지스터의 한 단자와 연결되는 신호선과 평행한 방향을 따라 뻗을 수 있다.

[0013] 상기 루프층 위에 위치하고, 상기 액정 주입구를 덮는 캐핑막을 더 포함하고, 상기 격벽 형성부가 뻗어 있는 방향과 평행한 방향으로 서로 이웃하는 상기 미세 공간 사이에 그루브가 형성되고, 상기 캐핑막은 상기 그루브를 덮을 수 있다.

[0014] 상기 패터화된 구조물은 복수의 단위 조각들이 이격되어 형성될 수 있다.

[0015] 상기 패터화된 구조물은 역테이퍼 구조를 가질 수 있다.

[0016] 상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 유기막을 더 포함하고, 상기 고정 부재는 상기 유기막에 형성된 오픈부를 덮는 상기 루프층으로 형성될 수 있다.

- [0017] 상기 고정 부재는 상기 미세 공간 사이의 격벽 형성부에 형성되고, 상기 격벽 형성부에서 상기 루프층은 상기 오픈부를 덮으면서 격벽을 형성할 수 있다.
- [0018] 상기 고정 부재는 상기 박막 트랜지스터의 한 단자와 연결되는 신호선과 평행한 방향을 따라 뻗을 수 있다.
- [0019] 상기 루프층 위에 위치하고, 상기 액정 주입구를 덮는 캐핑막을 더 포함하고, 상기 격벽 형성부가 뻗어 있는 방향과 평행한 방향으로 서로 이웃하는 상기 미세 공간 사이에 그루브가 형성되고, 상기 캐핑막은 상기 그루브를 덮을 수 있다.
- [0020] 상기 유기막에는 상기 박막 트랜지스터의 한 단자와 상기 화소 전극을 연결하는 접촉 구멍이 형성되어 있고, 상기 접촉 구멍과 상기 오픈부는 동시에 형성될 수 있다.
- [0021] 상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 제1 보호막 그리고 상기 미세 공간 사이에 위치하는 유기막을 더 포함할 수 있다.
- [0022] 상기 고정 부재는 상기 유기막에 형성된 오픈부를 덮는 상기 루프층으로 형성될 수 있다.
- [0023] 상기 고정 부재는 상기 미세 공간과 동일한 레벨에 위치할 수 있다.
- [0024] 상기 미세 공간과 상기 루프층 사이에 위치하는 공통 전극을 더 포함할 수 있다.
- [0025] 본 발명의 일실시예에 따른 액정 표시 장치의 제조 방법은 기판 위에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 위에 제1 보호막을 형성하는 단계, 상기 제1 보호막 위에 고정 부재를 형성하는 단계, 상기 제1 보호막 위에 화소 전극을 형성하는 단계, 상기 화소 전극 위에 희생층을 형성하는 단계, 상기 희생층 위에 루프층을 형성하는 단계, 상기 희생층을 제거하여 액정 주입구가 형성된 미세 공간(Microcavity)을 형성하는 단계, 상기 미세 공간에 액정 물질을 주입하는 단계 그리고 상기 루프층 위에 상기 액정 주입구를 덮도록 캐핑막을 형성하는 단계를 포함하고, 상기 루프층은 상기 고정부재를 덮는다
- [0026] 상기 고정 부재는 상기 제1 보호막 위에 포토 레지스트, 유기 물질 또는 무기 물질을 도포한 후에 노광 또는 패터닝하여 형성할 수 있다.
- [0027] 상기 고정 부재를 덮는 제2 보호막을 형성하는 단계를 더 포함할 수 있다.
- [0028] 상기 고정 부재를 베이킹하는 단계를 더 포함할 수 있다.
- [0029] 상기 미세 공간 사이에 격벽 형성부가 위치하고, 상기 격벽 형성부에서 상기 루프층은 상기 고정 부재를 덮으면서 격벽을 형성할 수 있다.
- [0030] 상기 고정 부재는 상기 박막 트랜지스터의 한 단자와 연결되는 신호선과 평행한 방향을 따라 뻗도록 형성할 수 있다.
- [0031] 상기 루프층을 패터닝하여 그루브를 형성하는 단계를 더 포함하고, 상기 그루브는 상기 격벽 형성부가 뻗어 있는 방향과 평행한 방향으로 서로 이웃하는 상기 미세 공간 사이에 형성할 수 있다.
- [0032] 상기 캐핑막은 상기 그루브를 채우도록 형성할 수 있다.
- [0033] 본 발명의 일실시예에 따른 액정 표시 장치의 제조 방법은 기판 위에 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터 위에 유기막을 형성하는 단계, 상기 유기막 내에 오픈부를 형성하는 단계, 상기 박막 트랜지스터의 한 단자와 연결되는 화소 전극을 형성하는 단계, 상기 화소 전극 위에 희생층을 형성하는 단계, 상기 희생층 위에 루프층을 형성하는 단계, 상기 희생층을 제거하여 액정 주입구가 형성된 미세 공간(Microcavity)을 형성하는 단계, 상기 미세 공간에 액정 물질을 주입하는 단계 그리고 상기 루프층 위에 상기 액정 주입구를 덮도록 캐핑막을 형성하는 단계를 포함하고, 상기 루프층은 상기 오픈부를 덮는다
- [0034] 상기 유기막은 상기 박막 트랜지스터와 상기 화소 전극 사이에 위치할 수 있다.
- [0035] 상기 미세 공간 사이에 격벽 형성부가 위치하고, 상기 오픈부의 폭은 상기 격벽 형성부의 폭보다 좁게 형성할 수 있다.
- [0036] 상기 격벽 형성부에서 상기 루프층은 상기 오픈부를 덮으면서 격벽을 형성할 수 있다.
- [0037] 상기 유기막 내에 오픈부를 형성하는 단계에서 상기 박막 트랜지스터의 한 단자와 상기 화소 전극을 연결하는 접촉 구멍을 형성할 수 있다.



[0038] 상기 박막 트랜지스터와 상기 화소 전극 사이에 위치하는 제1 보호막을 더 포함하고, 상기 미세 공간 사이에 상기 유기막이 형성될 수 있다.

[0039] 상기 유기막은 상기 미세 공간과 동일한 레벨에 형성할 수 있다.

### 발명의 효과

[0040] 본 발명의 일실시예에 따르면, 리프팅 불량에 발생할 수 있는 부분에 고정 부재를 형성함으로써 신뢰성이 향상된 액정 표시 장치를 구현할 수 있다.

### 도면의 간단한 설명

[0041] 도 1은 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 2는 도 1에서 본 발명의 일실시예에 따른 고정 부재의 배치를 설명하기 위해 개략적으로 나타낸 평면도이다.

도 3은 도 1의 절단선 III-III을 따라 자른 단면도이다.

도 4는 도 1의 절단선 IV-IV를 따라 자른 단면도이다.

도 5는 본 발명의 일실시예에 따른 미세 공간을 나타내는 사시도이다.

도 6은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

도 7은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

도 8은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 9 내지 도 14는 도 1 내지 도 5에서 설명한 액정 표시 장치를 제조하는 방법을 나타내는 단면도들이다.

도 15는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

도 16은 도 15의 실시예에서 오픈부를 평면적으로 보았을 때의 모양을 나타내는 개략도이다.

도 17은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

도 18 내지 도 20은 도 15에서 설명한 액정 표시 장치를 제조하는 방법을 나타내는 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0042] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0043] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

[0044] 도 1은 도 1은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다. 도 2는 도 1에서 본 발명의 일실시예에 따른 고정 부재의 배치를 설명하기 위해 개략적으로 나타낸 평면도이다. 도 3은 도 1의 절단선 III-III을 따라 자른 단면도이다. 도 4는 도 1의 절단선 IV-IV를 따라 자른 단면도이다. 도 5는 본 발명의 일실시예에 따른 미세 공간을 나타내는 사시도이다.

[0045] 도 1, 도 3 및 도 4를 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 기판(110) 위에 박막 트랜지스터(Qa, Qb, Qc)가 위치한다.

[0046] 박막 트랜지스터(Qa, Qb, Qc) 위에 색필터(230)가 위치하고, 이웃하는 색필터(230) 사이에 차광 부재(220)가 형성될 수 있다.

[0047] 도 3 및 도 4는 절단선 III-III와 절단선 IV-IV를 따라 자른 단면도이나, 도 3 및 도 4에서는 도 1에 나타나는 기판(110)과 색필터(230) 사이의 구성을 생략하였다. 실제로, 도 3 및 도 4는 기판(110)과 색필터(230) 사이에

박막 트랜지스터(Qa, Qb, Qc)의 구성 일부를 포함한다.

- [0048] 색필터(230)는 화소 전극(191)의 열 방향을 따라서 길게 뻗을 수 있다. 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.
- [0049] 서로 이웃하는 색필터(230)는 도 1에서 나타난 가로 방향(D) 및 이와 교차하는 세로 방향을 따라 이격될 수 있다. 도 3에서는 가로 방향(D)을 따라 서로 이격되어 있는 색필터(230)를 나타내고, 도 4에서는 세로 방향을 따라 서로 이격되어 있는 색필터(230)를 나타낸다.
- [0050] 도 3을 참고하면, 가로 방향(D)을 따라 이격되어 있는 색필터(230) 사이에 세로 차광 부재(220b)가 위치한다. 세로 차광 부재(220b)는 이웃하는 색필터(230) 각각의 가장자리와 중첩하고 있으며, 세로 차광 부재(220b)가 색필터(230)의 양쪽 가장자리와 중첩하는 폭은 실질적으로 동일하다.
- [0051] 도 4를 참고하면, 세로 방향을 따라 이격되어 있는 색필터(230) 사이에 가로 차광 부재(220a)가 위치한다. 가로 차광 부재(220a)는 이웃하는 색필터(230) 각각의 가장자리와 중첩하고 있으며, 가로 차광 부재(220a)가 색필터(230)의 양쪽 가장자리와 중첩하는 폭은 실질적으로 동일하다.
- [0052] 여기서 설명한 것과 달리 차광 부재(220)는 이후 설명하는 미세 공간(305) 위에 위치할 수 있고, 이 때 색필터(230)는 세로 방향을 따라 연속적으로 형성되거나 서로 다른 색상을 표시하는 색필터가 가장자리에서 서로 중첩하면서 형성될 수도 있다.
- [0053] 색필터(230) 및 차광 부재(220) 위에 제1 보호막(170)이 위치한다. 제1 보호막(170)은 무기 물질 또는 유기 물질로 형성될 수 있고, 하부에 형성된 막들을 평탄화하는 역할을 할 수 있다.
- [0054] 제1 보호막(170) 위에 화소 전극(191)이 위치하며, 화소 전극(191)은 접촉 구멍(185a, 185b)을 통해 박막 트랜지스터(Qa, Qb)의 한 단자와 전기적으로 연결된다.
- [0055] 화소 전극(191) 위에는 하부 배향막(11)이 형성되어 있고 하부 배향막(11)은 수직 배향막일 수 있다. 하부 배향막(11)은 폴리 아미산(Polyamic acid), 폴리 실록산(Polysiloxane) 또는 폴리 이미드(Polyimide) 등의 액정 배향막으로써 일반적으로 사용되는 물질들 중 적어도 하나를 포함하여 형성될 수 있다.
- [0056] 하부 배향막(11)과 대향하는 부분에 상부 배향막(21)이 위치하고, 하부 배향막(11)과 상부 배향막(21) 사이에는 미세 공간(305)이 형성되어 있다. 미세 공간(305)에는 액정 분자(310)를 포함하는 액정 물질이 주입되어 있고, 미세 공간(305)은 액정 주입구(307)를 갖는다. 미세 공간(305)은 화소 전극(191)의 열 방향 다시 말해 세로 방향을 따라 형성될 수 있다. 본 실시예에서 배향막(11, 21)을 형성하는 배향 물질과 액정 분자(310)를 포함하는 액정 물질은 모관력(capillary force)을 이용하여 미세 공간(305)에 주입될 수 있다.
- [0057] 본 실시예에서는 도 2 및 도 3에 도시한 바와 같이, 가로 방향으로 이웃하는 미세 공간(305) 사이에 격벽 형성부(PWP)가 위치하고, 격벽 형성부(PWP)에는 세로 방향을 따라 길게 뻗은 패턴 구조물(500)이 위치한다. 이 때, 패턴 구조물(500)의 폭(w1)은 격벽 형성부(PWP)의 폭보다 작은 것이 바람직하다. 패턴 구조물(500)은 포토 레지스트, 유기 물질 또는 무기 물질 등으로 형성될 수 있다.
- [0058] 본 실시예에서 하나의 미세 공간(305)의 양 가장자리에 각각 1개씩의 액정 주입구가 형성되어 있으나, 다른 실시예로 하나의 미세 공간(305)의 한쪽 가장자리에 액정 주입구가 하나만 형성될 수도 있다.
- [0059] 미세 공간(305) 위에 상부 배향막(21)이 위치하고, 상부 배향막(21) 위에 공통 전극(270) 및 하부 절연층(350)이 위치한다. 공통 전극(270)은 공통 전압을 인가 받고, 데이터 전압이 인가된 화소 전극(191)과 함께 전기장을 생성하여 두 전극 사이의 미세 공간(305)에 위치하는 액정 분자(310)가 기울어지는 방향을 결정한다. 공통 전극(270)은 화소 전극(191)과 축전기를 이루어 박막 트랜지스터가 턴 오프(turn-off)된 후에도 인가된 전압을 유지한다. 하부 절연층(350)은 질화 규소(SiNx) 또는 산화 규소(SiO2)로 형성될 수 있다.
- [0060] 본 실시예에서는 공통 전극(270)이 미세 공간(305) 위에 형성되는 것으로 설명하였으나, 다른 실시예로 공통 전극(270)이 미세 공간(305) 하부에 형성되어 수평 전계 모드에 따른 액정 구동도 가능하다.
- [0061] 하부 절연층(350) 위에 루프층(Roof Layer; 360)이 위치한다. 루프층(360)은 실리콘 옥시카바이드(SiOC) 또는 포토 레지스트 또는 그 밖의 유기 물질을 포함할 수 있다. 루프층(360)이 실리콘 옥시카바이드(SiOC)를 포함하는 경우에는 화학 기상 증착법으로 형성할 수 있고, 포토 레지스트를 포함하는 경우에는 코팅법으로 형성할 수 있다. 실리콘 옥시카바이드(SiOC)는 화학 기상 증착법으로 형성할 수 있는 막 중에서 투과율이 높고, 막 스트

레스도 적어 변형도 가지 않는 장점이 있다. 따라서, 본 실시예에서 루프층(360)을 실리콘 옥시카바이드(SiO C)로 형성하게 되면 빛이 잘 투과되도록 하며 안정적인 막을 형성할 수 있다.

[0062] 가로 차광 부재(220a) 위에는 미세 공간(305), 공통 전극(270), 하부 절연층(350) 및 루프층(360)을 관통하는 액정 주입구 형성 영역(307FR)이 형성되어 있다. 액정 주입구 형성 영역(307FR)은 이후 설명하는 캐핑막(390)으로 덮여 있다.

[0063] 루프층(360) 위에 상부 절연층(370)이 위치한다. 상부 절연층(370)은 루프층(360)의 상부면 및 측벽과 접촉할 수 있다. 상부 절연층(370)은 질화 규소(SiNx) 또는 산화 규소(SiO<sub>2</sub>)로 형성될 수 있다. 상부 절연층(370) 위에 캐핑막(390)이 위치한다. 캐핑막(390)은 상부 절연층(370)의 상부면 및 측면과 접촉하며, 캐핑막(390)은 액정 주입구 형성 영역(307FR)에 의해 노출된 미세 공간(305)의 액정 주입구(307)를 덮는다. 캐핑막(390)은 열경화성 수지, 실리콘 옥시카바이드(SiO<sub>2</sub>C) 또는 그래핀(Graphene)으로 형성될 수 있다.

[0064] 캐핑막(390)이 그래핀으로 형성되는 경우에 그래핀(Graphene)은 헬륨 등을 포함하는 가스에 대한 내투과성이 강한 특성을 갖기 때문에 액정 주입구(307)를 막는 캐핑막 역할을 할 수 있고, 탄소 결합으로 이루어진 물질이기 때문에 액정 물질과 접촉하더라도 액정 물질이 오염되지 않는다. 뿐만 아니라, 그래핀(Graphene)은 외부의 산소 및 수분에 대해 액정 물질을 보호하는 역할도 할 수 있다.

[0065] 캐핑막(390) 위에 무기막 또는 유기막으로 형성된 오버코트막(미도시)이 위치할 수 있다. 오버코트막은 외부 충격으로부터 미세 공간(305)에 주입된 액정 분자(310)를 보호하고 막을 평탄화시키는 역할을 한다.

[0066] 이하, 도 1, 도 3 내지 도 5를 참고하여 미세 공간(305)에 대해 구체적으로 설명한다.

[0067] 도 1, 도 3 내지 도 5를 참고하면, 미세 공간(305)은 게이트선(121a)과 중첩하는 부분에 위치하는 복수의 액정 주입구 형성 영역(307FR)에 의해 세로 방향으로 나누어지며, 또한 게이트선(121a)이 뻗어 있는 방향(D)을 따라 복수개 형성되어 있다. 복수개 형성된 미세 공간(305) 각각은 화소 영역에 대응할 수 있고, 복수개 형성된 미세 공간(305) 집단이 열 방향으로 복수개 형성되어 있다. 여기서, 화소 영역은 화면을 표시하는 영역에 대응할 수 있다.

[0068] 본 실시예에서는 2개의 부화소 전극(191a, 191b)이 게이트선(121a)을 사이에 두고 배치되어 있는 박막 트랜지스터 및 화소 전극 구조를 갖는다. 따라서, 미세 공간(305)은 세로 방향으로 서로 이웃하는 화소(PX)가 각각 가지는 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)이 하나의 미세 공간(305)에 대응할 수 있다. 하지만, 이러한 구조는 박막 트랜지스터 및 화소 전극 구조를 변경할 수 있기 때문에 하나의 화소(PX)에 미세 공간(305)이 대응하는 형태로 변형하는 것도 가능하다.

[0069] 이 때, 미세 공간(305) 사이에 형성된 액정 주입구 형성 영역(307FP)은 게이트선(121a)이 뻗어 있는 방향(D)을 따라 위치할 수 있으며, 미세 공간(305)의 액정 주입구(307)는 액정 주입구 형성 영역(307FP)과 미세 공간(305)의 경계 부분에 대응하는 영역을 형성한다. 액정 주입구(307)는 액정 주입구 형성 영역(307FP)이 뻗어 있는 방향을 따라 형성되어 있다. 그리고, 게이트선(121a)이 뻗어 있는 방향(D)으로 서로 이웃하는 미세 공간(305) 사이에 형성된 격벽 형성부(PWP)는 도 3에 나타난 바와 같이 루프층(360)에 의해 덮일 수 있다. 본 실시예에서 격벽 형성부(PWP)에는 하부 절연층(350), 공통 전극(270), 상부 절연층(370) 및 루프층(360)이 채워져 있는데 이러한 구조물이 격벽(Partition Wall)을 형성함으로써 미세 공간(305)을 구획 또는 정의할 수 있다.

[0070] 미세 공간(305)에 포함된 액정 주입구(307)는 상부 배향막(21)과 가로 차광 부재(220a) 사이의 높이를 갖거나, 상부 배향막(21)과 하부 배향막(11) 사이의 높이를 가질 수 있다.

[0071] 본 실시예에서 액정 주입구 형성 영역(307FP)은 게이트선(121a)이 뻗어 있는 방향(D)을 따라 형성된 것으로 설명하였으나, 다른 실시예로 액정 주입구 형성 영역(307FP)은 데이터선(171)이 뻗어 있는 방향을 따라 복수개 형성될 수 있고, 복수개 형성된 미세 공간(305) 집단이 행 방향으로 복수개 형성될 수 있다. 액정 주입구(307)도 데이터선(171)이 뻗어 있는 방향을 따라 형성된 액정 주입구 형성 영역(307FP)이 뻗어 있는 방향을 따라 형성될 수 있다.

[0072] 본 실시예에서 미세 공간(305)의 액정 주입구(307)를 통해 액정 물질을 주입하기 때문에 별도의 상부 기판을 형성하지 않고 액정 표시 장치를 형성할 수 있다.

[0073] 이하에서는 도 1 내지 도 4를 다시 참조하여 본 실시예에 따른 액정 표시 장치에 대해 자세히 설명하기로 한다.

[0074] 도 1 내지 도 4를 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 기판(110) 위에 복수의 게이트선

(121a), 복수의 감압 게이트선(121b) 및 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다.

- [0075] 게이트선(121a) 및 감압 게이트선(121b)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 게이트선(121a)은 위아래로 돌출한 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 포함하고, 감압 게이트선(121b)은 위로 돌출한 제3 게이트 전극(124c)을 포함한다. 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 서로 연결되어 하나의 돌출부를 이룬다.
- [0076] 유지 전극선(131)도 주로 가로 방향으로 뻗어 있으며 공통 전압(Vcom) 등의 정해진 전압을 전달한다. 유지 전극선(131)은 위 아래로 돌출한 유지 전극(129), 게이트선(121a)과 실질적으로 수직하게 아래로 뻗은 한 쌍의 세로부(134) 및 한 쌍의 세로부(134)의 끝을 서로 연결하는 가로부(127)를 포함한다. 가로부(127)는 아래로 확장된 용량 전극(137)을 포함한다.
- [0077] 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(미도시)이 형성되어 있다.
- [0078] 게이트 절연막 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 복수의 선행 반도체(도시하지 않음)가 형성되어 있다. 선행 반도체는 주로 세로 방향으로 뻗어 있으며 제1 및 제2 게이트 전극(124a, 124b)을 향하여 뻗어 나와 있으며 서로 연결되어 있는 제1 및 제2 반도체(154a, 154b), 그리고 제3 게이트 전극(124c) 위에 위치하는 제3 반도체(154c)를 포함한다.
- [0079] 반도체(154a, 154b, 154c) 위에는 복수 쌍의 저항성 접촉 부재(도시하지 않음)가 형성될 수 있다. 저항성 접촉 부재는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어질 수 있다.
- [0080] 저항성 접촉 부재 위에는 복수의 데이터선(171), 복수의 제1 드레인 전극(175a), 복수의 제2 드레인 전극(175b), 그리고 복수의 제3 드레인 전극(175c)을 포함하는 데이터 도전체가 형성되어 있다.
- [0081] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121a) 및 감압 게이트선(121b)과 교차한다. 각 데이터선(171)은 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)을 향하여 뻗으며 서로 연결되어 있는 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함한다.
- [0082] 제1 드레인 전극(175a), 제2 드레인 전극(175b) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)의 막대형 끝 부분은 제1 소스 전극(173a) 및 제2 소스 전극(173b)으로 일부 둘러싸여 있다. 제1 드레인 전극(175a)의 넓은 한 쪽 끝 부분은 다시 연장되어 U자 형태로 굽은 제3 드레인 전극(175c)을 이룬다. 제3 소스 전극(173c)의 넓은 끝 부분(177c)은 용량 전극(137)과 중첩하여 감압 축전기(Cstd)를 형성하며, 막대형 끝 부분은 제3 드레인 전극(175c)으로 일부 둘러싸여 있다.
- [0083] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 제1 박막 트랜지스터(Qa)를 형성하고, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 제2 박막 트랜지스터(Qb)를 형성하며, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 제3 박막 트랜지스터(Qc)를 형성한다.
- [0084] 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c)를 포함하는 선행 반도체는 소스 전극(173a, 173b, 173c)과 드레인 전극(175a, 175b, 175c) 사이의 채널 영역을 제외하고는 데이터 도전체(171, 173a, 173b, 173c, 175a, 175b, 175c) 및 그 하부의 저항성 접촉 부재와 실질적으로 동일한 평면 모양을 가질 수 있다.
- [0085] 제1 반도체(154a)에는 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이에서 제1 소스 전극(173a) 및 제1 드레인 전극(175a)에 의해 가리지 않고 노출된 부분이 있고, 제2 반도체(154b)에는 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이에서 제2 소스 전극(173b) 및 제2 드레인 전극(175b)에 의해 가리지 않고 노출된 부분이 있으며, 제3 반도체(154c)에는 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이에서 제3 소스 전극(173c) 및 제3 드레인 전극(175c)에 의해 가리지 않고 노출된 부분이 있다.
- [0086] 데이터 도전체(171, 173a, 173b, 173c, 175a, 175b, 175c) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 질화 규소 또는 산화 규소 따위의 무기 절연물로 만들어질 수 있는 절연층(미도시)이 형성되어 있다.
- [0087] 절연층 위에는 색필터(230)가 위치할 수 있다. 색필터(230)는 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb) 및 제3 박막 트랜지스터(Qc) 등이 위치하는 곳을 제외한 대부분의 영역에 위치한다. 그러나, 이웃하는 데



이터선(171) 사이를 따라서 세로 방향으로 길게 뻗을 수도 있다. 본 실시예에서, 색필터(230)는 화소 전극(191) 하단에 형성되어 있으나, 공통 전극(270) 위에 형성될 수도 있다.

[0088] 색필터(230)가 위치하지 않는 영역 및 색필터(230)의 일부분 위에는 차광 부재(220)가 위치한다. 차광 부재(220)는 게이트선(121a) 및 감압 게이트선(121b)을 따라 뻗어 위아래로 확장되어 있으며 제1 박막 트랜지스터(Qa), 제2 박막 트랜지스터(Qb) 및 제3 박막 트랜지스터(Qc) 등이 위치하는 영역을 덮는 가로 차광 부재(220a)와 데이터선(171)을 따라 뻗어 있는 세로 차광 부재(220b)를 포함한다.

[0089] 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.

[0090] 절연층, 차광 부재(220)에는 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 드러내는 복수의 접촉 구멍(185a, 185b)이 형성되어 있다.

[0091] 그리고, 색필터(230), 차광 부재(220) 위에는 제1 보호막(170)이 형성되어 있다. 제1 보호막(170) 위에는 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)을 포함하는 화소 전극(191)이 형성되어 있다. 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 게이트선(121a) 및 감압 게이트선(121b)을 사이에 두고 서로 분리되어 각각 위와 아래에 배치되어 열 방향으로 이웃한다. 제2 부화소 전극(191b)의 크기는 제1 부화소 전극(191a)의 크기보다 크며 대략 1배 내지 3배일 수 있다.

[0092] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b) 각각의 전체적인 모양은 사각형이며 제1 부화소 전극(191a) 및 제2 부화소 전극(191b) 각각은 가로 줄기부(193a, 193b), 가로 줄기부(193a, 193b)와 교차하는 세로 줄기부(192a, 192b)로 이루어진 십자형 줄기부를 포함한다. 또한, 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 각각 복수의 미세 가지부(194a, 194b), 부화소 전극(191a, 191b)의 가장자리 변에서 아래 또는 위로 돌출된 돌출부(197a, 197b)를 포함한다.

[0093] 화소 전극(191)은 가로 줄기부(193a, 193b)와 세로 줄기부(192a, 192b)에 의해 4개의 부영역으로 나뉘어진다. 미세 가지부(194a, 194b)는 가로 줄기부(193a, 193b) 및 세로 줄기부(192a, 192b)로부터 비스듬하게 뻗어 있으며 그 뻗는 방향은 게이트선(121a, 121b) 또는 가로 줄기부(193a, 193b)와 대략 45도 또는 135도의 각을 이룰 수 있다. 또한 이웃하는 두 부영역의 미세 가지부(194a, 194b)가 뻗어 있는 방향은 서로 직교할 수 있다.

[0094] 본 실시예에서 제1 부화소 전극(191a)은 외곽을 둘러싸는 외곽 줄기부를 더 포함하고, 제2 부화소 전극(191b)은 상단 및 하단에 위치하는 가로부 및 제1 부화소 전극(191a)의 좌우에 위치하는 좌우 세로부(198)를 더 포함한다. 좌우 세로부(198)는 데이터선(171)과 제1 부화소 전극(191a) 사이의 용량성 결합, 즉 커패시터를 방지할 수 있다.

[0095] 화소 전극(191) 위에는 하부 배향막(11), 미세 공간층(400), 상부 배향막(21), 공통 전극(270), 하부 절연층(350) 및 캐핑막(390) 등이 형성되어 있고, 이러한 구성 요소에 대한 설명은 앞에서 이미 한 바 생략하기로 한다.

[0096] 지금까지 설명한 액정 표시 장치에 관한 설명은 측면 시인성을 향상하기 위한 시인성 구조의 한 예이고, 박막 트랜지스터의 구조 및 화소 전극 디자인은 본 실시예에서 설명한 구조에 한정되지 않고, 변형하여 본 발명의 일 실시예에 따른 내용을 적용할 수 있다.

[0097] 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

[0098] 도 6을 참고하면, 도 3에서 설명한 실시예와 대체로 동일하고, 다만 본 실시예에서 패턴 구조물(500)은 역테이퍼 구조를 갖는다. 본 실시예에서는 루프층(360)이 역테이퍼 구조를 갖는 패턴 구조물(500)을 잘 감쌀 수 있기 때문에 리프팅 불량을 방지하는데 보다 효과적이다.

[0099] 도 7은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 단면도이다.

[0100] 도 7을 참고하면, 도 3에서 설명한 실시예와 대체로 동일하고, 다만 본 실시예에서는 패턴 구조물(500)을 더욱 단단하게 고정하고 후속 공정의 영향을 받지 않도록 하기 위해 패턴 구조물(500)을 덮는 제2 보호막(180)이 추가적으로 형성되어 있다.

[0101] 도 8은 본 발명의 일 실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

[0102] 도 8을 참고하면, 도 2에서 설명한 실시예와 대체로 동일하고, 다만 본 실시예에서는 패턴 구조물(500)이 복수의 단위 조각들이 이격되어 형성되어 있다. 이와 같이 패턴 구조물(500)이 복수의 단위 조각들로 이격 형성됨

으로써 루프층(360)과 패턴 구조물(500)이 접촉하는 표면적이 증가되기 때문에 리프팅 불량을 방지하는데 보다 효과적이다.

- [0103] 이하에서는 도 1 내지 도 5를 참고하여 앞에서 설명한 액정 표시 장치를 제조하는 일실시예에 대해 설명하기로 한다. 도 9 내지 도 14는 도 1 내지 도 5에서 설명한 액정 표시 장치를 제조하는 방법을 나타내기 위해 도 1과 도 2의 절단선 III-III을 따라 자른 단면도를 순서대로 나타낸 것이다.
- [0104] 도 9를 참고하면, 투명한 유리 또는 플라스틱 따위로 만들어진 기관(110) 위에 박막 트랜지스터(Qa, Qb, Qc)(도 1에서 도시함)를 형성한다. 박막 트랜지스터(Qa, Qb, Qc) 위에 화소 영역에 대응하도록 색필터(230)를 형성하고, 이웃하는 색필터(230) 사이에 가로 차광 부재(220a) 및 세로 차광 부재(220b)를 포함하는 차광 부재(220)를 형성한다. 도 9에 도시한 것처럼 세로 차광 부재(220b)는 이웃하는 색필터(230)의 가장자리와 중첩할 수 있다.
- [0105] 도 10을 참고하면, 색필터(230)와 차광 부재(220) 위에 제1 보호막(170)을 형성한다. 제1 보호막(170)은 유기 물질 또는 무기 물질로 형성할 수 있고, 성질이 다른 2개의 막으로 형성할 수도 있다. 가령, 제1 보호막(170)의 하부막으로 유기 물질층을 형성할 수 있고, 제1 보호막(170)의 상부막으로 무기 물질층을 형성할 수 있다. 제1 보호막(170) 위에 포토 레지스트, 유기 물질 또는 무기 물질을 도포한 후에 노광 또는 패터닝하여 패턴화된 구조물(500)을 형성한다. 패턴화된 구조물(500)은 루프층(360)과 하부 바닥면인 제1 보호막(170) 또는 루프층(360) 아래에 위치하는 하부 절연층(350) 또는 공통 전극(270)과 제1 보호막(170) 사이의 리프팅 불량을 방지하는 고정 부재가 된다.
- [0106] 이 때, 패턴화된 구조물(500)은 데이터선(171)이 뺀 방향을 따라 길게 형성하거나 복수의 단위 조각들이 이격 되도록 형성할 수 있다. 또한, 도 6에서 설명한 것처럼 패턴화된 구조물(500)이 역테이퍼 구조를 갖도록 형성할 수도 있다.
- [0107] 이 후, 패턴화된 구조물(500)을 경화시키기 위해 대략 섭씨 220도 정도로 베이킹 공정을 수행할 수 있다.
- [0108] 도 11을 참고하면, 제1 보호막(170) 위에 화소 전극 물질을 형성한 후 화소 영역에 대응하는 부분에 화소 전극(191)이 위치하도록 화소 전극 물질을 패터닝하고, 이 때 화소 전극(191)은 접촉 구멍(185a, 185b)(도 1에 도시함)을 통해 박막 트랜지스터(Qa, Qb)의 한 단자와 전기적으로 연결된다. 화소 전극 물질을 패터닝하여 형성된 화소 전극(191)은 도 2에 도시된 형태를 가질 수 있으나, 이에 한정되지 않고, 화소 전극(191)의 디자인은 변형 가능하다.
- [0109] 도 12를 참고하면, 화소 전극(191) 위에 실리콘 옥시카바이드(SiO<sub>2</sub>) 또는 포토 레지스트를 포함하는 희생층(300)을 형성한다. 희생층(300)은 실리콘 옥시카바이드(SiO<sub>2</sub>) 또는 포토 레지스트를 제외한 유기 물질로 형성할 수도 있다.
- [0110] 희생층(300)을 노광/현상하거나 패터닝하여 세로 차광 부재(200b) 위에 격벽 형성부(PWP)를 형성한다. 격벽 형성부(PWP)는 가로 방향으로 서로 이웃하는 미세 공간(305)을 구획할 수 있다.
- [0111] 희생층(300) 위에 공통 전극(270) 및 하부 절연층(350)을 순차적으로 형성한다. 공통 전극(270)은 ITO 또는 IZO 따위의 투명 도전체로 형성할 수 있고, 하부 절연층(350)은 질화 규소(SiN<sub>x</sub>) 또는 산화 규소(SiO<sub>2</sub>)로 형성할 수 있다. 공통 전극(270)과 하부 절연층(350)은 미세 공간(305) 사이에 위치하는 패턴 구조물(500)을 덮으면서 격벽 형성부(PWP)에 형성될 수 있다. 다른 실시예로 공통 전극(270) 또는 하부 절연층(350)은 격벽 형성부(PWP) 내에서 반드시 연속적으로 형성되지 않고, 희생층(300)의 상부면만 덮고 희생층(300)의 측면은 덮지 않거나 일부만 덮도록 형성할 수 있다.
- [0112] 도 13a를 참고하면, 하부 절연층(350) 위에 루프층(360)과 상부 절연층(370)을 차례로 형성한다. 본 실시예에 따른 루프층(360)은 앞에서 설명한 희생층(300)과 다른 물질로 형성할 수 있다. 상부 절연층(370)은 질화 규소(SiN<sub>x</sub>) 또는 산화 규소(SiO<sub>2</sub>)로 형성할 수 있다. 여기서, 루프층(360)은 격벽 형성부(PWP)에 위치하는 패턴 구조물(500)을 감싸면서 형성되기 때문에
- [0113] 도 13b는 도 1의 절단선 IV-IV를 따라 자른 단면도이고, 도 13a에서 설명한 단계에서의 구조를 나타낸다. 도 13b를 참고하면, 상부 절연층(370)을 형성하기 이전에 루프층(360)을 패터닝하여 가로 차광 부재(220a)와 대응하는 부분의 하부 절연층(350)을 노출시키는 액정 주입구 형성 영역(307FP)을 형성할 수 있다. 이후 액정 주입구 형성 영역(307FP)에 대응하는 부분에 위치하는 상부 절연층(370), 하부 절연층(350) 및 공통 전극(270)을 차례로 패터닝하여 희생층(300)을 노출시키고, 액정 주입구 형성 영역(307FP)을 통해 희생층(300)을 산소(O<sub>2</sub>) 애싱(Ashing) 처리 또는 습식 식각법 등으로 제거한다. 이 때, 액정 주입구(307)를 갖는 미세 공간(305)이 형성

된다. 미세 공간(305)은 희생층(300)이 제거되어 빈 공간 상태이다.

- [0114] 본 실시예에서 액정 주입구 형성 영역(307FP)을 형성할 때 상부 절연층(370), 루프층(360), 하부 절연층(350) 및 공통 전극(270)을 제거하는 순서는 공정 목적 및 재료에 따라 다양한 형태로 변형 가능하다.
- [0115] 액정 주입구(307)는 박막 트랜지스터의 한 단자와 연결되어 있는 신호선과 평행한 방향을 따라 형성될 수 있다. 희생층(300)이 제거되면 도 13a에 도시한 바와 같이 공통 전극(270), 하부 절연층(350) 및 루프층(360)이 격벽 형성부(PWP)를 덮고 있기 때문에 일종의 격벽이 되어 미세 공간을 구획하는 측벽부 역할을 할 수 있다.
- [0116] 도 14를 참고하면, 도 13b에 도시한 액정 주입구(307)를 통해 배향 물질을 주입하여 화소 전극(191) 및 공통 전극(270) 위에 배향막(11, 21)을 형성한다. 액정 주입구(307)를 통해 고형분과 용매를 포함하는 배향 물질이 주입한 후에 베이크 공정을 수행한다.
- [0117] 그 다음, 액정 주입구(307)를 통해 미세 공간(305)에 잉크젯 방법 등을 사용하여 액정 분자(310)를 포함하는 액정 물질을 주입한다.
- [0118] 이후 루프층(360)의 상부면 및 측벽을 덮도록 캐핑막(390)을 형성하고, 이 때, 캐핑막(390)은 액정 주입구 형성 영역(307FP)에 의해 노출된 미세 공간(305)의 액정 주입구(305)를 덮으면서 도 3 및 도 4에 도시한 액정 표시 장치가 형성될 수 있다.
- [0119] 도 15는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.
- [0120] 도 15를 참고하면, 대부분의 구성은 도 3을 참고하여 설명한 실시예와 동일하다. 다만, 도 15의 실시예에서는 도 3의 실시예에서 고정 부재의 역할을 하는 구성에 차이가 있는 바 이하에서는 이에 대해 설명하기로 한다.
- [0121] 도 15를 참고하면, 제1 보호막(170)에 오픈부(OPN)가 형성되어 있다. 오픈부(OPN)는 공정 수행 단계에서 형성되는 것이며, 최종 구조물에서는 루프층(360)에 의해 채워져 있다. 오픈부(OPN)는 박막 트랜지스터의 한 단자와 연결되는 신호선이 뻗어 있는 방향을 따라 길게 형성될 수 있다.
- [0122] 미세 공간(305) 위에 위치하는 공통 전극(270), 하부 절연층(350), 루프층(360) 및 상부 절연층(380)은 오픈부(OPN)를 채우고, 이러한 구조는 격벽 형성부(PWP) 내에서 미세 공간(305)에 대한 격벽을 형성하는 공통 전극(270), 하부 절연층(350) 및 루프층(360)이 돛을 내려 고정 부재(600)를 형성하는 형태를 갖는다.
- [0123] 따라서, 본 실시예에 따르면 루프층(360)이 하부 바닥면에 고정되지 않고 이탈되는 것을 방지할 수 있다.
- [0124] 도 16은 도 15의 실시예에서 오픈부를 평면적으로 보았을 때의 모양을 나타내는 개략도이다.
- [0125] 도 16을 참고하면, 제1 보호막(170)에 형성되는 오픈부(OPN)의 모양은 선형, 사다리형, 지그재그형 또는 화살형 등 다양하게 변형될 수 있다.
- [0126] 도 17은 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 단면도이다.
- [0127] 도 17을 참고하면, 도 15에서 설명한 실시예와 대체로 동일하나 제1 보호막(170)에 오픈부를 형성하지 않는 점에서 차이가 있다. 대신 본 실시예에서는 도 15에서의 격벽 형성부 자리에 유기막(180)이 형성되어 있다. 유기막(180)은 미세 공간(305) 사이에, 미세 공간(305)과 동일한 레벨에 위치하고, 차광 부재 또는 컬럼 스페이스 일 수 있고, 차광 역할과 컬럼 스페이스 역할을 동시에 하는 구성 요소 일 수 있다.
- [0128] 본 실시예에서 유기막(180) 내에 오픈부(OPN)가 형성되어 있다. 미세 공간(305) 위에 위치하는 공통 전극(270), 하부 절연층(350), 루프층(360) 및 상부 절연층(380)은 오픈부(OPN)를 채우면서 고정 부재(700)를 형성한다.
- [0129] 도 18 내지 도 20은 도 15에서 설명한 액정 표시 장치를 제조하는 방법을 나타내는 단면도들이다.
- [0130] 본 실시예에 따른 액정 표시 장치의 제조 방법은 앞에서 설명한 도 9 내지 도 14를 참고하면 설명한 실시예와 대체로 동일하므로 차이가 있는 부분에 대해서 설명하기로 한다.
- [0131] 도 18을 참고하면, 제1 보호막(170)을 유기 물질 등으로 형성한 후에 노광/현상 또는 패터닝하여 오픈부(OPN)를 형성한다. 오픈부(OPN)는 박막 트랜지스터의 한 단자와 연결되는 신호선이 뻗어 있는 방향을 따라 길게 형성될 수 있다.
- [0132] 도 19를 참고하면, 화소 전극(191)을 형성하고, 화소 전극(191) 위에 희생층(300)을 형성한다. 희생층(300)을 노광/현상 또는 패터닝하여 오픈부(OPN)보다 폭이 큰 격벽 형성부(PWP)를 형성한다.

- [0133] 도 20을 참고하면, 희생층(300) 위에 격벽 형성부(PWP)를 채우도록 공통 전극(270), 하부 절연층(350)을 형성한다. 이후, 하부 절연층(350) 위에 루프층(360)을 형성한다. 루프층(360)은 격벽 형성부(PWP)와 오픈부(OPN)를 채우면서 격벽 및 고정 부재(600)를 형성한다.
- [0134] 이후 공정 단계는 도 13 및 도 14에서 설명한 과정과 동일하므로 생략하도록 한다. 앞에서 설명한 차이점 외에도 9 내지 도 14를 참조하여 설명한 내용은 도 18 내지 도 20의 실시예에도 모두 적용할 수 있다.
- [0135] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

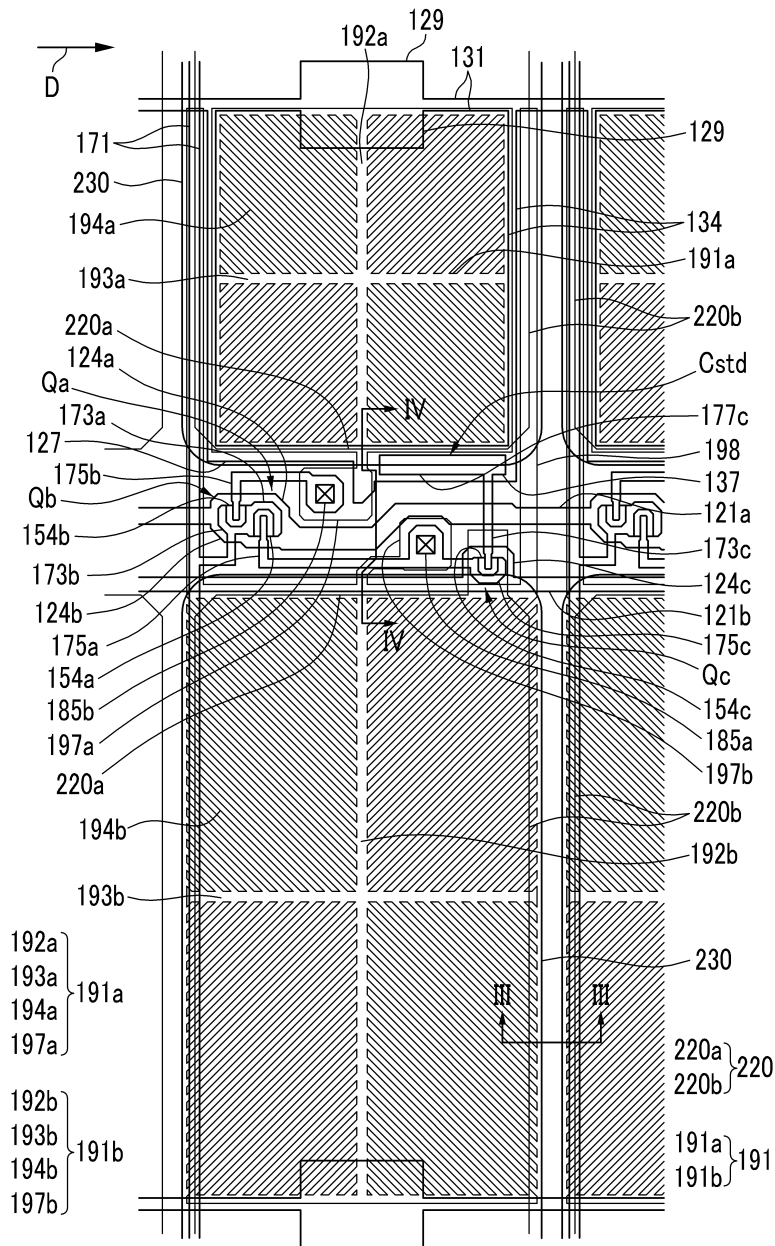
### 부호의 설명

- [0136]
- |     |        |     |                    |
|-----|--------|-----|--------------------|
| 3   | 액정층    | 300 | 희생층                |
| 310 | 액정 분자  | 305 | 미세 공간(microcavity) |
| 307 | 액정 주입구 | 350 | 하부 절연층             |
| 360 | 루프층    | 370 | 상부 절연층             |
| 390 | 캐핑막    |     |                    |

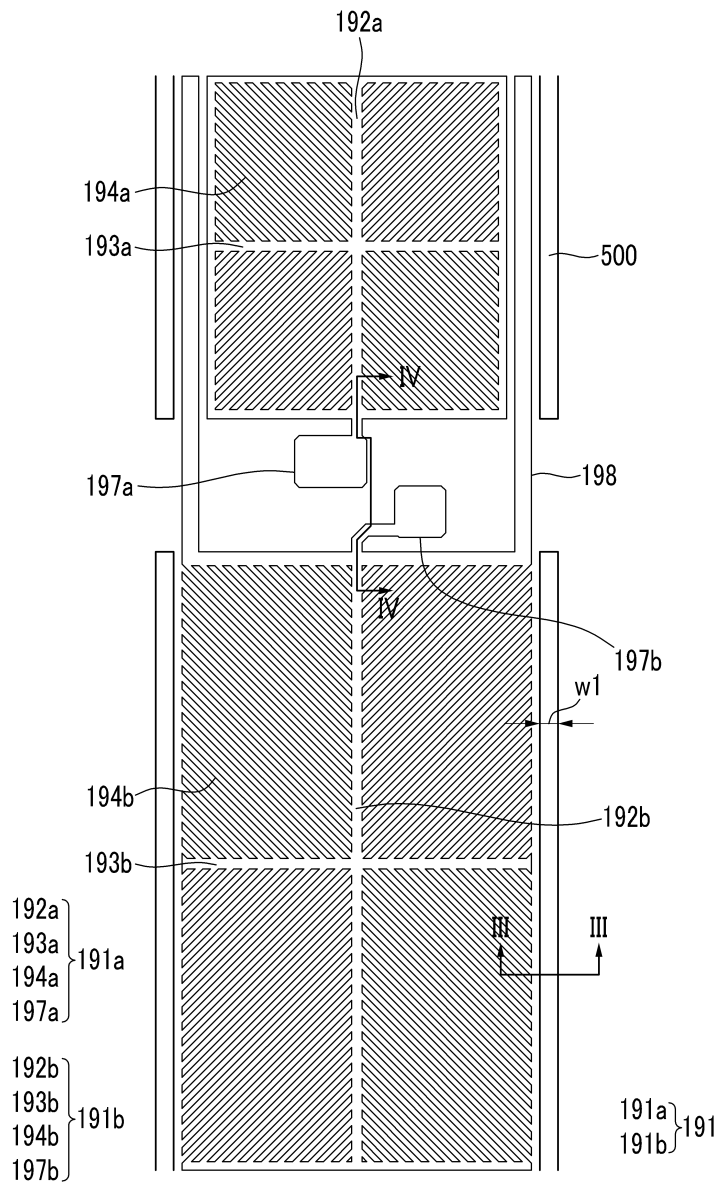


도면

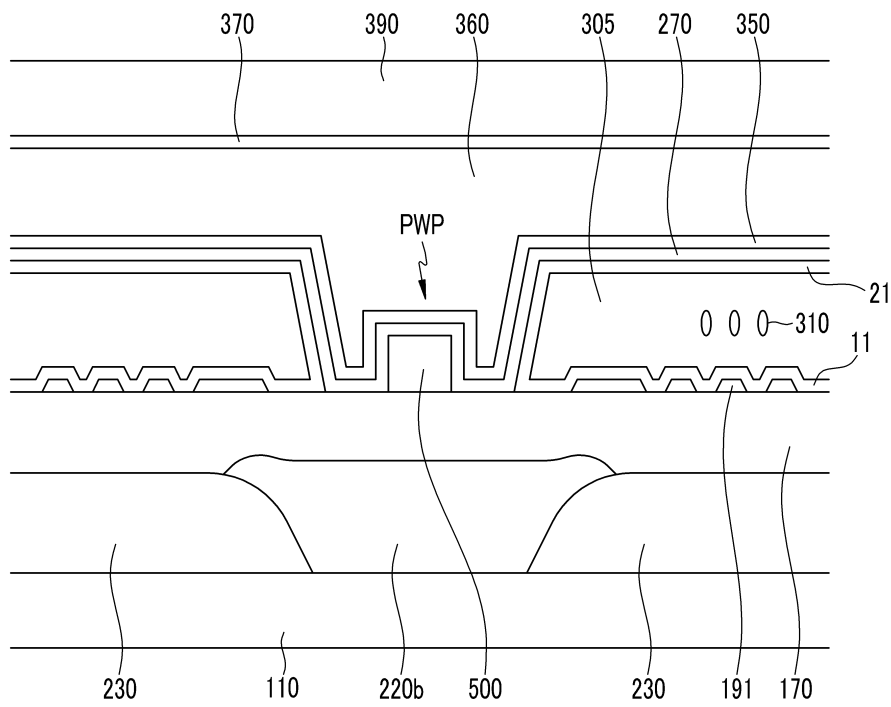
도면1



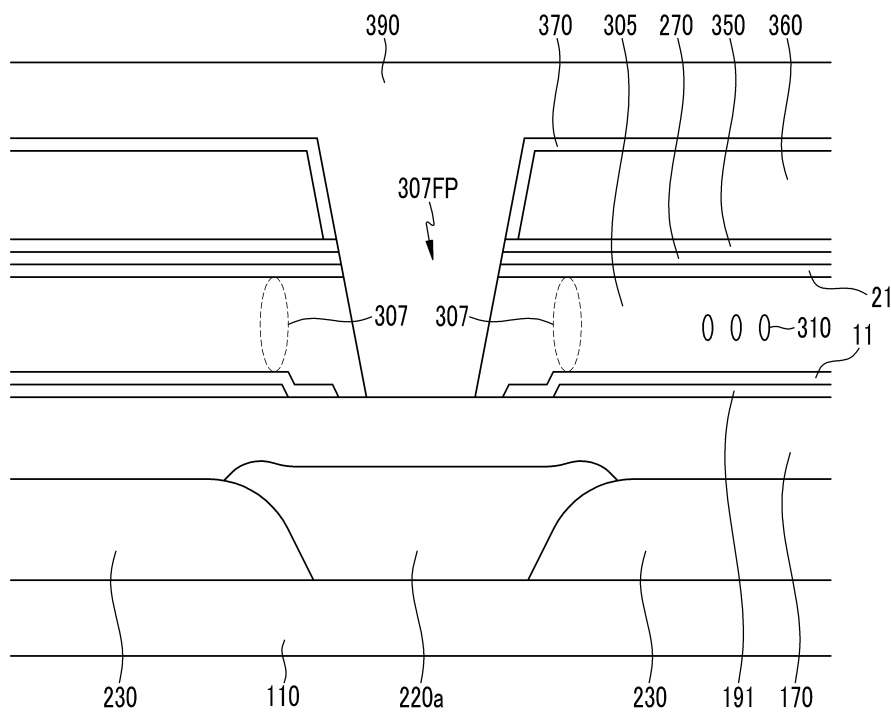
도면2



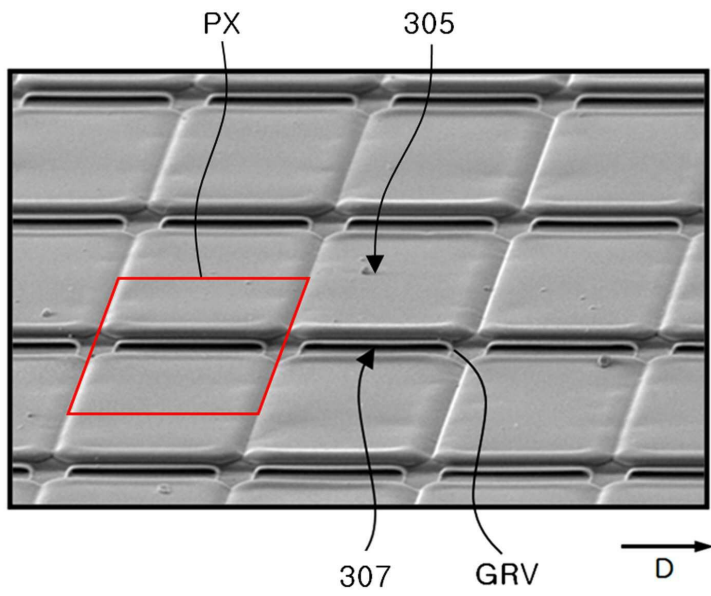
도면3



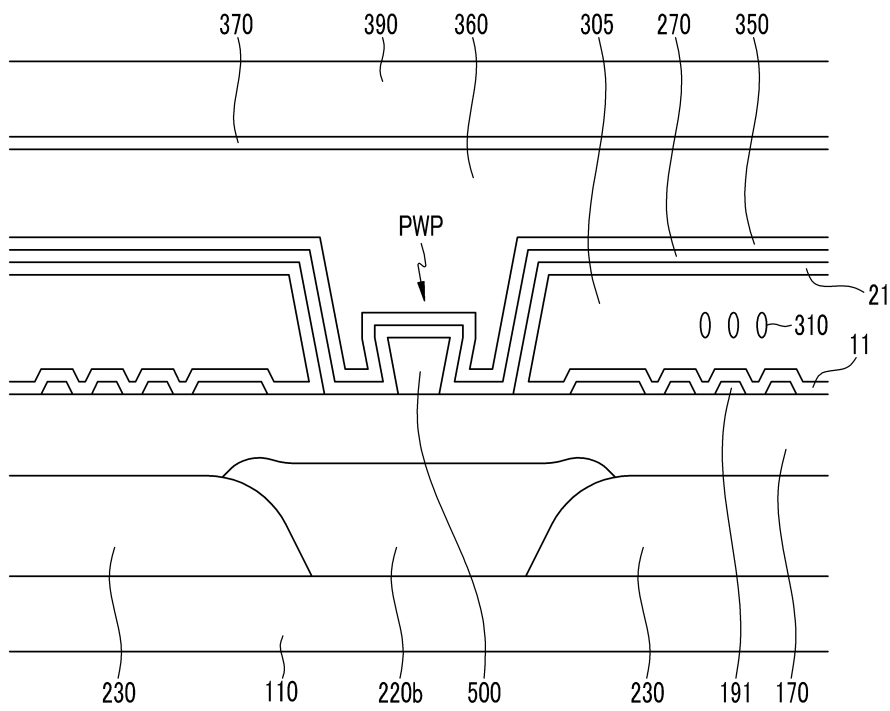
도면4



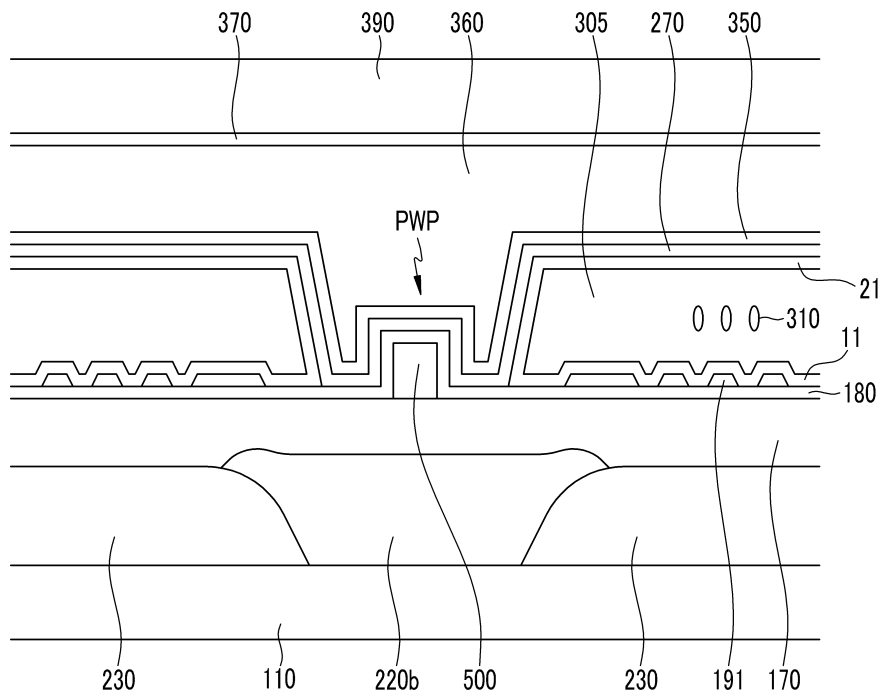
도면5



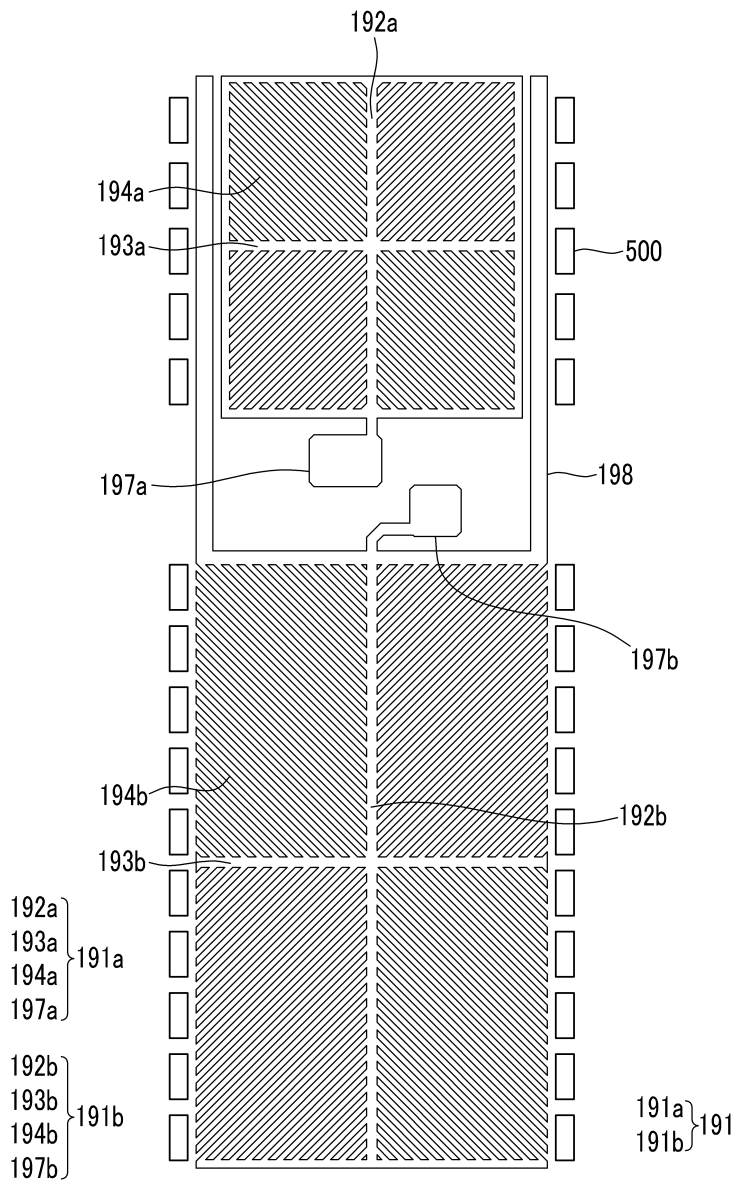
도면6



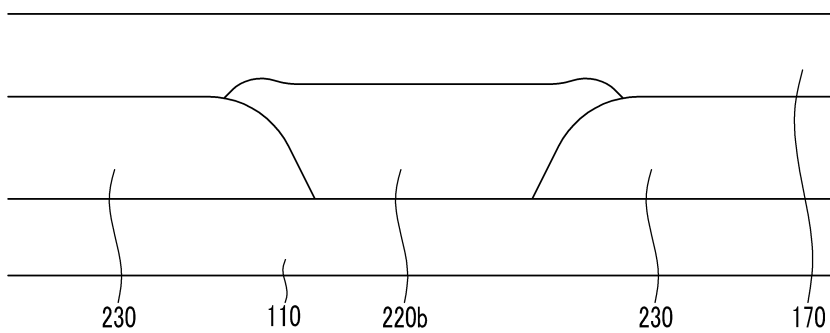
도면7



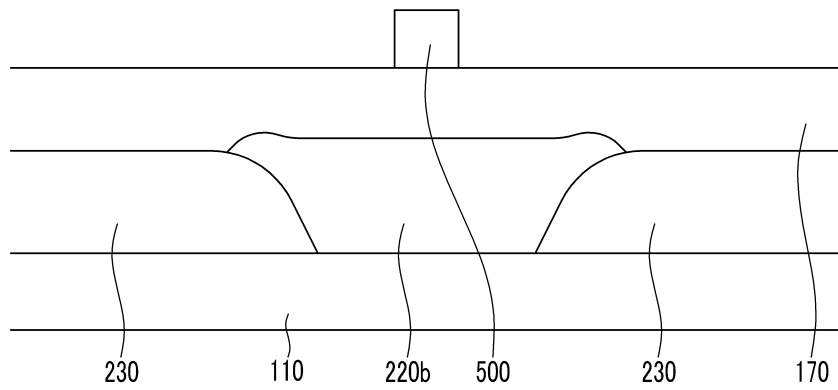
도면8



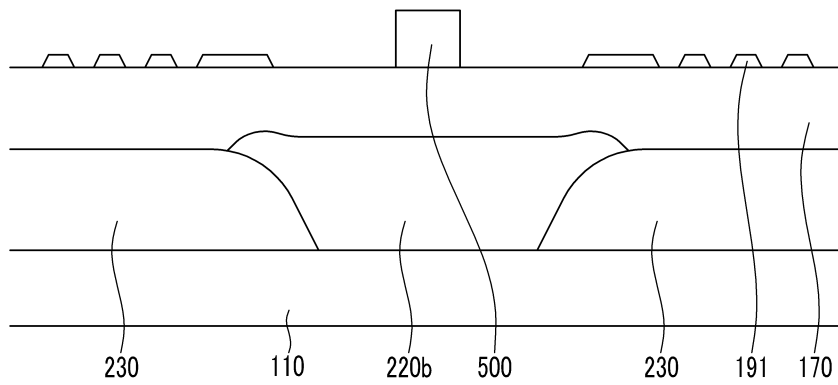
도면9



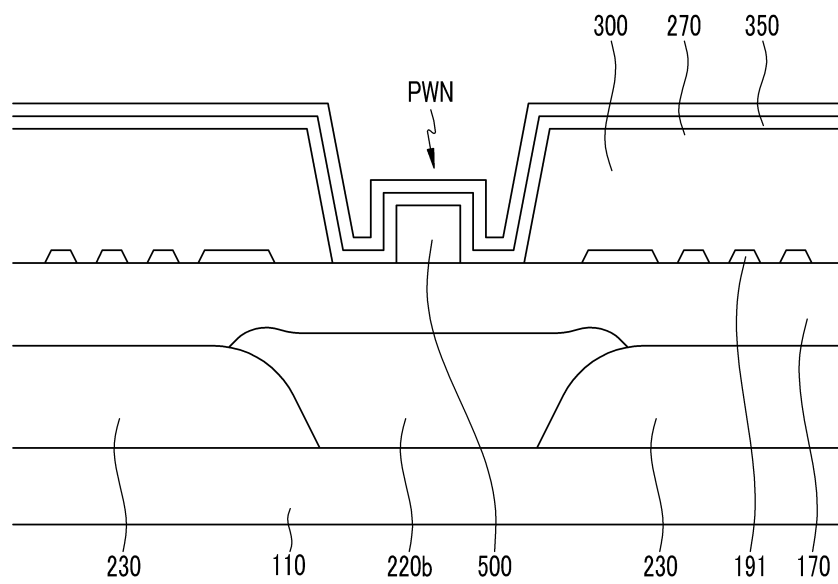
도면10



도면11

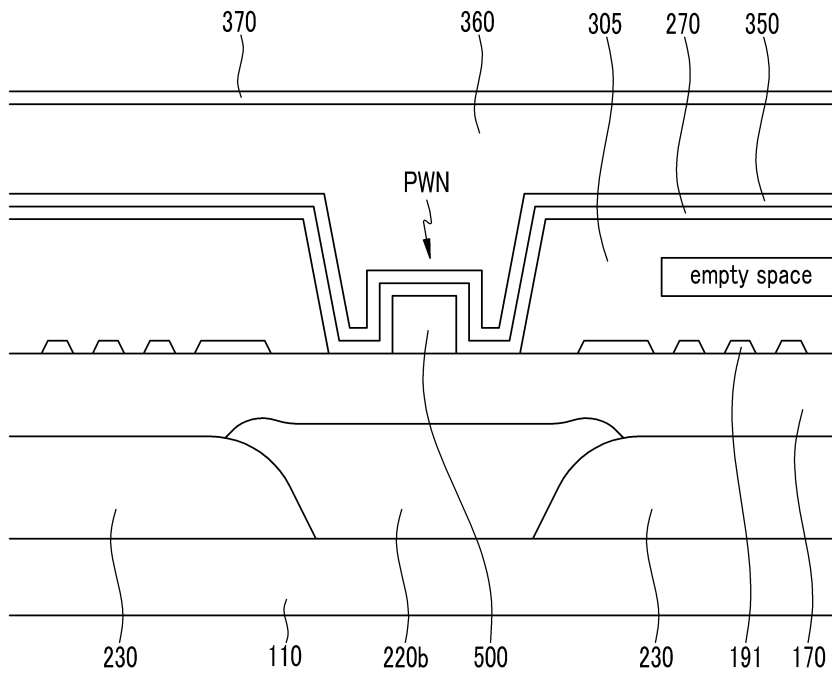


도면12

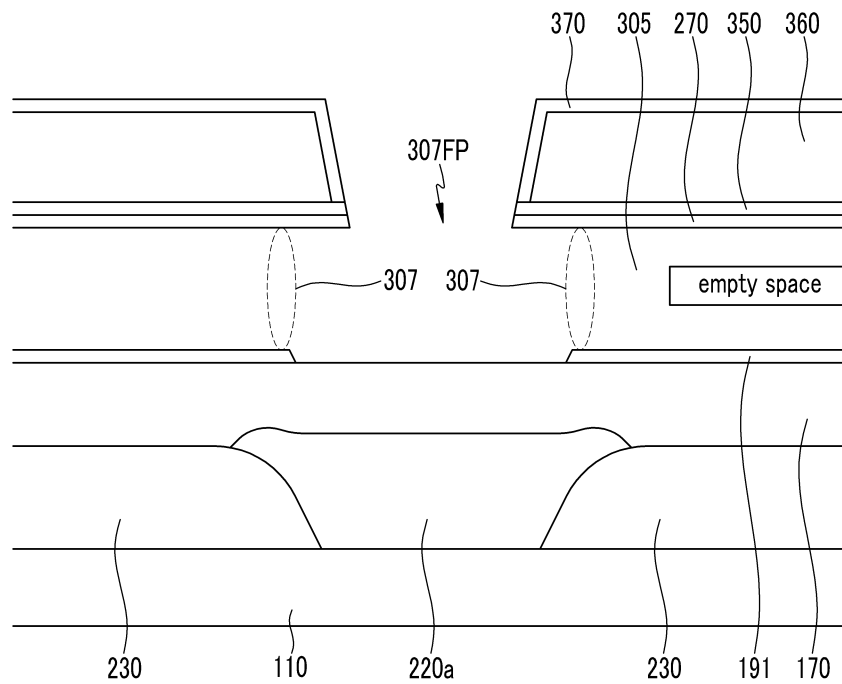




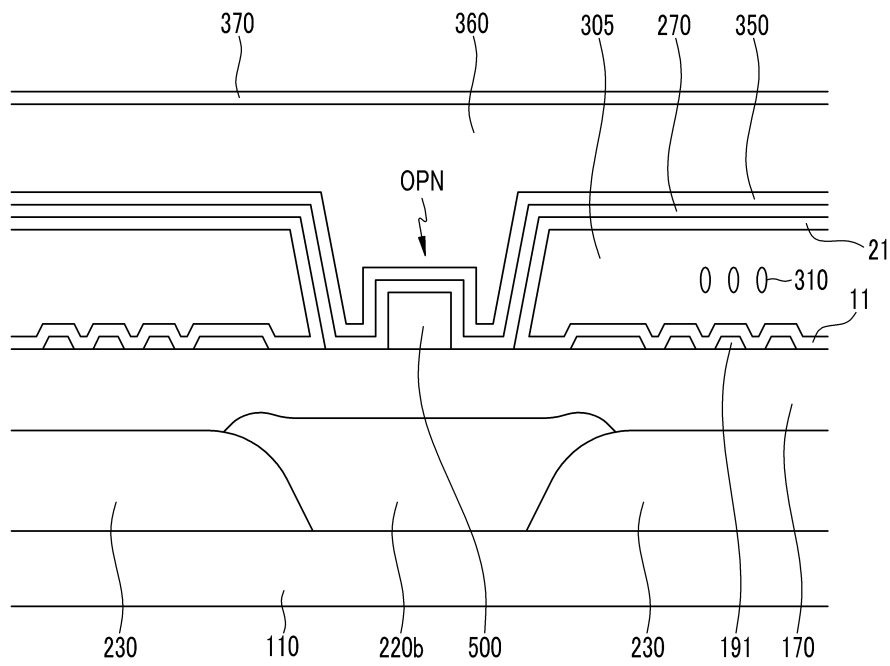
도면13a



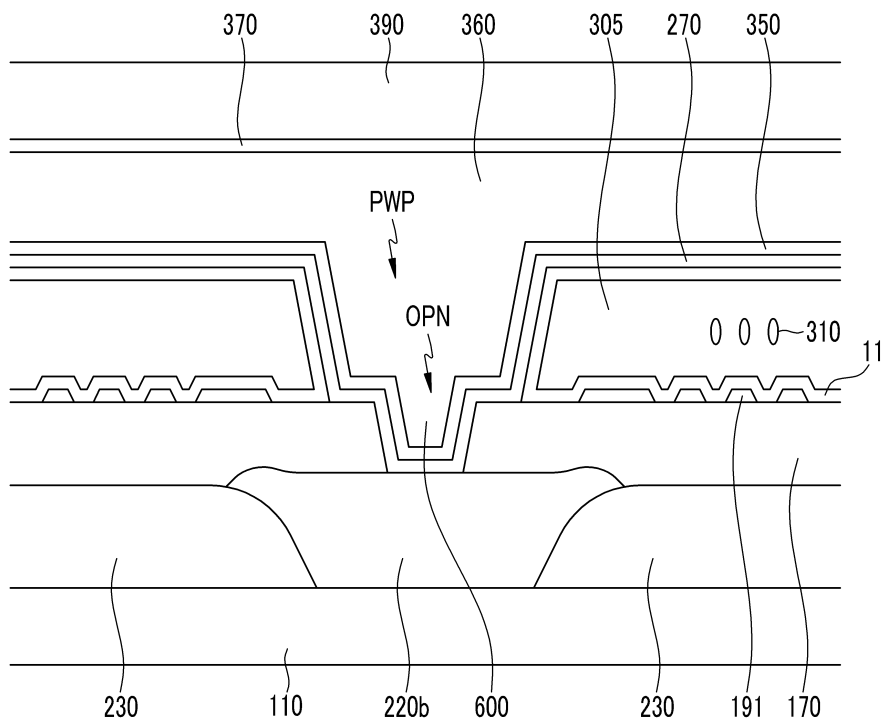
도면13b



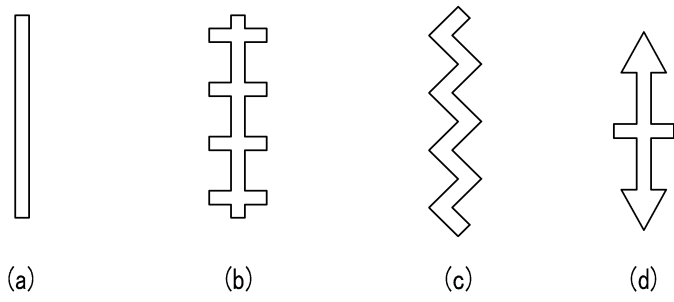
도면14



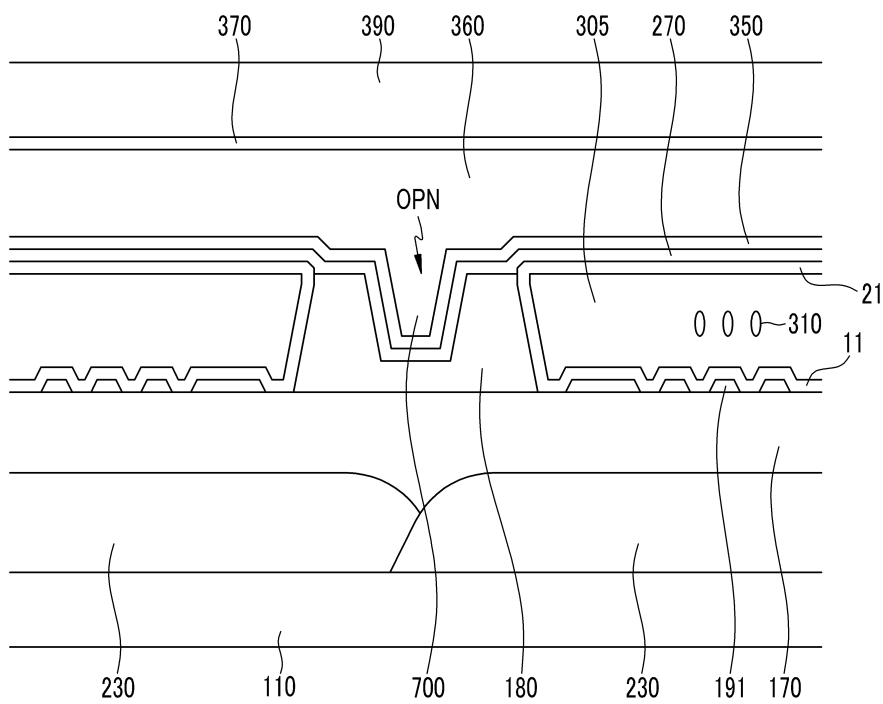
도면15



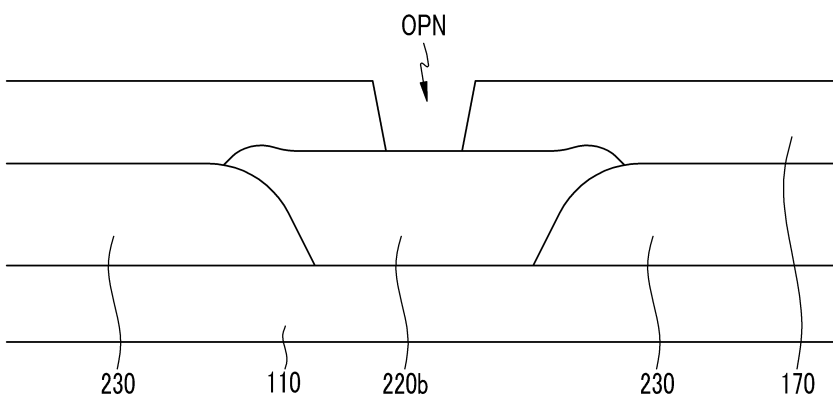
도면16



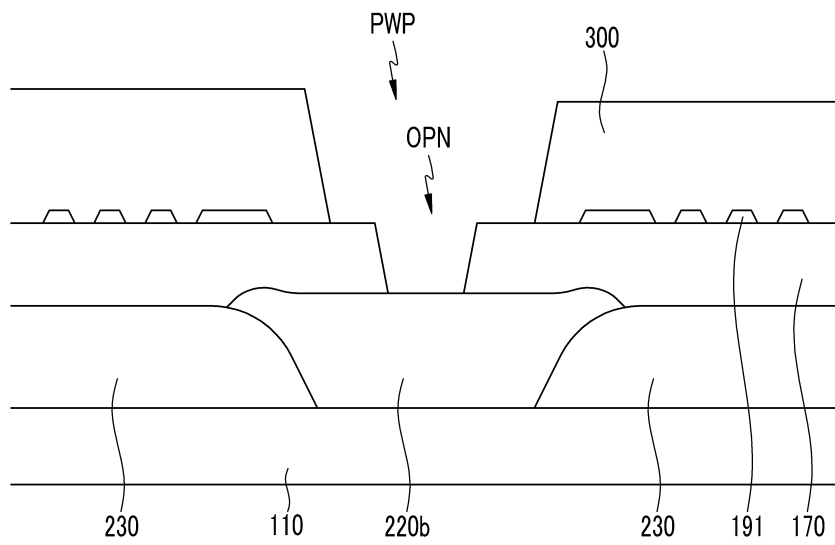
도면17



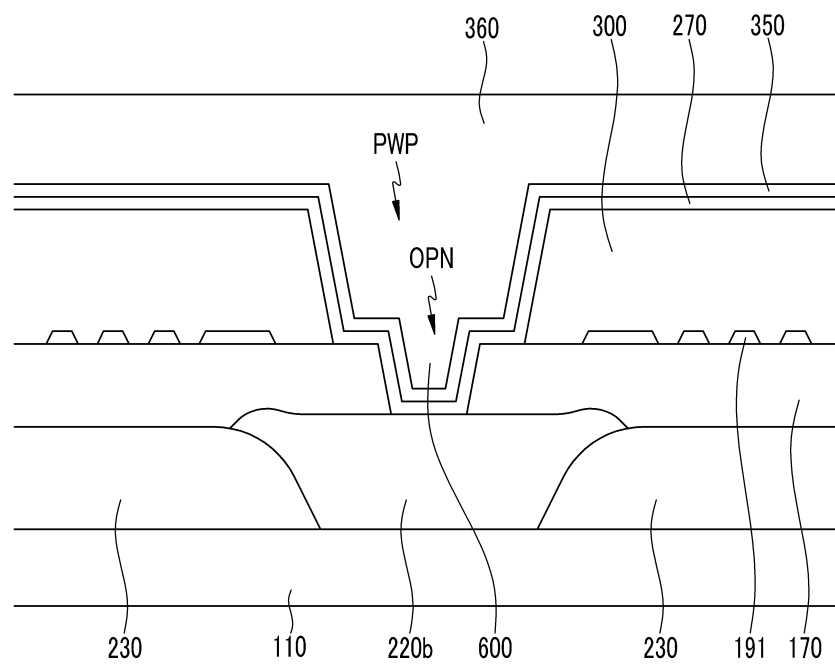
도면18



도면19



도면20



|                |                                                                                                                                                                |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 标题：液晶显示装置及其制造方法                                                                                                                                                |         |            |
| 公开(公告)号        | <a href="#">KR1020140094217A</a>                                                                                                                               | 公开(公告)日 | 2014-07-30 |
| 申请号            | KR1020130006679                                                                                                                                                | 申请日     | 2013-01-21 |
| [标]申请(专利权)人(译) | 三星显示有限公司                                                                                                                                                       |         |            |
| 申请(专利权)人(译)    | 三星显示器有限公司                                                                                                                                                      |         |            |
| 当前申请(专利权)人(译)  | 三星显示器有限公司                                                                                                                                                      |         |            |
| [标]发明人         | KIM YONG SEOK<br>김용석<br>KIM WON TAE<br>김원태<br>YOO HAN JOON<br>유한준<br>LEE DAE HO<br>이대호<br>CHAE KYUNG TAE<br>채경태<br>KIM JONG SEONG<br>김종성<br>LEE WOO JAE<br>이우재 |         |            |
| 发明人            | 김용석<br>김원태<br>유한준<br>이대호<br>채경태<br>김종성<br>이우재                                                                                                                  |         |            |
| IPC分类号         | G02F1/1341 G02F1/1337 G02F1/1343 G02F1/1368                                                                                                                    |         |            |
| CPC分类号         | G02F1/1333 G02F1/133377                                                                                                                                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                      |         |            |

#### 摘要(译)

提供一种液晶显示装置。根据本发明的一个实施例的液晶显示装置包括基板，位于基板上的薄膜晶体管，连接到薄膜晶体管的一个端子的像素电极，以及面向基板的顶层。像素电极。在像素电极和顶层之间形成具有液晶入口的微腔。微腔形成包括液晶分子的液晶层。固定构件形成在微腔之间。顶层覆盖固定构件。

