



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0088427
(43) 공개일자 2014년07월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2013-0000290
(22) 출원일자 2013년01월02일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
노성인
경기 화성시 동탄반석로 232, 134동 1301호 (석우동, 예당마을신일유토빌아파트)
박승현
서울 도봉구 도봉산길 35, 3동 107호 (도봉동, 가든아파트)
오동건
경기 오산시 킨리사로29번길 11, 101동 1002호 (킨동, 제일하이빌아파트)
(74) 대리인
권혁수, 송윤호, 오세준

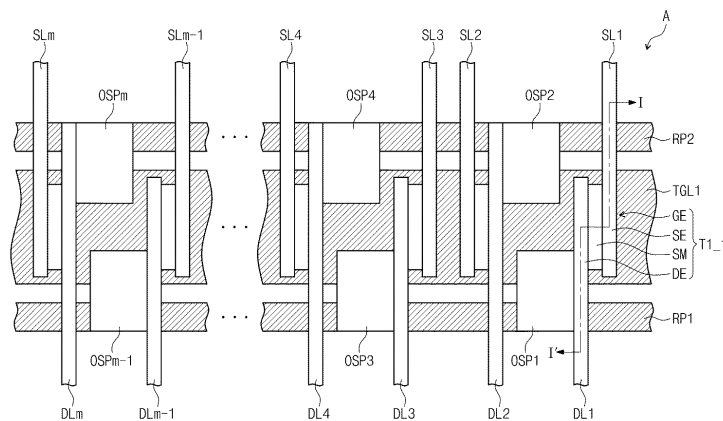
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 박막 트랜지스터 기관 및 그것을 포함하는 액정 표시 장치

(57) 요약

박막 트랜지스터 기관은 게이트 라인들 및 상기 게이트 라인들과 교차하는 데이터 라인들에 연결되는 복수의 화소들이 배치되는 표시 영역, 상기 표시 영역 주변에 형성된 비표시 영역, 상기 비표시 영역에 형성되어 대응하는 데이터 라인들의 일측에 연결된 복수의 데이터 패드들, 상기 비표시 영역에 형성되어 상기 대응하는 데이터 라인들의 타측에 연결된 복수의 제1 트랜지스터들, 상기 데이터 라인들의 상기 타측에 연결된 복수의 오에스 패드들, 및 상기 표시 영역의 주변을 따라서 상기 비표시 영역에 형성되며, 상기 제1 트랜지스터들을 사이에 두고 배치되는 복수의 리페어 라인들을 포함하고, 상기 오에스 패드들은 상기 제1 트랜지스터들 및 상기 리페어 라인들과 중첩된다.

대표도



특허청구의 범위

청구항 1

게이트 라인들 및 상기 게이트 라인들과 교차하는 데이터 라인들에 연결되는 복수의 화소들이 배치되는 표시 영역;

상기 표시 영역 주변에 형성된 비표시 영역;

상기 비표시 영역에 형성되어 대응하는 데이터 라인들의 일측에 연결된 복수의 데이터 패드들;

상기 비표시 영역에 형성되어 상기 대응하는 데이터 라인들의 타측에 연결된 복수의 제1 트랜지스터들;

상기 데이터 라인들의 상기 타측에 연결된 복수의 오에스 패드들; 및

상기 표시 영역의 주변을 따라서 상기 비표시 영역에 형성되며, 상기 제1 트랜지스터들을 사이에 두고 배치되는 복수의 리페어 라인들을 포함하고,

상기 오에스 패드들은 상기 제1 트랜지스터들 및 상기 리페어 라인들과 중첩되는 박막 트랜지스터 기판.

청구항 2

제 1 항에 있어서,

상기 비표시 영역은,

상기 표시 영역의 하측에 인접하고 상기 데이터 패드들이 배치된 제1 비표시 영역;

상기 표시 영역의 상측에 인접하고 상기 오에스 패드들 및 상기 제1 트랜지스터들이 배치되는 제2 비표시 영역;

상기 표시 영역의 우측에 인접한 제3 비표시 영역; 및

상기 표시 영역의 좌측에 인접한 제4 비표시 영역을 포함하는 박막 트랜지스터 기판.

청구항 3

제 2 항에 있어서,

상기 데이터 라인들은,

상기 데이터 라인들 중 홀수 번째 데이터 라인들로 정의되는 제1 데이터 라인들; 및

상기 데이터 라인들 중 짝수 번째 데이터 라인들로 정의되는 제2 데이터 라인들을 포함하고,

상기 제2 비표시 영역에서 상기 제2 데이터 라인들은 상기 제1 데이터 라인들보다 길게 연장된 박막 트랜지스터 기판.

청구항 4

제 3 항에 있어서,

상기 리페어 라인들은,

제1 리페어 라인; 및

상기 제1 리페어 라인보다 외측에 형성된 제2 리페어 라인을 포함하고,

상기 제1 트랜지스터들은 상기 제1 리페어 라인 및 상기 제2 리페어 라인 사이에 배치되는 박막 트랜지스터 기판.

청구항 5

제 4 항에 있어서,

상기 제2 비표시 영역에서 상기 제1 및 제2 리페어 라인들 사이에 배치되어 상기 제1 트랜지스터들에 공통으로

연결되는 제1 테스트 게이트 라인;

상기 제1 테스트 게이트 라인에 연결된 제1 스위칭 패드; 및

상기 제1 트랜지스터들에 연결되는 복수의 제1 테스트 패드들을 더 포함하고,

상기 제1 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 상기 각각의 상기 제1 그룹의 상기 제1 트랜지스터들은 대응하는 제1 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기판.

청구항 6

제 5 항에 있어서,

상기 제1 트랜지스터들 각각은,

상기 제1 테스트 게이트 라인에 공통으로 연결된 게이트 전극;

상기 대응하는 데이터 라인에 연결된 드레인 전극; 및

상기 대응하는 제1 테스트 패드에 연결된 소스 전극을 포함하고,

상기 각각의 상기 제1 그룹의 상기 제1 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기판.

청구항 7

제 5 항에 있어서,

상기 제1 데이터 라인들은 상기 제1 테스트 게이트 라인 및 상기 제1 리페어 라인과 중첩되고, 상기 제2 데이터 라인들은 상기 제1 리페어 라인, 상기 제1 테스트 게이트 라인 및 상기 제2 리페어 라인과 중첩되는 박막 트랜지스터 기판.

청구항 8

제 5 항에 있어서,

상기 제1 및 제2 리페어 라인들, 상기 제1 테스트 게이트 라인, 및 상기 게이트 라인들은 동일층에 동시에 형성되는 박막 트랜지스터 기판.

청구항 9

제 5 항에 있어서,

상기 제1 데이터 라인들의 상기 타측에 연결된 상기 오에스 패드들은 상기 제1 리페어 라인 및 상기 제1 테스트 게이트 라인에 중첩되고, 상기 제2 데이터 라인들의 상기 타측에 연결된 상기 오에스 패드들은 상기 제1 테스트 게이트 라인 및 상기 제2 리페어 라인과 중첩되는 박막 트랜지스터 기판.

청구항 10

제 2 항에 있어서,

상기 제3 비표시 영역에 배치되어 상기 게이트 라인에 연결되는 게이트 구동부;

상기 제4 비표시 영역에서 대응하는 게이트 라인들에 연결된 복수의 제2 트랜지스터들;

상기 제2 트랜지스터들에 공통으로 연결된 제2 스위칭 패드; 및

상기 제2 트랜지스터들에 연결된 복수의 제2 테스트 패드들을 더 포함하고,

상기 제2 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 상기 각각의 상기 제2 그룹의 상기 제2 트랜지스터들은 대응하는 제2 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기판.

청구항 11

제 10 항에 있어서,

상기 제2 트랜지스터들 각각은,

상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극;

상기 대응하는 게이트 라인에 연결된 드레인 전극; 및

상기 대응하는 제2 테스트 패드에 연결된 소스 전극을 포함하고,

상기 각각의 상기 제2 그룹의 상기 제2 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결되는 박막 트랜지스터 기판.

청구항 12

게이트 신호들을 수신하는 게이트 라인들 및 상기 게이트 라인들과 교차하여 데이터 전압들을 수신하는 데이터 라인들에 연결된 복수의 화소들이 형성된 박막 트랜지스터 기판;

상기 화소들에 상기 게이트 신호들을 제공하는 게이트 구동부;

상기 화소들에 상기 데이터 전압들을 제공하는 데이터 구동부;

상기 박막 트랜지스터 기판과 마주보는 컬러 필터 기판; 및

상기 박막 트랜지스터 기판과 상기 컬러 필터 기판 사이에 개재된 액정층을 포함하고,

상기 박막 트랜지스터 기판은,

상기 화소들이 배치되는 표시 영역;

상기 표시 영역 주변에 형성된 비표시 영역;

상기 비표시 영역에 형성되어 대응하는 데이터 라인들의 일측과 상기 데이터 구동부에 연결된 복수의 데이터 패드들;

상기 비표시 영역에 형성되어 상기 대응하는 데이터 라인들의 타측에 연결된 복수의 제1 트랜지스터들;

상기 데이터 라인들의 상기 타측에 연결된 복수의 오에스 패드들; 및

상기 표시 영역의 주변을 따라서 상기 비표시 영역에 형성되며, 상기 제1 트랜지스터들을 사이에 두고 배치되는 복수의 리페어 라인들을 포함하고,

상기 오에스 패드들은 상기 제1 트랜지스터들 및 상기 리페어 라인들과 중첩되는 액정 표시 장치.

청구항 13

제 12 항에 있어서,

상기 비표시 영역은,

상기 표시 영역의 하측에 인접하고 상기 데이터 패드들이 배치된 제1 비표시 영역;

상기 표시 영역의 상측에 인접하고 상기 오에스 패드들 및 상기 제1 트랜지스터들이 배치되는 제2 비표시 영역;

상기 표시 영역의 우측에 인접하고, 상기 게이트 구동부가 배치된 제3 비표시 영역; 및

상기 표시 영역의 좌측에 인접한 제4 비표시 영역을 포함하는 액정 표시 장치.

청구항 14

제 13 항에 있어서,

상기 데이터 라인들은,

상기 데이터 라인들 중 홀수 번째 데이터 라인들로 정의되는 제1 데이터 라인들; 및

상기 데이터 라인들 중 짝수 번째 데이터 라인들로 정의되는 제2 데이터 라인들을 포함하고,

상기 제2 비표시 영역에서 상기 제2 데이터 라인들은 상기 제1 데이터 라인들보다 길게 연장된 액정 표시 장치.

청구항 15

제 14 항에 있어서,
 상기 리페어 라인은,
 제1 리페어 라인; 및
 상기 제1 리페어 라인보다 외측에 형성된 제2 리페어 라인을 포함하고,
 상기 제1 트랜지스터들은 상기 제1 리페어 라인 및 상기 제2 리페어 라인 사이에 배치되는 액정 표시 장치.

청구항 16

제 15 항에 있어서,
 상기 제2 비표시 영역에서 상기 제1 및 제2 리페어 라인들 사이에 배치되어 상기 제1 트랜지스터들에 공통으로 연결되는 제1 테스트 게이트 라인;
 상기 제1 테스트 게이트 라인에 연결된 제1 스위칭 패드; 및
 상기 제1 트랜지스터들에 연결되는 복수의 제1 테스트 패드들을 더 포함하고,
 상기 제1 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 상기 각각의 상기 제1 그룹의 상기 제1 트랜지스터들은 대응하는 제1 테스트 패드에 공통으로 연결되는 액정 표시 장치.

청구항 17

제 16 항에 있어서,
 상기 제1 트랜지스터들 각각은,
 상기 제1 테스트 게이트 라인에 공통으로 연결된 게이트 전극;
 상기 대응하는 데이터 라인에 연결된 드레인 전극; 및
 상기 대응하는 제1 테스트 패드에 연결된 소스 전극을 포함하고,
 상기 각각의 상기 제1 그룹의 상기 제1 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결되는 액정 표시 장치.

청구항 18

제 16 항에 있어서,
 상기 제1 데이터 라인들은 상기 제1 테스트 게이트 라인 및 상기 제1 리페어 라인과 중첩되고, 상기 제2 데이터 라인들은 상기 제1 리페어 라인, 상기 제1 테스트 게이트 라인 및 상기 제2 리페어 라인과 중첩되는 액정 표시 장치.

청구항 19

제 16 항에 있어서,
 상기 제1 데이터 라인들의 상기 타측에 연결된 상기 오에스 패드들은 상기 제1 리페어 라인 및 상기 제1 테스트 게이트 라인과 중첩되고, 상기 제2 데이터 라인들의 상기 타측에 연결된 상기 오에스 패드들은 상기 제1 테스트 게이트 라인 및 상기 제2 리페어 라인과 중첩되는 액정 표시 장치.

청구항 20

제 13 항에 있어서,
 상기 제4 비표시 영역에 배치된 복수의 제2 트랜지스터들, 제2 스위칭 패드, 및 복수의 제2 테스트 패드들을 더 포함하고,
 상기 제2 트랜지스터들 각각은,

상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극;

대응하는 게이트 라인에 연결된 드레인 전극; 및

대응하는 제2 테스트 패드에 연결된 소스 전극을 포함하고,

상기 제2 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 상기 각각의 상기 제2 그룹의 상기 제2 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결되는 액정 표시 장치.

명세서

기술 분야

[0001] 본 발명은 박막 트랜지스터 기관 및 그것을 포함하는 액정 표시 장치 관한 것이다.

배경 기술

[0002] 일반적으로 액정 표시 장치는 영상을 표시하는 표시 패널 및 표시 패널에 광을 제공하는 백라이트 유닛을 포함한다. 표시 패널은 매트릭스 형태로 배열된 복수의 화소들이 정의된 박막 트랜지스터 기관, 박막 트랜지스터 기관과 마주보는 컬러 필터 기관, 박막 트랜지스터 기관과 컬러 필터 기관 사이에 개재된 액정층을 포함한다.

[0003] 박막 트랜지스터 기관상에는 복수의 게이트 라인들, 게이트 라인들과 절연되어 교차하는 복수의 데이터 라인들, 게이트 라인들과 데이터 라인들의 교차 영역에서 게이트 라인들과 데이터 라인들에 연결된 복수의 박막 트랜지스터들을 포함한다. 화소들은 각각 대응되는 박막 트랜지스터들을 통해 화소 전압들을 제공받는다. 화소 전압들에 따라서 액정층의 액정들의 배열이 변화된다. 변화된 액정들의 배열에 따라서 광 투과율이 조절되어 영상이 표시된다.

[0004] 표시 패널의 제조시 제품의 불량 여부를 검출하기 위한 다양한 검사가 요구된다. 표시 패널의 검사로서 오픈 쇼트 검사(Open/Short test: OS test) 및 비주얼 검사(visual inspection, VI) 등이 있다.

[0005] 오픈 쇼트 검사는 박막 트랜지스터 기관에 형성된 데이터 라인들의 단선 상태를 검사한다. 오픈 쇼트 검사는 박막 트랜지스터 기관에 형성된 데이터 라인들의 일측에 검사 신호를 인가하고 타측에서 검사 신호를 검출함으로써 수행된다. 검사 결과 단선이 확인된 데이터 라인과 리페어 라인이 레이저에 의해 단점(welding)되어 연결된다. 단선된 데이터 라인을 대체하는 리페어 라인을 따라 데이터 전압이 전달될 수 있다.

[0006] 비주얼 검사는 박막 트랜지스터 기관의 화소에 연결되는 게이트 라인 및 데이터 라인에 일정한 전압을 갖는 검사 신호를 인가하여 저항 이미지를 관찰함으로써 수행될 수 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 목적은 비표시 영역을 효율적으로 이용하여 비표시 영역을 줄일 수 있는 박막 트랜지스터 기관 및 그것을 포함하는 액정 표시 장치를 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 실시 예에 따른 박막 트랜지스터 기관은 게이트 라인들 및 상기 게이트 라인들과 교차하는 데이터 라인들에 연결되는 복수의 화소들이 배치되는 표시 영역, 상기 표시 영역 주변에 형성된 비표시 영역, 상기 비표시 영역에 형성되어 대응하는 데이터 라인들의 일측에 연결된 복수의 데이터 패드들, 상기 비표시 영역에 형성되어 상기 대응하는 데이터 라인들의 타측에 연결된 복수의 제1 트랜지스터들, 상기 데이터 라인들의 상기 타측에 연결된 복수의 오에스 패드들, 및 상기 표시 영역의 주변을 따라서 상기 비표시 영역에 형성되며, 상기 제1 트랜지스터들을 사이에 두고 배치되는 복수의 리페어 라인들을 포함하고, 상기 오에스 패드들은 상기 제1 트랜지스터들 및 상기 리페어 라인들과 중첩된다.

[0009] 상기 비표시 영역은, 상기 표시 영역의 하측에 인접하고 상기 데이터 패드들이 배치된 제1 비표시 영역, 상기 표시 영역의 상측에 인접하고 상기 오에스 패드들 및 상기 제1 트랜지스터들이 배치되는 제2 비표시 영역, 상기 표시 영역의 우측에 인접한 제3 비표시 영역, 및 상기 표시 영역의 좌측에 인접한 제4 비표시 영역을 포함한다.

- [0010] 상기 데이터 라인들은, 상기 데이터 라인들 중 홀수 번째 데이터 라인들로 정의되는 제1 데이터 라인들, 및 상기 데이터 라인들 중 짝수 번째 데이터 라인들로 정의되는 제2 데이터 라인들을 포함하고, 상기 제2 비표시 영역에서 상기 제2 데이터 라인들은 상기 제1 데이터 라인들보다 길게 연장된다.
- [0011] 상기 리페어 라인은, 제1 리페어 라인, 및 상기 제1 리페어 라인보다 외측에 형성된 제2 리페어 라인을 포함하고, 상기 제1 트랜지스터들은 상기 제1 리페어 라인 및 상기 제2 리페어 라인 사이에 배치된다.
- [0012] 상기 제2 비표시 영역에서 상기 제1 및 제2 리페어 라인들 사이에 배치되어 상기 제1 트랜지스터들에 공통으로 연결되는 제1 테스트 게이트 라인, 상기 제1 테스트 게이트 라인에 연결된 제1 스위칭 패드, 및 상기 제1 트랜지스터들에 연결되는 복수의 제1 테스트 패드들을 더 포함하고, 상기 제1 트랜지스터들은 상기 제1 테스트 패드들에 대응되는 제1 그룹들로 구분되고, 상기 각각의 상기 제1 그룹의 상기 제1 트랜지스터들은 대응하는 제1 테스트 패드에 공통으로 연결된다.
- [0013] 상기 제1 트랜지스터들 각각은, 상기 제1 테스트 게이트 라인에 공통으로 연결된 게이트 전극, 상기 대응하는 데이터 라인에 연결된 드레인 전극, 및 상기 대응하는 제1 테스트 패드에 연결된 소스 전극을 포함하고, 상기 각각의 상기 제1 그룹의 상기 제1 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제1 테스트 패드에 공통으로 연결된다.
- [0014] 상기 제1 데이터 라인들은 상기 제1 테스트 게이트 라인 및 상기 제1 리페어 라인과 중첩되고, 상기 제2 데이터 라인들은 상기 제1 리페어 라인, 상기 제1 테스트 게이트 라인 및 상기 제2 리페어 라인과 중첩된다.
- [0015] 상기 제1 데이터 라인들의 상기 타측에 연결된 상기 오에스 패드들은 상기 제1 리페어 라인 및 상기 제1 테스트 게이트 라인과 중첩되고, 상기 제2 데이터 라인들의 상기 타측에 연결된 상기 오에스 패드들은 상기 제1 테스트 게이트 라인 및 상기 제2 리페어 라인과 중첩된다.
- [0016] 상기 제3 비표시 영역에 배치되어 상기 게이트 라인에 연결되는 게이트 구동부, 상기 제4 비표시 영역에서 대응하는 게이트 라인들에 연결된 복수의 제2 트랜지스터들, 상기 제2 트랜지스터들에 공통으로 연결된 제2 스위칭 패드, 및 상기 제2 트랜지스터들에 연결된 복수의 제2 테스트 패드들을 더 포함하고, 상기 제2 트랜지스터들은 상기 제2 테스트 패드들에 대응되는 제2 그룹들로 구분되고, 상기 각각의 상기 제2 그룹의 상기 제2 트랜지스터들은 대응하는 제2 테스트 패드에 공통으로 연결된다.
- [0017] 상기 제2 트랜지스터들 각각은, 상기 제2 스위칭 패드에 공통으로 연결된 게이트 전극, 상기 대응하는 게이트 라인에 연결된 드레인 전극, 및 상기 대응하는 제2 테스트 패드에 연결된 소스 전극을 포함하고, 상기 각각의 상기 제2 그룹의 상기 제2 테스트 트랜지스터들의 상기 소스 전극들은 상기 대응하는 제2 테스트 패드에 공통으로 연결된다.
- [0018] 본 발명의 실시 예에 따른 액정 표시 장치는 게이트 신호들을 수신하는 게이트 라인들 및 상기 게이트 라인들과 교차하여 데이터 전압들을 수신하는 데이터 라인들에 연결된 복수의 화소들이 형성된 박막 트랜지스터 기관, 상기 화소들에 상기 게이트 신호들을 제공하는 게이트 구동부, 상기 화소들에 상기 데이터 전압들을 제공하는 데이터 구동부, 상기 박막 트랜지스터 기관과 마주보는 컬러 필터 기관, 및 상기 박막 트랜지스터 기관과 상기 컬러 필터 기관 사이에 개재된 액정층을 포함하고, 상기 박막 트랜지스터 기관은, 상기 화소들이 배치되는 표시 영역, 상기 표시 영역 주변에 형성된 비표시 영역, 상기 비표시 영역에 형성되어 대응하는 데이터 라인들의 일측과 상기 데이터 구동부에 연결된 복수의 데이터 패드들, 상기 비표시 영역에 형성되어 상기 대응하는 데이터 라인들의 타측에 연결된 복수의 제1 트랜지스터들, 상기 데이터 라인들의 상기 타측에 연결된 복수의 오에스 패드들, 및 상기 표시 영역의 주변을 따라서 상기 비표시 영역에 형성되며, 상기 제1 트랜지스터들 사이에 두고 배치되는 복수의 리페어 라인들을 포함하고, 상기 오에스 패드들은 상기 제1 트랜지스터들 및 상기 리페어 라인들과 중첩된다.

발명의 효과

- [0019] 본 발명의 박막 트랜지스터 기관 및 그것을 포함하는 액정 표시 장치는 비표시 영역을 효율적으로 이용하여 비표시 영역을 줄일 수 있다.

도면의 간단한 설명

- [0020] 도 1은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 평면도이다.

도 2는 도 1에 도시된 제1 테스트 부의 내부 구성을 도시한 도면이다.

도 3은 도 2에 도시된 제1 영역(A)의 레이아웃을 보여주는 도면이다.

도 4는 도 3에 도시된 I-I'선을 따라 자른 단면도이다.

도 5는 도 1에 도시된 제2 테스트 부의 내부 구성을 도시한 도면이다.

도 6은 오픈 쇼트 검사 방법을 설명하기 위한 도면이다.

도 7은 오픈 쇼트 검사 방법에 의해 단선이 확인된 데이터 라인에 대한 리페어 방법을 설명하기 위한 도면이다.

도 8은 도 1에 도시된 박막 트랜지스터 기관을 포함하는 액정 표시 장치를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.
- [0022] 도 1은 본 발명의 실시 예에 따른 박막 트랜지스터 기관의 평면도이다.
- [0023] 도 1을 참조하면, 박막 트랜지스터 기관(110)은 복수의 게이트 라인들(GL1~GLn), 복수의 데이터 라인들(DL1~DLm), 제1 테스트 부(10), 제2 테스트 부(20), 및 복수의 리페어 라인들(RP1, RP2)을 포함한다. 박막 트랜지스터 기관(110)의 평면상의 영역은 표시 영역(DA) 및 표시 영역(DA)의 주변에 형성된 비표시 영역(NDA1, NDA2, NDA3, NDA4)을 포함할 수 있다.
- [0024] 박막 트랜지스터 기관(110)의 표시 영역(DA)에서 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)은 서로 절연되어 교차한다. m 및 n은 0보다 큰 정수이다. 도시하지 않았으나, 표시 영역(DA)에서 박막 트랜지스터 기관(110)은 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)이 교차하는 영역에 배치된 복수의 화소들(미 도시됨)을 포함한다. 화소들은 서로 교차하는 n개의 행들 및 m개의 열들로 배열될 수 있다.
- [0025] 비표시 영역(NDA1, NDA2, NDA3, NDA4)은 표시 영역(DA)의 상측에 인접한 영역으로 정의되는 제1 비표시 영역(NDA1), 표시 영역(DA)의 하측에 인접한 영역으로 정의되는 제2 비표시 영역(NDA2), 표시 영역(DA)의 우측에 인접한 영역으로 정의되는 제3 비표시 영역(NDA3), 및 표시 영역(DA)의 좌측에 인접한 영역으로 정의되는 제4 비표시 영역(NDA4)을 포함한다.
- [0026] 제1 비표시 영역(NDA1)에는 복수의 데이터 패드부들(DPD1~DPDk)이 배치될 수 있다. k는 0보다 크고 m보다 작은 정수이다. 데이터 라인들(DL1~DLm)은 제1 비표시 영역(NDA1)으로 연장되어 데이터 패드부들(DPD1~DPDk)에 연결된다. 데이터 패드부들(DPD1~DPDk)은 각각 대응되는 소정의 개수의 데이터 라인들에 연결된다.
- [0027] 데이터 패드부들(DPD1~DPDk)에는 각각 대응되는 소스 구동칩들(미 도시됨)이 연결된다. 소스 구동칩들로부터 데이터 패드부들(DPD1~DPDk)에 데이터 전압들이 제공된다. 데이터 패드부들(DPD1~DPDk)에 연결된 데이터 라인들(DL1~DLm)을 통해 데이터 전압들이 화소들에 제공된다. 소스 구동칩들이 데이터 패드부들(DPD1~DPDk)에 연결되는 구성은 이하, 도 8을 참조하여 설명될 것이다.
- [0028] 제1 테스트 부(10)는 제1 비표시 영역(NDA1)의 반대측인 제2 비표시 영역(NDA2)에 배치될 수 있다. 데이터 라인들(DL1~DLm)은 제2 비표시 영역(NDA2)으로 연장되어 제1 테스트 부(10)에 연결된다. 오픈 쇼트 검사시, 제1 테스트 부(10)는 데이터 라인들(DL1~DLm)에 제1 검사 신호를 제공한다. 제1 검사 신호에 의해 데이터 라인들(DL1~DLm)의 단선 여부가 검사된다.
- [0029] 리페어 라인들(RP1, RP2)은 제1 리페어 라인(RP1) 및 제1 리페어 라인(RP1)보다 외측에 형성된 제2 리페어 라인(RP2)을 포함한다. 제1 및 제2 리페어 라인들(RP1, RP2)은 표시 영역(DA) 주변을 따라서 제1 내지 제4 비표시 영역들(NDA1~NDA4)에 형성된다. 제1 및 제2 리페어 라인들(RP1, RP2)은 데이터 패드부들(DPD1~DPDk) 및 제1 테스트 부(10)와 오버랩된다. 제1 및 제2 리페어 라인들(RP1, RP2)은 게이트 라인들(GL1~GLn)과 동일층에 동시에 형성된다.
- [0030] 오픈 쇼트 검사에 의해 단선된 데이터 라인이 검출될 수 있다. 단선된 데이터 라인이 연결된 데이터 패드부와 어느 하나의 리페어 라인이 서로 오버랩되는 영역에서 레이저에 의해 단접(welding)되어 연결될 수 있다. 또한, 단선된 데이터 라인이 연결된 제1 테스트부(10)와 어느 하나의 리페어 라인이 서로 오버랩되는 영역에서 레이저에 의해 단접(welding)되어 연결될 수 있다.
- [0031] 화소들에 게이트 신호들을 제공하는 게이트 구동부(200)는 제3 비표시 영역(NDA3)에 배치될 수 있다. 게이트 구

동부(200)는 제3 비표시 영역(NDA3)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태로 실장 될 수 있다. 게이트 라인들(GL1~GLn)은 제3 비표시 영역(NDA3)으로 연장되어 게이트 구동부(200)에 연결된다. 게이트 구동부(200)는 게이트 라인들(GL1~GLn)을 통해 게이트 신호들을 화소들에 제공한다. 게이트 신호들은 순차적으로 그리고 행 단위로 화소들에 제공된다.

- [0032] 제2 테스트 부(20)는 제3 비표시 영역(NDA3)의 반대측인 제4 비표시 영역(NDA4)에 배치될 수 있다. 게이트 라인들(GL1~GLn)은 제4 비표시 영역(NDA4)으로 연장되어 제2 테스트 부(20)에 연결된다.
- [0033] 비주얼 검사시, 제2 테스트 부(20)를 통해 제2 검사 신호가 게이트 라인들(GL1~GLn)에 제공될 수 있다. 또한, 제1 테스트 부(10)를 통해 제3 검사 신호가 데이터 라인들(DL1~DLm)에 제공될 수 있다.
- [0034] 게이트 라인들(GL1~GLn) 및 데이터 라인들(DL1~DLm)에 제공된 제2 및 제3 검사 신호들은 박막 트랜지스터 기관(110)의 표시 영역(DA)에 소정의 저항 이미지를 생성한다. 검사용 카메라 등을 이용하여 박막 트랜지스터 기관(110)의 표시 영역(DA)에 나타난 저항 이미지를 관찰하여 비주얼 검사가 수행된다. 즉, 제2 및 제3 검사 신호들이 인가된 후, 표시 영역(DA)의 게이트 라인들(GL1~GLn), 데이터 라인들(DL1~DLm), 및 화소들 사이의 쇼트나 오픈 상태가 육안으로 검출된다.
- [0035] 도 2는 도 1에 도시된 제1 테스트 부의 내부 구성을 도시한 도면이다. 도 3은 도 2에 도시된 제1 영역(A)의 레이아웃을 보여주는 도면이다. 도 4는 도 3에 도시된 I-I'선을 따라 자른 단면도이다. 도 5는 도 1에 도시된 제2 테스트 부의 내부 구성을 도시한 도면이다.
- [0036] 먼저, 도 2 및 도 3을 참조하면, 제1 테스트 부(10)는 복수의 제1 테스트 트랜지스터들(T1_1~T1_m), 제1 스위칭 패드(SP1), 복수의 제1 테스트 패드들(PD1,PD2), 복수의 오에스 패드들(OSP1~OSPm), 및 제1 테스트 게이트 라인(TGL1)을 포함한다.
- [0037] 제1 테스트 게이트 라인(TGL1)은 행 방향으로 연장되어, 제1 테스트 트랜지스터들(T1_1~T1_m)의 게이트 전극들에 공통으로 연결된다. 실질적으로, 제1 테스트 게이트 라인(TGL1)은 제1 테스트 트랜지스터들(T1_1~T1_m)의 게이트 전극들(GE)을 형성한다. 제1 테스트 게이트 라인(TGL1)은 제1 스위칭 패드(SP1)에 연결된다. 제1 테스트 게이트 라인(TGL1)은 제1 및 제2 리페어 라인들(RP1,RP2)과 동일층에 동시에 형성된다.
- [0038] 제1 테스트 트랜지스터들(T1_1~T1_m)의 드레인 전극들(DE)은 각각 대응되는 데이터 라인들(DL1~DLm)에 연결된다. 실질적으로, 데이터 라인들(DL1~DLm)이 연장되어 대응되는 제1 테스트 트랜지스터들(T1_1~T1_m)의 드레인 전극들(DE)을 형성한다.
- [0039] 제1 테스트 게이트 라인(TGL1)을 사이에 두고 제1 리페어 라인(RP1) 및 제2 리페어 라인(RP2)이 배치된다. 예를 들어, 제1 리페어 라인(RP1)은 제1 테스트 게이트 라인(TGL1)의 하부에 인접하도록 배치되고, 제2 리페어 라인(RP2)은 제1 테스트 게이트 라인(TGL1)의 상부에 인접하도록 배치될 수 있다.
- [0040] 데이터 라인들(DL1~DLm)은 홀수 번째 데이터 라인들(DL1,DL3,...,DLm-1)로 정의되는 제1 데이터 라인들(DL1,DL3,...,DLm-1) 및 짝수 번째 데이터 라인들(DL2,DL4,...,DLm)로 정의되는 제2 데이터 라인들(DL2,DL4,...,DLm)을 포함할 수 있다. 제2 비표시 영역(NDA2)에서 제1 데이터 라인들(DL1,DL3,...,DLm-1)보다 제2 데이터 라인들(DL2,DL4,...,DLm)이 더 길게 연장될 수 있다.
- [0041] 제1 데이터 라인들(DL1,DL3,...,DLm-1)은 연장되어 제1 리페어 라인(RP1) 및 제1 테스트 게이트 라인(TGL1)과 오버랩될 수 있다. 제2 데이터 라인들(DL2,DL4,...,DLm)은 연장되어 제1 리페어 라인(RP1), 제1 테스트 게이트 라인(TGL1), 및 제2 리페어 라인(RP2)과 오버랩될 수 있다.
- [0042] 제1 테스트부(10)로 연장된 데이터 라인들(DL1~DLm)은 각각 대응되는 오에스 패드들(OSP1~OSPm)에 연결될 수 있다. 구체적으로, 오에스 패드들(OSP1~OSPm)은 홀수 번째 오에스 패드들(OSP1,OSP3,...,OSPm-1)로 정의되는 제1 오에스 패드들(OSP1,OSP3,...,OSPm-1) 및 짝수 번째 오에스 패드들(OSP2,OSP4,...,OSPm)로 정의되는 제2 오에스 패드들(OSP2,OSP4,...,OSPm)을 포함할 수 있다.
- [0043] 제1 오에스 패드들(OSP1,OSP3,...,OSPm-1)은 각각 대응되는 제1 데이터 라인들(DL1,DL3,...,DLm-1)에 연결되고, 제1 리페어 라인(RP1) 및 제1 테스트 게이트 라인(TGL1)과 오버랩될 수 있다. 제2 오에스 패드들(OSP2,OSP4,...,OSPm)은 각각 대응되는 제2 데이터 라인들(DL2,DL4,...,DLm)에 연결되고, 제1 테스트 게이트 라인(TGL1) 및 제2 리페어 라인(RP2)과 오버랩될 수 있다.
- [0044] 제1 테스트 트랜지스터들(T1_1~T1_m)은 제1 테스트 패드들(PD1,PD2)에 대응되는 복수의 제1 그룹들로 구분될 수

있다. 각각의 제1 그룹의 제1 테스트 트랜지스터들의 소스 전극들(SE)은 대응되는 제1 테스트 패드에 공통으로 연결된다. 예를 들어, 제1 그룹들은 제1 테스트 트랜지스터들(T1_1~T1_m) 중 홀수 번째 트랜지스터들(T1_1, T1_3, ..., T1_{m-1})을 포함하는 제1 서브 그룹과 짝수 번째 트랜지스터들(T1_2, T1_4, ..., T1_m)을 포함하는 제2 서브 그룹을 포함할 수 있다.

[0045] 제1 테스트 패드들(PD1, PD2)은 제1 서브 그룹에 대응되는 제1 패드(PD1) 및 제2 서브 그룹에 대응되는 제2 패드(PD2)를 포함할 수 있다. 제1 서브 그룹의 제1 테스트 트랜지스터들(T1_1, T1_3, ..., T1_{m-1})의 소스 전극들(SE)은 대응되는 제1 패드(PD1)에 공통으로 연결된다. 제2 서브 그룹의 제1 테스트 트랜지스터들(T1_2, T1_4, ..., T1_m)의 소스 전극들(SE)은 대응되는 제2 패드(PD2)에 공통으로 연결된다.

[0046] 실질적으로, 제1 테스트 트랜지스터들(T1_1~T1_m)의 소스 전극들(SE)은 복수의 소스 라인들(SL1~SLm)이 연장되어 형성된다. 복수의 소스 라인들(SL1~SLm)은 제2 리페어 라인(RP2) 및 제1 테스트 게이트 라인(TGL1)과 오버랩될 수 있다. 복수의 소스 라인들(SL1~SLm) 중 홀수 번째 소스 라인들(SL1, SL3, ..., SL_{m-1})은 제1 패드(PD1)에 공통으로 연결되고, 짝수 번째 소스 라인들(SL2, SL4, ..., SL_m)은 제2 패드(PD2)에 공통으로 연결된다.

[0047] 제1 서브 그룹의 제1 테스트 트랜지스터들(T1_1, T1_3, ..., T1_{m-1})의 드레인 전극들(DE)은 각각 대응하는 제1 데이터 라인들(DL1, DL3, ..., DL_{m-1})에 연결된다. 제2 서브 그룹의 제1 테스트 트랜지스터들(T1_2, T1_4, ..., T1_m)의 드레인 전극들(DE)은 각각 대응하는 제2 데이터 라인들(DL1, DL3, ..., DL_{m-1})에 연결된다.

[0048] 예시적인 실시 예로서, 2 개의 제1 그룹들 및 2 개의 제1 테스트 패드들(PD1, PD2)의 구성이 설명되었으나, 제1 그룹들 및 제1 테스트 패드들의 개수는 이에 한정되지 않는다. 제1 테스트 트랜지스터들(T1_1~T1_m)은 2개보다 많은 개수의 제1 그룹들로 구분될 수 있다. 이러한 경우, 제1 테스트 패드들의 개수는 제1 그룹들의 개수에 대응되도록 준비될 수 있다.

[0049] 예를 들어, 제1 테스트 트랜지스터들(T1_1~T1_m)은 제1, 제2, 및 제3 트랜지스터들이 반복적으로 배치될 수 있다. 이러한 경우, 제1 트랜지스터들, 제2 트랜지스터들, 및 제3 트랜지스터들은 각각 제1 서브 그룹, 제2 서브 그룹, 및 제3 서브 그룹으로 정의되고, 제1 내지 제3 서브 그룹들에 대응되는 3개의 제1 테스트 패드들이 준비될 수 있다. 각각의 제1 테스트 패드는 대응되는 제1 그룹의 트랜지스터들에 공통으로 연결될 수 있다. 그룹들로 구분되지 않고 제1 테스트 트랜지스터들(T1_1~T1_m)은 하나의 제1 테스트 패드에 공통으로 연결될 수도 있다.

[0050] 도 4에는 제1 테스트 트랜지스터들(T1_1~T1_m) 중 첫 번째 트랜지스터(T1_1)의 구성이 도시되었으나, 제1 테스트 트랜지스터들(T1_1~T1_m)의 구성은 실질적으로 서로 동일하다. 따라서, 이하, 도 4에 도시된 하나의 제1 테스트 트랜지스터(T1_1)의 구성이 설명될 것이다.

[0051] 도 4를 참조하면, 박막 트랜지스터 기관(110)의 제1 베이스 기관(111) 상에 제1 테스트 트랜지스터(T1_1)의 게이트 전극(GE)이 형성된다. 제1 테스트 게이트 라인(TGL1)이 연장되어 게이트 전극(GE)이 형성될 수 있다. 게이트 전극(GE)을 사이에 두고 제1 리페어 라인(RP1) 및 제2 리페어 라인(RP2)이 제1 베이스 기관(111) 상에 형성된다. 게이트 전극(GE), 제1 리페어 라인(RP1), 및 제2 리페어 라인(RP2)을 덮도록 제1 베이스 기관(111) 상에 게이트 절연막(112)이 형성된다.

[0052] 게이트 전극(GE)을 덮고 있는 게이트 절연막(112) 상에 반도체 층(SM)이 형성된다. 도시하지 않았으나, 반도체 층(SM)은 액티브 층 및 오픈 콘택층을 포함한다.

[0053] 반도체 층(SM) 및 게이트 절연막(112) 상에 소스 전극(SE) 및 드레인 전극(DE)이 서로 이격되어 형성될 수 있다. 드레인 전극(DE)은 제1 데이터 라인(DL1)으로부터 연장되어 형성되며, 게이트 전극(GE) 및 제1 리페어 라인(RP1)과 오버랩된다. 소스 전극(SE)은 제1 소스 라인(SL1)으로부터 연장되어 형성되며, 게이트 전극(GE) 및 제2 리페어 라인(RP2)과 오버랩된다.

[0054] 반도체 층(SM)은 소스 전극(SE) 및 드레인 전극(DE) 사이에서 전도 채널(conductive channel)을 형성한다.

[0055] 도 5를 참조하면, 제2 테스트 부(20)는 복수의 제2 테스트 트랜지스터들(T2_1~T2_n), 제2 스위칭 패드(SP2), 및 복수의 제2 테스트 패드들(PD3, PD4)을 포함한다.

[0056] 제2 테스트 트랜지스터들(T2_1~T2_n)의 게이트 전극들은 제2 스위칭 패드(SP2)에 공통으로 연결된다. 제2 테스트 트랜지스터들(T2_1~T2_n)의 드레인 전극들은 각각 대응되는 게이트 라인들(GL1~GL_n)에 연결된다.

[0057] 제2 테스트 트랜지스터들(T2_1~T2_n)은 제2 테스트 패드들(PD3, PD4)에 대응되는 복수의 제2 그룹들로 구분될 수

있다. 각각의 제2 그룹의 제2 테스트 트랜지스터들의 소스 전극들은 대응되는 제2 테스트 패드에 공통으로 연결된다. 예를 들어, 제2 그룹들은 제2 테스트 트랜지스터들($T2_1 \sim T2_n$) 중 홀수 번째 트랜지스터들($T2_1, T2_3, \dots, T2_{n-1}$)을 포함하는 제3 서브 그룹과 짝수 번째 트랜지스터들($T2_2, T2_4, \dots, T2_n$)을 포함하는 제4 서브 그룹을 포함할 수 있다.

[0058] 제2 테스트 패드들(PD3, PD4)은 제3 서브 그룹에 대응되는 제3 패드(PD3) 및 제4 서브 그룹에 대응되는 제4 패드(PD4)를 포함할 수 있다. 제3 서브 그룹의 제2 테스트 트랜지스터들($T2_1, T2_3, \dots, T2_{n-1}$)의 소스 전극들은 대응되는 제3 패드(PD3)에 공통으로 연결된다. 제4 서브 그룹의 제2 테스트 트랜지스터들($T2_2, T2_4, \dots, T2_m$)의 소스 전극들은 대응되는 제4 패드(PD4)에 공통으로 연결된다.

[0059] 게이트 라인들(GL1~GLn)은 홀수 번째 게이트 라인들(GL1, GL3, ..., GLn-1)로 정의되는 제1 게이트 라인들(GL1, GL3, ..., GLn-1) 및 짝수 번째 게이트 라인들(GL2, GL4, ..., GLn)로 정의되는 제2 게이트 라인들(GL2, GL4, ..., GLn)을 포함할 수 있다. 제4 비표시 영역(NDA4)에서 제1 게이트 라인들(GL1, GL3, ..., GLn-1) 보다 제2 게이트 라인들(GL2, GL4, ..., GLn)이 더 길게 연장될 수 있다.

[0060] 제3 서브 그룹의 제2 테스트 트랜지스터들($T2_1, T2_3, \dots, T2_{n-1}$)의 드레인 전극들은 각각 대응하는 제1 게이트 라인들(GL1, GL3, ..., GLn-1)에 연결된다. 제4 서브 그룹의 제2 테스트 트랜지스터들($T2_2, T2_4, \dots, T2_n$)의 드레인 전극들은 각각 대응하는 제2 게이트 라인들(GL2, GL4, ..., GLn)에 연결된다.

[0061] 제2 그룹들 및 제2 테스트 패드들(PD3, PD4)의 개수는 각각 2개로 설정되었으나, 전술한 제1 그룹들의 개수 및 제1 테스트 패드들의 개수의 정의와 같이, 제2 그룹들의 개수 및 제2 테스트 패드들의 개수도 이에 한정되지 않는다.

[0062] 전술한 박막 트랜지스터 기관(110)의 구성에 대한 오픈 쇼트 검사 및 비주얼 검사 방법은 다음과 같다.

[0063] 데이터 라인들(DL1~DLm)이 형성된 후 오픈 쇼트 검사가 수행된다. 오픈 쇼트 검사시, 제2 비표시 영역(NDA2)에 배치된 제1 테스트부(10)에서 데이터 라인들(DL1~DLm)에 제1 검사 신호가 인가된다. 구체적으로, 제1 테스트부(10)의 오에스 패드들(OSP1~OSPm)에 제1 검사 신호가 인가된다. 따라서, 오에스 패드들(OSP1~OSPm)에 연결된 데이터 라인들(DL1~DLm)에 제1 검사 신호가 제공된다.

[0064] 전술한 바와 같이, 제2 비표시 영역(NDA2)의 반대측인 제1 비표시 영역(NDA1)에서 데이터 라인들(DL1~DLm)은 데이터 패드부들(DPD1~DPDk)에 연결된다. 따라서, 데이터 라인들(DL1~DLm)에 인가된 제1 검사 신호는 패드부들(DPD1~DPDk)을 통해 출력된다. 데이터 패드부들(DPD1~DPDk)에서 제1 검사 신호의 출력이 검출된다. 데이터 패드부들(DPD1~DPDk)에서 출력되는 제1 검사 신호에 따라서 데이터 라인들(DL1~DLm)의 단선 상태가 검사될 수 있다. 예를 들어, 데이터 패드부들(DPD1~DPDk)을 통해 정상적인 제1 검출 신호를 출력하는 데이터 라인들은 정상이며, 정상적인 제1 검출 신호를 출력하지 않은 데이터 라인들은 단선으로 판정될 수 있다.

[0065] 단선된 데이터 라인에 연결된 오에스 패드 및 오에스 패드와 오버랩되는 리페어 라인이 서로 오버랩되는 영역에서 레이저에 의해 단접(welding)되어 연결된다. 이러한 구성은 이하, 도 6 및 7을 참조하여 상세히 설명될 것이다.

[0066] 박막 트랜지스터 기관(110)의 비주얼 검사시, 제1 스위칭 패드(SP1)를 통해 제1 스위칭 신호가 제1 테스트 트랜지스터들(T1_1~T1_m)에 인가되고, 제2 스위칭 패드(SP2)를 통해 제2 스위칭 신호가 제2 테스트 트랜지스터들(T2_1~T2_n)에 인가된다. 제1 테스트 트랜지스터들(T1_1~T1_m)은 제1 스위칭 신호에 응답하여 턴 온되고, 제2 테스트 트랜지스터들(T2_1~T2_n)은 제2 스위칭 신호에 응답하여 턴 온된다.

[0067] 제2 검사 신호가 제2 테스트 패드들(PD3, PD4)에 인가된다. 턴 온된 제2 테스트 트랜지스터들(T2_1~T2_n)은 제2 테스트 패드들(PD3, PD4)을 통해 제2 검사 신호를 제공받는다. 제2 검사 신호는 턴 온된 제2 테스트 트랜지스터들(T2_1~T2_n)을 통해 게이트 라인들(GL1~GLn)에 제공된다.

[0068] 제2 검사 신호는 제3 패드(PD3)에 인가되는 제1 서브 검사 신호 및 제4 패드(PD4)에 인가되는 제2 서브 검사 신호를 포함한다. 제1 서브 검사 신호는 제3 서브 그룹의 제2 테스트 트랜지스터들($T2_1, T2_3, \dots, T2_{n-1}$)에 연결된 제1 게이트 라인들(GL1, GL3, ..., GLn-1)에 인가된다. 제2 서브 검사 신호는 제4 서브 그룹의 제2 테스트 트랜지스터들($T2_2, T2_4, \dots, T2_n$)에 연결된 제2 게이트 라인들(GL2, GL4, ..., GLn)에 인가된다.

[0069] 제1 게이트 라인들(GL1, GL3, ..., GLn-1)과 제2 게이트 라인들(GL2, GL4, ..., GLn)에 서로 다른 제1 서브 검사 신호 및 제2 서브 검사 신호가 인가됨으로써, 제1 게이트 라인들(GL1, GL3, ..., GLn-1)과 제2 게이트 라인들

(GL2, GL4, ..., GLn) 사이의 쇼트 상태가 검사될 수 있다.

- [0070] 제3 검사 신호가 제1 테스트 패드들(PD1, PD2)에 인가된다. 턴 온된 제1 테스트 트랜지스터들(T1_1~T1_m)은 제1 테스트 패드들(PD1, PD2)을 통해 제3 검사 신호를 제공받는다. 제3 검사 신호는 턴 온된 제1 테스트 트랜지스터들(T1_1~T1_m)을 통해 데이터 라인들(DL1~DLm)에 제공된다.
- [0071] 제3 검사 신호는 제1 패드(PD1)에 인가되는 제3 서브 검사 신호 및 제2 패드(PD2)에 인가되는 제4 서브 검사 신호를 포함한다. 제3 서브 검사 신호는 제1 서브 그룹의 제1 테스트 트랜지스터들(T1_1, T1_3, ..., T1_m-1)에 연결된 제1 데이터 라인들(DL1, DL3, ..., DLm-1)에 인가된다. 제4 서브 검사 신호는 제2 서브 그룹의 제1 테스트 트랜지스터들(T1_2, T1_4, ..., T1_m)에 연결된 제2 데이터 라인들(DL2, DL4, ..., DLm)에 인가된다.
- [0072] 제1 데이터 라인들(DL1, DL3, ..., DLm-1)과 제2 데이터 라인들(DL2, DL4, ..., DLm)에 서로 다른 제3 서브 검사 신호 및 제4 서브 검사 신호가 인가됨으로써, 제1 데이터 라인들(DL1, DL3, ..., DLm-1)과 제2 데이터 라인들(DL2, DL4, ..., DLm) 사이의 쇼트 상태가 검사될 수 있다.
- [0073] 게이트 라인들(DL1~DLm) 및 데이터 라인들(DL1~DLm)에 제공된 제2 및 제3 검사 신호들은 박막 트랜지스터 기관(110)의 표시 영역(DA)에 소정의 저항 이미지를 생성한다. 검사용 카메라 등을 이용하여 박막 트랜지스터 기관(110)의 표시 영역(DA)에 나타난 저항 이미지를 관찰하여 비주얼 검사가 수행된다.
- [0074] 제2 비표시 영역(NDA2)에서 데이터 라인들(DL1~DLm)이 별도의 패드들에 연결되고, 오픈 쇼트 검사를 위해 사용되는 OS 패드들(OSP1~OSPm) 및 비주얼 검사를 위해 사용되는 제1 스위칭 트랜지스터들(T1_1~T1_m)이 서로 오버랩되지 않도록 배치될 수 있다. 이러한 경우, 패드들과 오버랩되도록 리페어 라인들(RP1, RP2)이 배치될 수 있다. 따라서, 제2 비표시 영역(NDA2)에서 데이터 라인들(DL1~DLm)에 연결되는 패드들, OS 패드들(OSP1~OSPm) 및 제1 스위칭 트랜지스터들(T1_1~T1_m)이 서로 오버랩되지 않고 배치될 수 있는 영역들이 별도로 확보되어야 한다. 또한, 리페어 라인들(RP1, RP2)은 단선된 데이터 라인들에 연결된 패드들과 단점되어 연결될 수 있다.
- [0075] 그러나, 본 발명의 실시 예에 따른 박막 트랜지스터 기관(110)의 제2 비표시 영역(NDA2)에 배치된 제1 테스트 부(10)는 데이터 라인들(DL1~DLm)에 연결되기 위한 패드들을 포함하지 않는다. 즉, 별도의 패드들이 사용되지 않고, 오픈 쇼트 검사시 사용되는 OS 패드들(OSP1~OSPm)이 데이터 라인들(DL1~DLm)에 연결된다. 제1 테스트 부(10)의 OS 패드들(OSP1~OSPm)은 리페어 라인들(RP1, RP2) 및 제1 스위칭 트랜지스터들(T1_1~T1_m)과 중첩되도록 배치된다. 또한, 리페어 라인들(RP1, RP2)은 단선된 데이터 라인들에 연결된 OS 패드들과 단점되어 연결될 수 있다.
- [0076] 따라서, 박막 트랜지스터 기관(110)의 제2 비표시 영역(NDA2)이 효율적으로 이용되어 제1 테스트 부(10)의 크기가 줄어들 수 있다. 제2 비표시 영역(NDA2)이 효율적으로 이용되어 제2 비표시 영역(NDA2)이 줄어들 수 있으므로, 비표시 영역의 전체 면적이 줄어들 수 있다.
- [0077] 결과적으로, 본 발명의 박막 트랜지스터 기관(110)은 비표시 영역을 효율적으로 이용하여 비표시 영역을 줄일 수 있다.
- [0078] 도 6은 오픈 쇼트 검사 방법을 설명하기 위한 도면이다. 도 6에는 설명의 편의를 위해 오픈 쇼트 검사를 수행하기 위한 구성으로서 데이터 라인들(DL1~DLm), 데이터 라인들(DL1~DLm) 양단에 연결된 데이터 패드부들(DPD1~DPDk)과 오에스 패드들(OSP1~OSPm), 및 리페어 라인들(RP1, RP2) 만이 도시되었다.
- [0079] 도 6을 참조하면, 데이터 패드부들(DPD1~DPDk)은 각각 복수의 데이터 패드들을 포함한다. 데이터 패드들(DP1~DPm)은 각각 대응하는 데이터 라인들(DL1~DLm)에 연결된다. 데이터 라인들(DL1~DLm)의 일측은 제1 비표시 영역(NDA1)에서 대응하는 데이터 패드들(DP1~DPm)에 연결되고, 타측은 제2 비표시 영역(NDA2)에서 대응하는 오에스 패드들(OSP1~OSPm)에 연결된다.
- [0080] 박막 트랜지스터 기관(110) 상에 데이터 라인들(DL1~DLm)이 형성된 후, 오픈 쇼트 검사가 수행된다. 오픈 쇼트 검사시, 오에스 패드들(OSP1~OSPm)에 제1 검사 신호가 인가된다. 오에스 패드들(OSP1~OSPm)에 연결된 데이터 라인들(DL1~DLm)에 제1 검사 신호가 인가된다.
- [0081] 데이터 패드들(DP1~DPm)에는 검출 장치(30)가 접촉된다. 검출 장치(30)는 탐침(31)을 포함한다. 구체적으로, 검출 장치(30)의 탐침(31)이 하강하여 제1 데이터 패드(DP1)에 접촉된 후 소정의 압력이 제1 데이터 패드(DP1)에 가해진다. 예를 들어, 탐침(31)이 제1 데이터 패드(DP1)에 접촉된 후, 접촉된 위치로부터 검출 장치(30)가 200

마이크로미터(μm)만큼 다시 하강하여 제1 데이터 패드(DP1)를 향해 더 이동한다. 즉, 검출 장치(30)의 탐침(31)이 제1 데이터 패드(DP1)에 접촉된 시점에서부터 다시 검출 장치(30)가 200 마이크로미터(μm)만큼 제1 데이터 패드(DP1)를 향해 이동한다. 따라서, 200 마이크로미터(μm)만큼 이동된 검출 장치(30)의 탐침(31)에 의해 소정의 압력이 제1 데이터 패드(DP1)에 가해진다. 소정의 압력이 제1 데이터 패드(DP1)에 가해짐으로써 탐침(31)과 제1 데이터 패드(DP1)의 접촉력이 증대될 수 있다. 이후, 탐침(31)이 제1 데이터 패드(DP1)와 소정의 압력으로 접촉된 상태에서 검출 장치(30)는 100mm/s의 속도로 제 m 데이터 패드(DP m)를 향해 이동하여 데이터 패드들(DP1~DP m)과 순차적으로 접촉된다.

- [0082] 검출 장치(30)가 200 마이크로미터(μm)보다 많은 거리만큼 제1 데이터 패드(DP1)를 향해 이동하여 제1 데이터 패드(DP1)와 접촉된 후 제 m 데이터 패드(DP m)를 향해 이동할 경우, 박막 트랜지스터 기관(110)에 스크래치가 발생될 수 있다. 따라서, 검출 장치(30)는 200 마이크로미터(μm)와 같거나 적은 거리만큼 제1 데이터 패드(DP1)를 향해 이동하여 접촉된다.
- [0083] 검출 장치(30)는 데이터 패드들(DP1~DP m)로부터 출력되는 제1 검사 신호를 검출한다. 데이터 패드들(DP1~DP m)을 통해 정상적인 제1 검사 신호가 출력되는 데이터 라인들은 정상으로 판별된다. 단선(D)된 데이터 라인의 경우, 정상적인 제1 검사 신호가 출력되지 않는다. 따라서, 단선(D)된 데이터 라인은 불량으로 검출된다.
- [0084] 도 7은 오픈 쇼트 검사 방법에 의해 단선이 확인된 데이터 라인에 대한 리페어 방법을 설명하기 위한 도면이다. 도 7에는 설명의 편의를 위해 단선된 데이터 라인(DL j), 단선된 데이터 라인(DL j)의 양단에 연결된 오에스 패드(OSP j)와 데이터 패드(DP j), 및 제1 리페어 라인(RP1)이 도시되었다.
- [0085] 도 7을 참조하면, 오픈 쇼트 검사에 의해 단선(D)이 발생한 데이터 라인(DL j)은 불량으로 판별된다.
- [0086] 제1 리페어 라인(RP1)은 데이터 라인(DL j)의 일측에 연결된 데이터 패드(DP j)와 오버랩된다. 제1 리페어 라인(RP1)과 데이터 패드(DP j)가 오버랩되는 영역은 제1 단점부(P1)로 정의될 수 있다.
- [0087] 제1 리페어 라인(RP1)은 데이터 라인(DL j)의 타측에 연결된 오에스 패드(OSP j)와 오버랩된다. 제1 리페어 라인(RP1)과 오에스 패드(OSP j)가 오버랩되는 영역은 제2 단점부(P2)로 정의될 수 있다.
- [0088] 제1 단점부(P1) 및 제2 단점부(P2)에 레이저가 조사된다. 제1 단점부(P1)에서 데이터 패드(DP j)와 제1 리페어 라인(RP1)이 단점되어 연결된다. 제2 단점부(P2)에서 오에스 패드(OSP j)와 제1 리페어 라인(RP1)이 단점되어 연결된다.
- [0089] 데이터 패드부들(DPD1~DPD k)에는 소스 구동 칩들이 배치되고, 소스 구동 칩들로부터 데이터 전압들이 데이터 라인들(DL1~DL m)에 인가된다. 단선된 데이터 라인(DL j)의 일측에 연결된 데이터 패드(DP j)에 데이터 전압이 인가된다. 또한, 데이터 패드(DP j)에 연결된 제1 리페어 라인(RP1)을 통해 단선된 데이터 라인(DL j)의 타측에 연결된 오에스 패드(OSP j)에 데이터 전압이 인가된다. 단선된 데이터 라인(DL j)의 상부 및 하부로 데이터 전압이 인가되므로, 표시 영역(DA)의 화소들은 정상적으로 구동될 수 있다.
- [0090] 두 개의 리페어 라인들(RP1, RP2)에 의해 두 개의 단선된 데이터 라인들이 수리될 수 있다. 그러나 이에 한정되지 않고, 리페어 라인들의 개수는 이보다 많을 수 있으며, 이러한 경우, 리페어 라인들의 개수에 대응되는 데이터 라인들이 리페어될 수 있다.
- [0091] 도 8은 도 1에 도시된 박막 트랜지스터 기관을 포함하는 액정 표시 장치를 도시한 도면이다. 도 8에는 설명의 편의를 위해 하나의 화소(PX)만이 도시되었으나, 실질적으로, 화소들(PX)은 게이트 라인들(GL1~GL n) 및 데이터 라인들(DL1~DL m)이 교차하는 영역에 배치된다.
- [0092] 도 8을 참조하면, 액정 표시 장치(500)는 표시 패널(100), 게이트 구동부(200), 데이터 구동부(300), 및 구동 회로 기관(400)을 포함한다.
- [0093] 표시 패널(100)은 복수의 화소들(PX)이 형성된 박막 트랜지스터 기관(110), 박막 트랜지스터 기관(110)과 마주보고 공통 전극(미 도시됨)이 형성된 컬러 필터 기관(120), 및 박막 트랜지스터 기관(110)과 컬러 필터 기관(120) 사이에 개재되는 액정층(LC)을 포함한다. 화소들(PX)은 각각 대응하는 게이트 라인들(GL1~GL n) 및 대응하는 데이터 라인들(DL1~DL m)에 연결된다.
- [0094] 박막 트랜지스터 기관(110)은 화소들에 각각 대응되는 복수의 화소 전극들(미 도시됨) 및 대응되는 화소 전극들에 연결된 복수의 박막 트랜지스터들(미 도시됨)을 포함한다. 박막 트랜지스터들은 대응하는 게이트 라인들을 통해 제공받은 게이트 신호들에 응답하여 대응하는 데이터 라인들을 통해 데이터 전압들을 제공받는다. 제공받

은 데이터 전압들은 대응하는 화소 전극들에 제공된다.

- [0095] 게이트 구동부(200)는 구동 회로 기관(400)에 실장된 타이밍 컨트롤러(미 도시됨)로부터 제공된 게이트 제어 신호에 응답하여 게이트 신호들을 생성한다. 게이트 신호들은 행 단위로 그리고 순차적으로 화소들에 제공된다.
- [0096] 데이터 구동부(300)는 타이밍 컨트롤러로부터 영상 신호들 및 데이터 제어 신호를 제공받는다. 데이터 구동부(300)는 데이터 제어 신호에 응답하여 영상 신호들에 대응하는 아날로그 데이터 전압들을 생성한다. 데이터 구동부(300)는 데이터 전압들을 데이터 라인들(DL1~DLm)을 통해 화소들(PX)에 제공한다. 데이터 구동부(300)는 복수의 소스 구동칩들(310_1~310_k)을 포함한다. 소스 구동칩들(310_1~310_k)은 대응하는 연성회로기관들(320_1~320_k) 상에 실장되어 구동 회로 기관(400)과 도 1에 도시된 제1 비 표시 영역(NDA)의 데이터 패드부들(DPD1~DPDk)에 연결된다.
- [0097] 도시하지 않았으나, 소스 구동칩들(310_1~310_k)이 실장된 연성회로기관들(320_1~320_k)은 각각 대응되는 데이터 패드부들(DPD1~DPDk)에 이방성 도전 필름들(Anisotropic Conductive Film)에 의해 연결된다.
- [0098] 본 발명의 실시 예에서 소스 구동칩들(310_1~310_k)은 연성회로기관들(320_1~320_k) 상에 실장되는 테이프 캐리어 패키지(TCP: Tape Carrier Package) 방식을 예로 들었다. 그러나, 소스 구동칩들(310_1~310_k)은 제1 비 표시 영역(NDA)에 칩 온 글래스(COG: Chip on Glass) 방식으로 실장 될 수 있다.
- [0099] 박막 트랜지스터 기관(110)의 다른 구성은 앞서 상세히 설명하였으므로, 설명을 생략한다.
- [0100] 도시하지 않았으나, 컬러 필터 기관(120) 상에 컬러 필터들이 형성될 수 있다. 컬러 필터는 적색, 녹색, 및 청색 중 어느 하나의 색을 나타내는 색 화소를 포함할 수 있다. 또한, 도시하지 않았으나, 액정 표시 장치(500)는 표시 패널(100) 후방에 배치되어 표시 패널(110)에 광을 제공하는 백라이트 유닛을 포함한다. 백라이트 유닛은 표시 패널(100)의 하부에서 광을 공급하는 직하형 또는 표시 패널(100)의 측면에서 광을 공급하는 엣지형으로 형성될 수 있다.
- [0101] 박막 트랜지스터들에 의해 화소 전극들에 데이터 전압들이 인가되고, 공통 전극에 공통 전압이 인가되면, 액정 층(LC)의 액정들의 배열이 변화된다. 변화된 액정들의 배열에 따라서 백라이트 유닛으로부터 제공된 광의 투과율이 조절되어 영상이 표시된다.
- [0102] 본 발명의 실시 예에 따른 박막 트랜지스터 기관(110)의 제2 비표시 영역(NDA2)에 배치된 제1 테스트 부(10)는 데이터 라인들(DL1~DLm)에 연결되기 위한 패드들을 포함하지 않는다. 즉, 별도의 패드들이 사용되지 않고, 오픈 쇼트 검사시 사용되는 OS 패드들(OSP1~OSPm)이 데이터 라인들(DL1~DLm)에 연결된다. 제1 테스트 부(10)의 OS 패드들(OSP1~OSPm)은 리페어 라인들(RP1,RP2) 및 제1 스위칭 트랜지스터들(T1_1~T1_m)과 중첩되도록 배치된다. 또한, 리페어 라인들(RP1,RP2)은 단선된 데이터 라인들에 연결된 OS 패드들과 단접되어 연결될 수 있다.
- [0103] 박막 트랜지스터 기관(110)의 제2 비표시 영역(NDA2)이 효율적으로 이용되어 제1 테스트 부(10)의 크기가 줄어들 수 있으므로, 비표시 영역의 전체 면적이 줄어들 수 있다.
- [0104] 결과적으로, 본 발명의 박막 트랜지스터 기관(110)을 포함하는 액정 표시 장치(500)는 비표시 영역을 효율적으로 이용하여 비표시 영역을 줄일 수 있다.
- [0105] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

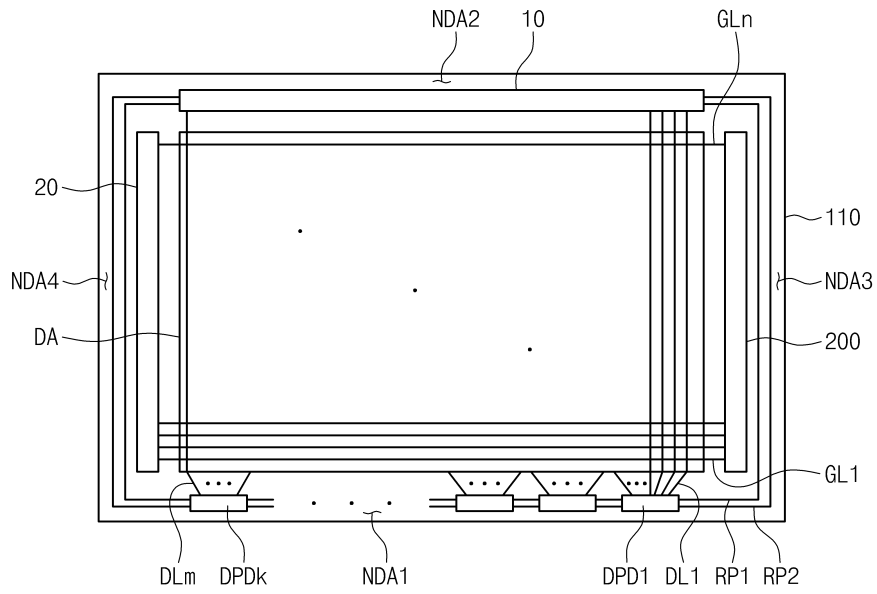
- | | | |
|--------|--------------------|-------------------------|
| [0106] | 110: 박막 트랜지스터 기관 | 120: 컬러 필터 기관 |
| | 10: 제1 테스트 부 | 20: 제2 테스트 부 |
| | DPD1~DPDk: 데이터 패드부 | RP1,RP2: 제1 및 제2 리페어 라인 |
| | OSP1~OSPm: 오에스 패드 | DP1~DPm: 데이터 패드 |
| | 100: 표시 패널 | 200: 게이트 구동부 |

300: 데이터 구동부

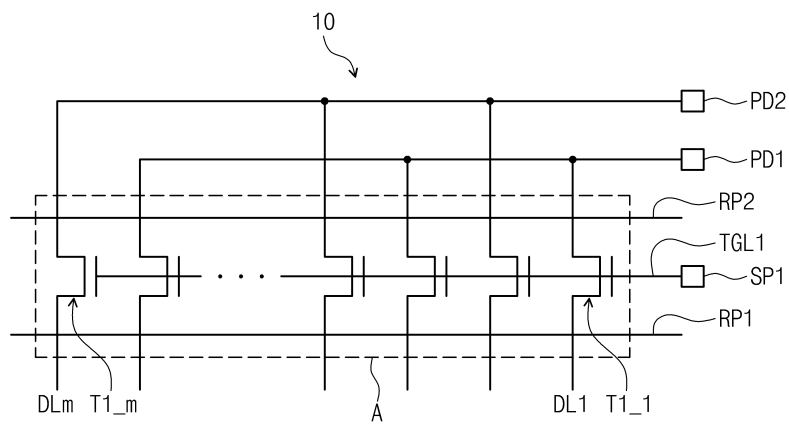
400: 구동 회로 기판

도면

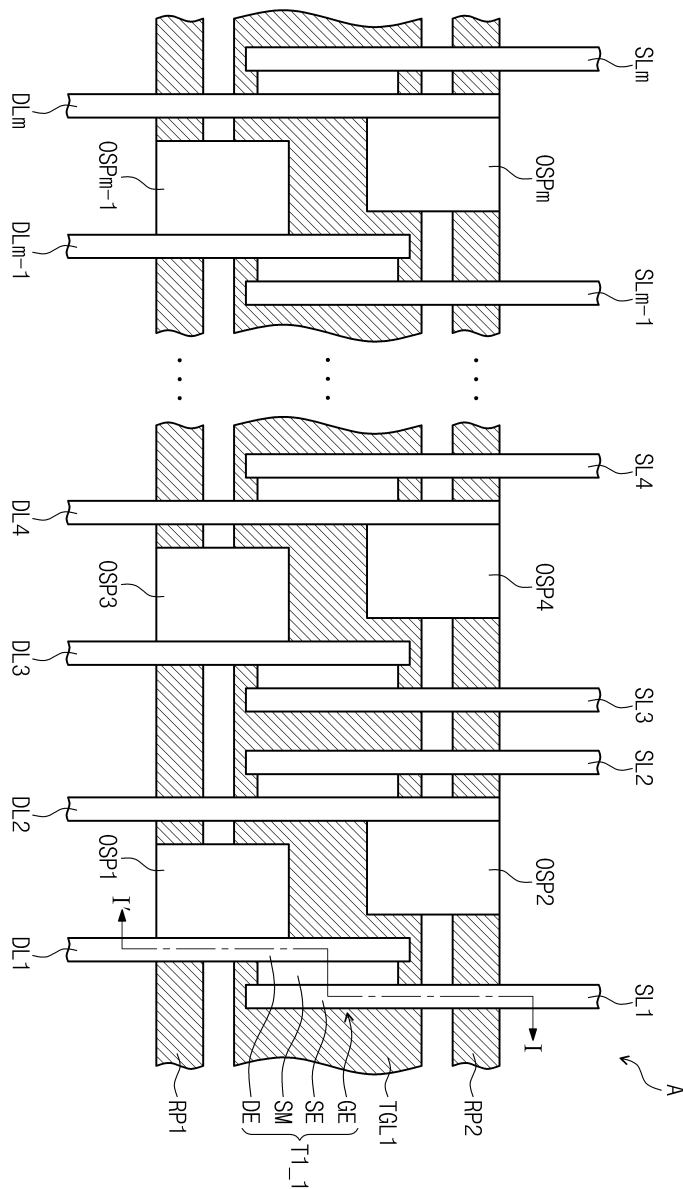
도면1



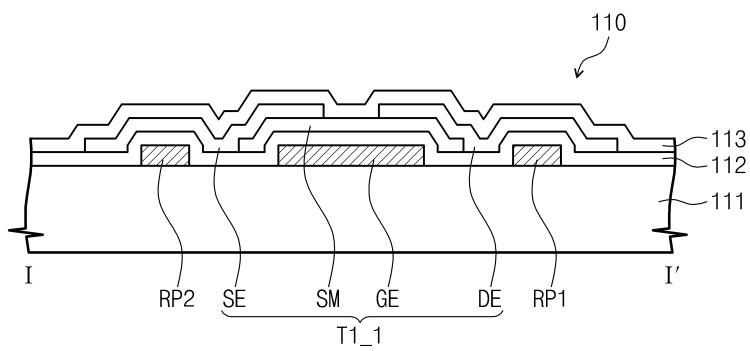
도면2



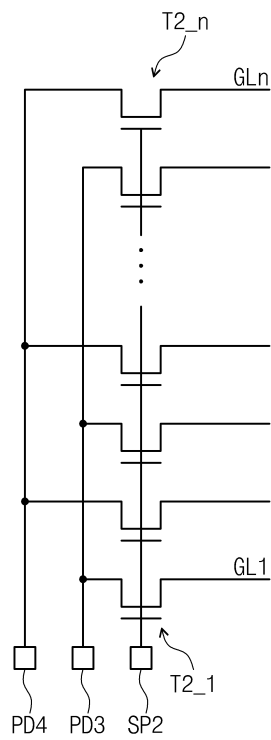
도면3



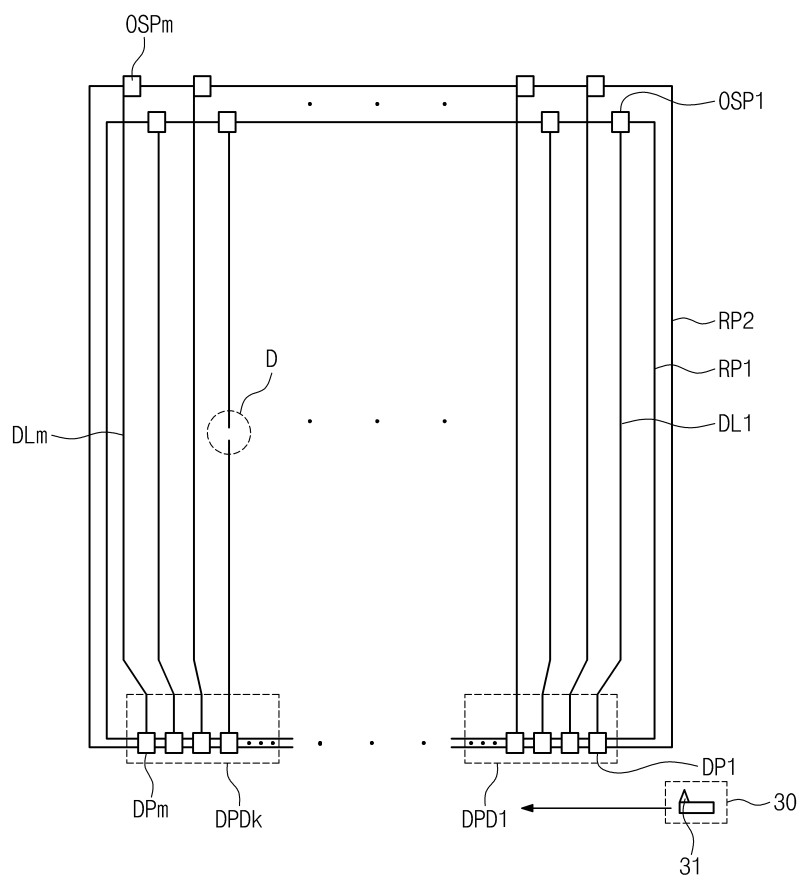
도면4



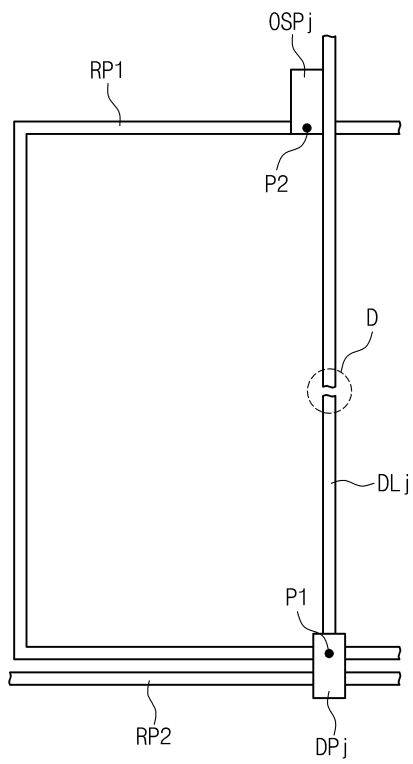
도면5



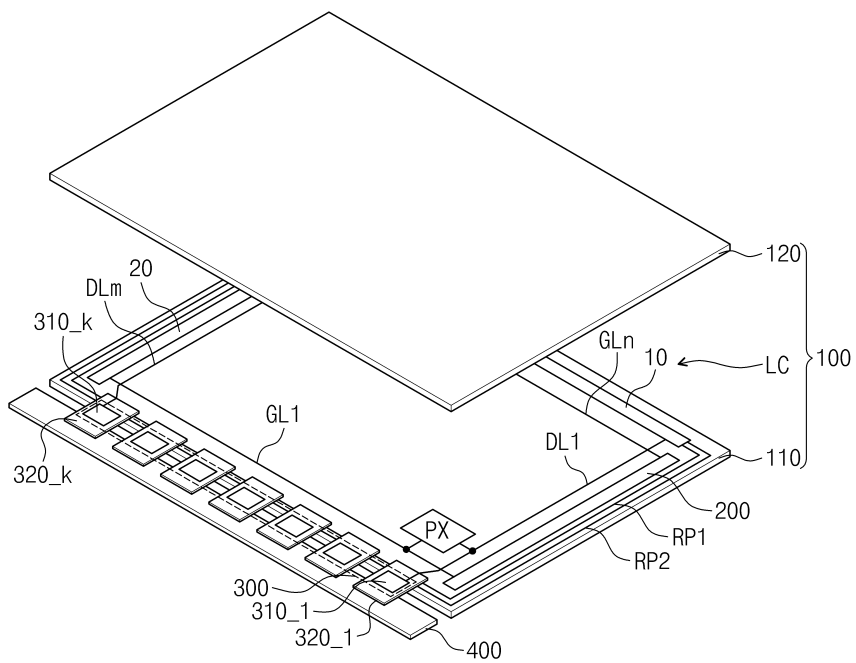
도면6



도면7



도면8



专利名称(译)	薄膜晶体管基板和包括其的液晶显示装置		
公开(公告)号	KR1020140088427A	公开(公告)日	2014-07-10
申请号	KR1020130000290	申请日	2013-01-02
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	RO SUNGIN 노성인 PARK SEUNGHYUN 박승현 OH DONG GUN 오동건		
发明人	노성인 박승현 오동건		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L27/1214 G02F1/13458 G02F1/136259 G02F1/136286		
其他公开文献	KR102005498B1		
外部链接	Espacenet		

摘要(译)

薄膜晶体管基板包括显示区域，在显示区域中布置连接到栅极线的多个像素和与栅极线交叉的数据线，非显示区域形成在显示区域的外围，连接到线的一侧的多个数据焊盘，形成在非显示区域中并连接到相应数据线的另一侧的多个第一晶体管，连接到数据线的另一侧的多个OSPAd，并且多条修复线沿着显示区域的外围形成在非显示区域中并且设置在第一晶体管之间，其中第一焊盘与第一晶体管和修复线重叠。

