

특허청구의 범위

청구항 1

서로 교차하며 형성되어 화소 영역을 정의하는 게이트 라인과 데이터 라인;
 상기 게이트 라인 및 데이터 라인과 연결되는 박막 트랜지스터;
 상기 박막 트랜지스터의 드레인 전극 상에 형성되는 다수의 화소 전극;
 상기 다수의 화소 전극과 서로 교번하여 형성되는 공통 전극; 및
 상기 화소 전극과 공통전극 사이에 형성되는 보호층을 포함하고,
 상기 화소 전극과 공통 전극은 하나의 공정으로 형성되는 액정표시패널.

청구항 2

제1항에 있어서,
 상기 다수의 화소 전극은 상기 보호층을 관통하는 다수의 화소 컨택홀에 의해 노출되는 상기 드레인 전극 상에 형성되는 액정표시패널.

청구항 3

제2항에 있어서,
 상기 보호층은 서로 다른 식각률을 가지는 제1 보호층 및 제2 보호층을 포함하는 액정표시패널.

청구항 4

제3항에 있어서,
 상기 제1 보호층 및 제2 보호층은 순차적으로 적층되고,
 상기 제1 보호층은 제2 보호층보다 높은 식각률을 가지는 액정표시패널.

청구항 5

제4항에 있어서,
 상기 화소 컨택홀은 제2 보호층에서 제1 보호층 방향으로 갈수록 경사를 가지는 액정표시패널.

청구항 6

제3항에 있어서,
 상기 제1 보호층 및 제2 보호층은 서로 다른 식각률을 가지기 위해 상기 보호층 형성시 사용되는 증착가스의 혼합비를 조절하는 액정표시패널.

청구항 7

제1항에 있어서,
 상기 드레인 전극은 상기 게이트 라인 방향을 따라 화소 영역에 길게 형성되는 액정표시패널.

청구항 8

제1항에 있어서,
 상기 게이트 라인과 평행하는 방향으로 형성되는 공통 라인을 더 포함하고,
 상기 공통 전극은,

상기 공통라인과 중첩하는 수평부; 및

상기 수평부와 연결되며 상기 다수의 화소 전극과 교번하여 형성되는 다수의 수직부를 포함하는 액정표시패널.

청구항 9

제8항에 있어서,

상기 수평부는 공통 컨택홀을 통해 상기 공통 라인과 전기적으로 연결되는 액정표시패널.

청구항 10

제1항에 있어서,

상기 드레인 전극과 상기 다수의 화소 전극을 연결하기 위해 화소 영역상에 형성되는 하부 화소 전극을 더 포함하는 액정표시패널.

청구항 11

제2항에 있어서,

상기 공통 전극은 상기 화소 컨택홀을 제외한 상기 보호층 상의 전 영역에 형성되는 액정표시패널.

청구항 12

기관상에 게이트 라인 및 상기 게이트 라인에 연장되는 게이트 전극을 형성하는 단계;

상기 게이트 라인이 형성된 기관 상에 게이트 절연막 및 반도체층을 형성하는 단계;

상기 게이트 절연막 상에 데이터 라인, 소스전극 및 드레인 전극을 형성하는 단계;

상기 데이터 라인, 소스전극 및 드레인 전극이 형성된 게이트 절연막 상에 보호층을 형성하는 단계;

상기 보호층에 다수의 화소 컨택홀을 형성하는 단계; 및

상기 화소 컨택홀 및 보호층 상에 투명한 도전성 물질을 도포하여, 다수의 화소 전극 및 공통 전극을 형성하는 단계를 포함하는 액정표시패널의 제조방법.

청구항 13

제12항에 있어서,

상기 다수의 화소 전극은 상기 보호층을 관통하는 다수의 화소 컨택홀에 의해 노출되는 상기 드레인 전극 상에 형성되는 액정표시패널의 제조방법.

청구항 14

제12항에 있어서,

상기 보호층을 형성하는 단계는,

서로 다른 식각률을 가지는 제1 보호층 및 제2 보호층을 순차적으로 형성하는 단계를 포함하는 액정표시패널의 제조방법.

청구항 15

제14항에 있어서,

상기 제1 보호층은 상기 제2 보호층보다 높은 식각률을 가지는 액정표시패널의 제조방법.

청구항 16

제15항에 있어서,

상기 화소 컨택홀은 제2 보호층에서 제1 보호층으로 갈수록 경사를 가지는 액정표시패널의 제조방법.

청구항 17

제14항에 있어서,

상기 보호층은 화학 기상 증착에 의해 형성되고,

상기 제1 보호층 및 제2 보호층은 서로 다른 식각물을 가지기 위해 증착가스 혼합비를 조절하는 액정표시패널의 제조방법.

청구항 18

제12항에 있어서,

상기 드레인 전극은 상기 게이트 라인 방향을 따라 화소 영역에 길게 형성되는 액정표시패널의 제조방법.

청구항 19

제12항에 있어서,

상기 게이트 라인과 함께 상기 게이트 라인과 평행하는 공통라인을 형성하며,

상기 공통 전극은,

상기 공통라인과 중첩하는 수평부; 및

상기 수평부와 연결되며 상기 다수의 화소 전극과 교번하여 형성되는 다수의 수직부를 포함하는 액정표시패널의 제조방법

청구항 20

제19항에 있어서,

상기 화소 컨택홀과 함께 공통 컨택홀을 형성하고,

상기 수평부는 공통 컨택홀을 통해 상기 공통 라인과 전기적으로 연결되는 액정표시패널의 제조방법.

청구항 21

제12항에 있어서,

상기 게이트 절연막 상에 데이터 라인, 소스전극 및 드레인 전극을 형성한 후 상기 드레인 전극과 상기 다수의 화소 전극을 연결하기 위해 화소 영역에 하부 화소 전극을 형성하는 단계를 더 포함하는 액정표시패널의 제조방법.

청구항 22

제13항에 있어서,

상기 공통 전극은 상기 화소 컨택홀을 제외한 보호층 상의 전 영역에 형성되는 액정표시패널의 제조방법.

명 세 서

기술 분야

[0001] 실시 예는 액정표시패널에 관한 것이다.

[0002] 실시 예는 액정표시패널의 제조방법에 관한 것이다.

배경 기술

[0003] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가되고 있다. 종래의 음극선관 표시장치(CRT)에 비해 박형, 경량화된 액정표시장치(LCD), 플라즈마표시장치(PDP) 또는 유기전계 발광소자(OLED)를 포함하는 평판표시장치가 활발하게 연구 및 제품화되고 있다. 이 중에서 액정표시장치는 소형

화, 경량화, 박형화 및 저전력 구동의 장점이 있어 현재 널리 사용되고 있다.

- [0004] 현재 주로 사용되고 있는 액정표시장치 중 하나로 트위스트 네마틱(TN: twisted nematic) 방식의 액정표시장치를 들 수 있다. 상기 트위스트 네마틱 방식은 두 기판에 각각 전극을 설치하고 액정 방향자가 90° 트위스트 되도록 배열한 다음 전극에 전압을 가하여 액정 방향자를 구동하는 방식이다. 그러나 상기 TN방식 액정표시장치는 시야각이 좁다는 큰 단점이 있다.
- [0005] 상기 TN방식의 액정표시장치의 시야각이 좁다는 단점을 해결하기 위하여 새로운 방식을 채용한 액정표시장치에 대한 연구가 활발하게 진행되고 있는데, 상기 방식으로 IPS방식(in-plane switching) 및 FFS방식(fringe field switching) 등이 있다.
- [0006] 도 1은 종래의 IPS방식의 액정표시장치의 구동원리에 대한 도면이다. 도 1의 a는 오프상태에서의 액정의 동작을 나타내고 도 1의 b는 온 상태에서의 액정의 동작을 나타낸다.
- [0007] 도 1을 참조하면 IPS방식의 액정표시장치는 제1 기판(301), 제2 기판(302) 및 액정층(306)을 포함한다. 상기 제1 기판(301) 및 제2 기판(302)은 서로 대향 되어 배치되고, 상기 제1 기판(301) 및 제2 기판(302) 사이에 액정(307)들로 구성된 상기 액정층(306)이 게재된다. 상기 제1 기판(301)상에는 다수의 화소 전극(341) 및 다수의 공통전극(343)이 형성된다. 상기 다수의 화소 전극(341) 및 상기 다수의 공통전극(343)에 인가되는 전위차에 의한 전계에 의해 상기 액정층(307)이 변위 하여 화상을 표시한다.
- [0008] 도 1의 a에서 오프 상태일 때 상기 화소 전극(341) 및 상기 공통전극(343)의 전위차는 없고 상기 액정(307)은 전후방향으로 배열된다. 노멀리 블랙 모드일 때 전후방향으로 배열된 상기 액정(307)에 의해 백라이트(미도시)로부터의 빛이 차단되고 블랙의 화상이 표시된다. 도 1의 b에서 온 상태일 때 상기 화소 전극(341) 및 상기 공통전극(343)은 다른 크기의 전위가 인가되고 상기 화소 전극(341) 및 상기 공통전극(343)에 인가되는 전위차에 의해 화살표(308) 방향으로 전계가 발생한다. 상기 화살표(308) 방향의 전계에 의해 액정(307)은 좌우방향으로 배열된다. 노멀리 블랙모드일 때 좌우방향으로 배열된 상기 액정(307)에 의해 백라이트(미도시)로부터의 빛이 투과되고 화이트의 화상이 표시된다. 상기 IPS방식의 액정표시장치의 경우 시야각이 넓은 장점이 있으나 휘도의 문제가 있어 FFS(fringe field switching)방식이 고안되었다.
- [0009] 도 2는 종래의 FFS방식의 액정표시장치의 구동원리에 대한 도면이다. 도 2의 a는 오프상태에서의 액정의 동작을 나타내고 도 2의 b는 온 상태에서의 액정의 동작을 나타낸다.
- [0010] 도 2를 참조하면 FFS방식의 액정표시장치는 상기 IPS방식과 비교하여 화소 전극과 공통전극이 상이한 층에 형성되는 것을 제외하면 거의 동일하다. 따라서 동일한 도 1과 동일한 구성에 대해서는 동일한 도면번호를 부여하고 자세한 설명은 생략한다.
- [0011] 도 2의 FFS방식의 액정표시장치는 제1 기판(301)상에 형성된 절연막(305)을 더 포함한다. 상기 제1 기판(301)상에 공통전극(343)이 형성되고 상기 절연막(305) 상에 화소 전극(341)이 형성된다. 도 2의 a에서 오프 상태일 때 상기 화소 전극(341) 및 상기 공통전극(343)의 전위차는 없고 상기 액정(307)은 전후방향으로 배열된다. 노멀리 블랙모드 일 때 전후방향으로 배열된 상기 액정(307)에 의해 백라이트(미도시)로부터의 빛이 차단되고 블랙의 화상이 표시된다. 도 2의 b에서 온 상태일 때 상기 화소 전극(341) 및 상기 공통 전극(343)에 인가되는 전위차에 의해 화살표(308)방향으로 전계가 발생한다. 상기 화살표(308)방향의 전계에 의해 액정(307)은 좌우방향으로 배열된다. 노멀리 블랙모드일 때 좌우방향으로 배열된 상기 액정(307)에 의해 백라이트(미도시)로부터의 빛이 투과되고 화이트의 화상이 표시된다. 상기한 IPS방식에 비해 FFS방식의 경우 상기 공통전극(343) 및 화소 전극(341)을 다른 층에 배열함으로써 수평전계뿐만 아니라 다소간의 수직전계도 발생하게 되어 액정을 더욱 정밀하게 배열할 수 있고 IPS방식보다 휘도 저감이 덜 발생한다. 상기 화소 전극(341)과 공통 전극(343)의 형성 위치는 바뀔 수 있다. 예를 들어, 상기 제1 기판(301) 상에 화소 전극이 형성되고, 상기 절연막(305) 상에 공통 전극을 형성할 수도 있다.
- [0012] 상기 FFS방식의 액정표시장치에서 상기 다수의 화소 전극(341) 간의 간격이 작을수록 상기 액정(307)의 동작효율이 상승한다. 다만, 빛의 회절 특성에 의한 마스크 공차등의 공정상 이유로 상기 화소 전극(341)의 간격을 더 이상 줄일 수 없어 투과율을 향상시킬 수 없는 문제가 있다.

발명의 내용

해결하려는 과제

[0013] 실시 예는 액정의 동작효율 상승을 통한 투과율이 향상되는 액정표시패널을 제공한다.

[0014] 실시 예는 공정을 간소화할 수 있는 액정표시패널의 제조방법을 제공한다.

과제의 해결 수단

[0015] 실시 예에 따른 액정표시패널은, 서로 교차하며 형성되어 화소 영역을 정의하는 게이트 라인과 데이터 라인; 상기 게이트 라인 및 데이터 라인과 연결되는 박막 트랜지스터; 상기 박막 트랜지스터의 드레인 전극 상에 형성되는 다수의 화소 전극; 상기 다수의 화소 전극과 서로 교번하여 형성되는 공통 전극; 및 상기 화소 전극과 공통 전극 사이에 형성되는 보호층을 포함하고, 상기 화소 전극과 공통 전극은 하나의 공정으로 형성된다.

[0016] 실시 예에 따른 액정표시패널의 제조방법은, 기판상에 게이트 라인 및 상기 게이트 라인에 연장되는 게이트 전극을 형성하는 단계; 상기 게이트 라인이 형성된 기판 상에 게이트 절연막 및 반도체층을 형성하는 단계; 상기 게이트 절연막 상에 데이터 라인, 소스전극 및 드레인 전극을 형성하는 단계; 상기 데이터 라인, 소스전극 및 드레인 전극이 형성된 게이트 절연막 상에 보호층을 형성하는 단계; 상기 보호층에 다수의 화소 콘택홀을 형성하는 단계; 및 상기 화소 콘택홀 및 보호층 상에 투명한 도전성 물질을 도포하여, 다수의 화소 전극 및 공통 전극을 형성하는 단계를 포함한다.

발명의 효과

[0017] 실시 예에 따른 액정표시패널은 화소 전극과 공통 전극을 서로 다른 층에 형성하여 화소 전극과 공통 전극간의 간격을 줄여 액정의 동작효율을 상승시키고 이를 통해 투과율을 향상시킨다.

[0018] 실시 예에 따른 액정표시패널은 보호층을 식각물이 다른 이중층으로 형성하여, 서로 다른 층에 형성되는 화소 전극과 공통 전극의 분리를 용이하게 하여 화소 불량을 방지한다.

[0019] 실시 예에 따른 액정표시패널의 제조방법은 콘택홀을 통해 화소 전극과 공통 전극을 동시에 형성하여 액정표시패널의 제조 공정을 간소화한다.

도면의 간단한 설명

[0020] 도 1은 종래의 IPS방식의 액정표시장치의 구동원리에 대한 도면이다.

도 2는 종래의 FFS방식의 액정표시장치의 구동원리에 대한 도면이다.

도 3은 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 나타낸 평면도이다.

도 4는 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 A-A'방향, B-B'방향 및 C-C'방향으로 절단한 단면도이다.

도 5는 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판의 제조방법을 나타낸 도면이다.

도 6은 본 발명의 제2 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 A-A'방향, B-B'방향 및 C-C'방향으로 절단한 단면도이다.

도 7은 제2 실시 예에 따른 액정표시패널의 투과율을 나타낸 그래프이다.

도 8은 본 발명의 제2 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판의 제조방법을 나타낸 도면이다.

도 9는 본 발명의 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 나타낸 평면도이다.

도 10은 본 발명의 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 A-A'방향, B-B'방향 및 C-C'방향으로 절단한 단면도이다.

도 11은 본 발명의 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판의 제조방법을 나타낸 도면이다.

도 12는 본 발명의 제4 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 나타낸 평면도이다.

도 13은 본 발명의 제4 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 A-A' 방향, B-B' 방향 및 C-C' 방향을 따라절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 실시 예에 따른 액정표시패널은, 서로 교차하며 형성되어 화소 영역을 정의하는 게이트 라인과 데이터 라인; 상기 게이트 라인 및 데이터 라인과 연결되는 박막 트랜지스터; 상기 박막 트랜지스터의 드레인 전극 상에 형성되는 다수의 화소 전극; 상기 다수의 화소 전극과 서로 교번하여 형성되는 공통 전극; 및 상기 화소 전극과 공통 전극 사이에 형성되는 보호층을 포함하고, 상기 화소 전극과 공통 전극은 하나의 공정으로 형성된다.
- [0022] 상기 다수의 화소 전극은 상기 보호층을 관통하는 다수의 화소 콘택홀에 의해 노출되는 상기 드레인 전극 상에 형성될 수 있다.
- [0023] 상기 보호층은 서로 다른 식각률을 가지는 제1 보호층 및 제2 보호층을 포함할 수 있다.
- [0024] 상기 제1 보호층 및 제2 보호층은 순차적으로 적층되고, 상기 제1 보호층은 제2 보호층보다 높은 식각률을 가질 수 있다.
- [0025] 상기 화소 콘택홀은 제2 보호층에서 제1 보호층 방향으로 갈수록 경사를 가질 수 있다.
- [0026] 상기 제1 보호층 및 제2 보호층은 서로 다른 식각률을 가지기 위해 상기 보호층 형성시 사용되는 증착가스의 혼합비를 조절할 수 있다.
- [0027] 상기 드레인 전극은 상기 게이트 라인 방향을 따라 화소 영역에 길게 형성될 수 있다.
- [0028] 상기 게이트 라인과 평행하는 방향으로 형성되는 공통 라인을 더 포함하고, 상기 공통 전극은, 상기 공통라인과 중첩하는 수평부; 및 상기 수평부와 연결되며 상기 다수의 화소 전극과 교번하여 형성되는 다수의 수직부를 포함할 수 있다.
- [0029] 상기 수평부는 공통 콘택홀을 통해 상기 공통 라인과 전기적으로 연결될 수 있다.
- [0030] 상기 드레인 전극과 상기 다수의 화소 전극을 연결하기 위해 화소 영역상에 형성되는 하부 화소 전극을 더 포함할 수 있다.
- [0031] 실시 예에 따른 액정표시패널의 제조방법은, 기판상에 게이트 라인 및 상기 게이트 라인에 연장되는 게이트 전극을 형성하는 단계; 상기 게이트 라인이 형성된 기판 상에 게이트 절연막 및 반도체층을 형성하는 단계; 상기 게이트 절연막 상에 데이터 라인, 소스전극 및 드레인 전극을 형성하는 단계; 상기 데이터 라인, 소스전극 및 드레인 전극이 형성된 게이트 절연막 상에 보호층을 형성하는 단계; 상기 보호층에 다수의 화소 콘택홀을 형성하는 단계; 및 상기 화소 콘택홀 및 보호층 상에 투명한 도전성 물질을 도포하여, 다수의 화소 전극 및 공통 전극을 형성하는 단계를 포함한다.
- [0032] 도 3은 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 나타낸 평면도이다.
- [0033] 도 4는 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 A-A'방향, B-B'방향 및 C-C'방향으로 절단한 단면도이다.
- [0034] 도 3 및 도 4를 참조하면 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판은 기판(1) 상에 다수의 게이트 라인(10) 및 상기 다수의 게이트 라인(10)과 평행하는 공통 라인(20)이 형성된다. 상기 공통 라인(20)은 인접하는 게이트 라인에 인접하는 영역에 형성될 수 있다. 상기 게이트 라인(10)에 연장되어 게이트 전극(11)이 형성될 수 있다. 상기 게이트 전극(11)은 상기 게이트 라인(10)과 일체로 형성될 수 있다.
- [0035] 상기 게이트 라인(10) 및 상기 공통 라인(20) 상에 게이트 절연막(3)이 형성될 수 있다. 상기 게이트 절연막(3) 상의 박막 트랜지스터 영역 상에는 반도체 층(35)이 형성될 수 있다. 상기 반도체 층(35)은 채널 영역 및 상기 채널 영역 양측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0036] 상기 게이트 절연막(3) 상에 상기 게이트 라인(10)과 교차하는 방향으로 다수의 데이터 라인(30)이 형성될 수 있다. 상기 다수의 게이트 라인(1) 및 다수의 데이터 라인(30)의 교차로 화소 영역이 정의될 수 있다. 상기 소스 영역 상에는 상기 데이터 라인(30)으로부터 연장된 소스 전극(31)이 형성될 수 있다. 상기 소스 전극(31)은 상기 데이터 라인(30)과 일체로 형성될 수 있다. 상기 드레인 영역상에는 드레인 전극(33)이 형성될 수 있다. 상기 드레인 전극(33)은 상기 드레인 영역에서부터 인접하는 데이터 라인 방향으로 연장되어 형성될 수 있다. 상기 드레인 전극(33)은 상기 게이트 라인(10)과 인접하는 영역에서 상기 게이트 라인(10)과 평행하는 방향으로 형성될 수 있다.
- [0037] 상기 게이트 전극(11), 소스 전극(31), 드레인 전극(33) 및 반도체 층(35)은 박막 트랜지스터(T)를 구성한다.

- [0038] 상기 데이터 라인(30) 상에는 보호층(5)이 형성될 수 있다. 상기 화소 영역의 보호층(5)에는 화소 콘택홀(51)이 형성되고, 상기 공통 라인(20)의 일부 영역의 보호층(5)에는 공통 콘택홀(53)이 형성될 수 있다. 상기 화소 콘택홀(51)은 제1 화소 콘택홀(51a), 제2 화소 콘택홀(51b) 및 제3 화소 콘택홀(51c)을 포함할 수 있다. 상기 화소 콘택홀(51)은 상기 데이터 라인(30)과 평행하는 방향을 따라 형성될 수 있다. 상기 제1 화소 콘택홀(51a), 제2 화소 콘택홀(51b) 및 제3 화소 콘택홀(51c)은 서로 이격되어 상기 데이터 라인(30)과 평행하는 방향을 따라 형성될 수 있다.
- [0039] 상기 화소 콘택홀(51)은 상기 보호층(5)을 관통하여 상기 드레인 전극(33) 또는 상기 게이트 절연막(3)을 노출시킬 수 있다. 상기 화소 콘택홀(51)과 상기 드레인 전극(33)이 오버랩되는 영역은 상기 화소 콘택홀(51)을 통해 상기 드레인 전극(33)이 노출되고, 나머지 영역은 상기 화소 콘택홀(51)을 통해 상기 게이트 절연막(3)이 노출될 수 있다.
- [0040] 상기 공통 콘택홀(53)은 상기 보호층(5) 및 상기 게이트 절연막(3)을 관통하여 상기 공통 라인(20)을 노출시킬 수 있다.
- [0041] 상기 화소 영역에는 다수의 화소 전극(41)이 형성될 수 있다. 상기 화소 전극(41)은 상기 데이터 라인(30)과 평행하는 방향을 따라 길게 형성될 수 있다. 상기 다수의 화소 전극(41)은 서로 이격되어 형성될 수 있다. 상기 다수의 화소 전극(41)의 일측 영역은 상기 드레인 전극(33)과 접촉하여 전기적으로 연결될 수 있다. 상기 다수의 화소 전극(41)은 상기 화소 콘택홀(51) 상에 형성될 수 있다. 상기 제1 화소 전극(41a)은 제1 화소 콘택홀(51a)에 의해 노출되는 드레인 전극(33) 및 게이트 절연막(3) 상에 형성될 수 있고, 상기 제2 화소 전극(41b)은 제2 화소 콘택홀(51b)에 의해 노출되는 드레인 전극(33) 및 게이트 절연막(3) 상에 형성될 수 있고, 상기 제3 화소 전극(41c)은 상기 제3 화소 콘택홀(51c)에 의해 노출되는 드레인 전극(33) 및 게이트 절연막(3) 상에 형성될 수 있다. 상기 화소 전극(41)의 일부 영역은 상기 드레인 전극(33)과 전기적으로 연결될 수 있고, 나머지 영역은 상기 게이트 절연막(3) 상에 형성될 수 있다.
- [0042] 상기 화소 영역에는 공통 전극(43)이 형성될 수 있다. 상기 공통 전극(43)은 다수의 수직부(44)와 수평부(45)를 포함할 수 있다. 상기 다수의 수직부(44)의 일단은 상기 수평부(45)와 연결될 수 있다. 상기 다수의 수직부(44)와 수평부(45)는 일체로 형성될 수 있다.
- [0043] 상기 다수의 수직부(44)는 상기 보호층(5) 상에 형성될 수 있다. 상기 다수의 수직부(44)는 각각의 화소 콘택홀(51) 사이의 보호층(5) 상에 형성될 수 있다. 상기 수직부(44)는 제1 내지 제3 수직부(44a 내지 44c)를 포함할 수 있다. 상기 제1 수직부(44a)는 상기 제1 화소 콘택홀(51a) 및 제2 화소 콘택홀(51b) 사이에 형성될 수 있다. 상기 제2 수직부(44b)는 상기 제2 화소 콘택홀(51b) 및 제3 화소 콘택홀(51c) 사이에 형성될 수 있다. 상기 제3 수직부(44c)는 상기 제3 화소 콘택홀(51c)에 인접하는 보호층(5) 상에 형성될 수 있다. 상기 다수의 수직부(44)는 상기 다수의 화소 전극(41)과 교번하여 형성될 수 있다.
- [0044] 상기 다수의 수직부(44)와 상기 다수의 화소 전극(41)을 다른 층상에 형성하여 상기 다수의 수직부(44)와 상기 다수의 화소 전극(41)간의 이격거리를 줄일 수 있어 액정의 동작효율을 상승시킬 수 있어 이로써 투과율 향상의 효과가 있다.
- [0045] 상기 수평부(45)는 상기 공통 라인(20)과 평행하는 방향으로 형성될 수 있다. 상기 수평부(45)는 상기 공통 콘택홀(53)을 통해 상기 공통 라인(20)과 전기적으로 연결될 수 있다.
- [0046] 도 5는 본 발명의 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관의 제조방법을 나타낸 도면이다.
- [0047] 도 5a를 참조하면, 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관은 기관(1) 상에 게이트 라인(10), 게이트 전극(11) 및 공통 라인(20)이 형성될 수 있다.
- [0048] 상기 게이트 라인(10)은 상기 게이트 전극(11)과 전기적으로 연결될 수 있다. 상기 게이트 라인(10)은 상기 게이트 전극(11)과 일체로 형성될 수 있다.
- [0049] 상기 게이트 라인(10), 게이트 전극(11) 및 공통 라인(20)은 게이트 메탈로 형성될 수 있다. 상기 게이트 메탈은 티타늄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 및 몰리브덴(Mo)으로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0050] 상기 게이트 라인(10), 게이트 전극(11) 및 공통 라인(20)이 형성된 기관(1) 상에 게이트 절연막(3)이 형성될 수 있다. 상기 게이트 절연막(3)은 상기 게이트 라인(10), 게이트 전극(11) 및 공통 라인(20)을 다른 배선 및 전극들과 전기적으로 분리시키기 위한 층으로 절연 특성이 요구되며 실리콘 질화물(SiNx)이나 실리콘 산화물

(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.

- [0051] 도 5b를 참조하면, 상기 게이트 절연막(3)의 박막 트랜지스터 영역 상에 반도체 층(35)이 형성될 수 있다. 상기 반도체 층(35)은 채널 영역 및 상기 채널 영역 양 측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0052] 상기 반도체 층(35)이 형성된 게이트 절연막(3) 상에 데이터 라인(30), 소스 전극(31) 및 드레인 전극(33)이 형성될 수 있다. 상기 데이터 라인(30)은 상기 소스 전극(31)과 일체로 형성될 수 있다. 상기 소스 전극(31)은 상기 반도체 층(35)의 소스 영역상에 형성될 수 있고, 상기 드레인 전극(33)은 상기 반도체 층(35)의 드레인 영역상에 형성될 수 있다.
- [0053] 상기 데이터 라인(3), 소스 전극(31) 및 드레인 전극(33)은 데이터 메탈로 형성될 수 있다. 상기 데이터 메탈은 티타늄(Ti), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 백금(Pt), 금(Au), 텅스텐(W), 구리(Cu) 및 몰리브덴(Mo)으로 이루어지는 그룹으로부터 선택된 적어도 하나를 포함할 수 있다.
- [0054] 도 5c를 참조하면 상기 데이터 라인(3), 소스 전극(31) 및 드레인 전극(33)이 형성된 게이트 절연막(3) 상에 보호층(5)이 형성될 수 있다. 상기 보호층(5)은 상기 데이터 라인(3), 소스 전극(31) 및 드레인 전극(33)을 다른 배선 및 전극들과 전기적으로 분리시키기 위한 층으로 절연 특성이 요구되며 실리콘 질화물(SiNx)이나 실리콘 산화물(SiOx)과 같은 무기 절연 물질이나 BCB(benzocyclobutene)와 같은 유기 절연 물질을 포함할 수 있다.
- [0055] 도 5d를 참조하면, 상기 보호층(5)에 화소 콘택홀(51) 및 공통 콘택홀(53)이 형성될 수 있다.
- [0056] 상기 화소 콘택홀(51)은 상기 보호층(5)을 관통하여 상기 드레인 전극(33) 또는 게이트 절연막(3)을 노출시킬 수 있다. 상기 화소 콘택홀(51) 중 상기 드레인 전극(33)과 오버랩되는 영역은 상기 드레인 전극(33)을 노출할 수 있고, 나머지 영역은 상기 게이트 절연막(3)을 노출시킬 수 있다. 상기 화소 콘택홀(51)은 제1 내지 제3 화소 콘택홀(51a 내지 51c)을 포함할 수 있다. 상기 제1 내지 제3 화소 콘택홀(51a 내지 51c)은 서로 이격되어 형성될 수 있다.
- [0057] 상기 공통 콘택홀(53)은 상기 보호층(5) 및 게이트 절연막(3)을 관통하여 상기 공통 라인(20)을 노출시킬 수 있다.
- [0058] 도 5e를 참조하면, 상기 화소 콘택홀(51)이 형성된 상기 드레인 전극(33) 및 게이트 절연막(3) 상에 화소 전극(41)이 형성될 수 있다. 상기 제1 화소 콘택홀(51a)에 의해 노출된 상기 드레인 전극(33) 및 게이트 절연막(3) 상에는 제1 화소 전극(41a)이 형성될 수 있고, 제2 화소 콘택홀(51b)에 의해 노출된 상기 드레인 전극(33) 및 게이트 절연막(3) 상에는 제2 화소 전극(41b)이 형성될 수 있고, 상기 제3 화소 콘택홀(51c)에 의해 노출된 상기 드레인 전극(33) 및 게이트 절연막(3) 상에는 제3 화소 전극(41c)이 형성될 수 있다. 상기 화소 전극(41)의 일부 영역은 상기 드레인 전극(33)과 전기적으로 연결될 수 있다.
- [0059] 상기 화소 영역에는 공통 전극(43)이 형성될 수 있다. 상기 공통 전극(43)은 다수의 수직부(44) 및 수평부(45)를 포함할 수 있다.
- [0060] 상기 화소 콘택홀(51) 사이에 위치한 보호층(5) 상에는 다수의 수직부(44)가 형성될 수 있다. 상기 수직부(44)는 제1 내지 제3 수직부(44a 내지 44c)를 포함할 수 있다. 상기 제1 수직부(44a)는 상기 제1 화소 콘택홀(51a) 및 제2 화소 콘택홀(51b) 사이에 형성될 수 있다. 상기 제2 수직부(44b)는 상기 제2 화소 콘택홀(51b) 및 제3 화소 콘택홀(51c) 사이에 형성될 수 있다. 상기 제2 수직부(44c)는 상기 제3 화소 콘택홀(51c)에 인접하는 보호층(5) 상에 형성될 수 있다. 상기 다수의 수직부(44)는 상기 다수의 화소 전극(41)과 교번하여 형성될 수 있다.
- [0061] 상기 수평부(45)는 상기 공통 콘택홀(53) 상에 형성되어 상기 공통 라인(20)과 전기적으로 연결된다.
- [0062] 상기 화소 전극(41) 및 공통 전극(45)은 투명한 도전물질로 형성될 수 있다. 상기 화소 전극(41) 및 공통 전극(45)은 ITO 또는 ITZO 물질로 형성될 수 있다.
- [0063] 상기 화소 전극(41) 및 상기 공통 전극(45)은 동일한 공정으로 형성될 수 있다. 상기 화소 전극(41) 및 상기 공통 전극(45)을 동일 공정으로 형성하여 마스크를 저감할 수 있어 제조단가 절감의 효과가 있다.
- [0064] 상기 화소 전극(41)은 상기 수직부(44)와 동일한 공정으로 형성될 수 있다. 상기 화소 영역의 보호층(5) 상에 투명한 도전성 물질을 도포하면 상기 보호층(5) 상에는 상기 수직부(44)가 형성되고, 상기 화소 콘택홀(51)이 형성된 영역에는 상기 화소 콘택홀(51) 상에 화소 전극(41)이 형성될 수 있다. 상기 화소 전극(41)과 상기 수직부(44)를 화소 콘택홀(51)을 이용하여 다른 층상에 형성할 수 있어, 상기 화소 전극(41)과 수직부(44) 간의 간격을 줄일 수 있다. 다시 말해, 상기 화소 전극(41)과 공통 전극(45) 간에 간격을 줄일 수 있다. 상기 화소 전

극(41)과 공통 전극(45) 간의 간격을 줄여 액정의 동작효율이 상승하고 이로써 투과율 향상을 통한 화상 품질 향상의 효과가 있다.

- [0065] 도 6은 본 발명의 제2 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관을 A-A'방향, B-B'방향 및 C-C'방향으로 절단한 단면도이다.
- [0066] 제2 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관은 제1 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관과 비교하여 복수의 보호층을 가지는 것 이외에는 동일하다. 따라서, 제2 실시 예를 설명함에 있어서, 제1 실시 예와 동일한 부분에 대해서는 상세한 설명을 생략한다.
- [0067] 도 6을 참조하면 본 발명의 제2 실시 예에 따른 액정표시 패널의 박막 트랜지스터 기관은 기관(101) 상에 다수의 게이트 라인(110) 및 상기 다수의 게이트 라인(110)과 평행하는 방향으로 공통 라인(120)이 형성된다. 상기 공통 라인(120)은 인접하는 게이트 라인에 인접하는 영역에 형성될 수 있다. 상기 게이트 라인(110)에 연장되어 게이트 전극(111)이 형성될 수 있다.
- [0068] 상기 게이트 라인(110) 및 상기 공통 라인(120) 상에 게이트 절연막(103)이 형성될 수 있다. 상기 게이트 절연막(103) 상의 박막 트랜지스터 영역 상에는 반도체 층(135)이 형성될 수 있다. 상기 반도체 층(135)은 채널 영역 및 상기 채널 영역 양측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0069] 상기 소스 영역 상에는 데이터 라인으로부터 연장된 소스 전극(131)이 형성될 수 있다. 상기 소스 전극(131)은 상기 데이터 라인(130)과 일체로 형성될 수 있다. 상기 드레인 영역상에는 드레인 전극(133)이 형성될 수 있다. 상기 드레인 전극(133)은 상기 드레인 영역에서부터 인접하는 데이터 라인 방향으로 연장되어 형성될 수 있다. 상기 드레인 전극(133)은 상기 게이트 라인(110)과 인접하는 영역에서 상기 게이트 라인(110)과 평행하는 방향으로 형성될 수 있다.
- [0070] 상기 게이트 전극(111), 소스 전극(131), 드레인 전극(133) 및 반도체 층(135)은 박막 트랜지스터(T)를 구성한다.
- [0071] 상기 소스 전극(131), 드레인 전극(133)이 형성된 게이트 절연막(103) 상에 보호층(105)이 형성될 수 있다. 상기 보호층(105)은 제1 보호층(105a) 및 제2 보호층(105b)을 포함할 수 있다. 상기 제1 보호층(105a) 및 제2 보호층(105b)은 순차적으로 적층될 수 있다. 상기 제1 보호층(105a) 및 제2 보호층(105b)은 서로 다른 식각률(ER: Etch Rate)을 가질 수 있다. 상기 제1 보호층(105a) 및 제2 보호층(105b)은 서로 다른 식각률을 가지는 물질로 형성될 수 있다. 상기 보호층(105)은 화학 기상 증착(CVD: chemical vapor deposition) 방식에 의해 도포될 수 있다. 상기 화학 기상 증착 방식에는 증착가스가 투입될 수 있다. 상기 증착 가스는 N₂/SiH₄, NH₃/SiH₄ 또는 SiH₄/N₂O의 혼합가스일 수 있다. 상기 보호층(105)의 증착시 사용되는 증착가스의 조성비를 조절하여 서로 다른 식각률을 가지는 제1 보호층(105a) 및 제2 보호층(105b)을 형성할 수 있다. 상기 제1 보호층(105a)의 식각률은 상기 제2 보호층(105b)의 식각률보다 높을 수 있다.
- [0072] 상기 화소 영역의 보호층(105)에는 화소 콘택홀(151)이 형성되고, 상기 공통 라인(20)의 일부 영역의 보호층(105)에는 공통 콘택홀(153)이 형성될 수 있다.
- [0073] 상기 화소 콘택홀(151) 형성시 상기 제1 보호층(105a)의 식각률이 상기 제2 보호층(105b)의 식각률보다 높아 상기 제1 보호층(105a)이 상기 제2 보호층(105b)보다 빠르게 식각되어 식각면이 경사를 가지는 역 테이퍼 현상이 일어난다.
- [0074] 상기 화소 영역에는 다수의 화소 전극(141)이 형성될 수 있다. 상기 다수의 화소 전극(141)의 일측 영역은 상기 드레인 전극(133)과 접촉하여 전기적으로 연결될 수 있다. 상기 다수의 화소 전극(141)은 상기 화소 콘택홀(151) 상에 형성될 수 있다. 상기 제1 화소 전극(141a)은 제1 화소 콘택홀(151a)에 형성될 수 있고, 상기 제2 화소 전극(141b)은 제2 화소 콘택홀(151b)에 형성될 수 있고, 상기 제3 화소 전극(141c)은 상기 제3 화소 콘택홀(151c)에 형성될 수 있다. 상기 화소 전극(141)의 일부 영역은 상기 드레인 전극(133)과 전기적으로 연결될 수 있고, 나머지 영역은 상기 게이트 절연막(103) 상에 형성될 수 있다.
- [0075] 상기 화소 영역에는 공통 전극(143)이 형성될 수 있다. 상기 공통 전극(143)은 다수의 수직부(144)와 수평부(145)를 포함할 수 있다. 상기 다수의 수직부(144)의 일단은 상기 수평부(145)와 연결될 수 있다. 상기 다수의 수직부(144)와 수평부(145)는 일체로 형성될 수 있다.
- [0076] 상기 다수의 수직부(144)는 상기 상기 보호층(105) 상에 형성될 수 있다. 상기 다수의 수직부(144)는 상기 제2 보호층(105b) 상에 형성될 수 있다. 상기 다수의 수직부(144)는 각각의 화소 콘택홀(151) 사이의 보호층(105)

상에 형성될 수 있다. 상기 수직부(144)는 제1 내지 제3 수직부(144a 내지 144c)를 포함할 수 있다. 상기 제1 수직부(144a)는 상기 제1 화소 컨택홀(151a) 및 제2 화소 컨택홀(151b) 사이에 형성될 수 있다. 상기 제2 수직부(144b)는 상기 제2 화소 컨택홀(151b) 및 제3 화소 컨택홀(151c) 사이에 형성될 수 있다. 상기 제3 수직부(144c)는 상기 제3 화소 컨택홀(151c)에 인접하는 보호층(105) 상에 형성될 수 있다. 상기 다수의 수직부(144)는 상기 다수의 화소 전극(141)과 교번하여 형성될 수 있다.

[0077] 상기 식각률이 다른 상기 제1 보호층(105a) 및 제2 보호층(105b)을 통해 화소 컨택홀(151) 형성시 역 테이퍼 현상이 일어나게 하여 다수의 화소 전극(141)과 수직부(144)의 분리가 용이하게 할 수 있다. 상기 화소 전극(141) 및 공통전극 수직부(144)를 형성하는 투명 도전물질은 높은 점도를 가져 서로 다른 층에 형성하더라도 전기적으로 연결될 수 있으므로, 상기 역 테이퍼 현상에 의한 경사를 가지는 식각면을 형성하여 상기 화소 전극(141)과 수직부(144)가 효율적으로 분리되게 한다.

[0078] 또한, 상기 수직부(144)와 상기 화소 전극(141)을 다른 층상에 형성하며 상기 수직부(144)와 화소 전극(141) 사이의 간격을 줄일 수 있어 액정의 동작효율을 상승시키고 이를 통해 투과율 향상의 효과가 있다.

[0079] 도 7은 제2 실시 예에 따른 액정표시패널의 투과율을 나타낸 그래프이다.

[0080] 도 7의 ①은 제2 실시 예에 따른 액정표시장치의 화소 전극과 수직부간의 거리를 4 μ m로 구성하였을 때의 전압 변화에 따른 투과율에 대한 그래프이고, ②는 제2 실시 예에 따른 액정표시장치의 화소 전극과 수직부간의 거리를 8 μ m로 구성하였을 때의 전압 변화에 따른 투과율에 대한 그래프이고, ③은 종래기술에 따른 FFS모드에서의 화소 전극이 공통 전극의 상층에 형성되는 구조에서의 전압 변화에 따른 투과율에 대한 그래프이고, ④는 종래 기술에 따른 IPS모드에서의 전압변화에 따른 투과율에 대한 그래프이고, ⑤는 종래기술에 따른 FFS모드에서의 공통 전극이 화소 전극의 상층에 형성되는 구조에서의 전압변화에 따른 투과율에 대한 그래프이다.

[0081] 상기 그래프를 참조하면, 제2 실시 예에 따른 액정표시장치의 전체투과율이 종래기술에 따른 투과율보다 높다는 것을 확인할 수 있다. 제2 실시 예에 따른 액정표시장치에서 화소 전극과 수직부간의 거리를 4 μ m로 구성하였을 때의 경우 전범위 전압에서 투과율이 종래기술보다 높아 종래기술에 비한 화상품질 상승의 효과가 있다.

[0082] 도 8은 본 발명의 제2 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관의 제조방법을 나타낸 도면이다.

[0083] 도 8a를 참조하면 제2 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관은 기관(101) 상에 게이트 라인(110), 게이트 전극(111) 및 공통 라인(120)이 형성될 수 있다. 상기 게이트 라인(110), 게이트 전극(111) 및 공통 라인(120)이 형성된 기관(101) 상에 게이트 절연막(103)이 형성될 수 있다.

[0084] 도 8b를 참조하면, 상기 게이트 절연막(103)의 박막 트랜지스터 영역 상에 반도체 층(135)이 형성될 수 있다. 상기 반도체 층(135)은 채널 영역 및 상기 채널 영역 양 측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.

[0085] 상기 반도체 층(135)이 형성된 게이트 절연막(103) 상에 데이터 라인(130), 소스 전극(131) 및 드레인 전극(133)이 형성될 수 있다.

[0086] 도 8c를 참조하면, 상기 데이터 라인(103), 소스 전극(131) 및 드레인 전극(133)이 형성된 게이트 절연막(103) 상에 보호층(105)이 형성될 수 있다. 상기 보호층(105)은 제1 보호층(105a) 및 제2 보호층(105b)을 포함할 수 있다. 상기 제1 보호층(105a) 및 제2 보호층(105b)은 상기 데이터 라인(103), 소스 전극(131) 및 드레인 전극(133)이 형성된 게이트 절연막(103) 상에 순차적으로 적층될 수 있다. 상기 제1 보호층(105a) 및 제2 보호층(105b)은 서로 다른 식각률을 가질 수 있다. 상기 제1 보호층(105a)이 형성된 이후에 상기 제1 보호층(105a)과 다른 식각률을 가지는 제2 보호층(105b)이 형성될 수 있다. 또는, 상기 보호층(105)을 화상 기상 증착 방식으로 증착하는 경우 증착시 사용되는 증착가스의 조성비를 조절하여 서로 다른 식각률을 가지는 제1 보호층(105a) 및 제2 보호층(105b)을 형성할 수 있다. 상기 제1 보호층(105a)의 식각률은 상기 제2 보호층(105b)의 식각률보다 높을 수 있다.

[0087] 도 8d를 참조하면, 상기 보호층(105)에 화소 컨택홀(151) 및 공통 컨택홀(153)이 형성될 수 있다.

[0088] 상기 화소 컨택홀(151)은 상기 보호층(105)을 관통하여 상기 드레인 전극(133) 또는 게이트 절연막(103)을 노출시킬 수 있다. 상기 화소 컨택홀(151) 중 상기 드레인 전극(133)과 오버랩되는 영역은 상기 드레인 전극(133)을 노출할 수 있고, 나머지 영역은 상기 게이트 절연막(103)을 노출시킬 수 있다. 상기 화소 컨택홀(151)은 제1 내지 제3 화소 컨택홀(151a 내지 151c)을 포함할 수 있다. 상기 제1 내지 제3 화소 컨택홀(151a 내지 151c)은 서로

로 이격되어 형성될 수 있다.

- [0089] 상기 화소 컨택홀(151) 형성시 상기 제1 보호층(105a)의 식각률이 상기 제2 보호층(105b)의 식각률보다 높아 상기 제1 보호층(105a)이 상기 제2 보호층(105b)보다 빠르게 식각되어 식각면이 경사를 가지는 역 테이퍼 현상이 일어난다.
- [0090] 상기 공통 컨택홀(153)은 상기 보호층(105) 및 게이트 절연막(103)을 관통하여 상기 공통 라인(120)을 노출시킬 수 있다.
- [0091] 도 8e를 참조하면, 상기 화소 컨택홀(151)이 형성된 상기 드레인 전극(133) 및 게이트 절연막(103) 상에 화소 전극(141)이 형성될 수 있다. 상기 제1 화소 컨택홀(151a)에 의해 노출된 상기 드레인 전극(133) 및 게이트 절연막(103) 상에는 제1 화소 전극(141a)이 형성될 수 있고, 제2 화소 컨택홀(151b)에 의해 노출된 상기 드레인 전극(133) 및 게이트 절연막(103) 상에는 제2 화소 전극(141b)이 형성될 수 있고, 상기 제3 화소 컨택홀(151c)에 의해 노출된 상기 드레인 전극(133) 및 게이트 절연막(103) 상에는 제3 화소 전극(141c)이 형성될 수 있다. 상기 화소 전극(141)의 일부 영역은 상기 드레인 전극(133)과 전기적으로 연결될 수 있다.
- [0092] 상기 화소 영역에는 공통 전극(143)이 형성될 수 있다. 상기 공통 전극(143)은 다수의 수직부(144) 및 수평부(145)를 포함할 수 있다.
- [0093] 상기 화소 컨택홀(151) 사이에 위치한 보호층(105) 상에는 다수의 수직부(144)가 형성될 수 있다. 상기 수직부(144)는 제1 내지 제3 수직부(144a 내지 144c)를 포함할 수 있다. 상기 제1 수직부(144a)는 상기 제1 화소 컨택홀(151a) 및 제2 화소 컨택홀(151b) 사이에 형성될 수 있다. 상기 제2 수직부(144b)는 상기 제2 화소 컨택홀(151b) 및 제3 화소 컨택홀(151c) 사이에 형성될 수 있다. 상기 제3 수직부(144c)는 상기 제3 화소 컨택홀(151c)에 인접하는 보호층(105) 상에 형성될 수 있다. 상기 다수의 수직부(144)는 상기 다수의 화소 전극(141)과 교번하여 형성될 수 있다.
- [0094] 상기 수평부(145)는 상기 공통 컨택홀(153) 상에 형성되어 상기 공통 라인(220)과 전기적으로 연결된다.
- [0095] 상기 화소 전극(141) 및 상기 공통 전극(145)은 동일한 공정으로 형성될 수 있다. 상기 화소 전극(141) 및 상기 공통 전극(145)을 동일 공정으로 형성하여 마스크를 저감할 수 있어 제조단가 절감의 효과가 있다.
- [0096] 상기 화소 전극(141)은 상기 수직부(144)와 동일한 공정으로 형성될 수 있다. 상기 화소 영역의 보호층(105) 상에 투명한 도전성 물질을 도포하면 상기 보호층 상에는 상기 수직부(144)가 형성되고 상기 화소 컨택홀(151)이 형성된 영역에는 화소 전극(141)이 형성될 수 있다. 상기 식각률이 다른 상기 제1 보호층(105a) 및 제2 보호층(105b)을 통해 화소 컨택홀(151) 형성시 역 테이퍼 현상이 일어나게 하여 다수의 화소 전극(141)과 수직부(144)의 분리가 용이하게 할 수 있다.
- [0097] 도 9는 본 발명의 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 나타낸 평면도이다.
- [0098] 도 10은 본 발명의 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판을 A-A'방향, B-B'방향 및 C-C'방향으로 절단한 단면도이다.
- [0099] 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판은 제2 실시예와 비교하여 하부 화소 전극이 부가된 것 이외에는 동일하다. 따라서 제3 실시 예를 설명함에 있어 제2 실시 예와 공통되는 부분에 대해서는 상세한 설명을 생략한다.
- [0100] 도 9 및 도 10을 참조하면 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기판은 기판(201) 상에 다수의 게이트 라인(210) 및 상기 다수의 게이트 라인(210)과 평행하는 공통 라인(22)이 형성된다. 상기 게이트 라인(210)에 연장되어 게이트 전극(211)이 형성될 수 있다.
- [0101] 상기 게이트 라인(210) 및 상기 공통 라인(220) 상에 게이트 절연막(203)이 형성될 수 있다. 상기 게이트 절연막(203) 상의 박막 트랜지스터 영역 상에는 반도체 층(235)이 형성될 수 있다. 상기 반도체 층(235)은 채널 영역 및 상기 채널 영역 양측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0102] 상기 게이트 절연막(203) 상에 상기 게이트 라인(210)과 교차하는 방향으로 다수의 데이터 라인(230)이 형성될 수 있다. 상기 다수의 게이트 라인(201) 및 다수의 데이터 라인(230)의 교차로 화소 영역이 정의될 수 있다. 상기 소스 영역 상에는 상기 데이터 라인(230)으로부터 연장된 소스 전극(231)이 형성될 수 있다. 상기 드레인 영역상에는 드레인 전극(233)이 형성될 수 있다.

- [0103] 상기 게이트 전극(211), 소스 전극(231), 드레인 전극(233) 및 반도체 층(235)은 박막 트랜지스터(T)를 구성한다.
- [0104] 상기 화소 영역에는 하부 화소 전극(240)이 형성될 수 있다. 상기 하부 화소 전극(240)은 상기 드레인 전극(233)의 일부와 중첩되어 형성될 수 있다. 상기 하부 화소 전극(240)의 일부 영역은 상기 드레인 전극(233)과 접촉하여 형성될 수 있다. 상기 하부 화소 전극(240)의 일부 영역은 상기 드레인 전극(233)과 전기적으로 연결될 수 있다.
- [0105] 상기 데이터 라인(230) 상에는 보호층(205)이 형성될 수 있다. 상기 보호층(205)은 서로 다른 식각물을 가지는 제1 보호층(205a) 및 제2 보호층(205b)을 포함할 수 있다.
- [0106] 상기 화소 영역의 보호층(205)에는 화소 콘택홀(251)이 형성되고, 상기 공통 라인(220)의 일부 영역의 보호층(205)에는 공통 콘택홀(253)이 형성될 수 있다. 상기 화소 콘택홀(251)은 제1 화소 콘택홀(251a), 제2 화소 콘택홀(251b) 및 제3 화소 콘택홀(251c)을 포함할 수 있다. 상기 화소 콘택홀(251)은 상기 데이터 라인(230)과 평행하는 방향을 따라 형성될 수 있다. 상기 제1 화소 콘택홀(251a), 제2 화소 콘택홀(251b) 및 제3 화소 콘택홀(251c)은 서로 이격되어 상기 데이터 라인(230)과 평행하는 방향을 따라 형성될 수 있다.
- [0107] 상기 화소 콘택홀(251)은 상기 보호층(205)을 관통하여 상기 하부 화소 전극(240)을 노출시킬 수 있다. 상기 화소 콘택홀(251)에 의해 노출되는 상기 하부 화소 전극(240) 상에 화소 전극(241)이 형성될 수 있다. 상기 하부 화소 전극(240)은 상기 화소 전극(241)과 접촉하여 전기적으로 연결될 수 있다. 상기 화소 전극(241)은 제1 내지 제3 화소 전극(241a 내지 241c)을 포함할 수 있다. 상기 제1 화소 전극(241a)은 상기 제1 화소 콘택홀(251)에 의해 노출되는 상기 하부 화소 전극(240) 상에 형성될 수 있다. 상기 제2 화소 전극(241b)은 상기 제2 화소 콘택홀(251b)에 의해 노출되는 상기 하부 화소 전극(240) 상에 형성될 수 있다. 상기 제3 화소 전극(241c)은 상기 제3 화소 콘택홀(251c)에 의해 노출되는 상기 하부 화소 전극(240) 상에 형성될 수 있다.
- [0108] 상기 화소 영역에는 공통 전극(243)이 형성될 수 있다. 상기 공통 전극(243)은 다수의 수직부(244)와 수평부(245)를 포함할 수 있다. 상기 다수의 수직부(244)의 일단은 상기 수평부(245)와 연결될 수 있다. 상기 다수의 수직부(244)와 수평부(245)는 일체로 형성될 수 있다.
- [0109] 상기 다수의 수직부(244)는 상기 상기 보호층(205) 상에 형성될 수 있다. 상기 다수의 수직부(244)는 각각의 화소 콘택홀(251) 사이의 보호층(205) 상에 형성될 수 있다. 상기 수직부(244)는 제1 내지 제3 수직부(244a 내지 244c)를 포함할 수 있다. 상기 제1 수직부(244a)는 상기 제1 화소 콘택홀(251a) 및 제2 화소 콘택홀(251b) 사이에 형성될 수 있다. 상기 제2 수직부(244b)는 상기 제2 화소 콘택홀(251b) 및 제3 화소 콘택홀(251c) 사이에 형성될 수 있다. 상기 제3 수직부(244c)는 상기 제3 화소 콘택홀(251c)에 인접하는 보호층(205) 상에 형성될 수 있다. 상기 다수의 수직부(244)는 상기 다수의 화소 전극(241)과 교번하여 형성될 수 있다.
- [0110] 상기 다수의 수직부(244)는 상기 보호층(205)을 사이에 두고 상기 하부 화소 전극(240)과 중첩하여 형성된다. 상기 다수의 수직부(244)와 상기 하부 화소 전극(240)의 중첩으로 스토리지 커패시터를 형성한다. 상기 다수의 수직부(244)와 상기 하부 화소 전극(240)의 스토리지 커패시터에 의해 상기 화소 전극(241)에 인가되는 전하의 충전용량을 상승시켜 전압의 유지를 원활하게 하여 화상품질 향상의 효과가 있다.
- [0111] 상기 공통 콘택홀(253)은 상기 보호층(205) 및 상기 게이트 절연막(203)을 관통하여 상기 공통 라인(220)을 노출시킬 수 있다.
- [0112] 상기 수평부(245)는 상기 공통 라인(220)과 평행하는 방향으로 형성될 수 있다. 상기 수평부(245)는 상기 공통 콘택홀(253)을 통해 상기 공통 라인(220)과 전기적으로 연결될 수 있다.
- [0113] 도 11은 본 발명의 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관의 제조방법을 나타낸 도면이다.
- [0114] 도 11a를 참조하면 제3 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관은 기관(201) 상에 게이트 라인(210), 게이트 전극(211) 및 공통 라인(220)이 형성될 수 있다. 상기 게이트 라인(210), 게이트 전극(211) 및 공통 라인(220)이 형성된 기관(201) 상에 게이트 절연막(203)이 형성될 수 있다.
- [0115] 도 11b를 참조하면, 상기 게이트 절연막(203)의 박막 트랜지스터 영역 상에 반도체 층(235)이 형성될 수 있다. 상기 반도체 층(235)은 채널 영역 및 상기 채널 영역 양 측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0116] 상기 반도체 층(235)이 형성된 게이트 절연막(203) 상에 데이터 라인(230), 소스 전극(231) 및 드레인 전극

(233)이 형성될 수 있다.

- [0117] 상기 드레인 전극(233)이 형성된 상기 게이트 절연막(203) 상의 화소 영역에 하부 화소 전극(240)이 형성될 수 있다. 상기 하부 화소 전극(240)의 일부 영역은 상기 드레인 전극(233)과 중첩될 수 있다. 상기 하부 화소 전극(240)의 일부 영역은 상기 드레인 전극(233)과 접촉하여 전기적으로 연결될 수 있다. 상기 하부 화소 전극(240)은 투명성 도전물질로 형성될 수 있다. 상기 하부 화소 전극(240)은 IT0, IZO 또는 ITZO물질로 형성될 수 있다.
- [0118] 도 11c를 참조하면 상기 데이터 라인(203), 소스 전극(231), 드레인 전극(233) 및 하부 화소 전극(240)이 형성된 게이트 절연막(203) 상에 보호층(205)이 형성될 수 있다. 상기 보호층(205)은 제1 보호층(205a) 및 제2 보호층(205b)을 포함할 수 있다. 상기 제1 보호층(205a) 및 제2 보호층(205b)은 상기 데이터 라인(203), 소스 전극(231), 드레인 전극(233) 및 하부 화소 전극(240)이 형성된 게이트 절연막(203) 상에 순차적으로 적층될 수 있다. 상기 제1 보호층(205a) 및 제2 보호층(205b)은 서로 다른 식각률을 가질 수 있다. 상기 제1 보호층(205a)이 형성된 이후에 상기 제1 보호층(205a)과 다른 식각률을 가지는 제2 보호층(205b)이 형성될 수 있다. 또는, 상기 보호층(205)을 화상 기상 증착 방식으로 증착하는 경우 증착시 사용되는 증착가스의 조성비를 조절하여 서로 다른 식각률을 가지는 제1 보호층(205a) 및 제2 보호층(205b)을 형성할 수 있다. 상기 제1 보호층(205a)의 식각률은 상기 제2 보호층(205b)의 식각률보다 높을 수 있다.
- [0119] 도 11d를 참조하면, 상기 보호층(205)에 화소 콘택홀(251) 및 공통 콘택홀(253)이 형성될 수 있다.
- [0120] 상기 화소 콘택홀(251)은 상기 보호층(205)을 관통하여 상기 하부 화소 전극(240)을 노출시킬 수 있다. 상기 화소 콘택홀(251)은 제1 내지 제3 화소 콘택홀(251a 내지 251c)을 포함할 수 있다. 상기 제1 내지 제3 화소 콘택홀(251a 내지 251c)은 서로 이격되어 형성될 수 있다.
- [0121] 상기 화소 콘택홀(251) 형성시 상기 제1 보호층(205a)의 식각률이 상기 제2 보호층(205b)의 식각률보다 높아 상기 제1 보호층(205a)이 상기 제2 보호층(205b)보다 빠르게 식각되어 식각면이 경사를 가지는 역 테이퍼 현상이 일어난다.
- [0122] 상기 공통 콘택홀(253)은 상기 보호층(205) 및 게이트 절연막(203)을 관통하여 상기 공통 라인(220)을 노출시킬 수 있다.
- [0123] 도 11e를 참조하면, 상기 화소 콘택홀(251)이 형성된 상기 하부 화소 전극(240) 상에 화소 전극(241)이 형성될 수 있다. 상기 제1 화소 콘택홀(251a)에 의해 노출된 상기 하부 화소 전극(240) 상에는 제1 화소 전극(241a)이 형성될 수 있고, 제2 화소 콘택홀(251b)에 의해 노출된 상기 하부 화소 전극(240) 상에는 제2 화소 전극(241b)이 형성될 수 있고, 상기 제3 화소 콘택홀(251c)에 의해 노출된 상기 하부 화소 전극(240) 상에는 제3 화소 전극(241c)이 형성될 수 있다. 상기 화소 전극(241)은 상기 하부 화소 전극(240)과 중첩되어 전기적으로 연결될 수 있다.
- [0124] 상기 화소 영역에는 공통 전극(243)이 형성될 수 있다. 상기 공통 전극(243)은 다수의 수직부(244) 및 수평부(245)를 포함할 수 있다.
- [0125] 상기 화소 콘택홀(251) 사이에 위치한 보호층(205) 상에는 다수의 수직부(244)가 형성될 수 있다. 상기 수직부(244)는 제1 내지 제3 수직부(244a 내지 244c)를 포함할 수 있다. 상기 제1 수직부(244a)는 상기 제1 화소 콘택홀(251a) 및 제2 화소 콘택홀(251b) 사이에 형성될 수 있다. 상기 제2 수직부(244b)는 상기 제2 화소 콘택홀(251b) 및 제3 화소 콘택홀(251c) 사이에 형성될 수 있다. 상기 제3 수직부(244c)는 상기 제3 화소 콘택홀(251c)에 인접하는 보호층(205) 상에 형성될 수 있다. 상기 다수의 수직부(244)는 상기 다수의 화소 전극(241)과 교번하여 형성될 수 있다. 상기 다수의 수직부(244)는 상기 보호층(205)을 사이에 두고 상기 하부 화소 전극(240)과 중첩하여 형성된다. 상기 다수의 수직부(244)와 상기 하부 화소 전극(240)의 중첩으로 스토리지 커패시터를 형성한다.
- [0126] 상기 수평부(245)는 상기 공통 콘택홀(253) 상에 형성되어 상기 공통 라인(220)과 전기적으로 연결된다.
- [0127] 상기 화소 전극(241)은 상기 수직부(244)와 동일한 공정으로 형성될 수 있다. 상기 화소 영역의 보호층(205) 상에 투명한 도전성 물질을 도포하면 상기 보호층 상에는 상기 수직부(244)가 형성되고 상기 화소 콘택홀(251)이 형성된 영역에는 화소 전극(241)이 형성될 수 있다. 상기 식각률이 다른 상기 제1 보호층(205a) 및 제2 보호층(205b)을 통해 화소 콘택홀(251) 형성시 역 테이퍼 현상이 일어나게 하여 다수의 화소 전극(241)과 수직부(244)의 분리가 용이하게 할 수 있다.

- [0128] 도 12는 본 발명의 제4 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관을 나타낸 평면도이다.
- [0129] 도 13은 본 발명의 제4 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관을 A-A' 방향, B-B' 방향 및 C-C' 방향을 따라절단한 단면도이다.
- [0130] 제4 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관은 제1 실시 예와 비교하여 보호층의 전면에 공통 전극이 형성되는 것 이외에는 동일하다. 따라서, 제4 실시 예를 설명함에 있어, 제1 실시 예와 공통되는 부분에 대해서는 상세한 설명을 생략한다.
- [0131] 도 12 및 도 13을 참조하면 제4 실시 예에 따른 액정표시패널의 박막 트랜지스터 기관은 기관(301) 상에 다수의 게이트 라인(310)이 형성되고, 상기 게이트 라인에 연장되어 게이트 전극(311)이 형성될 수 있다.
- [0132] 상기 게이트 라인(310) 상에 게이트 절연막(303)이 형성될 수 있다. 상기 게이트 절연막(303) 상의 박막 트랜지스터 영역 상에는 반도체 층(335)이 형성될 수 있다.
- [0133] 상기 반도체 층(235)은 채널 영역 및 상기 채널 영역 양측에 형성되는 소스 영역 및 드레인 영역을 포함할 수 있다.
- [0134] 상기 게이트 절연막(303) 상에 상기 게이트 라인(310)과 교차하는 방향으로 다수의 데이터 라인(330)이 형성될 수 있다. 상기 다수의 게이트 라인(301) 및 다수의 데이터 라인(330)의 교차로 화소 영역이 정의될 수 있다. 상기 소스 영역 상에는 상기 데이터 라인(330)으로부터 연장된 소스 전극(331)이 형성될 수 있다. 상기 드레인 영역 상에는 드레인 전극(333)이 형성될 수 있다.
- [0135] 상기 게이트 전극(311), 소스 전극(331), 드레인 전극(333) 및 반도체 층(335)은 박막 트랜지스터(T)를 구성한다.
- [0136] 상기 데이터 라인(330) 상에는 보호층(305)이 형성될 수 있다.
- [0137] 상기 화소 영역의 보호층(305)에는 다수의 화소 콘택홀(351)이 형성될 수 있다.
- [0138] 상기 화소 콘택홀(351)은 제1 화소 콘택홀(351a), 제2 화소 콘택홀(351b) 및 제3 화소 콘택홀(351c)을 포함할 수 있다. 상기 화소 콘택홀(351)은 상기 데이터 라인(330)과 평행하는 방향을 따라 형성될 수 있다. 상기 제1 화소 콘택홀(351a), 제2 화소 콘택홀(351b) 및 제3 화소 콘택홀(351c)은 서로 이격되어 상기 데이터 라인(330)과 평행하는 방향을 따라 형성될 수 있다.
- [0139] 상기 화소 콘택홀(351)은 상기 보호층(305)을 관통하여 상기 드레인 전극(333)을 노출시킬 수 있다. 상기 화소 콘택홀(351)에 의해 노출되는 상기 드레인 전극(333) 상에 화소 전극(341)이 형성될 수 있다. 상기 화소 전극(341)은 상기 드레인 전극(333)과 접촉하여 전기적으로 연결될 수 있다. 상기 화소 전극(341)은 제1 내지 제3 화소 전극(341a 내지 341c)을 포함할 수 있다. 상기 제1 화소 전극(341a)은 상기 제1 화소 콘택홀(351a)에 의해 노출되는 상기 드레인 전극(333) 상에 형성될 수 있다. 상기 제2 화소 전극(341b)은 상기 제2 화소 콘택홀(351b)에 의해 노출되는 상기 드레인 전극(333) 상에 형성될 수 있다. 상기 제3 화소 전극(341c)은 상기 제3 화소 콘택홀(351c)에 의해 노출되는 상기 드레인 전극(333) 상에 형성될 수 있다.
- [0140] 상기 보호층(305) 상의 전 영역에는 공통 전극(343)이 형성될 수 있다. 상기 공통 전극(343)은 상기 화소 콘택홀(351)을 제외한 전 영역에 형성될 수 있다. 상기 공통 전극(343)을 상기 보호층(305) 상의 전 영역에 형성하여 액정표시패널의 가장자리에서 상기 공통 전극(343)에 공통 전압을 인가하여 액정표시장치를 구동할 수 있다. 상기 공통 전극(343) 만으로 공통 전압을 인가할 수 있어, 별도의 공통 라인을 생략할 수 있다. 게이트 메탈로 형성되는 상기 공통 라인의 형성을 생략함으로써, 액정표시패널의 개구율을 향상시킬 수 있는 효과가 있다.

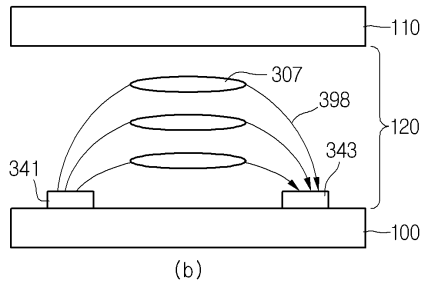
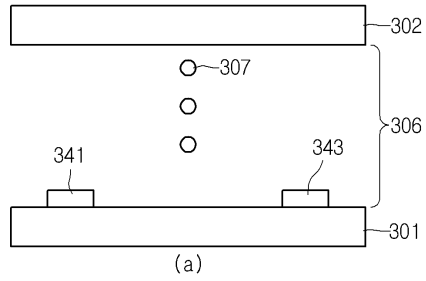
부호의 설명

- [0141]
- | | |
|------------------------|------------------------|
| 1,101,201,301: 기관 | 3,103,203,303: 게이트 절연막 |
| 5,105,205,305: 보호층 | 10,110,210,310: 게이트 라인 |
| 11,111,211,311: 게이트 전극 | 20,120,220,320: 공통 라인 |
| 30,130,230,330: 데이터 라인 | 31,131,231,331: 소스 전극 |
| 33,133,233,333: 드레인 전극 | 35,135,235,335: 반도체 층 |

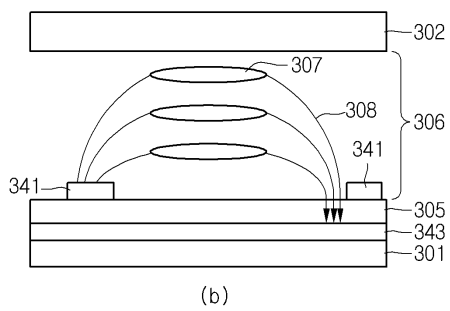
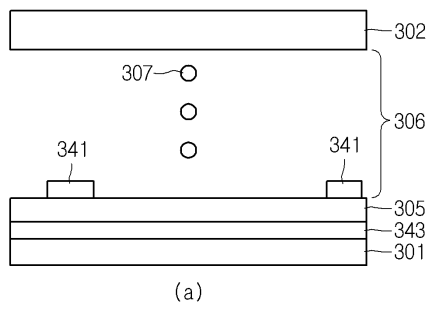
41, 141, 241, 341: 화소 전극 43, 143, 243, 343: 공통 전극
51, 151, 251, 351: 화소 컨택홀 53, 153, 253, 353: 공통 컨택홀

도면

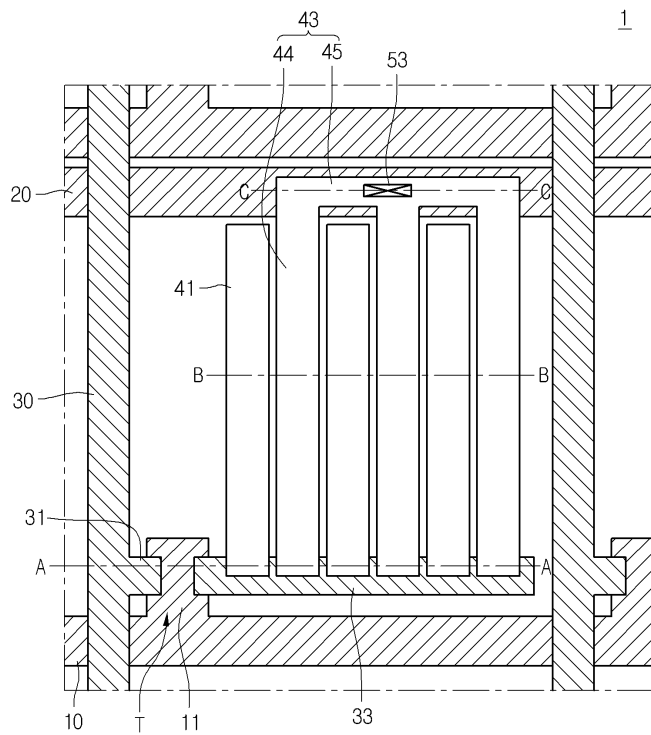
도면1



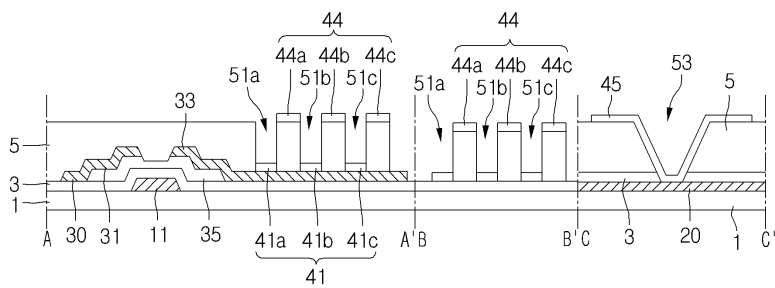
도면2



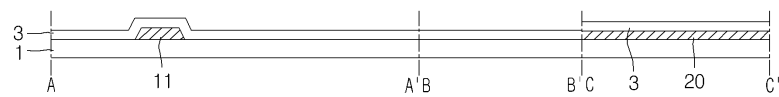
도면3



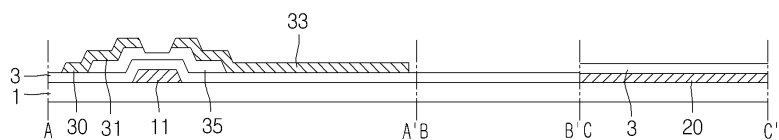
도면4



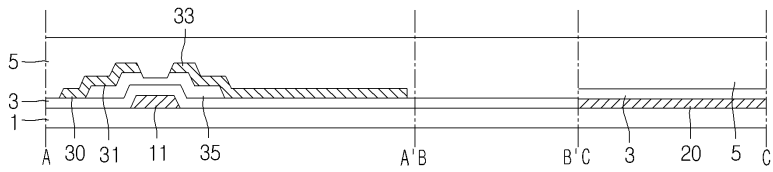
도면5a



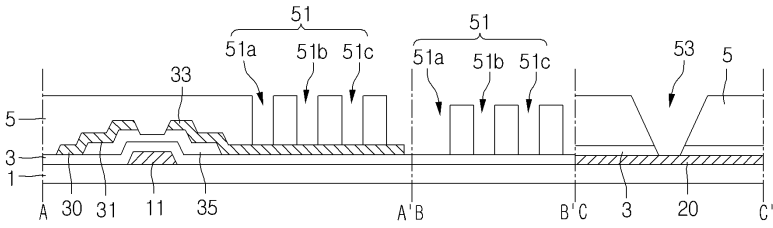
도면5b



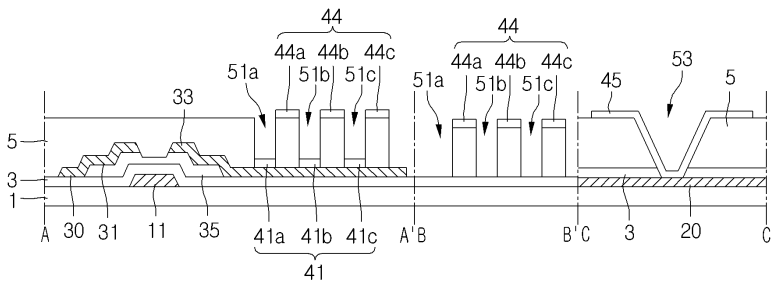
도면5c



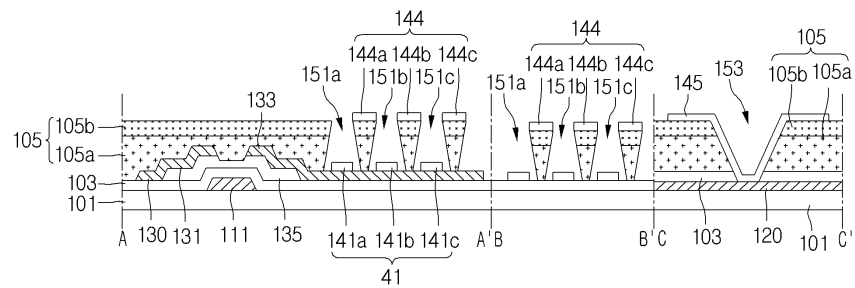
도면5d



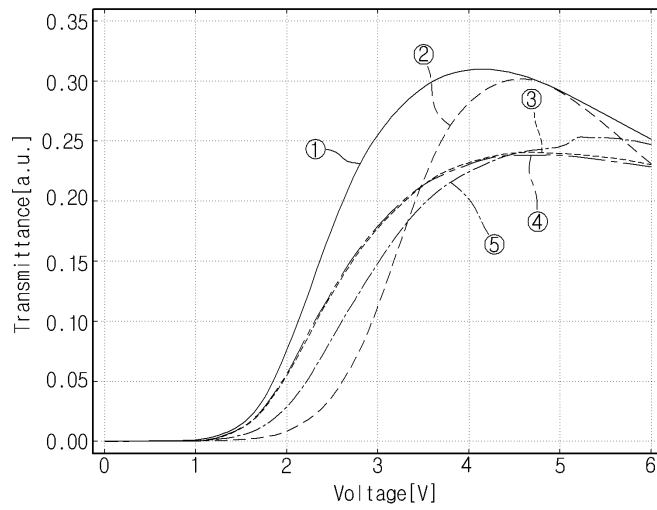
도면5e



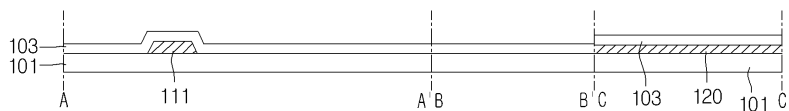
도면6



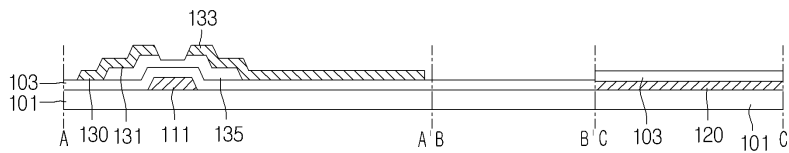
도면7



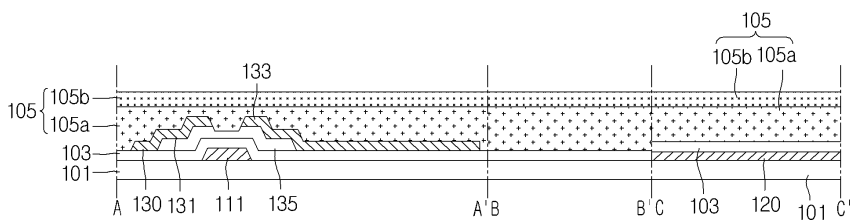
도면8a



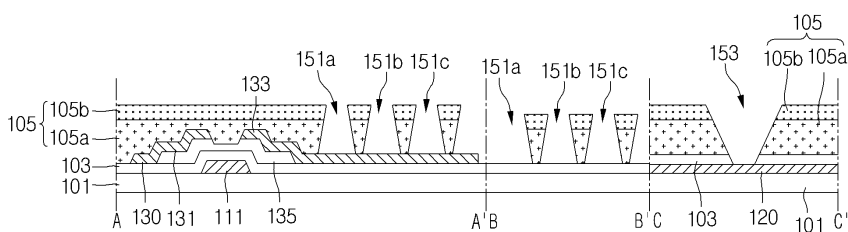
도면8b



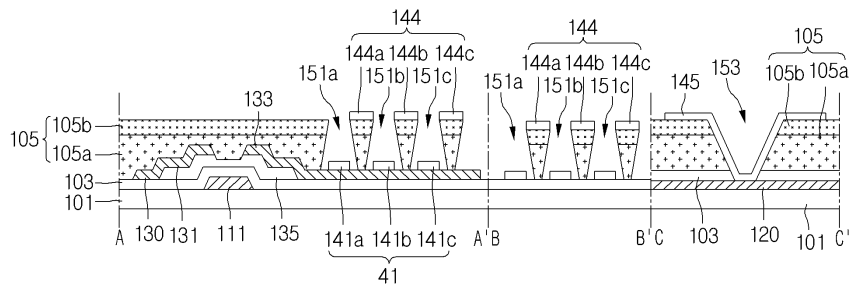
도면8c



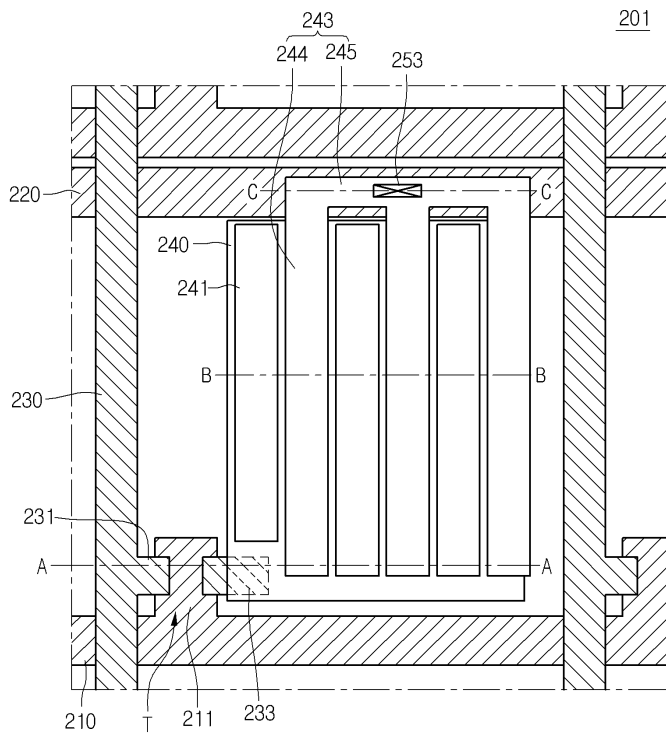
도면8d



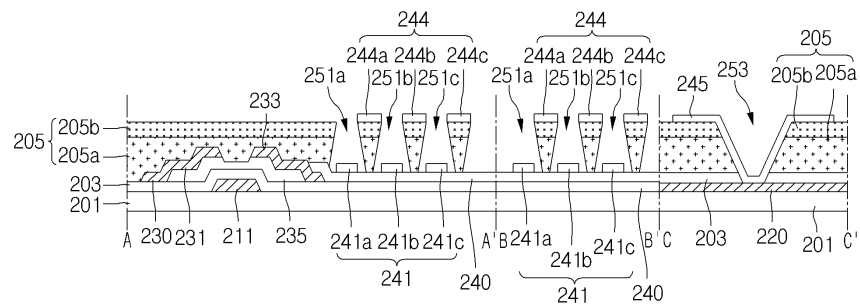
도면8e



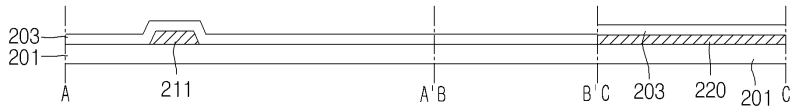
도면9



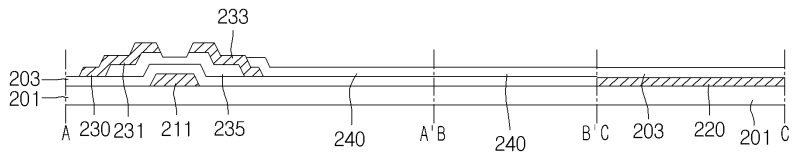
도면10



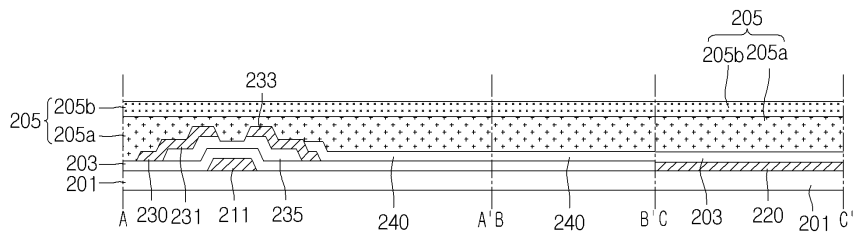
도면11a



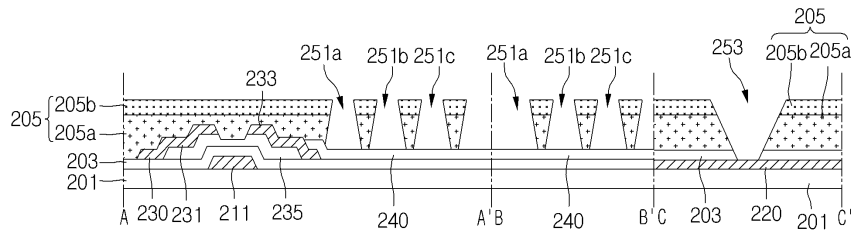
도면11b



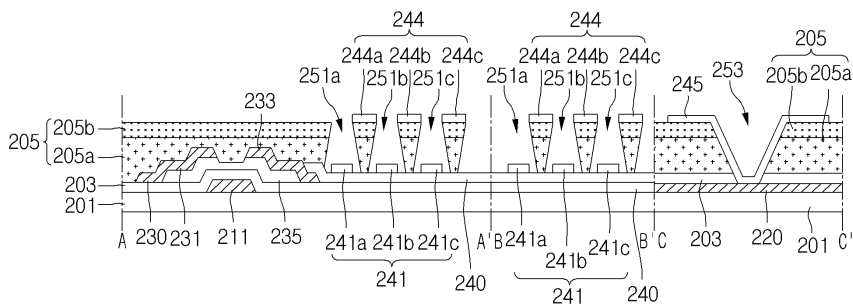
도면11c



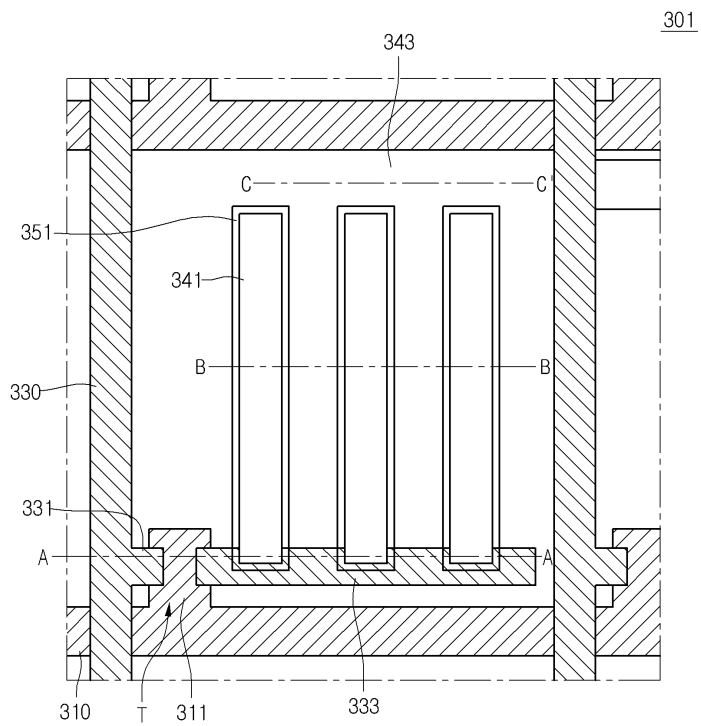
도면11d



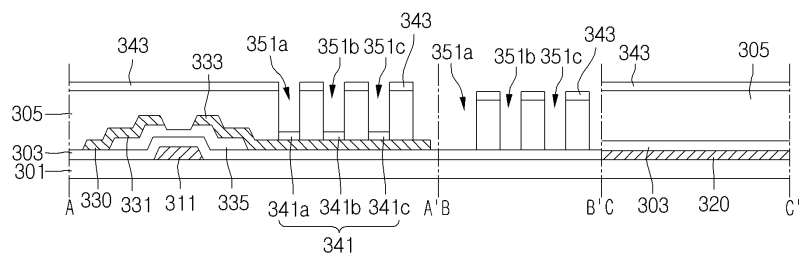
도면11e



도면12



도면13



专利名称(译)	标题：液晶显示面板及其制造方法		
公开(公告)号	KR1020140041112A	公开(公告)日	2014-04-04
申请号	KR1020120108088	申请日	2012-09-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM DAE HYUN		
发明人	KIM, DAE HYUN		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/13306 G02F2001/134372 G02F1/133345 H01L33/58 G02F1/136227 G02F1/1368		
其他公开文献	KR101493128B1		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示面板包括：栅极线和数据线，其交叉以限定像素区域；薄膜晶体管，连接到栅极线和数据线；多个像素电极，形成在薄膜晶体管的漏电极上；公共电极，与像素电极交替排列；以及在像素电极和公共电极之间形成的保护层。像素电极和公共电极在一个工艺中形成。

