



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0094190
(43) 공개일자 2013년08월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2012-7029299
(22) 출원일자(국제) 2011년03월23일
심사청구일자 없음
(85) 번역문제출일자 2012년11월08일
(86) 국제출원번호 PCT/JP2011/057924
(87) 국제공개번호 WO 2011/125688
국제공개일자 2011년10월13일
(30) 우선권주장
JP-P-2010-090935 2010년04월09일 일본(JP)
JP-P-2010-114435 2010년05월18일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
고야마 준
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내
미야케 히로유키
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내
야마자키 슌페이
일본 2430036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오파이 에네루기 켄큐쇼 내
(74) 대리인
박충범, 장수길, 이중희

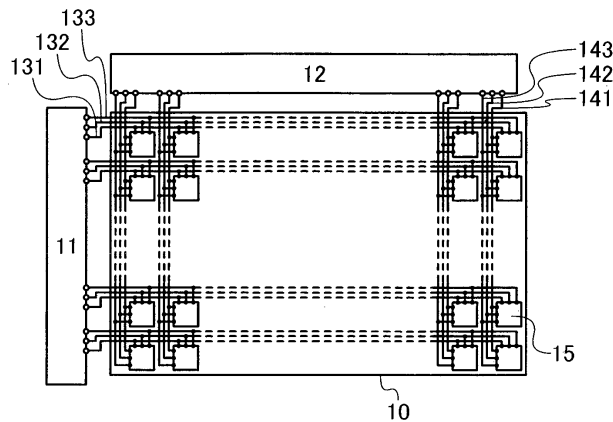
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정 표시 장치 및 그 구동 방법

(57) 요약

필드 시퀀셜 액정 표시 장치의 설계의 관점에서 화상 신호의 입력의 빈도를 증가시키는 것이다. 화상 신호는 액정 표시 장치의 화소부에서 매트릭스로 배열된 화소중 복수의 행에 설치된 화소에 동시에 공급된다. 따라서, 각 화소에의 화상 신호의 입력의 빈도는 액정 표시 장치에 포함된 트랜지스터 등의 응답 속도의 변화 없이 증가될 수 있다.

대표도 - 도1a



특허청구의 범위

청구항 1

표시 장치로서,

제1 샘플링 기간에 포함된 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 샘플링 기간에 포함된 제2 수평 주사 기간에서 제2 화상 신호가 공급되도록 설치된 제1 신호선;

상기 제1 수평 주사 기간에서 제3 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 제4 화상 신호가 공급되도록 설치된 제2 신호선;

상기 제1 수평 주사 기간에서 선택 신호가 공급되고, 상기 제2 수평 주사 기간에서 비선택 신호가 공급되도록 설치된 제1 주사선 및 제2 주사선;

상기 제1 수평 주사 기간에서 비선택 신호가 공급되고, 상기 제2 수평 주사 기간에서 선택 신호가 공급되도록 설치된 제3 주사선 및 제4 주사선;

상기 제1 신호선, 상기 제2 신호선, 상기 제1 주사선, 및 상기 제3 주사선에 전기적으로 접속되고, 상기 제1 수평 주사 기간에서 상기 제1 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 상기 제4 화상 신호가 공급되도록 설치된 제1 화소;

상기 제1 신호선, 상기 제2 신호선, 상기 제2 주사선, 및 상기 제4 주사선에 전기적으로 접속되고, 상기 제1 수평 주사 기간에서 상기 제3 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 상기 제2 화상 신호가 공급되도록 설치된 제2 화소;

상기 제1 수평 주사 기간에서 상기 제1 주사선에 선택 신호를 공급하고 상기 제2 수평 주사 기간에서 상기 제4 주사선에 선택 신호를 공급하는 제1 시프트 레지스터; 및

상기 제1 수평 주사 기간에서 상기 제2 주사선에 선택 신호를 공급하고 상기 제2 수평 주사 기간에서 상기 제3 주사선에 선택 신호를 공급하는 제2 시프트 레지스터를 포함하는, 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 화소는,

게이트가 상기 제1 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제1 신호선에 전기적으로 접속된 제1 트랜지스터;

게이트가 상기 제3 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제2 신호선에 전기적으로 접속된 제2 트랜지스터; 및

한 전극이 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제1 액정 소자를 포함하고,

상기 제2 화소는,

게이트가 상기 제4 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제1 신호선에 전기적으로 접속된 제3 트랜지스터;

게이트가 상기 제2 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제2 신호선에 전기적으로 접속된 제4 트랜지스터; 및

한 전극이 상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나 및 상기 제4 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제2 액정 소자를 포함하고,

상기 제1 트랜지스터 내지 상기 제4 트랜지스터의 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 표시 장치.

청구항 3

제1항에 있어서,

상기 제1 시프트 레지스터 및 상기 제2 시프트 레지스터의 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는 트랜지스터를 포함하는, 표시 장치.

청구항 4

표시 장치로서,

제1 샘플링 기간에 포함된 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 샘플링 기간에 포함된 제2 수평 주사 기간에서 제2 화상 신호가 공급되고, 제3 샘플링 기간에 포함된 제3 수평 주사 기간에서 제3 화상 신호가 공급되도록 설치된 제1 신호선;

상기 제1 수평 주사 기간에서 제4 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 제5 화상 신호가 공급되고, 상기 제3 수평 주사 기간에서 제6 화상 신호가 공급되도록 설치된 제2 신호선;

상기 제1 수평 주사 기간에서 제7 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 제8 화상 신호가 공급되고, 상기 제3 수평 주사 기간에서 제9 화상 신호가 공급되도록 설치된 제3 신호선;

상기 제1 수평 주사 기간에서 선택 신호가 공급되도록 설치된 제1 주사선, 제5 주사선 및 제9 주사선;

상기 제2 수평 주사 기간에서 선택 신호가 공급되도록 설치된 제3 주사선, 제4 주사선 및 제8 주사선;

상기 제3 수평 주사 기간에서 선택 신호가 공급되도록 설치된 제2 주사선, 제6 주사선 및 제7 주사선;

상기 제1 신호선, 상기 제2 신호선, 상기 제3 신호선, 상기 제1 주사선, 상기 제2 주사선, 및 상기 제3 주사선에 전기적으로 접속된 제1 화소;

상기 제1 신호선, 상기 제2 신호선, 상기 제3 신호선, 상기 제4 주사선, 상기 제5 주사선, 및 상기 제6 주사선에 전기적으로 접속된 제2 화소;

상기 제1 신호선, 상기 제2 신호선, 상기 제3 신호선, 상기 제7 주사선, 상기 제8 주사선, 및 상기 제9 주사선에 전기적으로 접속된 제3 화소;

상기 제1 주사선, 상기 제4 주사선, 및 상기 제7 주사선에 전기적으로 접속된 제1 시프트 레지스터;

상기 제2 주사선, 상기 제5 주사선, 및 상기 제8 주사선에 전기적으로 접속된 제2 시프트 레지스터; 및

상기 제3 주사선, 상기 제6 주사선, 및 상기 제9 주사선에 전기적으로 접속된 제3 시프트 레지스터

를 포함하는, 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 화소는,

게이트가 상기 제1 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제1 신호선에 전기적으로 접속된 제1 트랜지스터;

게이트가 상기 제2 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제2 신호선에 전기적으로 접속된 제2 트랜지스터;

게이트가 상기 제3 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제3 신호선에 전기적으로 접속된 제3 트랜지스터; 및

한 전극이 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나, 및 상기 제3 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제1 액정 소자를 포함하고,

상기 제2 화소는,

게이트가 상기 제4 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제1 신호선에 전기적으로 접속된 제4 트랜지스터;

게이트가 상기 제5 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제2 신호선에 전기적으로 접속된 제5 트랜지스터;

게이트가 상기 제6 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제3 신호선에 전기적으로 접속된 제6 트랜지스터; 및

한 전극이 상기 제4 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제5 트랜지스터의 소스 및 드레인 중 다른 하나, 및 상기 제6 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제2 액정 소자를 포함하고,

상기 제3 화소는,

게이트가 상기 제7 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제1 신호선에 전기적으로 접속된 제7 트랜지스터;

게이트가 상기 제8 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제2 신호선에 전기적으로 접속된 제8 트랜지스터;

게이트가 상기 제9 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제3 신호선에 전기적으로 접속된 제9 트랜지스터; 및

한 전극이 상기 제7 트랜지스터의 소스 및 드레인 중 다른 하나, 상기 제8 트랜지스터의 소스 및 드레인 중 다른 하나, 및 상기 제9 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제3 액정 소자를 포함하고,

상기 제1 트랜지스터 내지 상기 제9 트랜지스터의 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 표시 장치.

청구항 6

제4항에 있어서,

상기 제1 시프트 레지스터 및 상기 제2 시프트 레지스터의 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는 트랜지스터를 포함하는, 표시 장치.

청구항 7

표시 장치로서,

제1 샘플링 기간에 포함된 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 샘플링 기간에 포함된 제2 수평 주사 기간에서 제2 화상 신호가 공급되도록 설치된 제1 신호선;

상기 제1 수평 주사 기간에서 제3 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 제4 화상 신호가 공급되도록 설치된 제2 신호선;

상기 제1 수평 주사 기간 및 상기 제2 수평 주사 기간에서 선택 신호가 공급되도록 설치된 제1 주사선 및 제2 주사선;

상기 제1 신호선 및 상기 제1 주사선에 전기적으로 접속되고, 상기 제1 수평 주사 기간에서 상기 제1 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 상기 제2 화상 신호가 공급되도록 설치된 제1 화소;

상기 제2 신호선 및 상기 제2 주사선에 전기적으로 접속되고, 상기 제1 수평 주사 기간에서 상기 제3 화상 신호가 공급되고, 상기 제2 수평 주사 기간에서 상기 제4 화상 신호가 공급되도록 설치된 제2 화소;

상기 제1 수평 주사 기간 및 상기 제2 수평 주사 기간에서 상기 제1 주사선에 선택 신호를 공급하는 제1 시프트 레지스터; 및

상기 제1 수평 주사 기간 및 상기 제2 수평 주사 기간에서 상기 제2 주사선에 선택 신호를 공급하는 제2 시프트 레지스터

를 포함하는, 표시 장치.

청구항 8

제7항에 있어서,

상기 제1 화소는,

게이트가 상기 제1 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제1 신호선에 전기적으로 접속된 제1 트랜지스터; 및

한 전극이 상기 제1 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제1 액정 소자를 포함하고,

상기 제2 화소는,

게이트가 상기 제2 주사선에 전기적으로 접속되고, 소스 및 드레인 중 하나가 상기 제2 신호선에 전기적으로 접속된 제2 트랜지스터; 및

한 전극이 상기 제2 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된 제2 액정 소자를 포함하고,

상기 제1 트랜지스터 및 상기 제2 트랜지스터의 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 표시 장치.

청구항 9

제7항에 있어서,

상기 제1 시프트 레지스터 및 상기 제2 시프트 레지스터의 각각은 산화물 반도체를 포함하는 채널 형성 영역을 포함하는 트랜지스터를 포함하는, 표시 장치.

청구항 10

표시 장치의 구동 방법으로서,

선택 신호를 제1 주사선으로부터 제 n 주사선까지 순차적으로 시프팅함으로써 화상 신호가 제1 행 내지 제 n 행(n 은 3 이상의 자연수)의 복수의 화소에 입력되고 선택 신호를 제 $(n+1)$ 주사선으로부터 제 $2n$ 주사선까지 순차적으로 시프팅함으로써 화상 신호가 제 $(n+1)$ 행 내지 제 $2n$ 행의 복수의 화소에 입력되는 샘플링 기간에서,

상기 선택 신호를 상기 제1 주사선으로부터 제 k 주사선(k 는 2 이상 n 미만의 자연수)까지 및 상기 제 $(n+1)$ 주사선으로부터 제 $(n+k)$ 주사선까지 시프팅하는 것을 종료한 후, 상기 제1 행 내지 제 k 행용 광원 및 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행용 광원이 광을 방출하게 하는 단계; 및

상기 제1 행 내지 제 k 행의 상기 복수의 화소 각각에서 상기 제1 행 내지 제 k 행용 광원으로부터 방출된 광의 투과를 제어하고, 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행의 상기 복수의 화소 각각에서 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행용 광원으로부터 방출된 광의 투과를 제어하는 단계를 포함하고,

복수의 상기 광원 중 하나는 상기 복수의 광원 중 다른 하나와는 다른 컬러의 광을 방출하는, 표시 장치의 구동 방법.

청구항 11

제10항에 있어서,

상기 제1 행 내지 제 k 행용 광원으로부터 방출된 광의 컬러와 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행용 광원으로부터 방출된 광의 컬러는 서로 다른, 표시 장치의 구동 방법.

청구항 12

표시 장치의 구동 방법으로서,

선택 신호를 제1 주사선으로부터 제 n 주사선까지 순차적으로 시프팅함으로써 화상 신호가 제1 내지 제 n 행(n 은

3 이상의 자연수)의 화소에 포함된 제1 트랜지스터를 통해 상기 제1 행 내지 제 n 행의 복수의 화소에 입력되고, 선택 신호를 제 $(n+1)$ 주사선으로부터 제 $2n$ 주사선까지 순차적으로 시프팅함으로써 화상 신호가 제 $(n+1)$ 행 내지 제 $2n$ 행의 화소에 포함된 제2 트랜지스터를 통해 상기 제 $(n+1)$ 행 내지 제 $2n$ 행의 복수의 화소에 입력되는 샘플링 기간에서,

상기 선택 신호를 상기 제1 주사선으로부터 상기 제 k 주사선(k 는 2 이상 n 미만의 자연수)까지 및 상기 제 $(n+1)$ 주사선으로부터 제 $(n+k)$ 주사선까지 시프팅하는 것을 종료한 후, 상기 제1 행 내지 제 k 행용 광원 및 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행용 광원이 광을 방출하게 하는 단계; 및

상기 제1 행 내지 제 k 행의 상기 복수의 화소 각각에서 상기 제1 행 내지 제 k 행용 광원으로부터 방출된 광의 투과를 제어하고, 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행의 상기 복수의 화소 각각에서 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행용 광원으로부터 방출된 광의 투과를 제어하는 단계를 포함하고,

복수의 상기 광원 중 하나는 상기 복수의 광원 중 다른 하나와는 다른 컬러의 광을 방출하는, 표시 장치의 구동 방법.

청구항 13

제12항에 있어서,

상기 제1 행 내지 제 k 행용 광원으로부터 방출된 광의 컬러와 상기 제 $(n+1)$ 행 내지 제 $(n+k)$ 행용 광원으로부터 방출된 광의 컬러는 서로 다른, 표시 장치의 구동 방법.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치 및 액정 표시 장치의 구동 방법에 관한 것이다. 특히, 본 발명은 필드 시퀀셜 방식에 의해 화상이 표시되는 액정 표시 장치 및 액정 표시 장치의 구동 방법에 관한 것이다.

배경기술

[0002] 액정 표시 장치의 구동 방법으로서 컬러 필터 방식 및 필드 시퀀셜 방식이 알려져 있다. 컬러 필터 방식에 의해 화상이 표시되는 액정 표시 장치에서, 특정 컬러(예를 들어, 적색(R), 녹색(G), 또는 청색(B))의 파장을 갖는 광만을 투과하는 컬러 필터를 각각 갖는 복수의 부화소가 각 화소에 설치된다. 백색 광의 투과가 각 부화소에서 제어되고 복수의 컬러가 각 화소에서 혼합되는 방식으로 소망의 컬러가 형성된다. 한편, 화상이 필드 시퀀셜 방식에 의해 표시되는 액정 표시 장치에서, 상이한 컬러(예를 들어, 적색(R), 녹색(G), 및 청색(B))의 광을 방출하는 복수의 광원이 설치된다. 복수의 광원이 광을 순차적으로 방출하고 각 컬러의 광의 투과가 각 화소에서 제어되는 방식으로 소망의 컬러가 형성된다. 즉, 컬러 필터 방식에서는 하나의 화소의 영역을 특정 컬러의 광들 간에 분할함으로써 소망의 컬러가 형성되는 반면, 필드 시퀀셜 방식에서는 표시 기간을 특정 컬러의 광들 간에 분할함으로써 소망의 컬러가 형성된다.

[0003] 필드 시퀀셜 액정 표시 장치는 컬러 필터 액정 표시 장치에 비해 다음의 장점을 갖는다. 먼저, 필드 시퀀셜 액정 표시 장치에서, 화소에 부화소를 설치할 필요가 없다. 그러므로, 개구율 또는 화소의 수가 증가될 수 있다. 또한, 필드 시퀀셜 액정 표시 장치에서, 컬러 필터를 설치할 필요가 없다. 즉, 컬러 필터에서 광의 흡수로 인한 광의 손실이 일어나지 않는다. 그 때문에, 투과율이 증가될 수 있고 전력 소비가 감소될 수 있다.

[0004] 특허 문헌 1은 필드 시퀀셜 액정 표시 장치를 개시한다. 구체적으로, 특허 문헌 1은 화상 신호의 입력을 제어하는 트랜지스터, 화상 신호를 유지하는 신호 축적 용량 소자, 및 신호 축적 용량 소자로부터 표시 화소 용량 소자로의 전하의 전달을 제어하는 트랜지스터를 각각 포함하는 화소를 포함하는 액정 표시 장치를 개시한다. 이 구조를 갖는 액정 표시 장치에서, 신호 축적 용량 소자에의 화상 신호의 기입 및 표시 화소 용량 소자에 유지된 전하에 대응하는 표시가 동시에 수행될 수 있다.

선행기술문헌

[0005] 특허 문헌 1 : 일본 특개 2009-042405호 공보

발명의 내용

- [0006] 필드 시퀀셜 액정 표시 장치에서, 각 화소에의 화상 신호의 입력의 빈도는 증가될 필요가 있다. 예를 들어, 적색(R) 광, 녹색(G) 광, 및 청색(B) 광 중의 하나를 각각 방출하는 3종의 광원을 포함하는 액정 표시 장치에서 필드 시퀀셜 방식에 의해 화상이 표시되는 경우에, 각 화소에의 화상 신호의 입력의 빈도는 컬러 필터 액정 표시 장치의 것의 적어도 3배로 될 필요가 있다. 구체적으로, 프레임 주파수가 60 Hz인 경우에, 컬러 필터 액정 표시 장치에서는 화상 신호는 초당 60번 각 화소에 입력될 필요가 있는 반면, 3종의 광원을 포함하는 액정 표시 장치에서 필드 시퀀셜 방식에 의해 화상이 표시되는 경우에 입력 신호는 초당 180번 각 화소에 입력될 필요가 있다.
- [0007] 각 화소에 포함된 소자의 고속 응답에는 화상 신호의 입력 주파수의 증가가 동반되어야 한다는 점에 유의한다. 구체적으로, 예를 들어, 각 화소에 설치된 트랜지스터의 이동도의 증가가 요구된다. 그러나, 트랜지스터 등의 특성을 개선시키기가 쉽지가 않다.
- [0008] 상기에 비추어서, 본 발명의 한 실시 형태의 목적은 화상 신호의 입력의 빈도를 증가시키는 것이다.
- [0009] 이 목적은 화상 신호가 액정 표시 장치의 화소부에 매트릭스로 배치된 화소중 복수의 행에 설치된 화소에 동시에 공급되는 방식으로 달성될 수 있다.
- [0010] 즉, 본 발명의 한 실시 형태는 제1 신호선, 제2 신호선, 제3 신호선, 제1 화소, 제2 화소, 및 제3 화소를 포함하는 액정 표시 장치이다. 제1 화소는 제1 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 및 제1 액정 소자를 포함한다. 제1 트랜지스터의 게이트는 제1 주사선에 전기적으로 접속되고, 제1 트랜지스터의 소스 및 드레인 중 하나는 제1 신호선에 전기적으로 접속된다. 제2 트랜지스터의 게이트는 제2 주사선에 전기적으로 접속되고, 제2 트랜지스터의 소스 및 드레인 중 하나는 제2 신호선에 전기적으로 접속된다. 제3 트랜지스터의 게이트는 제3 주사선에 전기적으로 접속되고, 제3 트랜지스터의 소스 및 드레인 중 하나는 제3 신호선에 전기적으로 접속된다. 제1 액정 소자의 전극들 중 하나는 제1 트랜지스터의 소스 및 드레인 중 다른 하나, 제2 트랜지스터의 소스 및 드레인 중 다른 하나, 및 제3 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 제2 화소는 제4 트랜지스터, 제5 트랜지스터, 제6 트랜지스터, 및 제2 액정 소자를 포함한다. 제4 트랜지스터의 게이트는 제4 주사선에 전기적으로 접속되고, 제4 트랜지스터의 소스 및 드레인 중 하나는 제1 신호선에 전기적으로 접속된다. 제5 트랜지스터의 게이트는 제5 주사선에 전기적으로 접속되고, 제5 트랜지스터의 소스 및 드레인 중 하나는 제2 신호선에 전기적으로 접속된다. 제6 트랜지스터의 게이트는 제6 주사선에 전기적으로 접속되고, 제6 트랜지스터의 소스 및 드레인 중 하나는 제3 신호선에 전기적으로 접속된다. 제2 액정 소자의 전극들 중 하나는 제4 트랜지스터의 소스 및 드레인 중 다른 하나, 제5 트랜지스터의 소스 및 드레인 중 다른 하나, 및 제6 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 제3 화소는 제7 트랜지스터, 제8 트랜지스터, 제9 트랜지스터, 및 제3 액정 소자를 포함한다. 제7 트랜지스터의 게이트는 제7 주사선에 전기적으로 접속되고, 제7 트랜지스터의 소스 및 드레인 중 하나는 제1 신호선에 전기적으로 접속된다. 제8 트랜지스터의 게이트는 제8 주사선에 전기적으로 접속되고, 제8 트랜지스터의 소스 및 드레인 중 하나는 제2 신호선에 전기적으로 접속된다. 제9 트랜지스터의 게이트는 제9 주사선에 전기적으로 접속되고, 제9 트랜지스터의 소스 및 드레인 중 하나는 제3 신호선에 전기적으로 접속된다. 제3 액정 소자의 전극들 중 하나는 제7 트랜지스터의 소스 및 드레인 중 다른 하나, 제8 트랜지스터의 소스 및 드레인 중 다른 하나, 및 제9 트랜지스터의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 또한, 제1 신호선으로부터, 제1 화상 신호가 제1 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급되고, 제2 화상 신호가 제2 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급되고, 제3 화상 신호가 제3 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급된다. 제2 신호선으로부터, 제4 화상 신호가 제1 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급되고, 제5 화상 신호는 제2 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급되고, 제6 화상 신호는 제3 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급된다. 제3 신호선으로부터, 제7 화상 신호가 제1 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급되고, 제8 화상 신호가 제2 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급되고, 제9 화상 신호는 제3 샘플링 기간에 포함된 제1 수평 주사 기간에서 공급된다. 부가적으로, 제1 샘플링 기간에 포함된 제1 수평 주사 기간에서, 선택 신호가 제1 주사선, 제5 주사선, 및 제9 주사선에 공급되고, 비선택 신호가 제2 주사선, 제3 주사선, 제4 주사선, 제6 주사선, 제7 주사선, 및 제8 주사선에 공급된다. 제2 샘플링 기간에 포함된 제1 수평 주사 기간에서, 선택 신호가 제3 주사선, 제4 주사선, 및 제8 주사선에 공급되고, 비선택 신호가 제1 주사선, 제2 주사선, 제5 주사선, 제6 주사선, 제7 주사선, 및 제9 주사선에 공급된다. 제3 샘플링 기간에 포함된 제1 수평 주사 기간에서, 선택 신호가 제2 주사선, 제6 주사선, 및 제7 주사선에 공급되고, 비선택 신호가 제1 주사선, 제3 주사선, 제4 주사선, 제5 주사선, 제8 주사선, 및 제9 주사선에 공급된다. 제1 주사선, 제4 주사선, 및 제7 주사선은 제1 시프트 레지스터에 전기적으로 접속되고, 선택 신호 및 비선택 신호는 제1 시프트 레지스터로부터

공급된다는 점에 유의한다. 제2 주사선, 제5 주사선, 및 제8 주사선은 제2 시프트 레지스터에 전기적으로 접속되고, 선택 신호 및 비선택 신호는 제2 시프트 레지스터로부터 공급된다. 제3 주사선, 제6 주사선, 및 제9 주사선은 제3 시프트 레지스터에 전기적으로 접속되고, 선택 신호 및 비선택 신호는 제3 시프트 레지스터로부터 공급된다.

[0011] 본 발명의 한 실시 형태에 따르면, 액정 표시 장치는 제1 샘플링 기간의 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 샘플링 기간의 제2 수평 주사 기간에서 제2 화상 신호가 공급되는 제1 신호선; 제1 수평 주사 기간에서 제3 화상 신호가 공급되고, 제2 수평 주사 기간에서 제4 화상 신호가 공급되는 제2 신호선; 제1 수평 주사 기간에서 선택 신호가 공급되고, 제2 수평 주사 기간에서 비선택 신호가 공급되는 제1 주사선 및 제2 주사선; 제1 수평 주사 기간에서 비선택 신호가 공급되고, 제2 수평 주사 기간에서 선택 신호가 공급되는 제3 주사선 및 제4 주사선; 제1 신호선, 제2 신호선, 제1 주사선, 및 제3 주사선에 전기적으로 접속되고, 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 수평 주사 기간에서 제4 화상 신호가 공급되는 제1 화소; 제1 신호선, 제2 신호선, 제2 주사선, 및 제4 주사선에 전기적으로 접속되고, 제1 수평 주사 기간에서 제3 화상 신호가 공급되고, 제2 수평 주사 기간에서 제2 화상 신호가 공급되는 제2 화소; 제1 수평 주사 기간에서 제1 주사선에 선택 신호를 공급하고 제2 수평 주사 기간에서 제4 주사선에 선택 신호를 공급하는 제1 시프트 레지스터; 및 제1 수평 주사 기간에서 제2 주사선에 선택 신호를 공급하고 제2 수평 주사 기간에서 제3 주사선에 선택 신호를 공급하는 제2 시프트 레지스터를 포함한다.

[0012] 본 발명의 다른 실시 형태에 따르면, 액정 표시 장치는 제1 샘플링 기간의 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 샘플링 기간의 제2 수평 주사 기간에서 제2 화상 신호가 공급되는 제1 신호선; 제1 수평 주사 기간에서 제3 화상 신호가 공급되고, 제2 수평 주사 기간에서 제4 화상 신호가 공급되는 제2 신호선; 제1 수평 주사 기간 및 제2 수평 주사 기간에서 선택 신호가 공급되는 제1 주사선 및 제2 주사선; 제1 신호선 및 제1 주사선에 전기적으로 접속되고, 제1 수평 주사 기간에서 제1 화상 신호가 공급되고, 제2 수평 주사 기간에서 제2 화상 신호가 공급되는 제1 화소; 제2 신호선 및 제2 주사선에 전기적으로 접속되고, 제1 수평 주사 기간에서 제3 화상 신호가 공급되고, 제2 수평 주사 기간에서 제4 화상 신호가 공급되는 제2 화소; 제1 수평 주사 기간 및 제2 수평 주사 기간에서 제1 주사선에 선택 신호를 공급하는 제1 시프트 레지스터; 및 제1 수평 주사 기간 및 제2 수평 주사 기간에서 제2 주사선에 선택 신호를 공급하는 제2 시프트 레지스터를 포함한다.

[0013] 액정 표시 장치에서, AC 전압이 액정 표시 장치의 열화(번인(burn-in)이라고 함)를 방지하기 위해 화소에 설치된 액정에 인가되는 점에 유의한다. 그 때문에, 화소부에 이용되는 트랜지스터는 바람직하게는 약 십 몇 볼트 이상의 내압을 가진다. 더구나, 트랜지스터의 오프 전류는 액정 소자에 유지된 전압을 유지하기 위해 낮을 필요가 있다. 반면, 신호선 구동 회로에 이용되는 트랜지스터를 위해, 액정 표시 장치에 표시되는 고 품질의 화상을 유지하기 위해서는 높은 내압보다는 고속 동작이 더 중요하다.

[0014] 상기를 감안하여, 본 발명의 한 실시 형태에 따른 액정 표시 장치에서의 화소부에는 산화물 반도체를 이용하여 형성된 채널 형성 영역을 포함하는 트랜지스터가 이용된다. 산화물 반도체의 밴드갭은 실리콘의 약 3배인 3.0eV 내지 3.5eV이다. 산화물 반도체의 넓은 밴드 갭은 트랜지스터의 내압을 증가시키는 데 유리하다. 또한, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물 농도의 감소에 의해 고순도화된 산화물 반도체, 즉, 고순도화된 OS는 진성 반도체(i형 반도체) 또는 실질적으로 진성 반도체이다. 따라서, 고순도화된 산화물 반도체를 포함하는 트랜지스터는 높은 내압 이외에도 매우 낮은 오프 전류를 갖는다.

[0015] 또한, 본 발명의 한 실시 형태에 따른 액정 표시 장치에서, 다결정 또는 단결정 실리콘 또는 다결정 또는 단결정 게르마늄 등의 결정질 반도체를 포함하는 트랜지스터가 신호선 구동 회로 등의, 화소부보다 높은 속도로 동작할 필요가 있는 구동 회로에 사용된다. 결정질 반도체는 산화물 반도체보다 높은 이동도를 갖는다. 따라서, 신호선 구동 회로는 트랜지스터에 결정질 반도체를 사용함으로써 고속으로 동작할 수 있다.

[0016] 상술한 바와 같이 고속으로 동작할 필요가 있는 회로와 높은 내압을 가질 필요가 있는 회로에 다른 반도체 및 다른 공정을 이용함으로써, 최적 구조를 갖는 반도체 소자가 공정을 복잡하게 하지 않고서, 회로에 요구되는 특징에 따라 별도로 형성될 수 있다.

[0017] 주사선 구동 회로에서, 다결정 반도체 또는 단결정 반도체 등의 결정질 반도체를 포함하는 트랜지스터는 신호선 구동 회로용으로서 사용될 수 있고, 또는 채널 형성 영역이 산화물 반도체를 이용하여 형성된 트랜지스터는 화소부용으로서 사용될 수 있다.

[0018] 다결정 또는 단결정 실리콘 또는 다결정 또는 단결정 게르마늄 등의 결정질 반도체를 포함하는 트랜지스터는 실

리콘 웨이퍼, SOI(실리콘 온 절연체) 반도체, 절연면 위에 형성된 다결정 반도체막 등을 이용하여 형성될 수 있다.

[0019] SOI 기판은, 예를 들어, Smart Cut(등록 상표)로 대표되는 UNIBOND(등록 상표), 에피택셜층 트랜스퍼(ELTRAN, 등록 상표), 유전체 분리 방법, 또는 플라즈마 지원 화학 에칭(PACE) 등의 접합 방법; 또는 주입된 산소에 의한 분리 방법(SIMOX)에 의해 제조될 수 있다.

[0020] 절연면을 갖는 기판 위에 성막된 실리콘의 반도체막은 공지의 기술에 의해 결정화될 수 있다. 공지의 결정화 기술의 예는 레이저 빔을 이용하는 레이저 결정화 방법 및 촉매 원소를 이용하는 결정화 방법이다. 다르게는, 촉매 원소를 이용하는 결정화 방법 및 레이저 결정화 방법이 조합하여 사용될 수 있다. 석영 기판 등의 높은 내열성을 갖는 기판이 사용되는 경우에, 다음의 결정화 방법 중 어느 것을 조합하는 것이 가능하다: 전기적으로 가열되는 오븐을 이용하는 열적 결정화 방법, 적외광을 이용하는 램프 어닐 결정화 방법, 촉매 원소를 이용하는 결정화 방법, 및 약 950℃에서의 고온 어닐 방법.

[0021] 본 발명의 한 실시 형태에 따른 액정 표시 장치에서, 화상 신호는 매트릭스로 배열된 화소 중 복수의 행에 배치된 화소에 동시에 공급될 수 있다. 따라서, 각 화소에 화상 신호의 입력의 빈도는 액정 표시 장치에 포함된 트랜지스터 등의 응답 속도의 변화 없이 증가될 수 있다.

도면의 간단한 설명

[0022] 도 1a는 액정 표시 장치의 구조예를 도시한 도면이고, 도 1b는 화소의 구성예를 도시한 도면.
 도 2는 주사선 구동 회로의 구조예를 도시한 도면.
 도 3은 시프트 레지스터의 출력 신호를 도시한 도면.
 도 4a는 신호선 구동 회로의 구조예를 도시한 도면이고, 도 4b는 백라이트의 구조예를 도시한 도면.
 도 5는 액정 표시 장치의 동작예를 도시한 도면.
 도 6a는 액정 표시 장치의 구조예를 도시한 도면이고, 도 6b 내지 6d는 각각 화소의 구성예를 도시한 도면.
 도 7a는 주사선 구동 회로의 구조예를 도시한 도면이고, 도 7b는 시프트 레지스터의 출력 신호를 도시한 도면.
 도 8은 신호선 구동 회로의 구조예를 도시한 도면.
 도 9는 트랜지스터의 예를 도시한 단면도.
 도 10은 트랜지스터의 특성을 도시한 도면.
 도 11은 트랜지스터의 특성을 평가하는 회로도.
 도 12는 트랜지스터의 특성을 평가하는 타이밍 차트.
 도 13은 트랜지스터의 특성을 도시한 도면.
 도 14는 트랜지스터의 특성을 도시한 도면.
 도 15는 트랜지스터의 특성을 도시한 도면.
 도 16a 내지 16c는 트랜지스터의 예를 각각 도시한 단면도.
 도 17은 화소의 단면의 구체예를 도시한 도면.
 도 18a 내지 18c는 각각 단자들간의 접속의 구체예를 도시한 도면.
 도 19a 내지 19c는 액정 표시 장치의 구체예를 각각 도시한 사시도.
 도 20a 및 20b는 액정 표시 장치의 구체예를 도시한 상면도 및 단면도.
 도 21은 액정 표시 장치의 구체예를 도시한 사시도.
 도 22a 및 22b는 각각 터치 패널의 구체예를 도시한 도면.
 도 23a 및 23b는 터치 패널의 구체예를 도시한 도면.

도 24a 내지 24d는 트랜지스터를 제조하는 공정의 구체예를 도시한 단면도.

도 25a 내지 25f는 각각 전자 기기의 예를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 발명의 실시 형태들이 첨부 도면을 참조하여 아래에 상세히 설명된다. 본 발명은 아래의 설명에 한정되지 않고, 본 발명은 당업자라면 본 발명의 범위 및 취지를 벗어나지 않고서 다양한 변화 및 변형이 이루어질 수 있다는 것을 쉽게 이해할 수 있다는 점에 유의한다. 따라서, 본 발명은 실시 형태들의 설명에 한정되는 것으로 해석되어서는 안된다.
- [0024] (실시 형태 1)
- [0025] 본 실시 형태에서, 화상이 필드 시퀀셜 방식에 의해 표시되는 액정 표시 장치의 예가 도 1a 및 1b, 도 2, 도 3, 도 4a 및 4b, 및 도 5를 참조하여 설명될 것이다.
- [0026] (액정 표시 장치의 구조예)
- [0027] 도 1a는 액정 표시 장치의 구조예를 도시한다. 도 1a의 액정 표시 장치는 화소부(10); 주사선 구동 회로(11); 신호선 구동 회로(12); 서로 평행하게 또는 거의 평행하게 배열된 3n개의 주사선(131), 3n개의 주사선(132), 및 3n개의 주사선(133)(n은 2 이상의 자연수); 및 서로 평행하게 또는 거의 평행하게 배열된 m개의 신호선(141), m개의 신호선(142), 및 m개의 신호선(143)(m은 2 이상의 자연수)을 포함한다. 주사선(131, 132, 및 133)의 전위는 주사선 구동 회로(11)에 의해 제어된다. 신호선(141, 142, 및 143)의 전위는 신호선 구동 회로(12)에 의해 제어된다.
- [0028] 화소부(10)는 매트릭스(3n행 m열)로 배열된 복수의 화소(15)를 포함한다. 각각의 주사선(131, 132, 및 133)은 매트릭스(3n행 m열)로 배열된 복수의 화소(15) 중 소정의 행에 배열된 m개의 화소(15)에 전기적으로 접속된다. 각각의 신호선(141, 142, 및 143)은 매트릭스(3n행 m열)로 배열된 복수의 화소(15) 중 소정의 열에 배열된 3n개의 화소(15)에 전기적으로 접속된다.
- [0029] 주사선 구동 회로(11)에는, 주사선 구동 회로용 스타트 신호(GSP1 내지 GSP3), 주사선 구동 회로용 클럭 신호(GCK), 및 고 전원 전위(VDD) 및 저 전원 전위(VSS) 등의 구동용 전원이 외부로부터 입력된다. 신호선 구동 회로(12)에는, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 및 화상 신호(DATA1 내지 DATA3) 등의 신호 및 고 전원 전위 및 저 전원 전위 등의 구동용 전원이 외부로부터 입력된다.
- [0030] 도 1b는 화소(15)의 회로 구성예를 도시한다. 도 1b의 화소(15)는 트랜지스터(151), 트랜지스터(152), 트랜지스터(153), 용량 소자(154), 및 액정 소자(155)를 포함한다. 트랜지스터(151)의 게이트는 주사선(131)에 전기적으로 접속된다. 트랜지스터(151)의 소스 및 드레인 중 하나는 신호선(141)에 전기적으로 접속된다. 트랜지스터(152)의 게이트는 주사선(132)에 전기적으로 접속된다. 트랜지스터(152)의 소스 및 드레인 중 하나는 신호선(142)에 전기적으로 접속된다. 트랜지스터(153)의 게이트는 주사선(133)에 전기적으로 접속된다. 트랜지스터(153)의 소스 및 드레인 중 하나는 신호선(143)에 전기적으로 접속된다. 용량 소자(154)의 한 전극은 각각의 트랜지스터(151 내지 153)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 용량 소자(154)의 다른 전극은 용량 소자 전위를 공급하는 배선에 전기적으로 접속된다. 액정 소자(155)의 한 전극은 각각의 트랜지스터(151 내지 153)의 소스 및 드레인 중 다른 하나 및 용량 소자(154)의 한 전극에 전기적으로 접속된다. 액정 소자(155)의 다른 전극은 대향 전위를 공급하는 배선에 전기적으로 접속된다.
- [0031] (주사선 구동 회로(11)의 구조예)
- [0032] 도 2는 도 1a의 액정 표시 장치에 포함된 주사선 구동 회로(11)의 구조예를 도시한다. 도 2에 도시된 주사선 구동 회로(11)는 3n개의 출력 단자를 각각 갖는 3개의 시프트 레지스터(111 내지 113)를 포함한다. 시프트 레지스터(111)의 각각의 출력 단자는 화소부(10)에 배치된 3n개의 주사선(131) 중 하나에 전기적으로 접속된다. 시프트 레지스터(112)의 각각의 출력 단자는 화소부(10)에 배치된 3n개의 주사선(132) 중 하나에 전기적으로 접속된다. 시프트 레지스터(113)의 각각의 출력 단자는 화소부(10)에 배치된 3n개의 주사선(133) 중 하나에 전기적으로 접속된다. 바꾸어 말하면, 시프트 레지스터(111)는 주사선(131)을 구동하고; 시프트 레지스터(112)는 주사선(132)을 구동하고; 시프트 레지스터(113)는 주사선(133)을 구동한다. 구체적으로, 시프트 레지스터(111)는 외부로부터 입력된 제1 스타트 신호(GSP1)를 트리거로 이용함으로써 제1 행의 주사선(131)으로부터 선택 신호를 순차적으로 시프팅하는 기능(즉, 클럭 신호(GCK)의 매 1/2 사이클 마다 주사선(131)을 순차적으로 선택

하는 기능)을 갖는다. 시프트 레지스터(112)는 외부로부터 입력된 제2 스타트 신호(GSP2)를 트리거로 이용함으로써, 제1 행의 주사선(132)로부터 선택 신호를 순차적으로 시프팅하는 기능을 갖는다. 시프트 레지스터(113)는 외부로부터 입력된 제3 스타트 신호(GSP3)를 트리거로 이용함으로써, 제1 행의 주사선(133)으로부터 선택 신호를 순차적으로 시프팅하는 기능을 갖는다.

[0033] (주사선 구동 회로(11)의 동작예)

[0034] 주사선 구동 회로(11)의 동작예가 도 3을 참조하여 설명될 것이다. 도 3은 클럭 신호(GCK), 시프트 레지스터(111)의 3n개의 출력 단자로부터 출력된 신호(SR111out), 시프트 레지스터(112)의 3n개의 출력 단자로부터 출력된 신호(SR112out), 및 시프트 레지스터(113)의 3n개의 출력 단자로부터 출력된 신호(SR113out)를 도시한다. 여기서, 샘플링 기간은 모든 행(제1 행 내지 제3n 행)에 배열된 모든 화소에 임의의 화상 신호를 입력하는 데 필요한 기간을 의미한다.

[0035] 샘플링 기간(t1)에서, 시프트 레지스터(111)에서는, 고 레벨 전위가 제1 행의 주사선(131)으로부터 제n 행의 주사선(131)까지 매 1/2 클럭 사이클(매 수평 주사 기간)마다 순차적으로 시프팅된다. 시프트 레지스터(112)에서는, 고 레벨 전위가 제(n+1) 행의 주사선(132)으로부터 제2n 행의 주사선(132)까지 매 1/2 클럭 사이클(매 수평 주사 기간)마다 순차적으로 시프팅된다. 시프트 레지스터(113)에서는, 고 레벨 전위가 제(2n+1) 행의 주사선(133)으로부터 제3n 행의 주사선(133)까지 매 1/2 클럭 사이클(매 수평 주사 기간)마다 순차적으로 시프팅된다. 따라서, 주사선 구동 회로(11)는 주사선(131)을 통해 제1 행의 m개의 화소(15) 내지 제n 행의 m개의 화소(15)를 순차적으로 선택하고, 주사선(132)을 통해 제(n+1) 행의 m개의 화소(15) 내지 제2n 행의 m개의 화소(15)를 순차적으로 선택하고, 주사선(133)을 통해 제(2n+1) 행의 m개의 화소(15) 내지 제3n 행의 m개의 화소(15)를 순차적으로 선택한다. 즉, 주사선 구동 회로(11)는 수평 주사 기간마다 3개의 다른 행에 설치된 3m개의 화소(15)에 선택 신호를 공급할 수 있다.

[0036] 샘플링 기간(t2)에서, 시프트 레지스터(111 내지 113)의 출력 신호가 샘플링 기간(t1)에서의 것들과 다르지만, 다음의 동작은 샘플링 기간(t1)에서의 것들과 동일하다. 즉, 시프트 레지스터(111 내지 113) 중 하나(샘플링 기간(t2)에서의 시프트 레지스터(113))는 제1 행의 m개의 화소(15) 내지 제n 행의 m개의 화소(15)를 순차적으로 선택하고; 시프트 레지스터(111 내지 113) 중의 다른 하나(샘플링 기간(t2)에서의 시프트 레지스터(111))는 제(n+1) 행의 m개의 화소(15) 내지 제2n행의 m개의 화소(15)를 순차적으로 선택하고; 시프트 레지스터(111 내지 113) 중 또 다른 하나(샘플링 기간(t2)에서의 시프트 레지스터(112))는 제(2n+1) 행의 m개의 화소(15) 내지 제3n행의 m개의 화소(15)를 순차적으로 선택한다. 바꾸어 말하면, 샘플링 기간(t1)에서와 같이, 주사선 구동 회로(11)는 매 수평 주사 기간마다 소정의 3개의 행의 3m개의 화소(15)에 선택 신호를 공급할 수 있다.

[0037] (주사선 구동 회로(12)의 구조예)

[0038] 도 4a는 도 1a의 액정 표시 장치에 포함된 신호선 구동 회로(12)의 구조예를 도시한다. 도 4a의 신호선 구동 회로(12)는 m개의 출력 단자를 갖는 시프트 레지스터(120), m개의 트랜지스터(121), m개의 트랜지스터(122), 및 m개의 트랜지스터(123)를 포함한다. 트랜지스터(121)의 게이트는 시프트 레지스터(120)의 제j 출력 단자(j는 1 이상 m 이하의 자연수)에 전기적으로 접속된다. 트랜지스터(121)의 소스 및 드레인 중 하나는 제1 화상 신호(DATA1)를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(121)의 소스 및 드레인 중 다른 하나는 화소부(10) 내의 제j 열의 신호선(141)에 전기적으로 접속된다. 트랜지스터(122)의 게이트는 시프트 레지스터(120)의 제j 출력 단자에 전기적으로 접속된다. 트랜지스터(122)의 소스 및 드레인 중 하나는 제2 화상 신호(DATA2)를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(122)의 소스 및 드레인 중 다른 하나는 화소부(10) 내의 제j 열의 신호선(142)에 전기적으로 접속된다. 트랜지스터(123)의 게이트는 시프트 레지스터(120)의 제j 출력 단자에 전기적으로 접속된다. 트랜지스터(123)의 소스 및 드레인 중 하나는 제3 화상 신호(DATA3)를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(123)의 소스 및 드레인 중 다른 하나는 화소부(10) 내의 제j 열의 신호선(143)에 전기적으로 접속된다.

[0039] 여기서, 제1 화상 신호(DATA1)로서, 적색(R) 화상 신호(적색(R) 광의 투과를 제어하는 화상 신호)가 신호선(141)에 공급된다는 점에 유의한다. 제2 화상 신호(DATA2)로서, 청색(B) 화상 신호(청색(B) 광의 투과를 제어하는 화상 신호)가 신호선(142)에 공급된다. 제3 화상 신호(DATA3)로서, 녹색(G) 화상 신호(녹색(G) 광의 투과를 제어하는 화상 신호)가 신호선(143)에 공급된다.

[0040] (백라이트의 구조예)

[0041] 도 4b는 도 1a에 도시된 액정 표시 장치에서의 화소부(10) 뒤에 설치된 백라이트의 구조예를 도시한다. 도 4b

의 백라이트는 적색(R), 녹색(G), 및 청색(B)의 3개의 컬러의 광을 방출하는 광원을 각각 포함하는 복수의 백라이트 유닛(16)을 포함한다. 복수의 백라이트 유닛(16)은 매트릭스로 배열되고, 백라이트 유닛의 점등은 각 주어진 영역에서 제어될 수 있다. 여기서, 3n행 m열의 복수의 화소(15)를 위한 백라이트로서, 백라이트 유닛 그룹이 적어도 k행 m열(여기서, k는 $n/4$) 마다 설치되고, 이들 백라이트 유닛 그룹의 점등을 독립적으로 제어하는 것이 가능하다. 즉, 백라이트는 제1 내지 제k 행용 백라이트 유닛 그룹 내지 제(3n-k+1) 내지 제3n 행용 백라이트 유닛 그룹을 적어도 포함하고, 각 백라이트 유닛 그룹의 점등을 독립적으로 제어하는 것이 가능하다.

[0042] (액정 표시 장치의 동작예)

[0043] 도 5는 백라이트에 포함된 제1 내지 제k 행용 백라이트 유닛 그룹 내지 제(3n-k+1) 내지 제3n 행용 백라이트 유닛 그룹의 점등의 타이밍, 및 상기 액정 표시 장치에서의 화소부(10) 내의 제1 행의 m개의 화소 내지 제3n 행의 m개의 화소에의 화상 신호의 공급의 타이밍을 도시한다. 구체적으로, 도 5에서, "1" 내지 "3n"은 행의 수를 표시하고 실선은 행으로의 화상 신호의 입력의 타이밍을 표시한다. 액정 표시 장치에서, 화상 신호는 다음의 방식으로 샘플링 기간(t_1)에서 각 화소에 입력될 수 있다: 제1 행의 m개의 화소(15) 내지 제n행의 m개의 화소(15)가 순차적으로 선택되고; 제(n+1) 행의 m개의 화소(15) 내지 제2n 행의 m개의 화소(15)가 순차적으로 선택되고; 제(2n+1)행의 m개의 화소(15) 내지 제3n 행의 m개의 화소(15)가 순차적으로 선택된다. 구체적으로, 액정 표시 장치에서, 샘플링 기간(t_1)에서, 제1 행의 m개의 화소(15)에 포함된 트랜지스터(151) 내지 제n행의 m개의 화소(15)에 포함된 트랜지스터(151)는 주사선(131)을 통해 순차적으로 턴 온되어 적색(R) 화상 신호가 신호선(141)을 통해 화소에 순차적으로 입력될 수 있고; 제(n+1) 행의 m개의 화소(15)에 포함된 트랜지스터(152) 내지 제2n행의 m개의 화소(15)에 포함된 트랜지스터(152)는 주사선(132)을 통해 순차적으로 턴 온되어 청색(B) 화상 신호가 신호선(142)을 통해 화소에 순차적으로 입력될 수 있고; 제(2n+1) 행의 m개의 화소(15)에 포함된 트랜지스터(153) 내지 제3n행의 m개의 화소(15)에 포함된 트랜지스터(153)는 주사선(133)을 통해 순차적으로 턴 온되어 녹색(G) 화상 신호가 신호선(143)을 통해 화소에 순차적으로 입력될 수 있다.

[0044] 또한, 액정 표시 장치에서, 샘플링 기간(t_1)에서, 적색(R) 광은 제1 행의 m개의 화소(15) 내지 제n 행의 m개의 화소(15)에의 적색(R) 화상 신호의 입력이 종료된 후 제1 내지 제k 행용 백라이트 유닛 그룹으로부터 방출될 수 있고; 청색(B) 광은 제(n+1)행의 m개의 화소(15) 내지 제(n+k) 행의 m개의 화소(15)에의 청색(B) 광 신호의 입력이 종료된 후 제(n+1) 내지 제(n+k) 행용 백라이트 유닛 그룹으로부터 방출될 수 있고; 녹색(G) 광은 제(2n+1)행의 m개의 화소(15) 내지 제2(n+k) 행의 m개의 화소(15)에의 녹색(G) 광 신호의 입력이 종료된 후 제(2n+1) 내지 제(2n+k) 행용 백라이트 유닛 그룹으로부터 방출될 수 있다. 즉, 액정 표시 장치에서, 선택 신호의 공급과 특정의 컬러의 광의 공급은 각 영역(제1 내지 제n행, 제(n+1) 내지 제2n 행, 및 제(2n+1) 내지 제3n 행)에서 동시에 수행될 수 있다.

[0045] (본 명세서에 개시된 액정 표시 장치)

[0046] 본 명세서에 개시된 액정 표시 장치에서, 화상 신호는 매트릭스로 배열된 화소 중 복수의 행에 배치된 화소에 동시에 공급될 수 있다. 그러므로, 각 화소에의 화상 신호의 입력의 빈도는 액정 표시 장치에 포함된 트랜지스터 등의 응답 속도의 변화없이 증가될 수 있다. 구체적으로, 액정 표시 장치에서, 각 화소에의 화상 신호의 입력의 빈도는 주사선 구동 회로의 클럭 주파수 등의 변화없이 3배로 될 수 있다. 바꾸어 말하면, 액정 표시 장치는 바람직하게는 필드 시퀀셜 액정 표시 장치 또는 높은 프레임 레이트 구동에 의해 구동되는 액정 표시 장치에 적용된다.

[0047] 본 명세서에 개시된 액정 표시 장치는 바람직하게는 다음의 이유 때문에 필드 시퀀셜 액정 표시 장치에 적용된다. 상술한 바와 같이, 필드 시퀀셜 액정 표시 장치에서, 표시 기간은 특정의 컬러의 광들 간에 분할된다. 그 때문에, 사용자에게 의해 인식된 표시는 때때로 사용자의 깜박거림 등의, 표시의 일시적 중단으로 인한 특정의 표시 데이터의 결핍으로 인해 원래의 표시 데이터에 기초한 표시로부터 변화(열화)된다(이러한 현상을 컬러 브레이크(color breaks)라고도 함). 프레임 주파수의 증가는 컬러 브레이크를 감소하는 데 효과적이다. 또한, 필드 시퀀셜 방식에 의해 화상을 표시하기 위해, 각 화소에의 화상 신호의 입력의 빈도는 프레임 주파수보다 높을 필요가 있다. 그 때문에, 화상이 종래의 액정 표시 장치에서 필드 시퀀셜 방식 및 고 프레임 주파수 구동으로 표시되는 경우에, 액정 표시 장치 내의 소자의 성능의 요건(고속 응답)이 극히 엄격하다. 반면, 본 명세서에 개시된 액정 표시 장치에서, 각 화소에의 화상 신호의 입력의 빈도는 소자의 특성에 관계없이 증가될 수 있다. 그러므로, 필드 시퀀셜 액정 표시 장치에서의 컬러 브레이크가 쉽게 억제될 수 있다.

[0048] 또한, 화상이 필드 시퀀셜 방식에 의해 표시되는 경우에, 백라이트 유닛 그룹은 다음의 이유 때문에 도 5에 도시된 것과 같이 영역마다 다른 컬러의 광을 동시에 방출하는 것이 바람직하다. 하나의 컬러의 광이 전체 화면

에 대해 공급되는 경우에, 화소부는 단지 특정의 순간에 특정 컬러에 관한 데이터를 갖는다. 그러므로, 사용자의 깜박거림 등으로 인한 특정의 기간에서의 표시 데이터의 결핍은 특정 컬러에 관한 데이터의 결핍에 대응한다. 반면, 백라이트 유닛이 영역마다 다른 컬러의 광을 방출하는 경우에, 화소부는 특정의 순간의 컬러에 관한 데이터를 갖는다. 따라서, 사용자의 깜박거림 등으로 인한 특정의 기간에서의 표시 데이터의 결핍은 특정 컬러에 관한 데이터의 결핍에 대응하지 않는다. 바꾸어 말하면, 백라이트 유닛이 영역마다 다른 컬러들의 광을 방출할 때 컬러 브레이크가 감소될 수 있다. 또한, 백라이트 유닛 그룹이 도 5에 도시된 것과 같이 점등되는 경우에, 인접한 백라이트 유닛 그룹은 다른 컬러의 광을 방출하지 않는다. 구체적으로, 샘플링 기간(t_1)에서, 제($n+1$) 내지 제($n+k$) 행용 백라이트 유닛 그룹이 제($n+1$)행의 m 개의 화소(15) 내지 제($n+k$) 행의 m 개의 화소(15)에의 청색(B) 화상 신호의 입력이 종료된 후 청색(B) 광을 방출할 때, 제($3k+1$) 내지 제(n) 행용 백라이트 유닛 그룹 및 제($n+k+1$) 내지 제($n+2k$) 행용 백라이트 유닛 그룹은 청색(B) 광을 방출하거나 또는 전혀 광을 방출하지 않는다(즉, 적색(R) 광 또는 녹색(G) 광을 방출하지 않는다). 그러므로, 특정 컬러 이외의 컬러를 갖는 광이 특정 컬러의 화상 데이터가 입력되는 화소를 통해 투과될 확률을 감소시키는 것이 가능하다.

[0049] (변형예)

[0050] 상술한 구조를 갖는 액정 표시 장치는 본 발명의 한 실시 형태이고; 본 발명은 상술한 구조를 갖는 액정 표시 장치와 다른 액정 표시 장치를 더 포함한다.

[0051] 예를 들어, 상기 액정 표시 장치는 화상 신호가 화소부(10) 내의 소정의 3개의 행의 $3m$ 개의 화소에 동시에 공급되는 구조를 갖지만, 본 발명의 액정 표시 장치는 이 구조를 갖는 것으로 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서, 화상 신호는 화소부(10) 내의 소정의 복수의 행의 복수의 화소에 동시에 공급될 수 있다. 행의 수가 변경되는 경우에, 시프트 레지스터의 수와 행의 수는 동일할 필요가 있다는 것이 자명하다는 점에 유의한다.

[0052] 액정 표시 장치는 화상 신호가 일정 간격(화상 신호가 공급되는 행들 간의 간격은 화소의 n 행에 대응한다)으로 설치된 소정의 3개의 행의 화소에 동시에 공급되는 구조를 갖지만, 본 발명의 액정 표시 장치는 이 구조를 갖는 것으로 한정되지 않는다. 즉, 본 발명의 액정 표시 장치는 화상 신호가 불규칙 간격으로 설치된 소정의 3개의 행의 화소에 동시에 공급되는 구조를 가질 수 있다. 구체적으로, 액정 표시 장치는 화상 신호가 제1 행의 m 개의 화소, 제($a+1$) 행(a 는 자연수)의 m 개의 화소, 및 제($a+b+1$) 행(b 는 a 이외의 자연수)의 m 개의 화소에 동시에 공급되는 구조를 가질 수 있다.

[0053] 또한, 액정 표시 장치에서, 주사선 구동 회로는 시프트 레지스터로 구성되지만, 시프트 레지스터는 등가 기능을 갖는 회로로 대체될 수 있다. 예를 들어, 시프트 레지스터는 디코더로 대체될 수 있다.

[0054] 액정 표시 장치에서, 적색(R) 광, 녹색(G) 광, 및 청색(B) 광 중 하나를 각각 방출하는 광원은 백라이트용으로 사용되지만, 본 발명의 액정 표시 장치는 이 구조를 갖는 것으로 한정되지 않는다. 즉, 본 발명의 액정 표시 장치에서, 특정의 컬러의 광을 방출하는 광원이 조합하여 사용될 수 있다. 예를 들어, 적색(R), 녹색(G), 청색(B), 및 백색(W)의 4종의 광원의 조합; 또는 시안, 마젠타, 및 황색의 3종의 조합을 사용하는 것이 가능하다. 또한, 흐린 적색(R), 흐린 녹색(G), 흐린 청색(B), 어두운 적색(R), 어두운 녹색(G), 및 어두운 청색(B)의 6종의 광원의 조합; 또는 적색(R), 녹색(G), 청색(B), 시안, 마젠타, 및 황색의 6종의 광원의 조합을 사용하는 것이 가능하다. 이러한 방식으로, 보다 폭넓게 다양한 컬러의 조합으로, 액정 표시 장치의 색 영역이 확대될 수 있고, 화상 품질이 향상될 수 있다.

[0055] 액정 표시 장치는 액정 소자에 인가된 전압을 유지하는 용량 소자를 포함하고(도 1b 참조), 다르게는, 용량 소자가 설치되지 않는 구조를 채용할 수 있다.

[0056] 액정 표시 장치에서, 적색(R), 녹색(G), 및 청색(B)의 3개의 컬러의 광을 방출하는 광원이 백라이트 유닛으로서 직선으로 및 수평으로 나란히 될 수 있지만(도 4b 참조), 백라이트 유닛의 구조는 이로 한정되지 않는다. 예를 들어, 3개의 컬러의 광을 방출하는 광원은 삼각으로 배열될 수 있거나 또는 직선으로 및 수직으로 나란히 될 수 있거나, 또는 적색(R) 광원, 녹색(G) 광원, 및 청색(B) 광원이 별도로 설치될 수 있다. 또한, 액정 표시 장치는 백라이트로서 직접형 백라이트를 포함하고(도 4b 참조), 다르게는, 에지 릿(edge-lit) 백라이트가 백라이트로서 사용될 수 있다.

[0057] (실시 형태 2)

[0058] 본 실시 형태에서, 실시 형태 1과 다른 구조를 갖는 필드 시퀀셜 액정 표시 장치의 예가 도 6a 내지 6d, 도 7a

및 7b, 및 도 8을 참조하여 설명될 것이다.

[0059] (액정 표시 장치의 구조예)

[0060] 도 6a는 액정 표시 장치의 구조예를 도시한다. 도 6a의 액정 표시 장치는 화소부(30); 주사선 구동 회로(31); 신호선 구동 회로(32); 서로 평행하게 또는 거의 평행하게 배열된 3n개의 주사선(33)(n은 2 이상의 자연수); 및 서로 평행하게 또는 거의 평행하게 배열된 m개의 신호선(341), m개의 신호선(342), 및 m개의 신호선(343)(m은 2 이상의 자연수)을 포함한다. 주사선(33)의 전위는 주사선 구동 회로(31)에 의해 제어된다. 신호선(341, 342, 및 343)의 전위는 신호선 구동 회로(32)에 의해 제어된다.

[0061] 화소부(30)는 3개의 영역(영역 301 내지 303)으로 분할되고, 각각의 영역은 매트릭스(n행 m열)로 배열된 복수의 화소를 포함한다. 각각의 주사선(33)은 화소부(30)에서 매트릭스(3n행 m열)로 배열된 복수의 화소 중 소정의 행에 배열된 m개의 화소에 전기적으로 접속된다. 각각의 신호선(341)은 영역(301)에서 매트릭스(n행 m열)로 배열된 복수의 화소 중 소정의 열에 배열된 n개의 화소에 전기적으로 접속된다. 각각의 신호선(342)은 영역(302)에서 매트릭스(n행 m열)로 배열된 복수의 화소 중 소정의 열에 배열된 n개의 화소에 전기적으로 접속된다. 각각의 신호선(343)은 영역(303)에서 매트릭스(n행 m열)로 배열된 복수의 화소 중 소정의 열에 배열된 n개의 화소에 전기적으로 접속된다.

[0062] 주사선 구동 회로(31)에는, 주사선 구동 회로용 스타트 신호(GSP), 주사선 구동 회로용 클럭 신호(GCK), 및 고 전원 전위 및 저 전원 전위 등의 구동용 전원이 외부로부터 입력된다. 신호선 구동 회로(32)에는, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCK), 및 화상 신호(data1 내지 data3) 등의 신호 및 고 전원 전위 및 저 전원 전위 등의 구동용 전원이 외부로부터 입력된다.

[0063] 도 6b 내지 6d는 각각 화소의 회로 구성예를 도시한다. 구체적으로, 도 6b는 영역(301)에 배치된 화소(351)의 회로 구성예를 도시하고, 도 6c는 영역(302)에 배치된 화소(352)의 회로 구성예를 도시하고, 도 6d는 영역(303)에 배치된 화소(353)의 회로 구성예를 도시한다. 도 6b의 화소(351)는 트랜지스터(3511), 용량 소자(3512), 및 액정 소자(3514)를 포함한다. 트랜지스터(3511)의 게이트는 주사선(33)에 전기적으로 접속된다. 트랜지스터(3511)의 소스 및 드레인 중 하나는 신호선(341)에 전기적으로 접속된다. 용량 소자(3512)의 한 전극은 트랜지스터(3511)의 소스 및 드레인 중 다른 하나에 전기적으로 접속된다. 용량 소자(3512)의 다른 전극은 용량 소자 전위를 공급하는 배선에 전기적으로 접속된다. 액정 소자(3514)의 한 전극은 트랜지스터(3511)의 소스 및 드레인 중 다른 하나 및 용량 소자(3512)의 한 전극에 전기적으로 접속된다. 액정 소자(3514)의 다른 전극은 대향 전위를 공급하는 배선에 전기적으로 접속된다.

[0064] 도 6c의 화소(352)와 도 6d의 화소(353)는 도 6b의 화소(351)와 동일한 회로 구성을 갖는다. 도 6c의 화소(352)는 트랜지스터(3521)의 소스 및 드레인 중 하나가 신호선(341) 대신에 신호선(342)에 전기적으로 접속된다는 점에서 도 6b의 화소(351)와 다르다는 점에 유의한다. 도 6d의 화소(353)는 트랜지스터(3531)의 소스 및 드레인 중 하나가 신호선(341) 대신에 신호선(343)에 전기적으로 접속된다는 점에서 도 6b의 화소(351)와 다르다.

[0065] (주사선 구동 회로(31)의 구조예)

[0066] 도 7a는 도 6a의 액정 표시 장치에 포함된 주사선 구동 회로(31)의 구조예를 도시한다. 도 7a에 도시된 주사선 구동 회로(31)는 n개의 출력 단자를 각각 갖는 3개의 시프트 레지스터(311 내지 313)를 포함한다. 시프트 레지스터(311)의 각각의 출력 단자는 영역(301)에 배치된 n개의 주사선(33) 중 하나에 전기적으로 접속된다. 시프트 레지스터(312)의 각각의 출력 단자는 영역(302)에 배치된 n개의 주사선(33) 중 하나에 전기적으로 접속된다. 시프트 레지스터(313)의 각각의 출력 단자는 영역(303)에 배치된 n개의 주사선(33) 중 하나에 전기적으로 접속된다. 바꾸어 말하면, 시프트 레지스터(311)는 영역(301)에서의 선택 신호를 공급하고; 시프트 레지스터(312)는 영역(302)에서의 선택 신호를 공급하고; 시프트 레지스터(313)은 영역(303)에서의 선택 신호를 공급한다. 구체적으로, 시프트 레지스터(311)는 외부로부터 입력된 스타트 신호(GSP)를 트리거로 이용함으로써 제1 행의 주사선(33)으로부터 선택 신호를 순차적으로 시프팅하는 기능(즉, 클럭 신호(GCK)의 매 1/2 사이클 마다 주사선(33)을 순차적으로 선택하는 기능)을 갖는다. 시프트 레지스터(312)는 외부로부터 입력된 스타트 신호(GSP)를 트리거로 이용함으로써, 제(n+1) 행의 주사선(33)으로부터 선택 신호를 순차적으로 시프팅하는 기능을 갖는다. 시프트 레지스터(313)는 외부로부터 입력된 스타트 신호(GSP)를 트리거로 이용함으로써, 제(2n+1) 행의 주사선(33)으로부터 선택 신호를 순차적으로 시프팅하는 기능을 갖는다.

[0067] (주사선 구동 회로(31)의 동작예)

[0068] 주사선 구동 회로(31)의 동작예가 도 7b를 참조하여 설명될 것이다. 도 7b는 클럭 신호(GCK), 시프트 레지스터

(311)의 n 개의 출력 단자로부터 출력된 신호(SR311out), 시프트 레지스터(312)의 n 개의 출력 단자로부터 출력된 신호(SR312out), 및 시프트 레지스터(313)의 n 개의 출력 단자로부터 출력된 신호(SR313out)를 도시한다.

[0069] 샘플링 기간(T_1)에서, 시프트 레지스터(311)에서는, 고 레벨 전위가 제1 행의 주사선(33)으로부터 제 n 행의 주사선(33)까지 매 $1/2$ 클럭 사이클(매 수평 주사 기간)마다 순차적으로 시프팅된다. 시프트 레지스터(312)에서는, 고 레벨 전위가 제($n+1$) 행의 주사선(33)으로부터 제 $2n$ 행의 주사선(33)까지 매 $1/2$ 클럭 사이클(매 수평 주사 기간)마다 순차적으로 시프팅된다. 시프트 레지스터(313)에서는, 고 레벨 전위가 제($2n+1$) 행의 주사선(33)으로부터 제 $3n$ 행의 주사선(33)까지 매 $1/2$ 클럭 사이클(매 수평 주사 기간)마다 순차적으로 시프팅된다. 따라서, 주사선 구동 회로(31)는 주사선(33)을 통해 제1 행의 m 개의 화소(351) 내지 제 n 행의 m 개의 화소(351)를 순차적으로 선택하고, 제($n+1$) 행의 m 개의 화소(352) 내지 제 $2n$ 행의 m 개의 화소(352)를 순차적으로 선택하고, 제($2n+1$) 행의 m 개의 화소(353) 내지 제 $3n$ 행의 m 개의 화소(353)를 순차적으로 선택한다. 즉, 주사선 구동 회로(31)는 수평 주사 기간마다 3개의 다른 행에 설치된 $3m$ 개의 화소에 선택 신호를 공급할 수 있다.

[0070] 샘플링 기간(T_2) 및 샘플링 기간(T_3)에서, 시프트 레지스터(311 내지 313)의 동작은 샘플링 기간(T_1)에서의 것들과 동일하다. 즉, 샘플링 기간(T_1)에서와 같이, 주사선 구동 회로(31)는 매 수평 주사 기간마다 소정의 3개의 행의 $3m$ 개의 화소에 선택 신호를 공급할 수 있다.

[0071] (주사선 구동 회로(32)의 구조예)

[0072] 도 8은 도 6a의 액정 표시 장치에 포함된 신호선 구동 회로(32)의 구조예를 도시한다. 도 8의 신호선 구동 회로(32)는 m 개의 출력 단자를 갖는 시프트 레지스터(320), m 개의 트랜지스터(321), m 개의 트랜지스터(322), 및 m 개의 트랜지스터(323)를 포함한다. 트랜지스터(321)의 게이트는 시프트 레지스터(320)의 제 j 출력 단자(j 는 1 이상 m 이하의 자연수)에 전기적으로 접속된다. 트랜지스터(321)의 소스 및 드레인 중 하나는 제1 화상 신호(data1)를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(321)의 소스 및 드레인 중 다른 하나는 화소부(30) 내의 제 j 열의 신호선(341)에 전기적으로 접속된다. 트랜지스터(322)의 게이트는 시프트 레지스터(320)의 제 j 출력 단자에 전기적으로 접속된다. 트랜지스터(322)의 소스 및 드레인 중 하나는 제2 화상 신호(data2)를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(322)의 소스 및 드레인 중 다른 하나는 화소부(30) 내의 제 j 열의 신호선(342)에 전기적으로 접속된다. 트랜지스터(323)의 게이트는 시프트 레지스터(320)의 제 j 출력 단자에 전기적으로 접속된다. 트랜지스터(323)의 소스 및 드레인 중 하나는 제3 화상 신호(data3)를 공급하는 배선에 전기적으로 접속된다. 트랜지스터(323)의 소스 및 드레인 중 다른 하나는 화소부(30) 내의 제 j 열의 신호선(343)에 전기적으로 접속된다.

[0073] 여기서, 제1 화상 신호(data1)로서, 샘플링 기간(T_1), 샘플링 기간(T_2), 및 샘플링 기간(T_3)에서, 각각, 적색(R) 화상 신호(적색(R) 광의 투과를 제어하는 화상 신호), 녹색(G) 화상 신호(녹색(G) 광의 투과를 제어하는 화상 신호), 및 청색(B) 화상 신호(청색(B) 광의 투과를 제어하는 화상 신호)가 신호선(341)에 공급된다. 제2 화상 신호(data2)로서, 샘플링 기간(T_1), 샘플링 기간(T_2), 샘플링 기간(T_3)에서, 각각, 청색(B) 화상 신호, 적색(R) 화상 신호, 및 녹색(G) 화상 신호가 신호선(342)에 공급된다. 제3 화상 신호(data3)로서, 샘플링 기간(T_1), 샘플링 기간(T_2), 샘플링 기간(T_3)에서, 각각, 녹색(G) 화상 신호, 청색(B) 화상 신호, 및 적색(R) 화상 신호가 신호선(343)에 공급된다.

[0074] (백라이트의 구조예)

[0075] 본 실시 형태에 있어서의 액정 표시 장치의 백라이트로서, 실시 형태 1에 도시된 백라이트가 사용될 수 있으므로, 상기 설명이 여기에 참조된다.

[0076] (액정 표시 장치의 동작예)

[0077] 본 실시 형태의 액정 표시 장치는 실시 형태 1(도 5 참조)의 액정 표시 장치의 것들과 유사한 동작을 수행할 수 있다. 즉, 본 실시 형태의 액정 표시 장치에서, 화상 신호는 다음의 방식으로 샘플링 기간(T_1)에서 각 화소에 입력될 수 있다: 제1 행의 m 개의 화소(351) 내지 제 n 행의 m 개의 화소(351)가 순차적으로 선택되고, 제($n+1$) 행의 m 개의 화소(352) 내지 제 $2n$ 행의 m 개의 화소(352)가 순차적으로 선택되고, 제($2n+1$)행의 m 개의 화소(353) 내지 제 $3n$ 행의 m 개의 화소(353)가 순차적으로 선택된다.

[0078] 실시 형태 1에 도시된 액정 표시 장치에서와 같이, 본 실시 형태의 액정 표시 장치에서, 선택 신호의 공급과 특정 컬러의 광의 공급은 각 영역(제1 내지 제 n 행, 제($n+1$) 내지 제 $2n$ 행, 및 제($2n+1$) 내지 제 $3n$ 행)에서 동시에 수행될 수 있다.

- [0079] (본 실시 형태의 액정 표시 장치)
- [0080] 본 실시 형태의 액정 표시 장치는 실시 형태 1에서 설명된 액정 표시 장치의 것들과 유사한 기능을 갖는다. 또한, 본 실시 형태의 액정 표시 장치의 개구율은 실시 형태 1의 액정 표시 장치와 비교하여, 화소부에 설치된 주사선의 수의 감소 및 각 화소에 설치된 트랜지스터의 수의 감소에 의해 증가될 수 있다. 더구나, 화소부에 설치된 주사선의 수의 감소는 신호선과 주사선이 서로 중첩할 때 발생하는 기생 용량을 감소시킬 수 있으므로, 신호선은 고속으로 구동될 수 있다. 또한, 주사선 구동 회로의 면적이 감소될 수 있고, 주사선 구동 회로를 동작하는 데 필요한 신호의 수가 감소될 수 있다(즉, 복수의 시프트 레지스터에 주사선 구동 회로를 위한 다른 스타트 신호를 공급할 필요가 없다).
- [0081] (변형예)
- [0082] 본 실시 형태의 액정 표시 장치는 본 발명의 한 실시 형태이고, 본 발명은 액정 표시 장치와 다른 액정 표시 장치를 더 포함한다. 예를 들어, 본 실시 형태의 액정 표시 장치는 실시 형태 1의 변형예로서 도시된 구조를 가질 수 있다. 구체적으로, 본 실시 형태의 액정 표시 장치에 포함된 시프트 레지스터는, 예를 들어, 등가 기능을 갖는 회로(예를 들어, 디코더)로 대체될 수 있다.
- [0083] 또한, 본 실시 형태의 액정 표시 장치는 화소부(30)가 3개의 영역으로 분할된 구조를 갖지만, 본 실시 형태의 액정 표시 장치는 이 구조를 갖는 것으로 한정되지 않는다. 즉, 본 실시 형태의 액정 표시 장치에서, 화소부(30)는 임의의 복수의 영역으로 분할될 수 있다. 영역의 수가 변경되는 경우에, 시프트 레지스터의 수와 행의 수는 동일할 필요가 있다는 것이 자명하다는 점에 유의한다.
- [0084] 본 실시 형태의 액정 표시 장치에서, 화소의 수는 3개의 영역에서 동일하고(즉, 각각의 영역은 n 행 m 열의 화소를 포함한다), 다르게는, 화소의 수는 영역 별로 변화할 수 있다. 구체적으로, 제1 영역은 c 행 m 열의 화소(c 는 자연수)를 포함할 수 있고 제2 영역은 d 행 m 열의 화소(d 는 c 이외의 자연수)를 포함할 수 있다.
- [0085] (실시 형태 3)
- [0086] 본 실시 형태에서, 실시 형태 1 또는 2에서 설명된 액정 표시 장치의 구체적구조가 설명될 것이다.
- [0087] (화소에 설치된 트랜지스터의 예)
- [0088] 실시 형태 1의 액정 표시 장치에서, 복수의 트랜지스터가 각 화소에 설치된다. 화소예의 화상 신호의 입력은 복수의 트랜지스터를 이용함으로써 순차적으로 제어된다. 그러므로, 화상 신호는 복수의 행에 배치된 화소에 동시에 공급될 수 있다. 액정 표시 장치에서, 화소에 유지된 화상 신호의 누설은 화소에 설치된 트랜지스터의 수의 증가에 따라 증가된다는 점에 유의한다. 그 때문에, 액정 표시 장치에서, 우수한 오프 특성(낮은 오프 전류)을 갖는 트랜지스터가 각 화소에 설치되는 트랜지스터로서 바람직하게 사용된다. 트랜지스터에 적합한 트랜지스터의 예가 도 9를 참조하여 아래에 설명될 것이다. 구체적으로, 산화물 반도체를 이용하여 형성된 채널 형성 영역을 포함하는 트랜지스터가 설명될 것이다. 트랜지스터의 오프 전류는 산화물 반도체가 고순도화될 때 극도로 감소될 수 있다(아래에 설명됨). 트랜지스터는 또한 주사선 구동 회로를 형성하는 데 사용될 수 있다. 그 경우에, 제조 단계의 감소로 인해 코스트 감소 및 생산성의 향상을 이룰 수 있다.
- [0089] 산화물 반도체의 밴드 갭은 3.0eV 내지 3.5eV인 점에 유의한다. 탄화 실리콘의 밴드 갭 및 질화 갈륨의 밴드 갭은 각각 실리콘의 것의 약 3배인 3.26eV 및 3.39eV이다. 그러므로, 탄화 실리콘 및 질화 갈륨 등의 화합물 반도체는 이들이 모두 넓은 밴드 갭 반도체인 점에서 산화물 반도체와 유사하다. 밴드 갭을 넓게 하면 신호 처리 회로의 내압을 증가시키고, 전력 손실 등을 감소하는 데 유리하다.
- [0090] 탄화 실리콘 및 질화 갈륨 등의 화합물 반도체는 단결정이어야 하고, 단결정 재료를 얻기 위한 제조 조건을 맞추는 것이 어렵고, 예를 들어, 결정은 산화물 반도체의 공정 온도보다 훨씬 높은 온도에서 성장할 필요가 있고, 특별한 기판 위의 에피택셜 성장이 필요하다. 이러한 조건은 쉽게 얻을 수 있는 실리콘 웨이퍼 또는 허용가능한 온도 제한이 낮은 글래스 기판 위에 이들 화합물 반도체 중 어느 것의 성막도 허용하지 않는다. 그러므로, 저렴한 기판이 사용될 수 없고, 나아가, 기판은 크기가 증가될 수 없으므로, 탄화 실리콘 또는 질화 갈륨 등의 화합물 반도체를 이용한 신호 처리 회로의 생산성이 낮다. 반면, 산화물 반도체는 300℃ 내지 850℃의 열 처리로 성막될 수 있으며, 즉, 글래스 기판 위에 성막될 수 있다. 더구나, 산화물 반도체를 이용하여 형성된 반도체 소자는 집적 회로 위에 적층될 수 있다.
- [0091] 도 9에 도시된 트랜지스터(211)는 절연면을 갖는 기판(220) 위에 설치된 게이트층(221), 게이트층(221) 위에 설치된 게이트 절연층(222), 게이트 절연층(222) 위에 설치된 산화물 반도체층(223), 및 산화물 반도체층(223) 위

에 설치된 소스층(224a) 및 드레인층(224b)을 포함한다. 또한, 도 9는 트랜지스터(211)를 덮고 산화물 반도체층(223)과 접하는 절연층(225), 및 절연층(225) 위에 설치된 보호 절연층(226)을 도시한다.

[0092] 상술한 바와 같이, 도 9의 트랜지스터(211)는 반도체층으로서 산화물 반도체층(223)을 포함한다. 산화물 반도체층(223)용으로 사용되는 산화물 반도체의 예는 4 금속 원소의 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3 금속 원소의 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 및 Sn-Al-Zn-O계 산화물 반도체; 2 금속 원소의 산화물인 In-Ga-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 및 In-Mg-O계 산화물 반도체; 및 1 금속 원소의 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, 및 Zn-O계 산화물 반도체이다. 또한, SiO₂가 상기 산화물 반도체에 포함될 수 있다. 여기서, 예를 들어, In-Ga-Zn-O계 산화물 반도체는 적어도 In, Ga, 및 Zn을 포함하는 산화물이고, 원소의 조성비에는 특정한 제한이 없다. In-Ga-Zn-O계 산화물 반도체는 In, Ga, 및 Zn 이외의 원소를 포함할 수 있다.

[0093] 산화물 반도체층(223)으로서, InM₃(ZnO)_m(m>0)의 화학식으로 표현되는 박막이 사용될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Mn, 또는 Ga와 Co일 수 있다.

[0094] In-Zn-O계 재료가 산화물 반도체로서 사용되는 경우에, 사용될 타겟은 원자비로 In:Zn = 50:1 내지 1:2(In₂O₃:ZnO = 25:1 내지 1:4 몰비), 바람직하게는 원자비로 In:Zn = 20:1 내지 1:1(In₂O₃:ZnO = 10:1 내지 1:2 몰비), 더 바람직하게는 원자비로 In:Zn = 15:1 내지 1.5:1(In₂O₃:ZnO = 15:2 내지 3:4 몰비)의 조성비를 갖는다. 예를 들어, In-Zn-O계 산화물 반도체를 형성하는 데 사용되는 타겟이 In:Zn:O=X:Y:Z의 원자비를 가질 때, Z>(1.5X+Y)의 관계식이 만족된다.

[0095] 상술한 산화물 반도체는 다음과 같이 고순도화되고 전기적으로 i형(진성)으로 된 산화물 반도체이다: 전기적 특성의 변동 요인인 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물이 전기적 특성의 변동을 방지하기 위해 의도적으로 제거된다.

[0096] 그러므로, 산화물 반도체는 가능한 한 수소를 적게 포함하는 것이 바람직하다. 또한, 수소, 산소 결손 등으로부터 유래된 캐리어의 수가 고순도화된 산화물 반도체층에서는 극히 작고(제로에 가깝고), 캐리어 밀도는 1×10¹²/cm³ 미만, 바람직하게는 1×10¹¹/cm³ 미만이다. 바꾸어 말하면, 산화물 반도체에서 수소, 산소 결손 등으로부터 유래된 캐리어의 밀도는 가능한 한 제로에 가깝게 된다. 산화물 반도체는 수소, 산소 결손 등으로부터 유래된 매우 적은 수의 캐리어를 갖기 때문에, 트랜지스터가 오프일 때의 리크 전류(오프 전류)의 양은 적다. 또한, 수소 및 산소 결손 등으로부터 유래된 불순물 준위는 작기 때문에, 광 조사, 온도 변화, 바이어스 인가 등으로 인한 전기적 특성의 변동 및 열화가 감소될 수 있다. 오프 전류의 양은 적을수록 좋다는 점에 유의한다. 반도체층을 위한 산화물 반도체를 포함하는 트랜지스터는 100zA(zepto암페어) 이하, 바람직하게는 10zA 이하, 더 바람직하게는 1zA 이하의 오프 전류값(1μm의 채널 폭 W 당)을 갖는다. 또한, 트랜지스터는 PN 접합을 갖지 않고 핫 캐리어 열화가 일어나지 않으므로, 트랜지스터의 전기적 특성이 악영향을 받지 않는다.

[0097] 오프 전류는 상술한 바와 같이 그 안에 포함된 수소를 철저히 감소함으로써 고순도화된 산화물 반도체층이 채널 형성 영역에 사용되는 트랜지스터에서 극히 낮다. 바꾸어 말하면, 회로 설계에 있어서, 산화물 반도체층은 트랜지스터가 오프일 때 절연체로서 간주될 수 있다. 한편, 트랜지스터가 온일 때, 산화물 반도체층의 전류 공급 능력은 비정질 실리콘으로 형성된 반도체층의 것보다 높을 것으로 기대된다.

[0098] 절연면을 갖는 기판(220)으로서, 예를 들어, 바륨 보로실리케이트 글래스, 알루미늄보로실리케이트 글래스 등의 글래스 기판이 사용될 수 있다.

[0099] 트랜지스터(211)에서, 하지막이 되는 절연막은 기판(220)과 게이트층(221) 사이에 설치될 수 있다. 하지막은 불순물 원소가 기판으로부터 확산하는 것을 방지하는 기능을 갖고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 및 산화 질화 실리콘막 중 하나 이상을 이용한 단층 구조 또는 적층 구조로 형성될 수 있다.

[0100] 게이트층(221)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속 재료 또는 이들 재료를 그 주성분으로서 포함하는 합금 재료를 이용한 단층 구조 또는 적층 구조로 형성될 수 있다.

- [0101] 게이트 절연층(222)은 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 또는 산화 하프늄층을 포함하는 단층 구조 또는 적층 구조로 플라즈마 CVD, 스퍼터링 등에 의해 형성될 수 있다. 예를 들어, 50nm 내지 200nm의 두께를 갖는 질화 실리콘층($\text{SiNy}(y>0)$)이 플라즈마 CVD에 의해 제1 게이트 절연층으로서 형성될 수 있고, 제2 게이트 절연층으로서 5nm 내지 300nm의 두께를 갖는 산화 실리콘층($\text{SiOx}(x>0)$)이 제1 게이트 절연층 위에 적층될 수 있다.
- [0102] 소스층(224a) 및 드레인층(224b)용으로 사용되는 도전막은 예를 들어, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소, 이들 원소를 성분으로 포함하는 합금, 또는 이들 원소의 조합을 포함하는 합금막을 이용하여 형성될 수 있다. Ti, Mo, W 등의 고용점 금속층이 Al, Cu 등의 금속층의 상면 및 하면 중 하나 또는 둘 다 위에 적층된 구조가 채용될 수 있다. 알루미늄막에서 힐록 및 위스커의 발생을 방지하는 원소(예를 들어, Si, Nd, 또는 Sc)가 첨가된 알루미늄 재료를 이용함으로써, 내열성이 증가될 수 있다.
- [0103] 소스층(224a) 및 드레인층(224b)(소스 및 드레인층과 동일한 층을 이용하여 형성되는 배선층을 포함)이 될 도전막은 도전 금속 산화물을 이용하여 형성될 수 있다. 도전 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라 함), 산화 인듐과 산화 아연의 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 실리콘 또는 산화 실리콘을 포함하는 금속 산화물의 재료가 이용될 수 있다.
- [0104] 절연층(225)으로서, 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막으로 대표되는 무기 절연막이 이용될 수 있다.
- [0105] 보호 절연층(226)으로서, 질화 실리콘막, 질화 알루미늄막, 질화 산화 실리콘막, 또는 질화 산화 알루미늄막 등의 무기 절연막이 이용될 수 있다.
- [0106] 평탄화 절연막이 트랜지스터로 인한 표면 요철을 감소시키기 위해 보호 절연층(226) 위에 형성될 수 있다. 평탄화 절연막은 폴리이미드, 아크릴, 또는 벤조사이클로부텐 등의 유기 재료를 이용하여 형성될 수 있다. 이러한 유기 재료 이외에, 저 유전 상수 재료(로우-k 재료) 등을 이용하는 것이 가능하다. 평탄화 절연막은 이들 재료로부터 형성된 복수의 절연막을 적층함으로써 형성될 수 있는 점에 유의한다.
- [0107] (트랜지스터의 오프 전류)
- [0108] 다음에, 고순도화된 산화물 반도체층을 포함하는 트랜지스터의 오프 전류를 측정된 결과가 설명될 것이다.
- [0109] 먼저, 1 μm 의 충분히 큰 채널 폭 W 을 갖는 트랜지스터가 고순도화된 산화물 반도체층을 포함하는 트랜지스터는 적절하게 낮은 오프 전류를 갖는다는 점을 고려하여 준비되었고, 오프 전류가 측정되었다. 도 10은 1 μm 의 채널 폭 W 을 갖는 트랜지스터의 오프 전류를 측정된 결과를 도시한다. 도 10에서, 수평축은 게이트 전압 V_G 를 나타내고, 수직축은 드레인 전류 I_D 를 나타낸다. 드레인 전압 V_D 가 +1V 또는 +10V이고 게이트 전압 V_G 가 -20V 내지 -5V의 범위 내에 있는 경우에, 트랜지스터의 오프 전류는 검출 경계값인 $1 \times 10^{-12} \text{ A}$ 이하인 것으로 판명되었다. 또한, 트랜지스터의 오프 전류(여기서, 1 μm 의 채널 폭 당)는 $1 \text{ aA}/\mu\text{m}(1 \times 10^{-18} \text{ A}/\mu\text{m})$ 이하인 것으로 판명되었다.
- [0110] 다음에, 고순도화된 산화물 반도체층을 포함하는 트랜지스터의 오프 전류를 보다 정밀하게 측정된 결과가 설명될 것이다. 상술한 바와 같이, 고순도화된 산화물 반도체층을 포함하는 트랜지스터의 오프 전류는 측정 장비의 검출 경계값인 $1 \times 10^{-12} \text{ A}$ 이하인 것으로 판명되었다. 여기서, 특성을 평가하는 소자를 이용하여 오프 전류를 보다 정밀하게 측정된 결과(상기 측정에서 측정 장비의 검출 경계값 이하인 값)가 설명될 것이다.
- [0111] 우선, 전류를 측정하는 데 사용된 특성 평가 소자가 도 11을 참조하여 설명될 것이다.
- [0112] 도 11에 도시된 특성 평가 소자에서, 3개의 측정 시스템(1800)이 병렬로 접속된다. 측정 시스템(1800)은 용량 소자(1802), 트랜지스터(1804), 트랜지스터(1805), 트랜지스터(1806), 및 트랜지스터(1808)를 포함한다. 고순도화된 산화물 반도체층을 포함하는 트랜지스터는 트랜지스터(1804 및 1808)로서 이용되었다.
- [0113] 측정 시스템(1800)에서, 트랜지스터(1804)의 소스 및 드레인 중 하나, 용량 소자(1802)의 한 단자, 및 트랜지스터(1805)의 소스 및 드레인 중 하나는 전원(V_2 공급용)에 접속된다. 트랜지스터(1804)의 소스 및 드레인 중 다른 하나, 트랜지스터(1808)의 소스 및 드레인 중 하나, 용량 소자(1802)의 다른 단자, 및 트랜지스터(1805)의 게이트는 서로 전기적으로 접속된다. 트랜지스터(1808)의 소스 및 드레인 중 다른 하나, 트랜지스터(1806)의

소스 및 드레인 중 하나, 및 트랜지스터(1806)의 게이트는 전원(V1 공급용)에 전기적으로 접속된다. 트랜지스터(1805)의 소스 및 드레인 중 다른 하나 및 트랜지스터(1806)의 소스 및 드레인 중 다른 하나는 출력 단자에 전기적으로 접속된다.

[0114] 트랜지스터(1804)의 온/오프 상태를 제어하는 전위 Vext_b2는 트랜지스터(1804)의 게이트에 공급된다. 트랜지스터(1808)의 온/오프 상태를 제어하는 전위 Vext_b1는 트랜지스터(1808)의 게이트에 공급된다. 전위 Vout는 출력 단자로부터 출력된다.

[0115] 다음에, 특성 평가 소자를 이용하여 전류를 측정하는 방법이 도 12를 참조하여 설명될 것이다. 측정은 초기 기간 및 측정 기간에서 수행된다.

[0116] 먼저, 초기 기간에서, 노드 A(트랜지스터(1808)의 소스 및 드레인 중 하나, 용량 소자(1802)의 다른 단자, 및 트랜지스터(1805)의 게이트에 전기적으로 접속된 노드)는 고 전위를 갖는 것으로 된다. 이것을 실현하기 위해, V1의 전위는 고 전위(VDD)로 설정되고 V2의 전위는 저 전위(VSS)로 설정된다.

[0117] 다음에, Vext_b2는 트랜지스터(1804)가 턴 온되는 전위(고 전위)로 설정된다. 그러므로, 노드 A의 전위는 V2, 즉, 저 전위(VSS)로 된다. 노드 A에 저 전위(VSS)를 항상 공급할 필요는 없다는 점에 유의한다. 그 다음에, Vext_b2는 트랜지스터(1804)가 턴 오프되는 전위(저 전위)로 설정되어, 트랜지스터(1804)는 턴 오프된다. 다음에, Vext_b1은 트랜지스터(1808)가 턴 온되는 전위(고 전위)로 설정된다. 그러므로, 노드 A의 전위는 V1, 즉, 고 전위(VDD)로 된다. 그 후, Vext_b1은 트랜지스터(1808)가 턴 오프되는 전위로 설정된다. 따라서, 노드 A는 고 전위를 갖는 동안 플로팅 상태로 되고, 초기 기간이 완료된다.

[0118] 다음의 측정 기간에서, 전위 V1 및 전위 V2는 전하가 노드 A로 흐르는 전위 또는 전하로 노드 A로부터 흐르는 전위로 설정된다. 여기서, 전위 V1 및 전위 V2 각각은 저 전위로 설정된다. 출력 전위 Vout를 측정하는 타이밍에서, V1은 출력 회로가 동작될 필요가 있기 때문에 일시적으로 고 전위로 설정된다는 점에 유의한다. V1이 고 전위인 기간은 측정에 악영향을 주지 않도록 짧게 된다.

[0119] 측정 기간에서, 트랜지스터(1804 및 1808)의 오프 전류로 인해 전하는 노드 A로부터 V1이 공급되는 배선 또는 V2가 공급되는 배선으로 전달된다. 즉, 노드 A에 유지되는 전하량은 시간에 따라 변동되고, 노드 A의 전위는 그에 따라 변동된다. 이것은 트랜지스터(1805)의 게이트의 전위가 변동한다는 것을 의미한다.

[0120] 전하는 Vext_b1의 전위가 규칙 간격으로 고 전위로 일시적으로 설정되는 동안 Vout을 측정함으로써 측정된다. 트랜지스터(1805) 및 트랜지스터(1806)로 구성된 회로는 인버터이다. 노드 A가 고 전위를 가질 때, Vout은 저 전위로 되고; 노드 A가 저 전위를 가질 때, Vout은 고 전위로 된다. 초기에 고 전위로 되었던 노드 A의 전위는 전하량의 감소로 인해 점차적으로 감소된다. 따라서, Vout의 전위 또한 변동된다. 노드 A의 전위는 인버터의 증폭 기능으로 증폭되고 Vout으로서 출력되어, 노드 A의 전위의 소량의 변동이 Vout의 측정에 의해 측정될 수 있다.

[0121] 얻어진 출력 전위 Vout으로부터 오프 전류를 산출하는 방법이 아래에 설명될 것이다.

[0122] 노드 A의 전위 V_A 와 출력 전위 Vout 사이의 관계가 오프 전류의 산출 전에 미리 얻어진다. 이 관계로, 노드 A의 전위 V_A 는 출력 전위 Vout를 이용하여 얻어질 수 있다. 상기 관계에 따라, 노드 A의 전위 V_A 는 다음의 식과 같이 출력 전위 Vout의 함수로서 표현될 수 있다.

수학식 1

$$V_A = F(V_{out})$$

[0124] 노드 A의 전하 Q_A 는 노드 A의 전위 V_A , 노드 A에 접속된 용량 C_A , 및 상수(const)를 이용하여 다음의 수학식으로 표현될 수 있다. 여기서, 노드 A에 접속된 용량 C_A 는 용량 소자(1802)의 용량과 다른 용량의 합이다.

수학식 2

[0125]
$$Q_A = C_A V_A + const$$

[0126] 노드 A의 전류 I_A 는 노드 A에 접속된 용량 소자로 흐르는 전하(또는 노드 A에 접속된 용량 소자로부터 흐르는 전하)의 시간 미분에 의해 얻어지기 때문에, 노드 A의 전류 I_A 는 다음의 수학식으로 표현된다.

수학식 3

[0127]
$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

[0128] 이 방식으로, 노드 A의 전류 I_A 는 노드 A에 접속된 용량 C_A 및 출력 단자의 출력 전위 V_{out} 로부터 얻어질 수 있다.

[0129] 상기 방법에 의해, 오프 상태에서 트랜지스터의 소스와 드레인 사이에 흐르는 리크 전류(오프 전류)를 측정하는 것이 가능하다.

[0130] 여기서, 각각 고순도화된 산화물 반도체층을 포함하고 $10\mu\text{m}$ 의 채널 길이 L 및 $50\mu\text{m}$ 의 채널 폭 W 을 갖는 트랜지스터(1804) 및 트랜지스터(1808)가 제조되었다. 병렬로 배열된 측정 시스템(1800)에서, 용량 소자(1802)의 용량값은 100fF, 1pF, 및 3pF이었다.

[0131] 상술한 측정에서, VDD는 5V이었고 VSS는 0V이었다는 점에 유의한다. 측정 기간에서, V_{out} 은 전위 V_1 이 기본적으로 VSS이고 매 10초 내지 300초마다 100밀리초의 기간에서 VDD로 설정되는 동안만 측정되었다. 또한, 소자를 통해 흐르는 전류 I 의 산출에 이용된 Δt 는 약 30000초이었다.

[0132] 도 13은 전류 측정시 경과된 시간 Time과 출력 전위 V_{out} 사이의 관계를 도시한다. 도 13으로부터 전위는 시간에 따라 변화된다는 것을 알 수 있다.

[0133] 도 14는 상기 전류 측정에서 산출된 실온(25℃)에서의 오프 전류를 도시한다. 도 14는 트랜지스터(1804) 또는 트랜지스터(1808)의 소스-드레인 전압 V 와 오프 전류 I 사이의 관계를 도시한다. 도 14로부터 소스-드레인 전압이 4V일 때 오프 전류는 약 $40\text{zA}/\mu\text{m}$ 이라는 것이 판명된다. 또한, 소스-드레인 전압이 3.1V일 때 오프 전류는 $10\text{zA}/\mu\text{m}$ 이다. 1zA 는 10^{-21}A 이라는 점에 유의한다.

[0134] 도 15는 상기 전류 측정에서 산출된 85℃에서의 오프 전류를 도시한다. 도 15는 85℃에서 트랜지스터(1804) 또는 트랜지스터(1808)의 소스-드레인 전압 V 와 오프 전류 I 사이의 관계를 도시한다. 도 15로부터 소스-드레인 전압이 3.1V일 때 오프 전류는 $100\text{zA}/\mu\text{m}$ 이하라는 것이 판명된다.

[0135] 상술한 바와 같이, 오프 전류는 고순도화된 산화물 반도체층을 포함하는 트랜지스터에서 충분히 낮다는 것이 확인되었다.

[0136] (트랜지스터의 변형예)

[0137] 상기 트랜지스터에서, 소위 채널 에치 구조의 보텀 게이트 구조를 갖는 트랜지스터(211)(도 9 참조)는 화소에 설치된 트랜지스터로서 이용되지만, 트랜지스터는 이 구조를 갖는 것으로 한정되지 않는다. 예를 들어, 도 16a 내지 16c에 도시된 트랜지스터가 이용될 수 있다.

[0138] 도 16a에 도시된 트랜지스터(510)는 소위 채널 보호형(채널 스톱형이라고도 함)의 일종의 보텀 게이트 구조를 갖는다.

[0139] 트랜지스터(510)는 절연면을 갖는 기판(220) 위에, 게이트층(221), 게이트 절연층(222), 산화물 반도체층(223), 산화물 반도체층(223)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연층(511), 소스층(224a), 및 드레인층(224b)을 포함한다. 또한, 소스층(224a), 드레인층(224b), 및 절연층(511)을 덮는 보호 절연층(226)이 형성된다.

- [0140] 절연층(511)으로서, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 또는 산화 탄탈 등의 절연체가 이용될 수 있다. 이들 재료들 중 임의의 것의 적층 구조가 또한 이용될 수 있다.
- [0141] 도 16b에 도시된 트랜지스터(520)는 보텀 게이트 트랜지스터이다. 트랜지스터(520)는 절연면을 갖는 기판(220) 위에, 게이트층(221), 게이트 절연층(222), 소스층(224a), 드레인층(224b), 및 산화물 반도체층(223)을 포함한다. 또한, 소스층(224a) 및 드레인층(224b)을 덮고 산화물 반도체층(223)과 접하는 절연층(225)이 설치된다. 보호 절연층(226)은 절연층(225) 위에 설치된다.
- [0142] 트랜지스터(520)에서, 게이트 절연층(222)은 기판(220) 및 게이트층(221) 위에 접하여 설치되고, 소스층(224a) 및 드레인층(224b)은 게이트 절연층(222) 위에 접하여 설치된다. 또한, 산화물 반도체층(223)은 게이트 절연층(222), 소스층(224a), 및 드레인층(224b) 위에 설치된다.
- [0143] 도 16c에 도시된 트랜지스터(530)는 일종의 탑 게이트 트랜지스터이다. 트랜지스터(530)는 절연면을 갖는 기판(220) 위에, 절연층(531), 산화물 반도체층(223), 소스층(224a) 및 드레인층(224b), 게이트 절연층(222), 및 게이트층(221)을 포함한다. 배선층(532a) 및 배선층(532b)은 각각 소스층(224a) 및 드레인층(224b)에 전기적으로 접속되도록 소스층(224a) 및 드레인층(224b)과 접하여 설치된다.
- [0144] 절연층(531)으로서, 산화 실리콘, 질화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 알루미늄, 또는 산화 탄탈 등의 절연체가 이용될 수 있다. 이들 재료들 중 임의의 것의 적층 구조가 또한 이용될 수 있다.
- [0145] 배선층(532a 및 532b)으로서, 알루미늄(Al), 구리(Cu), 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 및 스칸듐(Sc)으로부터 선택된 원소; 이들 원소를 포함하는 합금; 또는 이들 원소를 포함하는 질화물이 이용될 수 있다. 이들 재료들 중 임의의 것의 적층 구조가 또한 이용될 수 있다.
- [0146] (화소의 단면의 구체예)
- [0147] 본 발명의 한 실시 형태에 따른 액정 표시 장치는 낮은 오프 전류를 갖는 신뢰성이 높은 트랜지스터가 화소부에 사용되기 때문에 고 가시성 및 고 신뢰성을 가질 수 있다.
- [0148] 도 17은 본 발명의 한 실시 형태에 따른 액정 표시 장치에서의 화소의 단면도의 예를 도시한다. 도 17에 도시된 트랜지스터(1401)는 절연면 위에 형성된 게이트층(1402), 게이트층(1402) 위의 게이트 절연층(1403), 게이트 절연층(1403)을 사이에 두고 게이트층(1402)과 중첩하는 산화물 반도체층(1404), 및 산화물 반도체(1404) 위에 적층되도록 형성되고 소스층 및 드레인층으로서 기능하는 도전막(1405) 및 도전막(1406)을 포함한다. 트랜지스터(1401)는 산화물 반도체층(1404) 위에 형성된 절연층(1407)을 더 포함할 수 있다. 절연층(1407)은 게이트층(1402), 게이트 절연층(1403), 산화물 반도체층(1404), 도전막(1405), 및 도전막(1406)을 덮도록 형성된다.
- [0149] 절연층(1408)은 절연층(1407) 위에 형성된다. 개구는 절연층(1407 및 1408)의 일부에 설치되고, 화소 전극(1410)은 그 개구에서 도전막(1406)과 접하도록 형성된다.
- [0150] 또한, 액정 소자의 셀 갭을 제어하기 위한 스페이서(1417)가 절연층(1408) 위에 형성된다. 스페이서(1417)는 절연막을 원하는 형상으로 에칭함으로써 형성될 수 있다. 다르게는, 셀 갭은 절연층(1408) 위에 구형 스페이서를 산포함으로써 제어될 수 있다.
- [0151] 배향막(1411)은 화소 전극(1410) 위에 형성된다. 화소 전극(1410)과 마주하는 대향 전극(1413)은 대향 기판(1420) 위에 형성된다. 배향막(1414)은 화소 전극(1410)과 마주하는 대향 전극(1413)의 표면 위에 형성된다. 배향막(1411 및 1414)은 폴리이미드 또는 폴리비닐 알콜 등의 유기 수지를 이용하여 형성될 수 있다. 러빙 등의 배향 처리가 일정 방향으로 액정 분자를 배향하기 위해 그들 표면에 대해 수행된다. 러빙은 나일론 등의 천으로 감긴 롤러가 배향막과 접촉하는 동안 회전되고, 일정 방향으로 배향막의 표면을 문지르는 방식으로 수행될 수 있다. 산화 실리콘 등의 무기 재료를 이용함으로써, 배향 특성을 갖는 배향막(1411 및 1414)은 배향 처리를 수행하지 않고 증착 방법에 의해 직접 형성될 수 있다는 점에 유의한다.
- [0152] 또한, 액정(1415)은 화소 전극(1410)과 대향 전극(1413) 사이의 시일재(sealant; 1416)에 의해 둘러싸인 영역에 설치된다. 액정(1415)은 디스펜서 방식(드립핑 방식) 또는 디핑 방식(펌핑 방식)으로 주입될 수 있다. 필러는 시일재(1416)에 혼합될 수 있다는 점에 유의한다.
- [0153] 차광할 수 있는 차광막이 화소 사이에 설치되어 화소 간의 액정(1415)의 배향 불균일로 인한 디스클리네이션(disclination)이 인지되는 것을 방지한다. 차광막은 카본 블랙 또는 저차 산화 티타늄 등의 흑색 안료를 포함하는 유기 수지, 또는 크롬을 포함하는 막을 이용하여 형성될 수 있다.

- [0154] 화소 전극(1410) 및 대향 전극(1413)은 예를 들어, 산화 실리콘을 포함하는 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 또는 갈륨 도핑 산화 아연(GZO) 등의 투명 도전 재료를 이용하여 형성될 수 있다.
- [0155] TN(twisted nematic) 액정 표시 장치가 여기에 도시되고, 다르게는, 액정 표시 장치는 예를 들어, VA(vertical alignment) 액정 표시 장치, OCB(optically compensated birefringence) 액정 표시 장치, IPS(in-plane switching) 액정 표시 장치, 또는 MVA(multi-domain vertical alignment) 액정 표시 장치일 수 있다는 점에 유의한다.
- [0156] 다르게는, 배향막이 필요하지 않는 블루 상을 나타내는 액정이 사용될 수 있다. 블루 상은 콜레스테릭 액정의 온도가 증가되는 동안 콜레스테릭 상이 등방성 상으로 변화되기 바로 전에 발생된 액정 상 중 하나이다. 블루 상은 좁은 온도 범위에서만 발생되기 때문에, 카이럴제 또는 자외선 경화 수지가 첨가되어 온도 범위가 증가된다. 구체적으로, 5 중량% 이상의 카이럴제를 포함하는 액정 조성물이 액정(1415)으로서 이용된다. 블루 상을 나타내는 액정 및 카이럴제를 포함하는 액정 조성물은 응답 시간이 $10\mu s$ 내지 $100\mu s$ 정도로 짧은 그러한 특성을 갖고, 액정 조성물이 광학적 등방성을 갖기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 그러한 특성을 갖는 액정은 바람직하게는 상기 액정 표시 장치(화상 신호가 화상을 생성하기 위해 각 화소에 복수회 입력될 필요가 있는 액정 표시 장치)에서 특히 액정으로서 이용된다.
- [0157] 액정(1415)이 화소 전극(1410)과 대향 전극(1413) 사이에 끼워진 액정 소자가 도 17에 예로서 도시되지만, 본 발명의 한 실시 형태에 따른 액정 표시 장치는 이 구조를 갖는 것으로 한정되지 않는다는 점에 유의한다. 한 쌍의 전극이 IPS 액정 소자 또는 블루 상을 이용하는 액정 소자에서와 같이 하나의 기판 위에 형성될 수 있다.
- [0158] (화소부와 구동 회로 사이의 접속의 구체예)
- [0159] 다음에, 화소부가 설치된 기판 위에 구동 회로가 설치된 기판을 직접 실장하는 단자 접속 방법이 설명될 것이다.
- [0160] 도 18a는 구동 회로가 설치된 기판(900) 및 화소부가 설치된 기판(901)이 와이어 본딩 방법에 의해 서로 접속된 부분의 단면도이다. 기판(900)은 접착제(903)로 기판(901)에 접착된다. 구동 회로에 포함된 트랜지스터(906)는 기판(900) 위에 설치된다. 트랜지스터(906)는, 기판(900)의 표면 위에 노출되도록 형성되고 단자로서 기능하는 패드(907)에 전기적으로 접속된다. 단자(904)는 도 18a에서 기판(901) 위에 형성되고, 패드(907)와 단자(904)는 와이어(905)로 서로 접속된다.
- [0161] 도 18b는 화소부가 설치된 기판(911) 및 구동 회로가 설치된 기판(910)이 플립 칩 방법에 의해 서로 접속된 부분의 단면도이다. 도 18b에서, 솔더 볼(913)은 기판(910)의 표면 위에 노출되도록 형성된 패드(912)에 접속된다. 따라서, 기판(910) 위에 형성된 구동 회로에 포함된 트랜지스터(914)는 패드(912)를 통해 솔더 볼(913)에 전기적으로 접속된다. 솔더 볼(913)은 기판(911) 위에 형성된 단자(916)에 전기적으로 접속된다.
- [0162] 솔더 볼(913) 및 단자(916)는 열압착 본딩 및 초음파 진동을 이용하는 열압착 본딩 등의 다양한 방법에 의해 서로 접속될 수 있다. 접속부의 기계적 강도 또는 기판(911)에 발생된 열의 확산 효율을 증가시키기 위해, 언더필(fill)이 기판(910)과 기판(911) 사이에 설치되어 본딩 후에 솔더 볼 사이의 갭을 채울 수 있다는 점에 유의한다. 반드시 설치되지는 않지만, 언더필은 기판(910)과 기판(911) 사이의 열 팽창 계수의 불일치에 의해 발생된 응력으로 인한 접속 불량 발생을 방지할 수 있다. 솔더 볼(913)과 단자(916)가 초음파에 의해 서로 본딩된 경우, 열압착 본딩에 의해서만 서로 본딩되는 경우에 비해 접속 불량이 감소될 수 있다.
- [0163] 접속될 패드의 수가 증가되어도, 패드 간의 간격이 와이어 본딩 방법을 이용하는 경우에 비해 비교적 클 수 있기 때문에 플립 칩 방법이 많은 수의 단자와의 접속을 실현하는 데 적합하다.
- [0164] 솔더 볼은 금속 나노입자가 분산되는 분산액을 토출하는 액적 토출 방법에 의해 형성될 수 있다는 점에 유의한다.
- [0165] 도 18c는 화소부가 설치된 기판(921) 및 구동 회로가 설치된 기판(920)이 이방성 도전 수지로 서로 접속되는 부분의 단면도이다. 도 18c에서, 기판(920)의 표면 위에 노출되도록 형성된 패드(922)는 기판(920) 위에 형성된 구동 회로에 포함된 트랜지스터(924)에 전기적으로 접속된다. 패드(922)는 이방성 도전 수지(927)로 기판(921) 위에 형성된 단자(926)에 접속된다.
- [0166] 접속 방법은 도 18a 내지 18c에 도시된 방법에 한정되지 않는다는 점에 유의한다. 기판은 와이어 본딩 방법 및

플립 칩 방법의 조합으로 서로 접속될 수 있다.

[0167] (화소부를 포함하는 기관 위에 실장된 구동 회로의 구체예)

[0168] 다음에, 구동 회로를 포함하는 기관(IC 칩이라고도 함)의 실장 방법이 설명될 것이다. 본 발명의 한 실시 형태에 따른 액정 표시 장치에서, 산화물 반도체를 이용하여 형성된 채널 형성 영역을 포함하는 트랜지스터가 사용되어, 화소부 및 구동 회로의 부분이 하나의 기관 위에 형성될 수 있다.

[0169] 도 19a에 도시된 액정 표시 장치에서, 화소부(6002) 및 주사선 구동 회로(6003)는 기관(6001) 위에 형성된다. 대향 기관(6006)은 화소부(6002) 및 주사선 구동 회로(6003)를 덮도록 기관(6001)과 중첩한다. 또한, 신호선 구동 회로가 설치된 기관(6004)은 기관(6001) 위에 직접 실장된다. 구체적으로, 기관(6004) 위에 형성된 신호선 구동 회로는 기관(6001)에 부착되고 화소부(6002)에 전기적으로 접속된다. 전원 전위, 다양한 신호 등이 FPC(6005)를 통해 화소부(6002), 주사선 구동 회로(6003), 및 기관(6004) 위에 형성된 신호선 구동 회로에 공급된다.

[0170] 도 19b에 도시된 액정 표시 패널에서, 화소부(6102) 및 주사선 구동 회로(6103)는 기관(6101) 위에 형성된다. 대향 기관(6106)은 화소부(6102) 및 주사선 구동 회로(6103)를 덮도록 기관(6101)과 중첩한다. 또한, 신호선 구동 회로가 설치된 기관(6104)은 기관(6101)에 접속된 FPC(6105) 위에 실장된다. 전원 전위, 다양한 신호 등은 FPC(6105)를 통해 화소부(6102), 주사선 구동 회로(6103), 및 기관(6104) 위에 형성된 신호선 구동 회로에 공급된다.

[0171] 도 19c에 도시된 액정 표시 장치에서, 화소부(6202), 주사선 구동 회로(6203), 및 신호선 구동 회로의 부분(6207)은 기관(6201) 위에 형성된다. 대향 기관(6206)은 화소부(6202), 주사선 구동 회로(6203), 및 신호선 구동 회로의 부분(6207)을 덮도록 기관(6201)과 중첩한다. 신호선 구동 회로의 다른 부분이 설치된 기관(6204)은 기관(6201) 위에 직접 실장된다. 구체적으로, 기관(6204) 위에 형성된 신호선 구동 회로의 다른 부분은 기관(6201)에 부착되고 신호선 구동 회로의 부분(6207)에 전기적으로 접속된다. 전원 전위, 다양한 신호 등은 FPC(6205)를 통해 화소부(6202), 주사선 구동 회로(6203), 신호선 구동 회로의 부분(6207), 및 기관(6204) 위에 형성된 신호선 구동 회로의 다른 부분에 공급된다.

[0172] 기관의 실장 방법에는 특정한 제한은 없고, 공지된 COG 방법, 와이어 본딩 방법, TAB 방법 등이 이용될 수 있다. IC 칩이 실장되는 위치는 전기적 접속이 이루어지는 한 도 19a 내지 19c에 도시된 위치로 한정되지 않는다. 또한, 컨트롤러, CPU, 메모리 등은 IC 칩을 이용하여 형성될 수 있고 화소부가 설치된 기관 위에 실장될 수 있다.

[0173] (액정 표시 장치의 구체예)

[0174] 다음에, 본 발명의 한 실시 형태에 따른 액정 표시 장치에서의 패널의 외관이 도 20a 및 20b를 참조하여 설명될 것이다. 도 20a는 기관(4001)과 대향 기관(4006)이 시일재(4005)로 서로 본딩된 패널의 상면도이다. 도 20b는 도 20a의 파선 A-A'을 따르는 단면도이다.

[0175] 시일재(4005)는 기관(4001) 위에 설치된 화소부(4002) 및 주사선 구동 회로(4004)를 둘러싸도록 설치된다. 대향 기관(4006)은 화소부(4002) 및 주사선 구동 회로(4004) 위에 배치된다. 따라서, 화소부(4002) 및 주사선 구동 회로(4004)는 기관(4001), 시일재(4005), 및 대향 기관(4006)에 의해 액정(4007)과 함께 밀봉된다.

[0176] 또한, 신호선 구동 회로(4003)가 형성되는 기관(4021)은 시일재(4005)에 의해 둘러싸인 영역 이외의 영역에서 기관(4001) 위에 실장된다. 도 20b는 예로서, 신호선 구동 회로(4003)에 포함된 트랜지스터(4009)를 도시한다.

[0177] 복수의 트랜지스터가 기관(4001) 위에 설치된 화소부(4002) 및 주사선 구동 회로(4004)에 포함된다. 도 20b는 화소부(4002)에 포함된 트랜지스터(4010) 및 트랜지스터(4022)를 도시한다. 트랜지스터(4010 및 4022) 각각에서, 채널 형성 영역은 산화물 반도체를 이용하여 형성된다.

[0178] 액정 소자(4011)에 포함된 화소 전극(4030)은 트랜지스터(4010)에 전기적으로 접속된다. 액정 소자(4011)의 대향 전극(4031)은 대향 기관(4006) 위에 형성된다. 액정 소자(4011)는 화소 전극(4030), 대향 전극(4031), 및 액정(4007)이 서로 중첩하는 영역에 대응한다.

[0179] 스페이서(4035)는 화소 전극(4030)과 대향 전극(4031) 사이의 간격(셀 갭)을 제어하기 위해 설치된다. 도 20b는 스페이서(4035)가 절연막의 패터닝에 의해 형성되는 경우를 도시하고, 다르게는 구형 스페이서가 이용될 수 있다.

- [0180] 신호선 구동 회로(4003), 주사선 구동 회로(4004), 및 화소부(4002)에 인가되는 다양한 신호 및 전위는 리딩 배선(4014 및 4015)를 통해 접속 단자(4016)로부터 공급된다. 접속 단자(4016)는 이방성 도전막(4019)을 통해 FPC(4018)에 전기적으로 접속된다.
- [0181] 기관(4001), 대향 기관(4006), 및 기관(4021)을 위해, 글래스, 세라믹, 또는 플라스틱이 이용될 수 있다. 플라스틱의 예는 유리 섬유 강화 플라스틱(FRP) 판, 폴리비닐 플루오라이드(PVF)막, 폴리에스테르막, 및 아크릴 수지막이다.
- [0182] 액정 소자(4011)를 통하여 투과되는 광이 추출되는 방향에 배치될 기관을 위해서, 글래스 판, 플라스틱, 폴리에스테르막, 또는 아크릴막 등의 투광 재료가 이용된다는 점에 유의한다.
- [0183] 도 21은 본 발명의 한 실시 형태에 따른 액정 표시 장치의 구조를 도시한 사시도의 예이다. 도 21의 액정 표시 장치는 화소부를 포함하는 패널(1601), 제1 확산판(1602), 프리즘 시트(1603), 제2 확산판(1604), 도광판(1605), 백라이트 패널(1607), 회로 기관(1608), 및 신호선 구동 회로가 설치된 기관(1611)을 포함한다.
- [0184] 패널(1601), 제1 확산판(1602), 프리즘 시트(1603), 제2 확산판(1604), 도광판(1605), 및 백라이트 패널(1607)이 이 순서대로 적층된다. 백라이트 패널(1607)은 복수의 백라이트 유닛을 포함하는 백라이트(1612)를 갖는다. 백라이트(1612)로부터 방출되어 도광판(1605)에서 확산된 광은 제1 확산판(1602), 프리즘 시트(1603), 및 제2 확산판(1604)을 통해 패널(1601)에 전달된다.
- [0185] 제1 확산판(1602) 및 제2 확산판(1604)이 여기서 이용되지만, 확산판의 수는 2개로 한정되지 않고 1개일 수 있고, 또는 3개 이상일 수 있다. 확산판은 도광판(1605)과 패널(1601) 사이에 설치되어야 한다. 그러므로, 확산판은 프리즘 시트(1603)보다 패널(1601)에 가까운 측에만 설치될 수 있고, 또는 프리즘 시트(1603)보다 도광판(1605)에 가까운 측에만 설치될 수 있다.
- [0186] 프리즘 시트(1603)는 도 21에 도시된 단면인 톱니 형상을 갖는 것으로 한정되지 않고 도광판(1605)으로부터의 광이 패널(1601) 측 위에 집중될 수 있는 형상을 가질 수 있다.
- [0187] 회로 기관(1608)에는 패널(1601)에 입력되는 각종 신호를 발생하는 회로, 이들 신호를 처리하는 회로 등이 설치된다. 도 21에서, 회로 기관(1608) 및 패널(1601)은 COF(chip on film) 테이프(1609)를 통해 서로 접속된다. 또한, 신호선 구동 회로가 설치된 기관(1611)은 COF 방법에 의해 COF 테이프(1609)에 접속된다.
- [0188] 도 21은 백라이트(1612)의 구동을 제어하는 컨트롤러 회로가 회로 기관(1608)에 설치되고 컨트롤러 회로 및 백라이트 패널(1607)이 FPC(1610)를 통해 서로 접속되는 예를 도시한다. 컨트롤러 회로는 패널(1601) 내에 형성될 수 있고, 이 경우에, 패널(1601) 및 백라이트 패널(1607)은 FPC 등을 통해 서로 접속된다는 점에 유의한다.
- [0189] (터치 패널을 포함하는 액정 표시 장치의 구체예)
- [0190] 본 발명의 한 실시 형태에 따른 액정 표시 장치는 소위 터치 패널인 포인팅 디바이스를 포함할 수 있다. 도 22a는 터치 패널(1620)이 패널(1621)과 중첩한 상태를 도시한다.
- [0191] 터치 패널(1620)에서, 손가락, 스타일러스 등에 의해 터치된 위치가 투광 위치 검출부(1622)에서 검출되고 이 위치에 관한 정보를 포함하는 신호가 발생될 수 있다. 따라서, 위치 검출부(1622)가 패널(1621)의 화소부(1623)와 중첩하도록 터치 패널(1620)을 설치함으로써, 액정 표시 장치의 사용자가 터치한 화소부(1623) 내의 위치에 관한 정보가 얻어질 수 있다.
- [0192] 이 위치는 저항 방식 터치 화면 기술 및 정전 용량 방식 터치 화면 기술 등의 다양한 방법에 의해 위치 검출부(1622)에서 검출될 수 있다. 도 22b는 저항 방식 터치 화면 기술의 위치 검출부(1622)의 사시도이다. 저항 방식 터치 화면 기술의 위치 검출부(1622)에서, 복수의 제1 전극(1630) 및 복수의 제2 전극(1631)이 사이에 공간을 두고 서로 마주하도록 설치될 수 있다. 복수의 제1 전극(1630) 중 하나가 손가락 등에 의해 눌러질 때, 제1 전극(1630)은 복수의 제2 전극(1631) 중 하나와 접촉한다. 다음에, 제1 전극(1630)의 각각의 대향 단부의 전압 레벨 및 제2 전극(1631)의 각각의 대향 단부의 전압 레벨을 모니터링함으로써, 제1 전극(1630) 중 어느 것이 제2 전극(1631)과 접하는 지를 특정하는 것이 가능하므로, 손가락에 의해 터치된 위치가 검출될 수 있다.
- [0193] 제1 전극(1630) 및 제2 전극(1631)은 예를 들어, 산화 실리콘을 포함하는 산화 인듐 주석(ITSO), 산화 인듐 주석(ITO), 산화 아연(ZnO), 산화 인듐 아연(IZO), 또는 갈륨 도핑 산화 아연(GZO)인 투광성 도전 재료를 이용하여 형성될 수 있다.
- [0194] 도 23a는 정전 용량 방식 터치 화면 기술 중에서 투영 정전 용량 방식 터치 화면 기술의 위치 검출부(1622)의

사시도이다. 투영 정전 용량 방식 터치 화면 기술의 위치 검출부(1622)에서, 복수의 제1 전극(1640) 및 복수의 제2 전극(1641)이 서로 중첩하도록 설치된다. 제1 전극(1640)은 복수의 장방형 도전막(1642)이 서로 접속된 구조를 각각 갖는다. 제2 전극(1641)은 복수의 장방형 도전막(1643)이 서로 접속된 구조를 각각 갖는다. 제1 전극(1640) 및 제2 전극(1641)의 형상은 이로 한정되지 않는다는 점에 유의한다.

[0195] 도 23a에서, 유전체로서 기능하는 절연층(1644)은 복수의 제1 전극(1640) 및 복수의 제2 전극(1641)과 중첩한다. 도 23b는 도 23a에 도시된 복수의 제1 전극(1640), 복수의 제2 전극(1641), 및 절연층(1644)이 서로 중첩하는 상태를 도시한다. 도 23b에 도시된 바와 같이, 복수의 제1 전극(1640) 및 복수의 제2 전극(1641)은 장방형 도전막(1642)의 위치가 장방형 도전막(1643)의 위치에 대응하지 않도록 서로 중첩한다.

[0196] 손가락 등이 절연층(1644)을 터치할 때, 복수의 제1 전극(1640) 중 하나와 손가락 사이에 용량이 발생된다. 또한, 복수의 제2 전극(1641) 중 하나와 손가락 사이에도 용량이 발생된다. 따라서, 용량의 변화를 모니터링함으로써 제1 전극(1640) 중 어느 것이 그리고 제2 전극(1641) 중 어느 것이 손가락과 가장 가까운지를 특정할 수 있으므로, 손가락에 의해 터치된 위치가 검출될 수 있다.

[0197] (트랜지스터의 제조 방법의 예)

[0198] 다음에, 트랜지스터를 제조하는 방법의 예가 설명될 것이다.

[0199] 먼저, 도 24a에 도시된 바와 같이, 게이트층(801) 및 전극층(802)은 절연면을 갖는 기판(800) 위에 형성된다.

[0200] 게이트층(801) 및 전극층(802)은 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 또는 스칸듐 등의 금속 재료 또는 이들 재료를 그 주성분으로서 포함하는 합금 재료, 또는 이들 금속의 질화물을 이용한 하나 이상의 도전막을 이용하는 단층 구조 또는 적층 구조로 형성될 수 있다. 알루미늄 또는 구리는 또한 그것이 나중의 단계에서 수행될 열처리의 온도에 견딜 수 있다면 금속 재료로서 이용될 수 있다는 점에 유의한다. 알루미늄 또는 구리는 바람직하게는 낮은 내열성 및 부식의 문제를 방지하도록 고용점 금속 재료와 조합될 수 있다. 고용점 금속 재료로서, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등이 이용될 수 있다.

[0201] 예를 들어, 게이트층(801) 및 전극층(802)의 2층 구조로서, 다음의 구조가 바람직하다: 몰리브덴막이 알루미늄막 위에 적층된 2층 구조, 몰리브덴막이 구리막 위에 적층된 2층 구조, 질화 티타늄막 또는 질화 탄탈막이 구리막 위에 적층된 2층 구조, 및 질화 티타늄막 및 몰리브덴막이 적층된 2층 구조. 게이트층(801) 및 전극층(802)의 3층 구조로서, 알루미늄막, 알루미늄과 실리콘의 합금막, 알루미늄과 티타늄의 합금막, 또는 알루미늄과 네오디뮴의 합금막이 텅스텐, 질화 텅스텐, 질화 티타늄, 또는 티타늄의 상부층과 하부층 사이에 중간층으로서 끼워진 적층 구조를 이용하는 것이 바람직하다.

[0202] 또한, 산화 인듐, 산화 인듐과 산화 주석의 합금, 산화 인듐과 산화 아연의 합금, 산화 아연, 산화 아연 알루미늄, 산화 질화 아연 알루미늄, 산화 아연 갈륨 등의 투광성 산화물 도전막이 게이트층(801) 및 전극층(802)으로서 이용될 수 있다.

[0203] 게이트층(801) 및 전극층(802)의 각각의 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm이다. 여기서, 게이트 전극층용의 150nm 두께의 도전막이 텅스텐 타겟을 이용하여 스퍼터링에 의해 형성된 후, 도전막이 에칭에 의해 원하는 형상으로 가공(패턴)되어, 게이트층(801) 및 전극층(802)이 형성된다. 게이트층은 테이퍼링된 에지를 가지는 것이 바람직한데 왜냐하면 게이트층이 그위에 적층될 게이트 절연층과의 피복성이 향상될 수 있기 때문이다. 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다는 점에 유의한다. 잉크젯 방법에 의해 레지스트 마스크를 형성하면 포토마스크가 필요없으므로, 제조 코스트가 감소될 수 있다.

[0204] 다음에, 도 24b에 도시된 바와 같이, 게이트 절연층(803)은 게이트층(801) 및 전극층(802) 위에 형성된다. 게이트 절연층(803)은 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 질화 산화 알루미늄막, 산화 하프늄막, 및/또는 산화 탄탈막의 단층 구조 또는 적층 구조로 플라즈마 CVD, 스퍼터링에 의해 형성될 수 있다. 게이트 절연층(803)은 수분, 수소 또는 산소 등의 불순물을 가능한 한 적게 포함하는 것이 바람직하다. 산화 실리콘막이 스퍼터링에 의해 형성되는 경우에, 실리콘 타겟 또는 석영 타겟이 타겟으로서 이용되고, 산소 또는 산소와 아르곤의 혼합 가스가 스퍼터링 가스로서 이용된다.

[0205] 불순물 제거에 의해 진성(i형) 또는 실질적으로 진성으로 된 산화물 반도체(고순도화된 산화물 반도체)는 계면 준위 밀도 또는 계면 전하에 매우 민감하므로, 고순도화된 산화물 반도체와 게이트 절연층(803) 사이의 계면은 중요하다. 이 때문에, 고순도화된 산화물 반도체와 접하는 게이트 절연층(GI)은 고 품질을 가져야 한다.

- [0206] 예를 들어, 마이크로파(예를 들어, 2.45 GHz)를 이용한 고밀도 플라즈마 CVD가 바람직하게 이용되는데, 왜냐하면 절연층은 치밀할 수 있고 고 내압성 및 고 품질을 갖기 때문이다. 고순도화된 산화물 반도체와 고 품질 게이트 절연층은 서로 밀접하게 되어, 계면 준위 밀도는 양호한 계면 특성을 얻도록 감소될 수 있다.
- [0207] 물론, 스퍼터링 또는 플라즈마 CVD 등의 다른 성막 방법은 게이트 절연층으로서 양호한 품질의 절연층의 형성을 가능하게 하는 한 이용될 수 있다. 또한, 게이트 절연층으로서의 그 품질 및 산화물 반도체와의 계면의 특성이 절연층의 형성 후에 수행되는 열 처리를 통해 향상되는 절연층을 형성하는 것이 가능하다. 어느 경우에도, 게이트 절연층과 산화물 반도체 사이의 계면 준위 밀도를 감소시키고 게이트 절연층으로서 양호한 막 품질을 가질 뿐만 아니라 양호한 계면을 형성하는 한 어떤 절연층도 이용될 수 있다.
- [0208] 게이트 절연층(803)은 높은 배리어성을 갖는 재료를 이용하여 형성된 절연층 및 산화 실리콘막 또는 산화 질화 실리콘막 등의 질소 함량이 낮은 절연층이 적층된 구조를 가질 수 있다. 그 경우에, 산화 실리콘막 또는 산화 질화 실리콘막 등의 절연층은 높은 배리어성을 갖는 절연층과 산화물 반도체층 사이에 형성된다. 높은 배리어성을 갖는 절연층의 예는 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 및 질화 산화 알루미늄막이다. 높은 배리어성을 갖는 절연층을 이용함으로써, 수분 또는 수소 등의 분위기 내의 불순물, 또는 알칼리 금속 또는 중금속 등의 기관에 포함된 불순물이 산화물 반도체층, 게이트 절연층(803), 또는 산화물 반도체층과 다른 절연층 사이의 계면 및 그 근방에 들어오는 것을 방지할 수 있다. 또한, 산화물 반도체층과 접하도록, 산화 실리콘막 또는 산화 질화 실리콘막 등의, 질소 함량이 낮은 절연층을 형성함으로써, 높은 배리어성을 갖는 절연층이 산화물 반도체층과 직접 접하는 것을 방지할 수 있다.
- [0209] 예를 들어, 100nm 두께의 게이트 절연층(803)은 다음과 같이 형성될 수 있다: 50nm 내지 200nm의 두께를 갖는 질화 실리콘막($\text{SiN}_y(y>0)$)이 제1 게이트 절연층으로서 스퍼터링에 의해 형성되고, 5nm 내지 300nm의 두께를 갖는 산화 실리콘막($\text{SiO}_x(x>0)$)이 제2 게이트 절연층으로서 제1 게이트 절연층 위에 형성된다. 게이트 절연층(803)의 두께는 트랜지스터에 필요한 특성에 따라 적절히 설정될 수 있고 약 350nm 내지 400nm일 수 있다.
- [0210] 여기서, 스퍼터링에 의해 형성된 100nm 두께의 산화 실리콘막이 스퍼터링에 의해 형성된 50nm 두께의 질화 실리콘막 위에 적층된 게이트 절연층(803)이 형성된다.
- [0211] 게이트 절연층(803)이 수소, 수산기, 및 수분을 가능한 한 적게 포함하기 위해서, 위에 게이트층(801) 및 전극층(802)이 형성되는 기관(800)을 성막의 예비 처리로서 스퍼터링 장치의 예비 가열실에서 예비 가열함으로써 수분 또는 수소 등의, 기관(800)에 흡수된 불순물이 배제되고 제거된다. 예비 가열을 위한 온도는 100℃ 내지 400℃, 바람직하게는 150℃ 내지 300℃이다. 예비 가열실에 설치된 배기 유닛으로서, 크라이오펌프가 바람직하게 이용된다. 이 예비 열 처리는 생략될 수 있다는 점에 유의한다.
- [0212] 다음에, 2nm 내지 200nm, 바람직하게는 3nm 내지 50nm, 더 바람직하게는 3nm 내지 20nm의 두께를 갖는 산화물 반도체층이 게이트 절연층(803) 위에 형성된다. 산화물 반도체층은 산화물 반도체 타겟을 이용하여 스퍼터링에 의해 형성된다. 또한, 산화물 반도체층은 회가스(예를 들어, 아르곤) 분위기, 산소 분위기, 또는 회가스(예를 들어, 아르곤)와 산소를 포함하는 혼합된 분위기에서 스퍼터링에 의해 형성될 수 있다.
- [0213] 산화물 반도체층이 스퍼터링에 의해 형성되기 전에, 게이트 절연층(803)의 표면에 부착된 먼지는 바람직하게는 아르곤 가스가 도입되고 플라즈마가 발생하는 역 스퍼터링에 의해 제거된다는 점에 유의한다. 역 스퍼터링은 타겟측에 전압을 가하지 않고, 표면을 개질하기 위해 전압이 아르곤 분위기에서 RF 전원으로 기관측에 가해져 기관의 근방에서 플라즈마가 발생되게 하는 방법이다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기 등이 이용될 수 있다는 점에 유의한다. 다르게는, 산소, 아산화 질소 등이 첨가된 아르곤 분위기; 또는 염소, 4불화탄소 등이 첨가된 분위기가 이용될 수 있다.
- [0214] 상술한 바와 같이, 산화물 반도체층은 다음의 산화물 반도체 중 임의의 것을 이용하여 형성될 수 있다: 4 금속 원소의 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체; 3 금속 원소의 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, 및 Sn-Al-Zn-O계 산화물 반도체; 2 금속 원소의 산화물인 In-Ga-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, 및 In-Mg-O계 산화물 반도체; 및 1 금속 원소의 산화물인 In-O계 산화물 반도체, Sn-O계 산화물 반도체, 및 Zn-O계 산화물 반도체. 상기 산화물 반도체는 산화 실리콘을 포함할 수 있다.
- [0215] 산화물 반도체층으로서, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 의 화학식으로 표현되는 박막이 사용될 수 있다. 여기서, M은 Ga,

Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 나타낸다. 예를 들어, M은 Ga, Ga와 Al, Ga와 Mn, 또는 Ga와 Co일 수 있다.

- [0216] 여기서, 산화물 반도체층으로서, 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 금속 산화물 타겟을 이용하여 스퍼터링에 의해 얻어진 30nm 두께의 In-Ga-Zn-O계 비단결정막이 이용된다. 타겟으로서, 예를 들어, In:Ga:Zn = 1:1:0.5, In:Ga:Zn = 1:1:1 또는 In:Ga:Zn = 1:1:2의 조성비를 갖는 금속 산화물 타겟이 이용될 수 있다. 타겟은 2 중량% 내지 10 중량%의 SiO₂를 포함할 수 있다. In, Ga, 및 Zn을 포함하는 금속 산화물 타겟의 충전율은 90% 내지 100%, 바람직하게는 95% 내지 100%이다. 높은 충전율을 갖는 금속 산화물 타겟을 이용함으로써, 치밀한 산화물 반도체층이 형성된다.
- [0217] 여기서, 산화물 반도체층은 기판이 감압으로 유지된 처리실 내에 유지되고 수소 및 수분이 제거된 스퍼터링 가스가 그 안에 남아있는 수분이 제거되면서 처리실 내로 도입되고, 상술한 타겟이 이용되는 방식으로 기판(800) 위에 형성된다. 기판 온도는 성막 시에 100℃ 내지 600℃, 바람직하게는 200℃ 내지 400℃일 수 있다. 성막 동안 기판을 가열함으로써, 형성된 산화물 반도체층 내의 불순물 농도가 감소될 수 있다. 또한, 스퍼터링에 의한 손상이 감소될 수 있다. 처리실에 남아 있는 수분을 제거하기 위해, 흡착형의 진공 펌프가 바람직하게 이용된다. 예를 들어, 크라이오펌프, 이온 펌프, 또는 티타늄 서블리메이션 펌프가 바람직하게 이용된다. 배기 유닛은 쿨드 트랩이 설치된 터보 펌프일 수 있다. 예를 들어, 크라이오펌프로 배기되는 처리실에서, 수소 원자, 물(H₂O) 등의, 수소 원자를 포함하는 화합물(더 바람직하게는, 탄소 원자를 포함하는 화합물도) 등이 제거되어, 처리실 내에 형성된 산화물 반도체층 내의 불순물 농도는 감소될 수 있다.
- [0218] 성막 조건의 한 예로서, 기판과 타겟 사이의 거리는 100nm, 압력은 0.6Pa, 직류(DC) 전원은 0.5kW, 및 분위기는 산소 분위기(산소 유량비는 100%)이다. 성막 시에 발생된 분말 물질(파티클이라고 함)은 감소될 수 있고 막 두께는 균일할 수 있기 때문에 펄스식 직류(DC) 전원이 바람직하다는 점에 유의한다.
- [0219] 산화물 반도체층이 수소, 수산기, 또는 수분 등의 불순물을 가능한 한 포함하지 않기 위해서, 성막 전에 스퍼터링 장치의 예비 가열실에서 게이트 절연층(803)이 설치된 기판(800)을 예비 가열하여 기판(800)에 흡수된 수분 또는 수소 등의 불순물이 배제되고 제거되는 것이 바람직하다. 예비 가열의 온도는 100℃ 내지 400℃, 바람직하게는 150℃ 내지 300℃이다. 예비 가열실에 설치된 배기 유닛으로서, 크라이오펌프가 바람직하게 이용된다. 이 예비 가열은 생략될 수 있다는 점에 유의한다. 또한, 절연층(808)이 형성되기 전에, 예비 가열은 소스층(805), 드레인층(806), 및 전극층(807)까지 포함하는 기판(800)에 대해 마찬가지로 수행될 수 있다.
- [0220] 다음에, 도 24b에 도시된 바와 같이, 산화물 반도체층은 에칭 등에 의해 원하는 형상으로 가공(패턴)되어, 섬 형상의 산화물 반도체층(804)이 게이트층(801)과 중첩하도록 게이트 절연층(803) 위에 형성된다.
- [0221] 섬 형상의 반도체층(804)을 형성하기 위한 레지스트 마스크는 잉크젯 방법에 의해 형성될 수 있다. 잉크젯 방법에 의해 레지스트 마스크를 형성하면 포토마스크를 필요로 하지 않으므로, 제조 코스트가 감소될 수 있다.
- [0222] 섬 형상의 산화물 반도체층(804)을 형성하기 위한 에칭은 웨트 에칭, 드라이 에칭, 또는 드라이 에칭 및 웨트 에칭 둘 다일 수 있다는 점에 유의한다. 드라이 에칭용으로 이용되는 에칭 가스로서, 염소를 포함하는 가스(염소(Cl₂), 3염화 붕소(BCl₃), 4염화 실리콘(SiCl₄), 또는 4염화 탄소(CCl₄) 등의 염소계 가스)가 바람직하게 사용된다. 다르게는, 불소를 포함하는 가스(4불화 탄소(CF₄), 6불화 황(SF₆), 3불화 질소(NF₃), 또는 트리플루오로메탄(CHF₃) 등의 불소계 가스), 브롬화 수소(HBr), 산소(O₂), 이들 가스 중 임의의 것에 헬륨(He) 또는 아르곤(Ar) 등의 희가스가 첨가된 가스 등이 이용될 수 있다.
- [0223] 드라이 에칭을 위해, 평행 평판형 RIE(반응 이온 에칭) 방법 또는 ICP(유도 결합 플라즈마) 에칭 방법이 이용될 수 있다. 원하는 형상으로 막을 에칭하기 위해서, 에칭 조건(코일형 전극에 인가된 전력량, 기판측의 전극에 인가된 전력량, 및 기판측의 전극의 온도)이 적절히 조절된다.
- [0224] 웨트 에칭용으로 이용되는 에칭액으로서, ITO-07N(간토 화학사 제조)이 이용된다. 웨트 에칭 후에, 에칭액은 세정에 의해 에칭된 재료와 함께 제거된다. 에칭액과 에칭 제거된 재료를 포함하는 폐액은 정화될 수 있고 이 재료는 재사용될 수 있다. 산화물 반도체층에 포함된 인듐 등의 재료가 에칭 후에 폐액으로부터 수집될 때, 자원이 효율적으로 사용되고 코스트가 감소될 수 있다.
- [0225] 섬 형상의 산화물 반도체층(804) 및 게이트 절연층(803)의 표면에 부착된 잔여 레지스트를 제거하기 위해서, 역스퍼터링은 도전막이 후속 단계에서 형성되기 전에 수행되는 것이 바람직하다는 점에 유의한다.

- [0226] 다음에, 열 처리는 질소 분위기, 산소 분위기, 초건조 에어(물 함량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 에어), 또는 회가스(예를 들어, 아르곤 또는 헬륨) 분위기에서 산화물 반도체층(804)에 대해 수행된다. 산화물 반도체층(804)에 대해 수행된 열 처리는 산화물 반도체층(804) 내의 수분 또는 수소를 배제할 수 있다. 구체적으로, 열 처리는 350℃ 내지 850℃(또는 글래스 기판의 왜곡점), 바람직하게는 550℃ 내지 750℃에서 수행될 수 있다. 예를 들어, 열 처리는 약 3분 내지 6분 동안 600℃에서 수행될 수 있다. 탈수화 또는 탈수소화는 RTA 방법으로 단시간 내에 수행될 수 있기 때문에, 열 처리는 글래스 기판의 왜곡점 위의 온도에서도 수행될 수 있다. 다르게는, 열 처리는 기판 온도가 450℃에 달하는 상태에서 약 1시간 동안 수행될 수 있다.
- [0227] 여기서, 산화물 반도체층(804)은 열 처리 장치의 한 예인 전기로를 이용하여 질소 분위기에서 열 처리된다.
- [0228] 열 처리 장치는 전기기로 한정되지 않고, 저항 발열 소자 등의 발열 소자로부터의 열 전도 또는 열 복사에 의해 피처리물을 가열하는 장치를 포함할 수 있다는 점에 유의한다. 예를 들어, GRТА(가스 급속 열적 어닐) 장치 또는 LRTA(램프 급속 열적 어닐) 장치 등의 RTA(급속 열적 어닐) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 방출된 광(전자기파)의 복사에 의해 피처리물을 가열하는 장치이다. GRТА 장치는 고압 가스를 이용하여 가열하는 장치이다. 가스로서, 수소 또는 회가스(예를 들어, 아르곤) 등의, 열 처리에 피처리물과 반응하지 않는 불활성 가스가 이용된다.
- [0229] 예를 들어, 열 처리로서, 기판이 650℃ 내지 700℃의 고온에서 가열된 불활성 가스로 이동되어 수분 동안 가열되고, 고온으로 가열된 불활성 가스로부터 빠져 나오는 GRТА가 수행될 수 있다. GRТА로, 단기간의 고온 열 처리가 이루어질 수 있다.
- [0230] 열 처리에서, 수분, 수소 등은 질소 또는 헬륨, 네온, 또는 아르곤 등의 회가스에 포함되지 않는 것이 바람직하다는 점에 유의한다. 열 처리 장치 내로 도입되는 질소 또는 헬륨, 네온, 또는 아르곤 등의 회가스의 순도는 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도는 1ppm 이하, 바람직하게는 0.1ppm 이하)로 설정되는 것이 바람직하다.
- [0231] 수분 또는 수소 등의 불순물이 산화물 반도체에 첨가될 때, 게이트 바이어스-온도 스트레스 시험(BT 시험, 시험 조건은, 예를 들어, 85℃, 2×10^6 V/cm, 12시간)에서, 불순물과 산화물 반도체의 주성분 간의 결합은 고전계(B: 바이어스) 및 고온(T: 온도)에 의해 절단되고, 생성된 덩글링 결합은 임계 전압(V_{th})의 시프트를 유발한다. 그러나, 상기 방식으로, 게이트 절연층과 산화물 반도체층 간의 계면의 특성이 향상되고 산화물 반도체층 내의 불순물, 특히 수분 및 수소가 가능한 한 많이 제거되므로, BT 시험에서도 안정할 수 있는 트랜지스터가 얻어질 수 있다.
- [0232] 상기 공정을 통해, 산화물 반도체층(804) 내의 수도의 농도는 감소될 수 있고 산화물 반도체층은 고순도화될 수 있다. 따라서, 산화물 반도체층은 안정할 수 있다. 또한, 글래스 전이 온도 이하의 온도에서의 열 처리는 극히 낮은 캐리어 밀도 및 넓은 밴드 갭을 갖는 산화물 반도체층을 형성하는 것을 가능하게 한다. 따라서, 트랜지스터는 대형 기판을 이용하여 제조될 수 있으므로, 생산성이 향상될 수 있다. 더구나, 감소된 수소 농도를 갖는 고순도화된 산화물 반도체층을 이용함으로써, 높은 내압, 감소된 단채널 효과, 및 높은 온/오프 비를 갖는 트랜지스터를 형성하는 것이 가능하다.
- [0233] 산화물 반도체층이 가열되는 경우에, 산화물 반도체층의 재료 또는 가열 조건에 따라, 판 형상 결정이 산화물 반도체층의 상면 위에 형성되는 경우도 있다는 점에 유의한다. 판 형상 결정은 바람직하게는 c 축(산화물 반도체층의 표면에 대략 수직인 방향) 배향된 단결정이다. 판 형상 결정이 단결정이 아니면, 이 결정은 결정의 a-b 면이 정렬되거나 a 축 또는 b 축이 채널 형성 영역에서 정렬되고 결정이 c 축(산화물 반도체층의 표면에 실질적으로 수직인 방향)으로 배향된 다결정체인 것이 바람직하다. 산화물 반도체층 아래에 배치된 층의 표면에 요철이 있는 경우에, 판 형상 결정은 다결정체이므로, 산화물 반도체층 아래에 배치된 층의 표면은 바람직하게는 가능한 한 평탄하다.
- [0234] 다음에, 소스층 및 드레인층(소스층 및 드레인층과 동일한 층을 이용하여 형성된 배선을 포함)용으로 이용된 도전막은 스퍼터링 또는 진공 증착에 의해 산화물 반도체층(804) 위에 형성된다. 다음에, 도전막은 에칭 등에 의해 패터닝되어, 도 24c에 도시된 바와 같이, 산화물 반도체층(804) 위에 소스층(805) 및 드레인층(806)을, 그리고 게이트 절연층(803)을 사이에 두고 전극층(802)과 중첩하는 배선층(807)을 형성한다.
- [0235] 소스층(805), 드레인층(806), 및 도전층(807)(이들 층과 동일한 층을 이용하여 형성된 배선을 포함)이 되는 도

전막을 위한 재료의 예는 Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소; 상기 원소들을 성분으로 포함하는 합금; 및 이들 원소를 조합하여 포함하는 합금이다. 도전막은 Cr, Ta, Ti, Mo, W 등의 고용점 금속막이 Al, Cu 등의 금속층의 상면 및 하면 중 하나 또는 둘 다 위에 적층된 구조를 가질 수 있다. 또한, Si, Ti, Ta, W, Mo, Cr, Nd, Sc, 또는 Y 등의, 알루미늄막에서 힐록 및 위스커의 발생을 방지하는 원소가 첨가된 알루미늄 재료를 이용함으로써 내열성이 향상될 수 있다.

[0236] 또한, 도전막은 단층 구조 또는 2개 이상의 층의 적층 구조를 가질 수 있다. 예를 들어, 도전막은 실리콘을 포함하는 알루미늄막의 단층 구조; 티타늄막이 알루미늄막 위에 적층된 2층 구조; 또는 티타늄막, 알루미늄막, 및 티타늄막이 이 순서대로 적층된 3층 구조를 가질 수 있다.

[0237] 소스층(805), 드레인층(806), 및 전극층(807)(이들 층과 동일한 층을 이용하여 형성된 배선층을 포함)이 되는 도전막은 도전 금속 산화물을 이용하여 형성될 수 있다. 도전 금속 산화물로서, 산화 인듐(In_2O_3), 산화 주석(SnO_2), 산화 아연(ZnO), 산화 인듐과 산화 주석의 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 함), 산화 인듐과 산화 아연의 합금($\text{In}_2\text{O}_3\text{-ZnO}$), 또는 실리콘 또는 산화 실리콘을 포함하는 금속 산화물 재료들 중 임의의 것이 이용될 수 있다.

[0238] 열 처리가 도전막의 형성 후에 수행되는 경우에, 도전막은 바람직하게는 열 처리에 견디기에 충분한 내열성을 갖는다.

[0239] 재료 및 에칭 조건은 적절히 조정되어 산화물 반도체층(804)은 도전막의 에칭 시에 가능한 한 제거되지 않는다는 점에 유의한다. 에칭 조건에 따라, 흠(오탁부)이 섬 형상의 산화물 반도체층(804)의 노출된 부분의 일부의 에칭에 의해 형성되는 경우도 있다.

[0240] 포토리소그래피 단계에서 포토마스크 및 단계의 수를 감소시키기 위해서, 에칭은 복수의 세기를 갖도록 광이 투과되는 노광 마스크인 다계조 마스크를 이용하여 형성된 레지스트 마스크를 이용하여 형성될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께를 갖고 있고 에칭에 의해 형상이 변화될 수 있으므로, 레지스트 마스크가 다른 패턴으로 가공하기 위해 복수의 에칭 단계에서 이용될 수 있다. 그러므로, 적어도 2종의 다른 패턴에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크의 수가 감소될 수 있고 대응하는 포토리소그래피 단계의 수가 또한 감소될 수 있으므로, 공정이 간단해 질 수 있다.

[0241] 다음에, 플라즈마 처리는 N_2O , N_2 , 또는 Ar 등의 가스를 이용하여 수행된다. 이 플라즈마 처리에 의해, 산화물 반도체의 노출된 표면에 부착된 흡수된 물 등이 제거된다. 다르게는, 플라즈마 처리는 산소와 아르곤의 혼합 가스를 이용하여 수행될 수 있다.

[0242] 플라즈마 처리 후에, 도 24d에 도시된 바와 같이, 절연층(808)은 소스층(805), 드레인층(806), 전극층(807), 및 산화물 반도체층(804)을 덮도록 형성된다. 절연층(808)은 바람직하게는 수분, 수소, 및 산소 등의 불순물을 가능한 한 적게 포함하고, 단일 절연층 또는 복수의 절연층의 적층을 이용하여 형성될 수 있다. 수소가 절연층(808) 내에 포함되면, 수소가 산화물 반도체층으로 들어오거나 산화물 반도체층으로부터 산소를 추출할 수 있으므로, 산화물 반도체층의 백 채널부의 저항의 감소를 초래하여(백 채널부가 n형 도전성을 갖게 하여), 기생 채널의 형성을 야기할 수 있다. 따라서, 절연층(808)이 수소를 가능한 한 적게 포함하도록 수소를 사용하지 않는 방법에 의해 절연층(808)이 형성되는 것이 중요하다. 절연층(808)은 바람직하게는 높은 배리어성을 갖는 재료를 이용하여 형성된다. 예를 들어, 높은 배리어성을 갖는 절연막으로서, 높은 배리어성을 갖는 절연막, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등이 이용될 수 있다. 적층된 복수의 절연막이 이용될 때, 산화 실리콘막 또는 산화 질화 실리콘막 등의, 질소 함량이 낮은 절연층이, 높은 배리어성을 갖는 절연층보다 산화물 반도체층(804)에 더 가까운 측에 형성된다. 다음에, 높은 배리어성을 갖는 절연층이, 질소 함량이 낮은 절연층을 사이에 두고 소스층(805), 드레인층(806), 및 산화물 반도체층(804)과 중첩하도록 형성된다. 높은 배리어성을 갖는 절연층을 이용함으로써, 수분 또는 수소 등의 불순물이 산화물 반도체층(804), 게이트 절연층(803), 또는 산화물 반도체층(804)과 다른 절연층 사이의 계면 및 그 근방에 들어오는 것을 방지할 수 있다. 또한, 산화 실리콘막 또는 산화 질화 실리콘막 등의, 질소 함량이 낮은 절연층이 산화물 반도체층(804)과 접하여 형성될 때, 높은 배리어성을 갖는 재료를 이용하여 형성된 절연층이 산화물 반도체층(804)과 직접 접하는 것을 방지할 수 있다.

[0243] 여기서, 스퍼터링에 의해 형성된 100nm 두께의 질화 실리콘막이 스퍼터링에 의해 형성된 200nm 두께의 산화 실리콘막 위에 적층된 게이트 절연층(808)이 형성된다. 성막 시의 기판 온도는 실온 내지 300°C 이하이고 본 실

시 형태에서는 100℃이다.

[0244] 절연층(808)이 형성된 후 열 처리가 수행될 수 있다는 점에 유의한다. 열 처리는, 바람직하게, 질소 분위기, 산소 분위기, 초진조 에어(물 함량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하인 에어), 또는 희가스(예를 들어, 아르곤 또는 헬륨) 분위기에서 200℃ 내지 400℃(예를 들어, 250℃ 내지 350℃)에서 수행된다. 여기서, 예를 들어, 열 처리는 질소 분위기에서 1시간 동안 250℃에서 수행된다. 다르게는, 소스층(805), 드레인층(806), 및 전극층(807)이 형성되기 전에, 단시간 동안의 고온의 RTA 처리가 산화물 반도체층에 대해 수행된 이전의 열 처리와 마찬가지로 수행될 수 있다. 산화물 반도체층에 대해 수행된 열 처리로 인해 산화물 반도체층(804)에서 산소 결손이 생기더라도, 산소를 포함하는 절연층(808)이 소스층(805)과 드레인층(806) 사이에 배치된 산화물 반도체층(804)의 노출된 영역과 접하여 설치된 후에 열 처리가 수행될 때 산소가 산화물 반도체층(804)에 공급된다. 따라서, 절연층(808)과 접하는 산화물 반도체층(804)의 영역에 산소를 공급함으로써, 도너가 되는 산소 결손이 감소될 수 있고 화학양론적 조성비가 만족될 수 있다. 결과적으로, 산화물 반도체층(804)은 진성 반도체 또는 실질적으로 진성 반도체로 될 수 있다. 결과적으로, 산화물 반도체막은 진성 반도체막 또는 실질적으로 진성 반도체막으로 될 수 있다. 따라서, 트랜지스터의 전기적 특성이 향상될 수 있고 그 전기적 특성의 변동이 감소될 수 있다. 이 열 처리의 타이밍은 절연층(808)의 형성 후에 하는 한 특정하게 한정되지 않는다. 이 열 처리가 또한 다른 단계에서의 열 처리(예를 들어, 수지막의 형성 시의 열 처리 또는 투명 도전막의 저항을 감소시키는 열 처리)가 될 때, 산화물 반도체층(804)은 단계 수의 증가없이 진성 또는 실질적으로 진성일 수 있다.

[0245] 다음에, 도전막은 절연층(808) 위에 형성되고 패터닝되어 백 게이트층이 산화물 반도체층(804)과 중첩하도록 형성될 수 있다. 백 게이트층이 형성되는 경우에, 절연층은 백 게이트층을 덮도록 형성된다. 백 게이트층은 게이트층(801) 및 전극층(802)의 재료 및 구조 또는 소스층(805), 드레인층(806), 및 전극층(807)과 유사한 재료 및 구조를 이용하여 형성될 수 있다.

[0246] 백 게이트층의 두께는 10nm 내지 400nm, 바람직하게는 100nm 내지 200nm이다. 여기서, 백 게이트층은 다음의 방식으로 형성된다: 티타늄막, 알루미늄막, 및 티타늄막이 적층된 도전막이 형성되고, 레지스트 마스크가 포토 리소그래피 등에 의해 형성되고, 불필요한 부분이 에칭에 의해 제거되어 도전막이 원하는 형상으로 가공(패터닝)된다.

[0247] 절연층은 바람직하게는 분위기 내의 수분, 수소, 산소 등이 트랜지스터의 특성에 악영향을 주는 것을 방지할 수 있는 높은 배리어성을 갖는 재료를 이용하여 형성된다. 예를 들어, 높은 배리어성을 갖는 절연층은, 질화 실리콘막, 질화 산화 실리콘막, 질화 알루미늄막, 질화 산화 알루미늄막 등의 단층 구조 또는 적층 구조로 플라즈마 CVD, 스퍼터링 등에 의해 형성될 수 있다. 배리어성의 효과를 얻기 위해, 절연층은 예를 들어, 15nm 내지 400nm의 두께로 바람직하게 형성된다.

[0248] 여기서, 300nm 두께의 절연층이 플라즈마 CVD에 의해 형성된다. 절연층의 성막 조건은 다음과 같다: 실란 가스의 유량은 4sccm; 일산화 이질소(N_2O)의 유량은 800sccm; 및 기판 온도는 400℃이다.

[0249] 상기 단계들을 통해, 트랜지스터(809) 및 용량 소자(810)가 형성된다. 용량 소자(810)는 전극층(807)이 게이트 절연층(803)을 사이에 두고 전극층(802)과 중첩하는 영역에 형성된다는 점에 유의한다.

[0250] 트랜지스터(809)는 게이트층(801), 게이트층(801) 위의 게이트 절연층(803), 게이트 절연층(803)을 사이에 두고 게이트층(801)과 중첩하는 산화물 반도체층(804), 및 산화물 반도체층(804) 위에 형성된 소스층(805) 및 드레인층(806)을 포함한다. 트랜지스터(809)는 산화물 반도체층(804) 위에 설치된 절연층(808)을 구성 요소로서 더 포함할 수 있다. 도 24d에 도시된 트랜지스터(809)는 소스층(805)과 드레인층(806) 사이의 산화물 반도체층(804)의 부분이 에칭된 채널 에칭 구조를 가진다.

[0251] 트랜지스터(809)가 단일 게이트 트랜지스터로서 설명되었고, 다르게는, 서로 전기적으로 접속된 복수의 게이트층(801)을 포함함으로써 복수의 채널 형성 영역을 포함하는 멀티 게이트 트랜지스터가 필요에 따라 제조될 수 있다는 점에 유의한다.

[0252] (액정 표시 장치를 포함하는 다양한 전자 기기)

[0253] 본 명세서에 개시된 액정 표시 장치를 포함하는 전자 기기의 예가 도 25a 내지 25f를 참조하여 아래에 설명될 것이다.

[0254] 도 25a는 본체(2201), 하우징(2202), 표시부(2203), 키보드(2204) 등을 포함하는 노트북 퍼스널 컴퓨터를 도시

한다.

- [0255] 도 25b는 퍼스널 디지털 어시스턴트(PDA)를 도시한다. 본체(2211)에는 표시부(2213), 외부 인터페이스(2215), 조작 버튼(2214) 등이 설치된다. 스타일러스(2212)가 PDA를 조작하기 위한 부속품으로서 제공된다.
- [0256] 도 25c는 전자 페이지의 예로서 e-북 리더(2220)를 도시한다. e-북 리더(2220)는 하우징(2221) 및 하우징(2223)의 2개의 하우징을 포함한다. 하우징(2221 및 2223)은 측부(2237)에 의해 일체로 되고, 측부를 따라 e-북 리더(2220)가 개폐될 수 있다. 이러한 구조에 의해, e-북 리더(2220)는 종이 책과 같이 사용될 수 있다.
- [0257] 표시부(2225)는 하우징(2221)에 내장되어 있고, 표시부(2227)는 하우징(2223)에 내장되어 있다. 표시부(2225)와 표시부(2227)는 하나의 화상 또는 다른 화상들을 표시할 수 있다. 표시부(2225 및 2227)가, 예를 들어, 다른 화상들을 표시하는 경우에, 우측 표시부(도 25c의 표시부(2225))는 텍스트를 표시할 수 있고 좌측 표시부(도 25c의 표시부(2227))는 그림을 표시할 수 있다.
- [0258] 또한, 도 25c에서, 하우징(2221)에는 조작부 등이 설치된다. 예를 들어, 하우징(2221)에는 전원 스위치(2231), 조작 키(2233), 및 스피커(2235)가 설치된다. 페이지가 조작 키(2233)로 넘겨질 수 있다. 키보드, 포인팅 디바이스 등은 또한 하우징의 표면에 설치될 수 있고, 하우징에는 표시부가 설치된다는 점에 유의한다. 외부 접속 단자(예를 들어, 이어폰 단자, USB 단자, 또는 AC 어댑터 또는 USB 케이블 등의 다양한 케이블에 접속될 수 있는 단자), 기록 매체 삽입부 등이 하우징의 이면 또는 측면에 설치될 수 있다. 또한, e-북 리더(2220)는 전자 사전의 기능을 가질 수 있다.
- [0259] e-북 리더(2220)는 데이터를 무선으로 송수신할 수 있다. 무선 통신을 통해, 원하는 북 데이터 등이 e-북 서버로부터 구입 및 다운로드될 수 있다.
- [0260] 전자 페이지는 데이터를 표시하는 한 다양한 분야의 기기에 적용될 수 있다는 점에 유의한다. 예를 들어, 전자 페이지는 포스터, 기차 등의 차량 내의 광고, 및 e-북 리더 이외에 신용 카드 등의 다양한 카드에서의 디스플레이 이용으로 이용될 수 있다.
- [0261] 도 25d는 이동 전화를 도시한다. 이동 전화는 하우징(2240) 및 하우징(2241)의 2개의 하우징을 포함한다. 하우징(2241)에는 표시 패널(2242), 스피커(2243), 마이크로폰(2244), 포인팅 디바이스(2246), 카메라 렌즈(2247), 외부 접속 단자(2248) 등이 설치된다. 하우징(2240)에는 이동 전화를 충전하기 위한 태양 전지(2249), 외부 메모리 슬롯(2250) 등이 설치된다. 안테나는 하우징(2241)에 내장되어 있다.
- [0262] 표시 패널(2242)은 터치 패널 기능을 갖는다. 도 25d에서, 화상으로서 표시된 복수의 조작 키(2245)가 점선으로 도시된다. 이동 전화는 태양 전지(2249)로부터 출력된 전압을 각 회로에 필요한 전압으로 상승시키는 승압 회로를 포함한다는 점에 유의한다. 또한, 이동 전화는 상기 소자들 외에도 비접촉 IC 칩, 소형 기록 장치 등을 포함할 수 있다.
- [0263] 표시 패널(2242)의 표시 방향은 적용 모드에 따라 적절히 변화한다. 또한, 카메라 렌즈(2247)가 표시 패널(2242)과 동일한 표면에 설치되어, 이동 전화는 화상 전화로서 사용될 수 있다. 스피커(2243)와 마이크로폰(2244)은 음성 호출 뿐만 아니라 화상 전화 호출, 녹음, 재생 등을 위해 사용될 수 있다. 도 25d에 도시된 바와 같이 펼쳐진 하우징(2240 및 2241)은 하나가 다른 것과 중첩하도록 슬라이드할 수 있다. 따라서, 이동 전화의 크기가 감소되어 휴대용으로 적합하게 된다.
- [0264] 외부 접속 단자(2248)는 AC 어댑터 또는 USB 케이블 등의 다양한 케이블에 접속될 수 있어, 이동 전화의 충전 및 데이터 통신이 가능하게 된다. 또한, 더 많은 양의 데이터가 외부 메모리 슬롯(2250)에 기록 매체를 삽입함으로써 저장 및 이동될 수 있다. 또한, 이동 전화는 상기 기능 외에 적외선 통신 기능, 텔레비전 수신 기능 등을 가질 수 있다.
- [0265] 도 25e는 디지털 카메라를 도시한다. 디지털 카메라는 본체(2261), 표시부(A)(2267), 접안부(2263), 조작 스위치(2264), 표시부(B)(2265), 배터리(2266) 등을 포함한다.
- [0266] 도 25f는 텔레비전 장치를 도시한다. 텔레비전 장치(2270)에서, 표시부(2273)는 하우징(2271)에 내장되어 있다. 표시부(2273)는 화상을 표시할 수 있다. 여기서, 하우징(2271)은 스탠드(2275)에 의해 지지된다.
- [0267] 텔레비전 장치(2270)는 하우징(2271)의 조작 스위치 또는 별도의 리모트 컨트롤러(2280)에 의해 조작될 수 있다. 리모트 컨트롤러(2280)의 조작 키(2279)로, 채널 및 볼륨이 제어될 수 있고 표시부(2273)에 표시된 화상이 제어될 수 있다. 또한, 리모트 컨트롤러(2280)는 리모트 컨트롤러(2280)로부터 출력된 데이터를 표시하는

표시부(2277)를 가질 수 있다.

[0268] 텔레비전 장치(2270)에는 바람직하게는 수신기, 모뎀 등이 설치된다는 점에 유의한다. 일반 텔레비전 방송이 수신기로 수신될 수 있다. 또한, 텔레비전 장치가 모뎀을 통해 무선 또는 유선으로 통신망에 접속될 때, 일방향(송신기로부터 수신기로) 또는 양방향(송신기와 수신기 사이 또는 수신기들 사이) 데이터 통신이 수행될 수 있다.

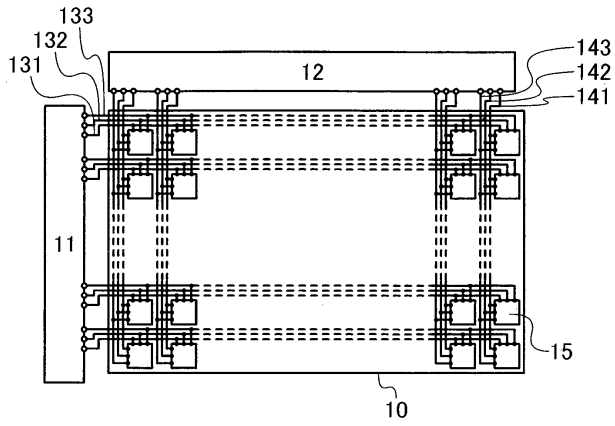
[0269] 본 출원은 각각 2010년 4월 9일자 및 2010년 5월 18일자 일본 특허청에 출원된 일본 특허 출원 번호 2010-090935호 및 2010-114435호에 기초한 것이고, 그 내용은 본 명세서에 참고로 인용된다.

부호의 설명

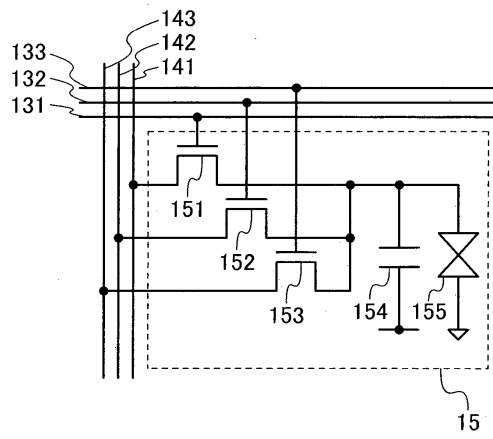
[0270] 10: 화소부, 11: 주사선 구동 회로, 12: 신호선 구동 회로, 15: 화소, 16: 백라이트 유닛, 30: 화소부, 31: 주사선 구동 회로, 32: 신호선 구동 회로, 33: 주사선, 111: 시프트 레지스터, 112: 시프트 레지스터, 113: 시프트 레지스터, 120: 시프트 레지스터, 121: 트랜지스터, 122: 트랜지스터, 123: 트랜지스터, 131: 주사선, 132: 주사선, 133: 주사선, 141: 신호선, 142: 신호선, 143: 신호선, 151: 트랜지스터, 152: 트랜지스터, 153: 트랜지스터, 154: 용량 소자, 155: 액정 소자, 211: 트랜지스터, 220: 기관, 221: 게이트층, 222: 게이트 절연층, 223: 산화물 반도체층, 224a: 소스층, 224b: 드레인층, 225: 절연층, 226: 보호 절연층, 301: 영역, 302: 영역, 303: 영역, 311: 시프트 레지스터, 312: 시프트 레지스터, 313: 시프트 레지스터, 320: 시프트 레지스터, 321: 트랜지스터, 322: 트랜지스터, 323: 트랜지스터, 341: 신호선, 342: 신호선, 343: 신호선, 351: 화소, 352: 화소, 353: 화소, 510: 트랜지스터, 511: 절연층, 520: 트랜지스터, 530: 트랜지스터, 531: 절연층, 532a: 배선층, 532b: 배선층, 800: 기관, 801: 게이트층, 802: 전극층, 803: 게이트 절연층, 804: 산화물 반도체층, 805: 소스층, 806: 드레인층, 807: 전극층, 808: 절연층, 809: 트랜지스터, 810: 용량 소자, 900: 기관, 901: 기관, 903: 접착제, 904: 단자, 905: 배선, 906: 트랜지스터, 907: 패드, 910: 기관, 911: 기관, 912: 패드, 913: 솔더 볼, 914: 트랜지스터, 916: 단자, 920: 기관, 921: 기관, 922: 패드, 924: 트랜지스터, 926: 단자, 927: 도전 수지, 1401: 트랜지스터, 1402: 게이트층, 1403: 게이트 절연층, 1404: 산화물 반도체층, 1405: 도전막, 1406: 도전막, 1407: 절연층, 1408: 절연층, 1410: 화소 전극, 1411: 배향막, 1413: 대향 전극, 1414: 배향막, 1415: 액정, 1416: 시일재, 1417: 스페이서, 1420: 대향 전극, 1601: 패널, 1602: 확산판, 1603: 프리즘 시트, 1604: 확산판, 1605: 도광판, 1607: 백라이트 패널, 1608: 회로 기관, 1609: COF 테이프, 1610: FPC, 1611: 기관, 1612: 백라이트, 1620: 터치 패널, 1621: 패널, 1622: 위치 검출부, 1623: 화소부, 1630: 제1 전극, 1631: 제2 전극, 1640: 제1 전극, 1641: 제2 전극, 1642: 도전막, 1643: 도전막, 1644: 절연층, 1800: 측정 시스템, 1802: 용량 소자, 1804: 트랜지스터, 1805: 트랜지스터, 1806: 트랜지스터, 1808: 트랜지스터, 2201: 본체, 2202: 하우징, 2203: 표시부, 2204: 키보드, 2211: 본체, 2212: 스타일러스, 2213: 표시부, 2214: 조작 버튼, 2215: 외부 인터페이스, 2220: e-북 리더, 2221: 하우징, 2223: 하우징, 2225: 표시부, 2227: 표시부, 2231: 전원 스위치, 2233: 조작 키, 2235: 스피커, 2237: 축부, 2240: 하우징, 2241: 하우징, 2242: 표시 패널, 2243: 스피커, 2244: 마이크로폰, 2245: 조작 키, 2246: 포인팅 디바이스, 2247: 카메라 렌즈, 2248: 외부 접속 단자, 2249: 태양 전지, 2250: 외부 메모리 슬롯, 2261: 본체, 2263: 접안부, 2264: 조작 스위치, 2265: 표시부, 2266: 배터리, 2267: 표시부, 2270: 텔레비전 장치, 2271: 하우징, 2273: 표시부, 2275: 스탠드, 2277: 표시부, 2279: 조작키, 2280: 리모트 컨트롤러, 3511: 트랜지스터, 3512: 용량 소자, 3514: 액정 소자, 3521: 트랜지스터, 3531: 트랜지스터, 4001: 기관, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 시일재, 4006: 대향 기관, 4007: 액정, 4009: 트랜지스터, 4010: 트랜지스터, 4011: 액정 소자, 4014: 리딩 배선, 4015: 리딩 배선, 4016: 접속 단자, 4018: FPC, 4019: 이방성 도전막, 4021: 기관, 4022: 트랜지스터, 4030: 화소 전극, 4031: 대향 전극, 4035: 스페이서, 6001: 기관, 6002: 화소부, 6003: 주사선 구동 회로, 6004: 기관, 6005: FPC, 6006: 대향 기관, 6101: 기관, 6102: 화소부, 6103: 주사선 구동 회로, 6104: 기관, 6105: FPC, 6106: 대향 기관, 6201: 기관, 6202: 화소부, 6203: 주사선 구동 회로, 6204: 기관, 6205: FPC, 6206: 대향 기관, 6207: 신호선 구동 회로의 부분

도면

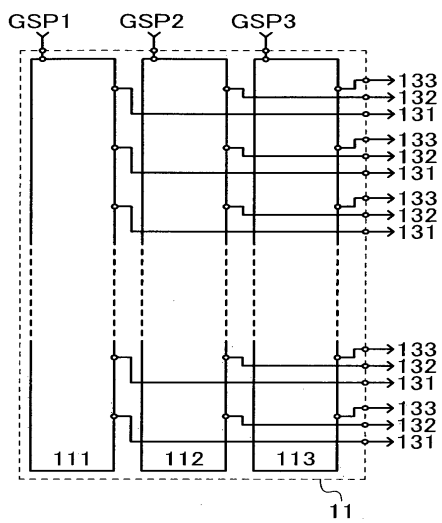
도면1a



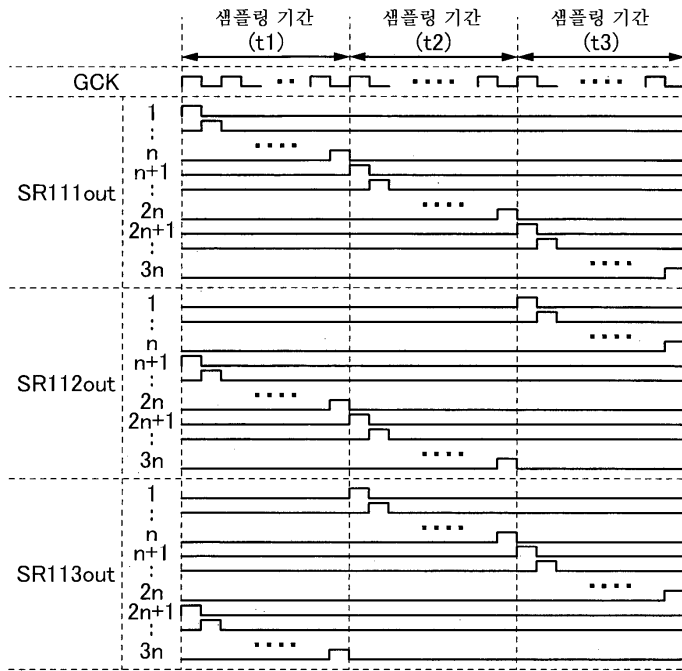
도면1b



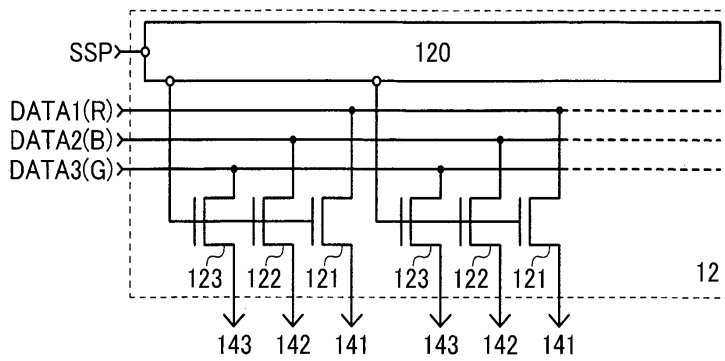
도면2



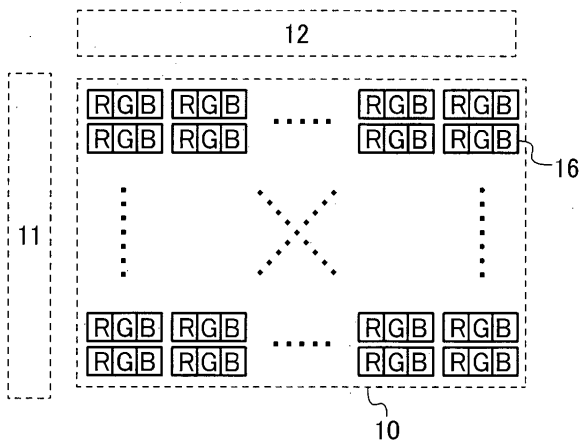
도면3



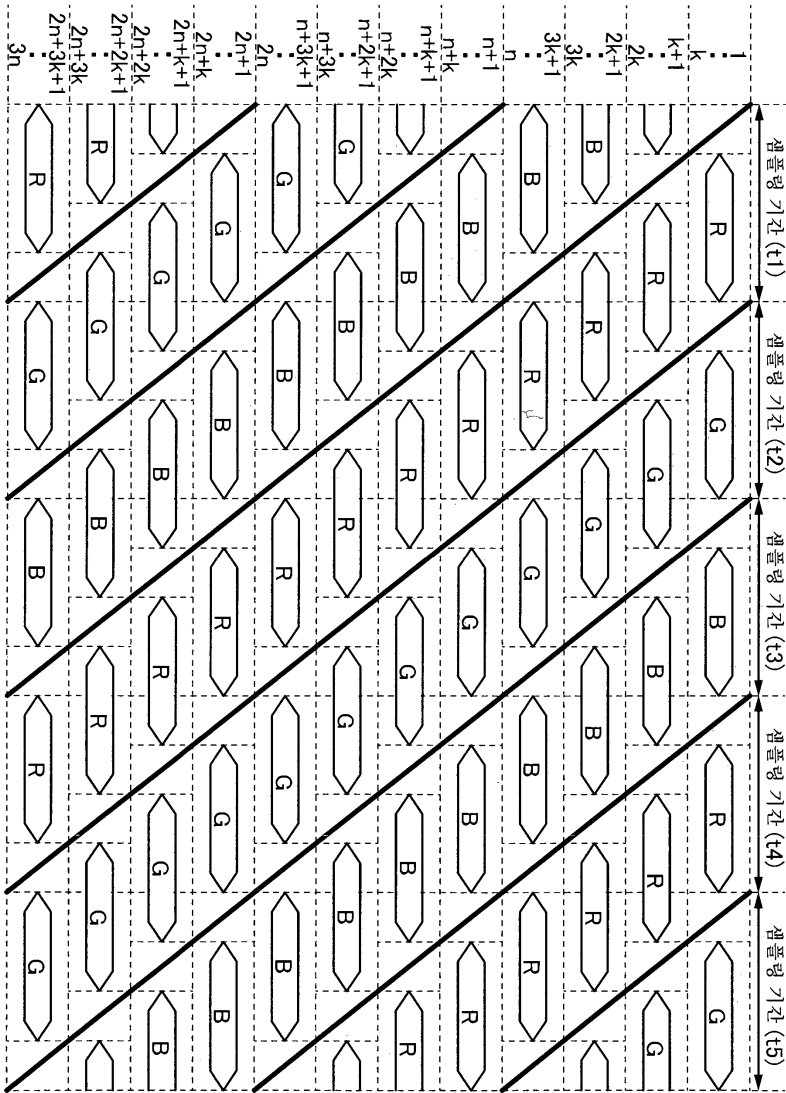
도면4a



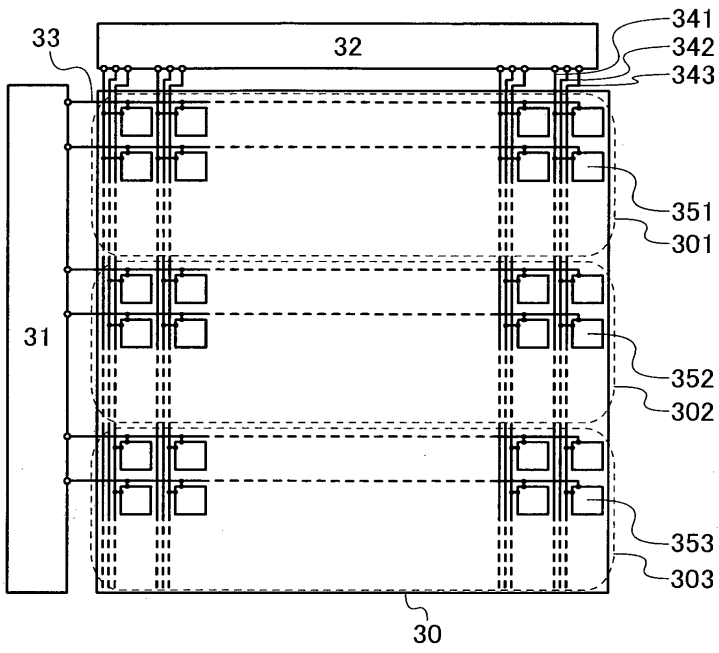
도면4b



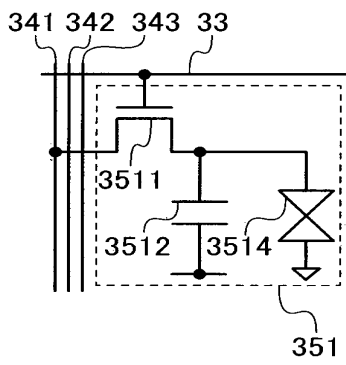
도면5



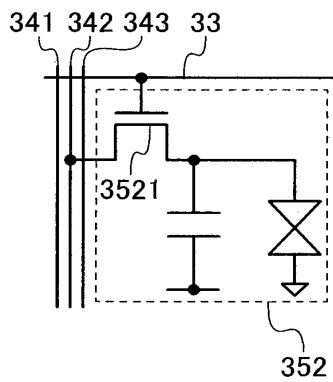
도면6a



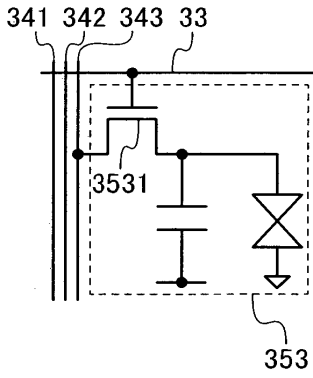
도면6b



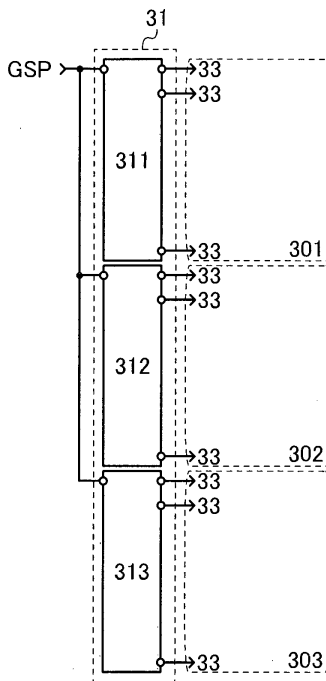
도면6c



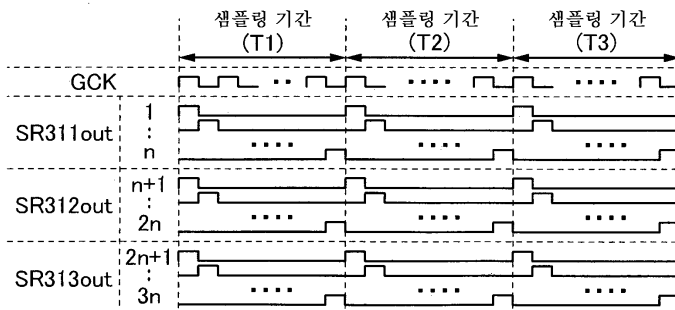
도면6d



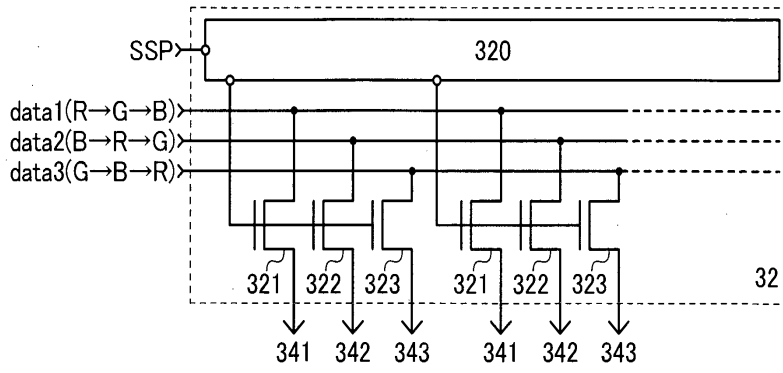
도면7a



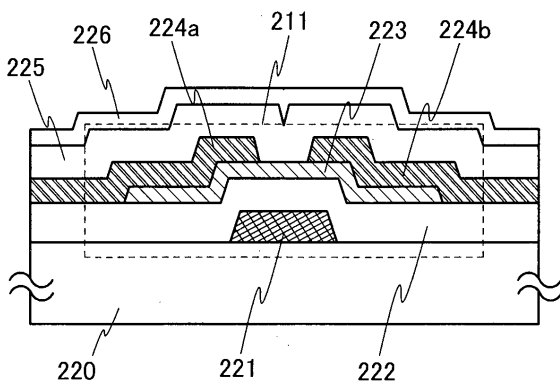
도면7b



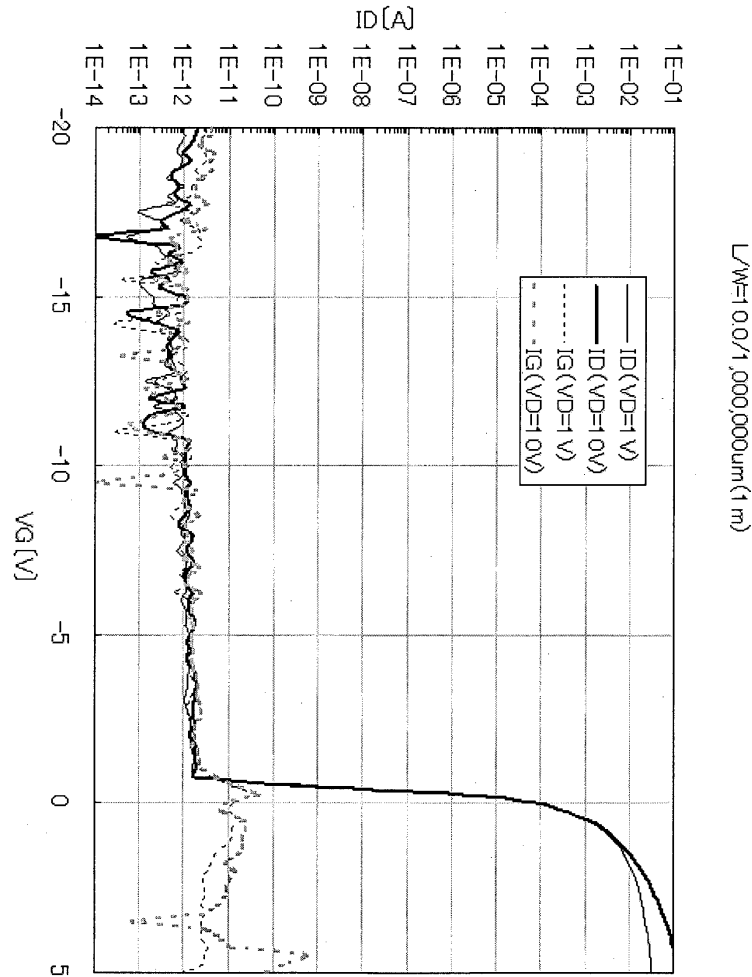
도면8



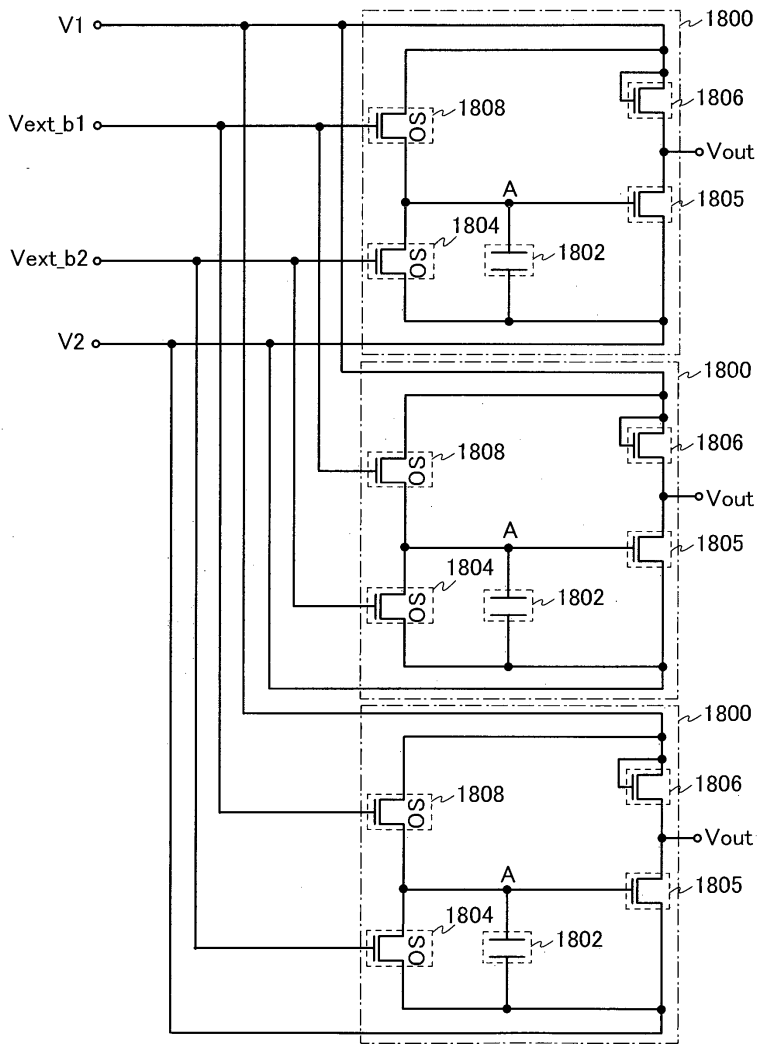
도면9



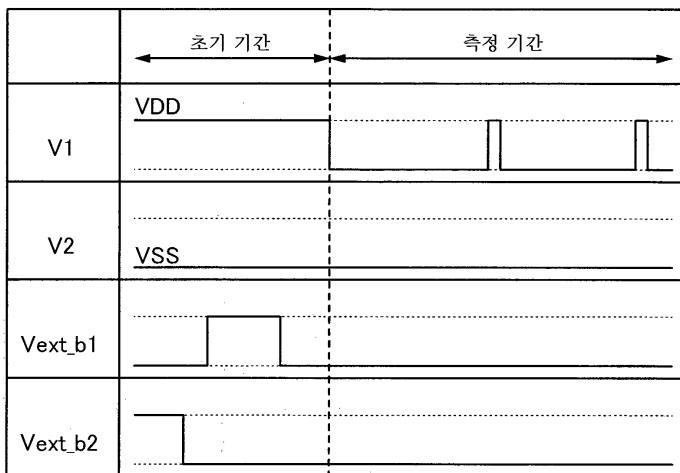
도면10



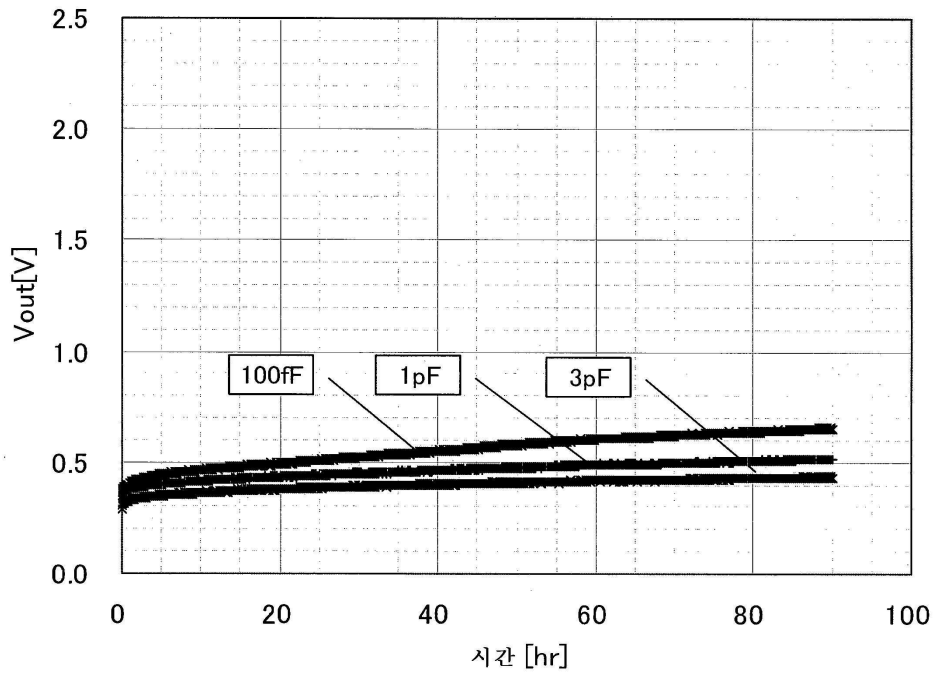
도면11



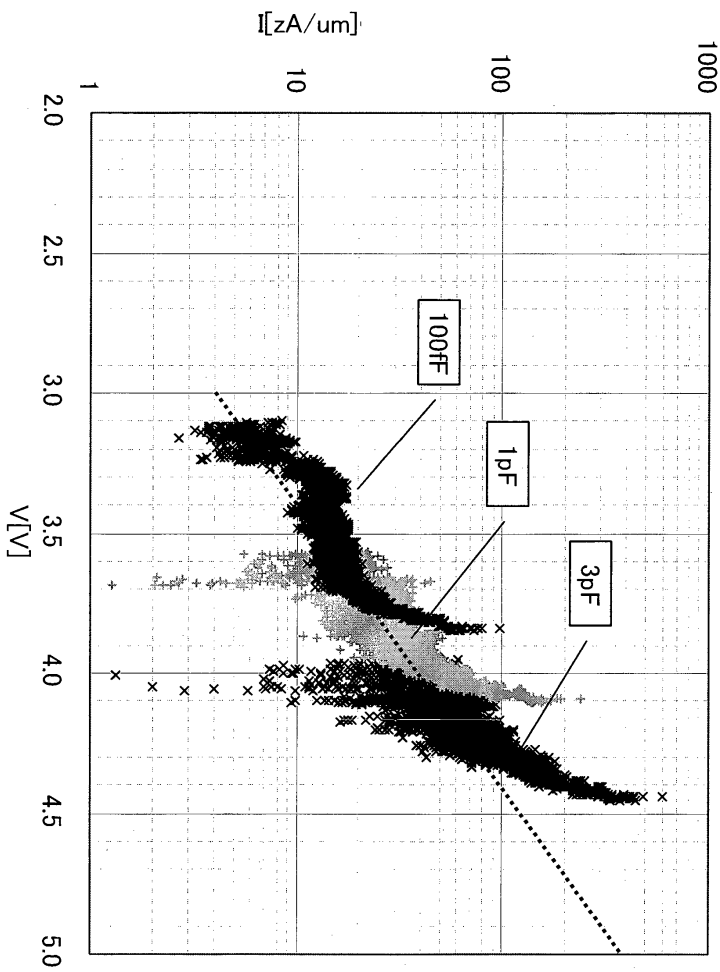
도면12



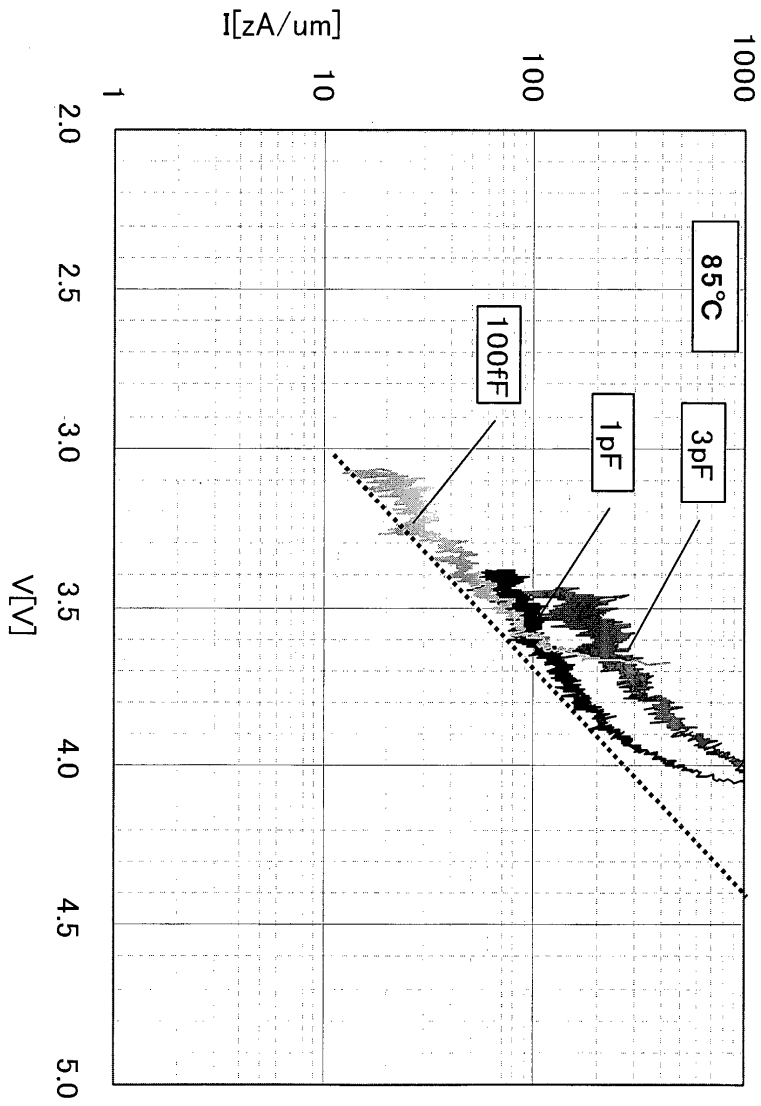
도면13



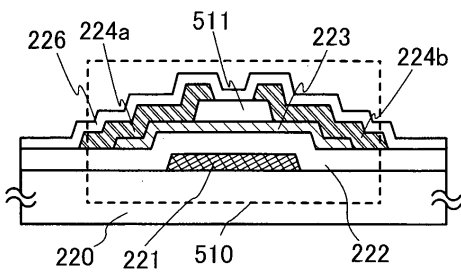
도면14



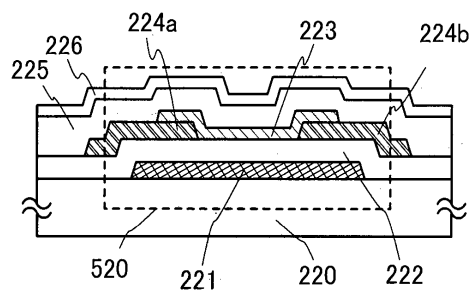
도면15



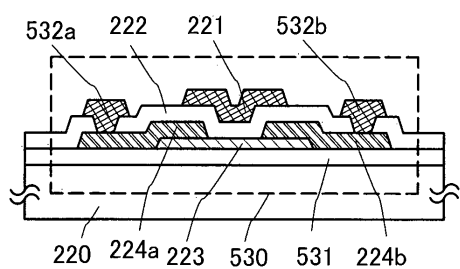
도면16a



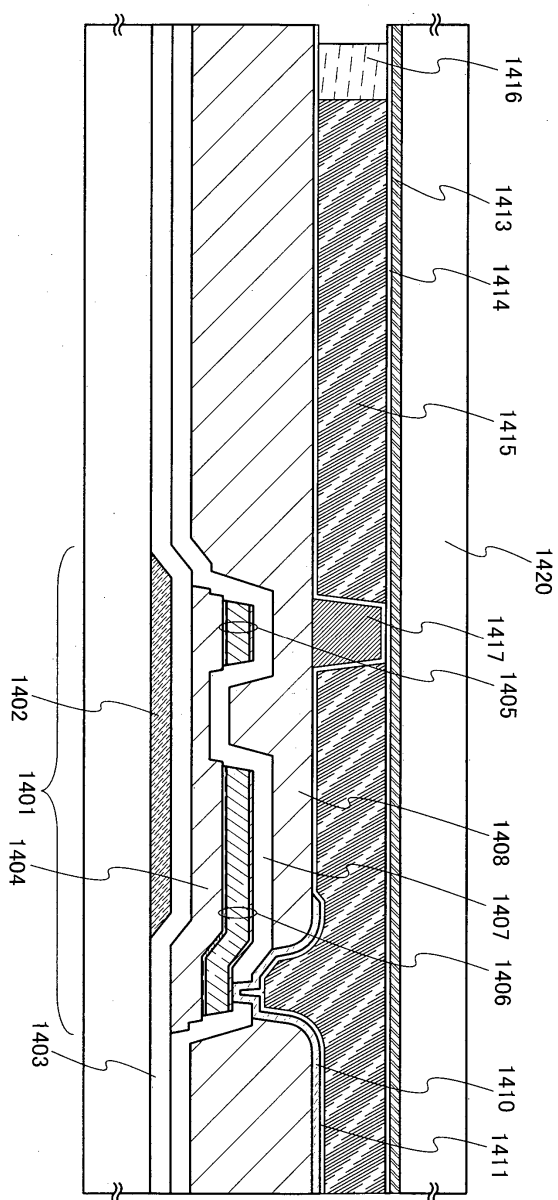
도면16b



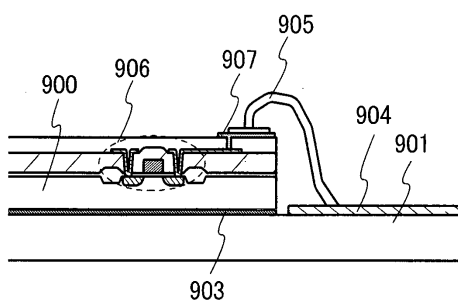
도면16c



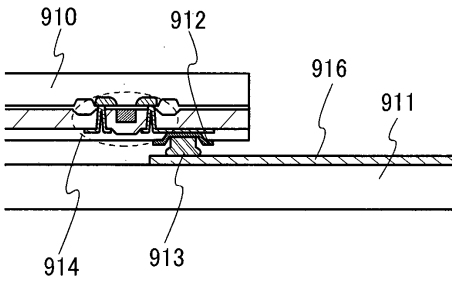
도면17



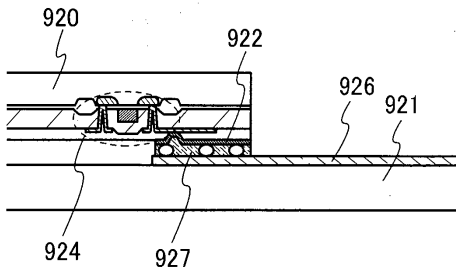
도면18a



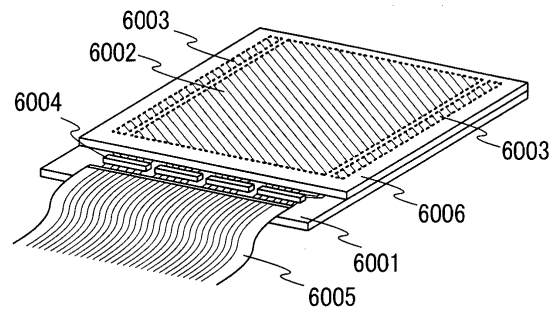
도면18b



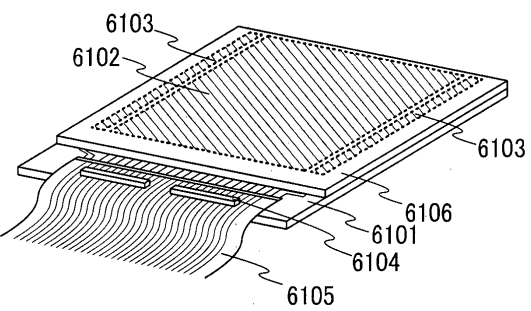
도면18c



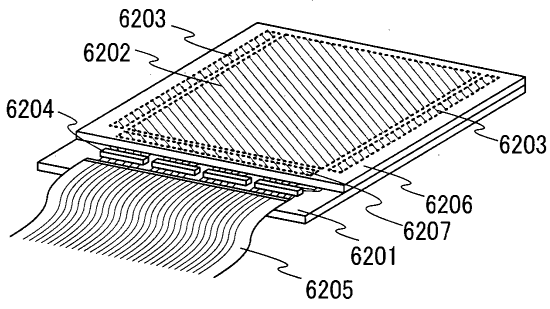
도면19a



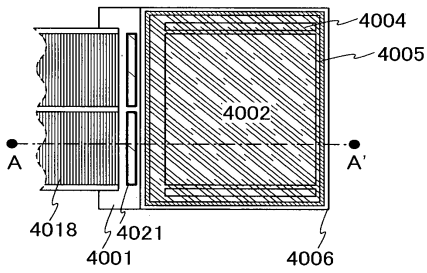
도면19b



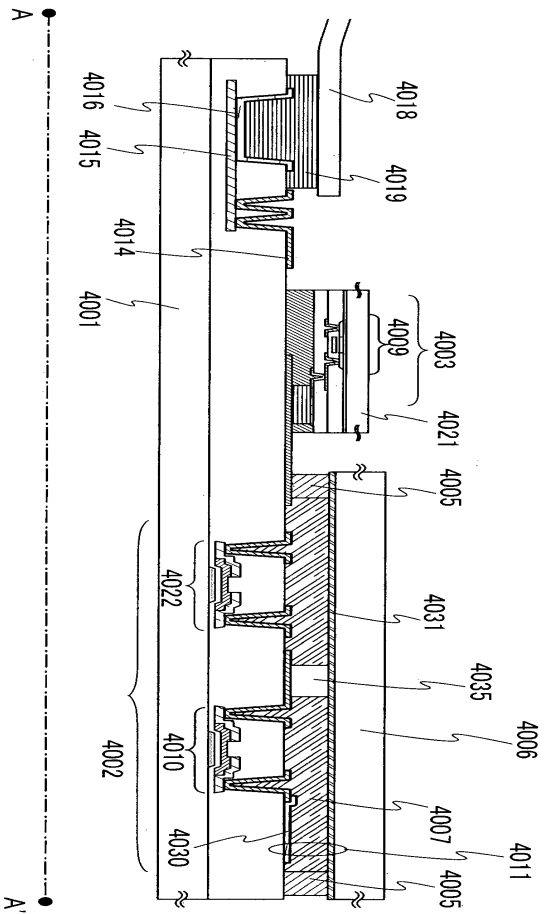
도면19c



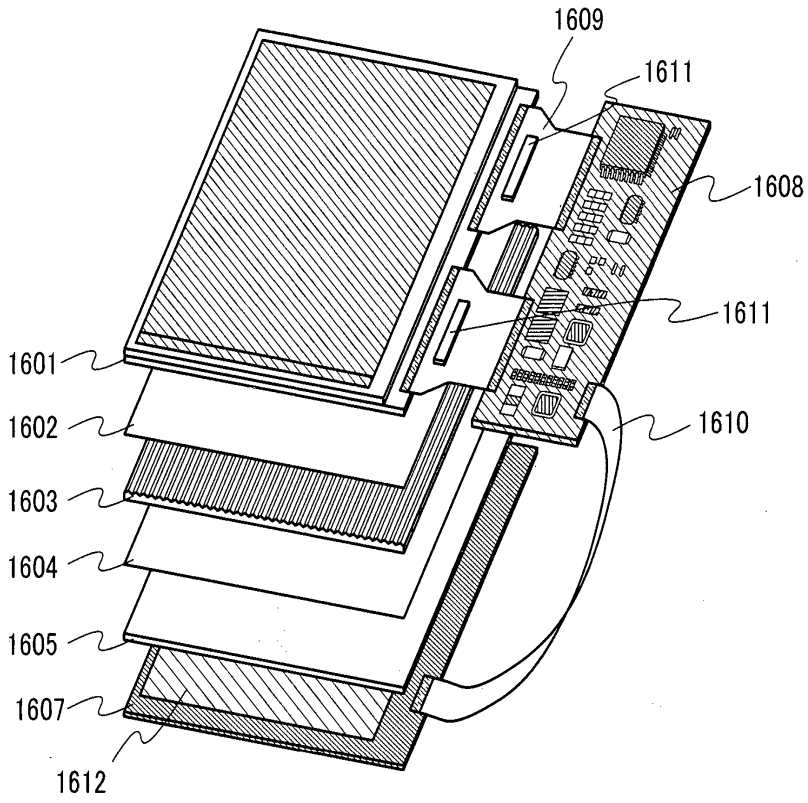
도면20a



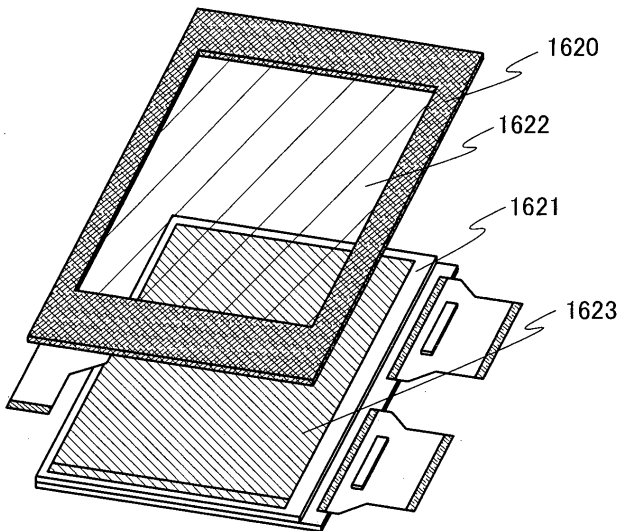
도면20b



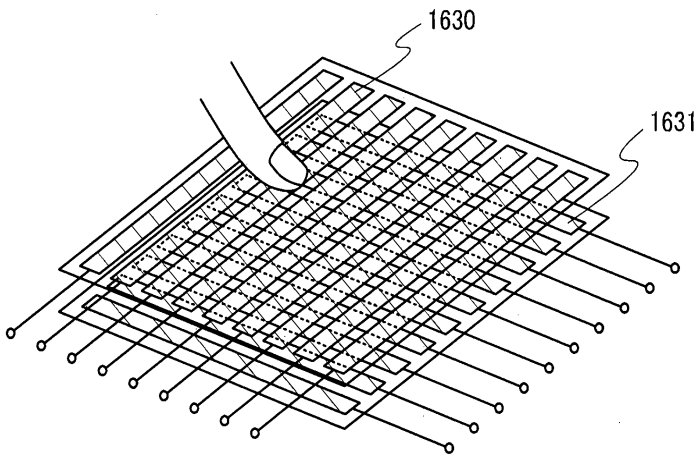
도면21



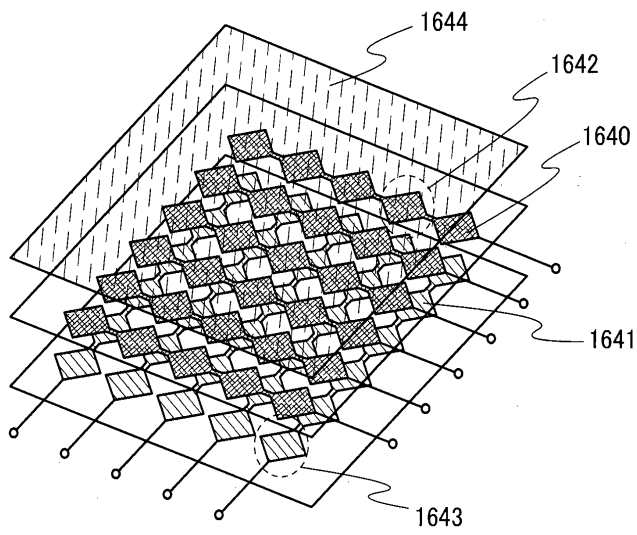
도면22a



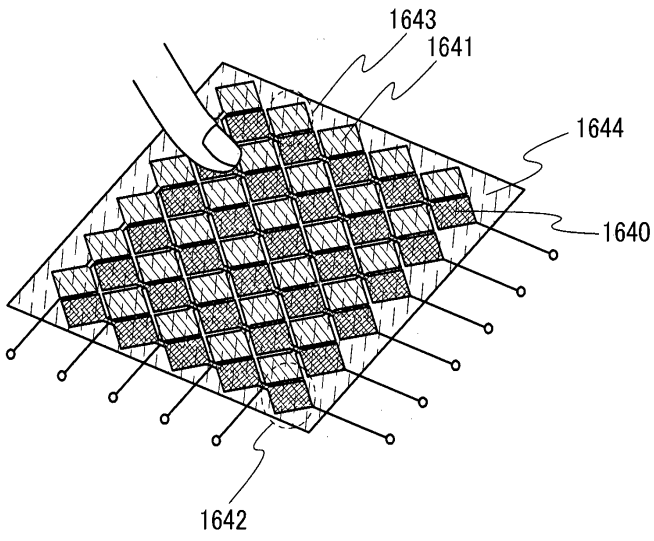
도면22b



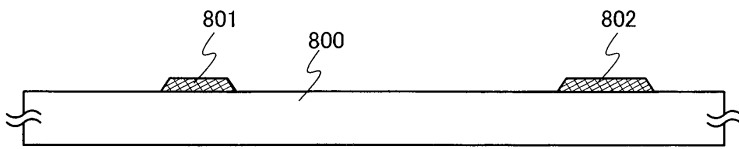
도면23a



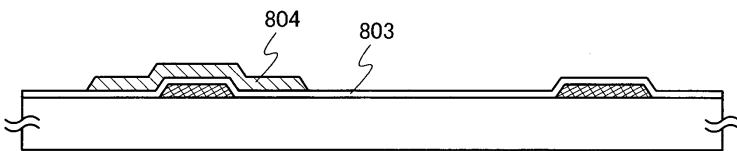
도면23b



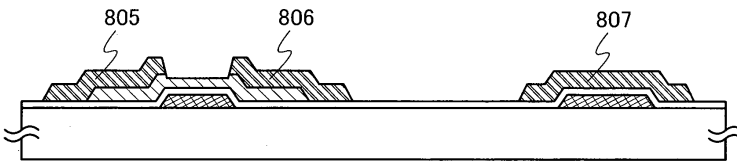
도면24a



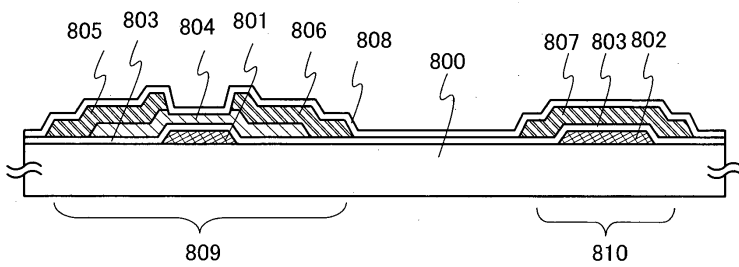
도면24b



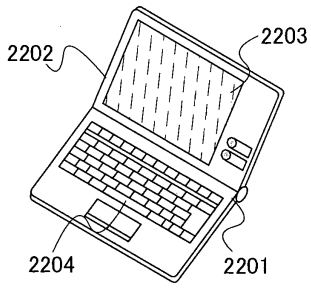
도면24c



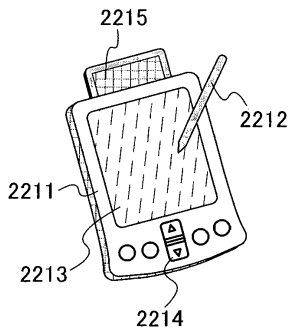
도면24d



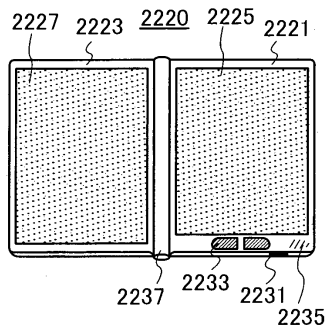
도면25a



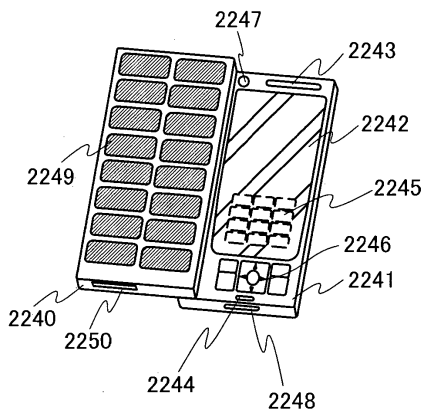
도면25b



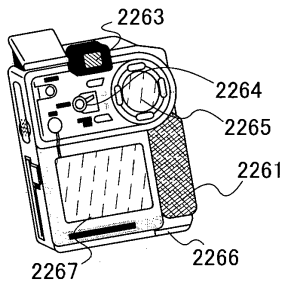
도면25c



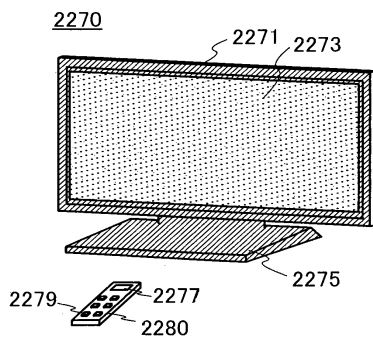
도면25d



도면25e



도면25f



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR1020130094190A	公开(公告)日	2013-08-23
申请号	KR1020127029299	申请日	2011-03-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	株式会社绒布器肯kyusyo极限戴哦		
[标]发明人	KOYAMA JUN 고야마준 MIYAKE HIROYUKI 미야케히로유키 YAMAZAKI SHUNPEI 야마자키순페이		
发明人	고야마준 미야케히로유키 야마자키순페이		
IPC分类号	G09G3/36 G02F1/133 G02F1/1362 G09G3/00 G09G3/34		
CPC分类号	G09G3/3648 G02F1/13624 G09G3/006 G09G3/3413 G09G3/3426 G09G3/3674 G09G3/3696 G09G2300/0408 G09G2300/0426 G09G2310/0235 G09G2310/0286 G09G3/36 G09G3/3655 G09G2320/041 G09G2330/021 G09G2320/103 G09G2340/0435 G11C19/28 G02F1/136286 G06F3 /0412 G06F3/044 G06F3/045 G09G5/18 G09G2300/08		
代理人(译)	Jangsugil Bakchungbeom Yijunghui		
优先权	2010090935 2010-04-09 JP 2010114435 2010-05-18 JP		
其他公开文献	KR101748901B1		
外部链接	Espacenet		

摘要(译)

从现场的QUAN理论液晶显示器的设计的观点来看，图像信号的输入频率增加。在图像信号中是液晶显示器的像素，它同时被提供给安排在排列成矩阵的像素中的多行像素。因此，可以在不改变包括液晶显示器中包括的晶体管等的响应速度的情况下增加每个像素的图像信号的输入频率。

