



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0086314
(43) 공개일자 2013년08월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G06F 3/041 (2006.01)
G02F 1/1343 (2006.01)
(21) 출원번호 10-2013-0007525
(22) 출원일자 2013년01월23일
심사청구일자 2013년01월23일
(30) 우선권주장
JP-P-2012-012262 2012년01월24일 일본(JP)

(71) 출원인
가부시키가이샤 재팬 디스플레이
일본국 도쿄도 미나토쿠 니시신바시 3쵸메 7반 1
고
(72) 발명자
아오끼 요시노리
일본 지바켄 모바라시 하야노 3300 가부시키가이
샤 재팬 디스플레이 이스트 내
사사누마 게이따
일본 지바켄 모바라시 하야노 3300 가부시키가이
샤 재팬 디스플레이 이스트 내
마쯔무라 가즈네
일본 지바켄 모바라시 하야노 3300 가부시키가이
샤 재팬 디스플레이 이스트 내
(74) 대리인
박충범, 장수길, 이중희

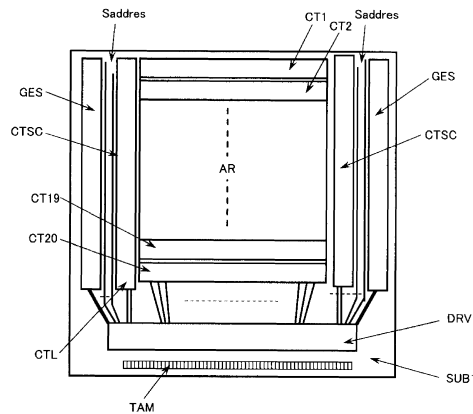
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

제2 기관은, 터치 패널의 검출 전극을 갖고, 각 화소는, 화소 전극과 대향 전극을 갖고, 상기 대향 전극은, 복수의 블록으로 분할되어 있고, 상기 분할된 각 블록의 대향 전극은, 연속하는 복수의 표시 라인의 각 화소에 대하여 공통으로 설치되어 있고, 상기 분할된 각 블록의 대향 전극은, 상기 터치 패널의 주사 전극을 검용하고, 상기 분할된 각 블록의 대향 전극을 선택하는 대향 전극 선택 회로를 갖는다. 상기 대향 전극 선택 회로는, 상기 각 블록의 대향 전극을 소정 기간 선택하는 어드레스 디코더 회로와, 상기 어드레스 디코더 회로에서 선택된 블록의 대향 전극에 터치 패널 주사 전압을 공급하고, 상기 어드레스 디코더 회로에서 선택되지 않은 블록의 대향 전극에 대향 전압을 공급하는 선택 회로를 갖는다.

대표도 - 도6a



특허청구의 범위

청구항 1

제1 기관과 터치 패널의 검출 전극을 갖는 제2 기관 사이에 끼움 지지되는 액정을 갖고, 매트릭스 형상으로 배치된 복수의 화소를 갖는 액정 표시 패널을 구비하고,

상기 액정 표시 패널은,

상기 복수의 화소의 각각에 배치된 화소 전극과,

복수의 블록으로 분할된 대향 전극과,

상기 복수의 블록의 각각의 대향 전극을 선택하는 대향 전극 선택 회로를 갖고,

상기 각 블록의 대향 전극은,

연속하는 복수의 표시 라인의 각 화소에 대하여 공통으로 설치되며, 상기 터치 패널의 주사 전극을 겸용하고 있는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 대향 전극 선택 회로는, 인접하는 2개의 블록의 상기 대향 전극을 동시에 선택하는 것을 특징으로 하는 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 대향 전극은, 상기 제1 기관 상에서 1표시 라인의 각 화소에 대하여 공통으로 설치되어 있고,

연속하는 복수의 표시 라인의 상기 각 대향 전극은, 상기 제1 기관 상에서 전기적으로 접속되어 상기 블록 단위로 분할된 대향 전극을 구성하는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 대향 전극 선택 회로는, 상기 각 블록의 대향 전극을 소정 기간 선택하는 어드레스 디코더 회로와,

상기 어드레스 디코더 회로에서 선택된 블록의 대향 전극에 터치 패널 주사 전압을 공급하고, 상기 어드레스 디코더 회로에서 선택되지 않은 블록의 대향 전극에 대향 전압을 공급하는 선택 회로를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 대향 전극 선택 회로는, 상기 제1 기관 상에 형성되며, 상기 액정 표시 패널의 내부에 내장되는 회로인 것을 특징으로 하는 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 제1 기관은, 상기 각 화소에 주사 전압을 입력하는 복수의 주사선과,

상기 복수의 주사선에 상기 주사 전압을 공급하는 주사선 구동 회로를 갖고,

상기 매트릭스 형상으로 배치된 복수의 화소는, 표시 영역을 구성하고,

상기 대향 전극 선택 회로의 상기 선택 회로는, 상기 주사선 구동 회로와 상기 표시 영역 사이에 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 주사선 구동 회로는, 상기 제1 기관 상에 형성되며, 상기 액정 표시 패널의 내부에 내장되는 회로인 것을 특징으로 하는 액정 표시 장치.

청구항 8

제5항에 있어서,

상기 제1 기관은, 상기 각 화소에 주사 전압을 입력하는 복수의 주사선과,

상기 복수의 주사선에 상기 주사 전압을 공급하는 주사선 구동 회로를 갖고,

상기 매트릭스 형상으로 배치된 복수의 화소는, 표시 영역을 구성하고,

상기 대향 전극 선택 회로는, 상기 주사선 구동 회로와 상기 표시 영역 사이에 배치되는 것을 특징으로 하는 액정 표시 장치.

청구항 9

제8항에 있어서,

상기 주사선 구동 회로는, 상기 제1 기관 상에 형성되며, 상기 액정 표시 패널의 내부에 내장되는 회로인 것을 특징으로 하는 액정 표시 장치.

청구항 10

제4항에 있어서,

상기 제1 기관은, 상기 각 화소에 영상 전압을 입력하는 복수의 영상선과,

상기 복수의 영상선에 상기 영상 전압을 공급하는 영상선 구동 회로를 갖고,

상기 대향 전극 선택 회로는, 상기 영상선 구동 회로에 의해 구동·제어되는 것을 특징으로 하는 액정 표시 장치.

청구항 11

제1항에 있어서,

상기 화소 전극과 상기 대향 전극은, 층간 절연막을 사이에 두고 절연되어 있는 것을 특징으로 하는 액정 표시 장치.

명세서

기술분야

[0001] 본 발명은, 액정 표시 장치에 관한 것으로, 특히, 터치 패널을 내장한 인 셀 방식의 액정 표시 장치에 적용하기에 유효한 기술에 관한 것이다.

배경기술

[0002] 표시 화면에 사용자의 손가락 또는 펜 등을 이용하여 터치 조작(접촉 압압 조작, 이하, 간단히 터치라고 칭함)하여 정보를 입력하는 장치(이하, 터치 센서 또는 터치 패널이라고도 칭함)를 구비한 표시 장치는, PDA나 휴대 단말기 등의 모바일용 전자 기기, 각종 가전 제품, 현금 자동 입출금기(Automated Teller Machine) 등에 이용되고 있다.

[0003] 이와 같은 터치 패널로서, 터치된 부분의 용량 변화를 검출하는 정전 용량 방식이 알려져 있다.

[0004] 이 정전 용량 방식 터치 패널로서, 일본 특허 출원 공개 제2009-258182호 공보에 개시된 바와 같이, 터치 패널 기능을 액정 표시 패널에 내장한, 소위 인 셀 방식의 터치 패널을 갖는 액정 표시 장치가 알려져 있다.

[0005] 인 셀 방식의 터치 패널에서는, 터치 패널의 주사 전극을, 액정 표시 패널을 구성하는 제1 기관(소위, TFT 기관) 상에 형성되는 대향 전극(커먼 전극이라고도 함)을 분할하여 사용하고 있다.

발명의 내용

해결하려는 과제

[0006] 인 셀 방식의 터치 패널에서는, 대향 전극에 공급되는 대향 전압(커먼 전압이라고도 함)이, 표시 동작에서 기생 용량에 의해 전압 변동된 경우, 화질 악화를 일으키기 때문에, 분할한 각 대향 전극과 드라이버 IC간의 배선 저항을 내릴 필요가 있다.

[0007] 드라이버 IC와, 분할한 대향 전극 사이의 배선은, 액정 표시 패널의 표시 영역의 좌우에 배치되기 때문에, 배선 개수의 증가에 비례하여, 액정 표시 패널의 좌우의 액연(額縁)의 폭이 증가한다.

[0008] 한편, 정전 용량 방식의 터치 패널에서는, 손가락 등에 의한 정전 용량의 변화를 검출하기 때문에, 교류 구동을 행하는 주사 전극의 폭은 약 4~5mm 정도의 폭이 있는 것이 바람직하다. 그 때문에, 액정 표시 패널 등의 표시 패널의 대형화에 의해 주사 전극의 개수는 증가한다. 예를 들면, 해상도가 FWVGA(480RGB×854)의 3.2인치의 액정 표시 패널인 경우에는, 세로의 길이는 약 71mm로 되기 때문에, 5mm 정도의 피치로 하기 위해서는 14분할할 필요가 있다. 또한, 해상도가 HD(720RGB×1280)의 4.5인치의 액정 표시 패널인 경우에는, 세로는 약 95mm이기 때문에 20분할이 필요하게 된다.

[0009] 이와 같이, 액정 표시 패널의 사이즈가, 해상도가 FWVGA(480RGB×854)의 3.2인치로부터, 해상도가 HD(720RGB×1280)의 4.5인치로 커진 경우에는, 좌우 6개분의 배선의 배선 폭만큼 액연이 증가하게 된다.

[0010] 본 발명은, 상기 종래 기술의 문제점을 해결하기 위해서 이루어진 것이며, 본 발명의 목적은, 터치 패널 기능을 내장한 액정 표시 장치에서, 액정 표시 패널의 사이즈가 대형화되어도, 액연 영역을 종래보다도 삭감하는 것이 가능하게 되는 기술을 제공하는 것에 있다.

[0011] 본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면에 의해 명백하게 한다.

과제의 해결 수단

[0012] 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 하기와 같다.

[0013] (1) 제1 기관과, 제2 기관과, 상기 제1 기관과 상기 제2 기관 사이에 끼움 지지되는 액정을 갖는 액정 표시 패널을 구비하고, 매트릭스 형상으로 배치된 복수의 화소를 갖는 액정 표시 장치로서, 상기 제2 기관은, 터치 패널의 검출 전극을 갖고, 상기 각 화소는, 화소 전극과 대향 전극을 갖고, 상기 대향 전극은, 복수의 블록으로 분할되어 있고, 상기 분할된 각 블록의 대향 전극은, 연속하는 복수의 표시 라인의 각 화소에 대하여 공통으로 설치되어 있고, 상기 분할된 각 블록의 대향 전극은, 상기 터치 패널의 주사 전극을 겸용하고, 상기 분할된 각 블록의 대향 전극을 선택하는 대향 전극 선택 회로를 갖는다.

[0014] (2) (1)에 있어서, 상기 대향 전극 선택 회로는, 인접하는 2개의 블록의 상기 대향 전극을 동시에 선택한다.

[0015] (3) (1)에 있어서, 상기 대향 전극은, 상기 제1 기관 상에서 1표시 라인의 각 화소에 대하여 공통으로 설치되어 있고, 연속하는 복수의 표시 라인의 상기 각 대향 전극은, 상기 제1 기관 상에서 전기적으로 접속되어 상기 블록 단위로 분할된 대향 전극을 구성한다.

[0016] (4) (1)에 있어서, 상기 대향 전극 선택 회로는, 상기 각 블록의 대향 전극을 소정 기간 선택하는 어드레스 디코더 회로와, 상기 어드레스 디코더 회로에서 선택된 블록의 대향 전극에 터치 패널 주사 전압을 공급하고, 상기 어드레스 디코더 회로에서 선택되지 않은 블록의 대향 전극에 대향 전압을 공급하는 선택 회로를 갖는다.

[0017] (5) (4)에 있어서, 상기 대향 전극 선택 회로는, 상기 제1 기관 상에 형성되며, 상기 액정 표시 패널의 내부에 내장되는 회로이다.

[0018] (6) (5)에 있어서, 상기 제1 기관은, 상기 각 화소에 주사 전압을 입력하는 복수의 주사선과, 상기 복수의 주사선에 상기 주사 전압을 공급하는 주사선 구동 회로를 갖고, 상기 매트릭스 형상으로 배치된 복수의 화소는, 표

시 영역을 구성하고, 상기 대향 전극 선택 회로의 상기 선택 회로는, 상기 주사선 구동 회로와 상기 표시 영역 사이에 배치된다.

[0019] (7) (5)에 있어서, 상기 제1 기관은, 상기 각 화소에 주사 전압을 입력하는 복수의 주사선과, 상기 복수의 주사선에 상기 주사 전압을 공급하는 주사선 구동 회로를 갖고, 상기 매트릭스 형상으로 배치된 복수의 화소는, 표시 영역을 구성하고, 상기 대향 전극 선택 회로는, 상기 주사선 구동 회로와 상기 표시 영역 사이에 배치된다.

[0020] (8) (6) 또는 (7)에 있어서, 상기 주사선 구동 회로는, 상기 제1 기관 상에 형성되며, 상기 액정 표시 패널의 내부에 내장되는 회로이다.

[0021] (9) (4)에 있어서, 상기 제1 기관은, 상기 각 화소에 영상 전압을 입력하는 복수의 영상선과, 상기 복수의 영상선에 상기 영상 전압을 공급하는 영상선 구동 회로를 갖고, 상기 대향 전극 선택 회로는, 상기 영상선 구동 회로에 의해 구동·제어된다.

[0022] (10) (1) 내지 (9) 중 어느 하나에 있어서, 상기 화소 전극과 상기 대향 전극은 층간 절연막을 사이에 두고 절연되어 있다.

[0023] 본원에서 개시되는 발명 중 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 하기와 같다.

[0024] 본 발명의 터치 패널 기능을 내장한 액정 표시 장치에 의하면, 액정 표시 패널의 사이즈가 대형화되어도, 액연 영역을 종래보다도 삭감하는 것이 가능하게 된다.

도면의 간단한 설명

[0025] 도 1은 종래에 1의 터치 패널이 부착된 액정 표시 장치의 개략 구성을 도시하는 분해 사시도.

도 2는 도 1에 도시한 터치 패널의 전극 구성을 도시하는 평면도.

도 3은 도 1에 도시한 터치 패널의 단면 구조를 도시하는 단면도.

도 4는 액정 표시 패널의 내부에 인 셀 방식의 터치 패널을 내장한 액정 표시 장치의 개략 구성을 도시하는 분해 사시도.

도 5는 액정 표시 장치에서의, 복수의 블록으로 분할한 대향 전극의 일례를 도시하는 평면도.

도 6a는 본 발명의 실시예 1의 액정 표시 장치에서의, 분할한 대향 전극의 구동 방법을 설명하기 위한 평면도.

도 6b는 본 발명의 실시예 1의 액정 표시 패널의 1서브 픽셀의 구성을 도시하는 평면도.

도 6c는 도 6b에 도시한 A-A' 절단선을 따른 단면 구조를 도시하는 단면도.

도 7은 도 6a에 도시한 대향 전극 선택 회로의 구성예를 도시하는 블록도.

도 8은 도 7에 도시한 선택 회로의 일례의 회로 구성을 도시하는 회로도.

도 9는 도 7에 도시한 어드레스 디코더 회로의 일례의 회로 구성을 도시하는 회로도.

도 10은 본 발명의 실시예 1의 액정 표시 장치에서, 터치 패널 검출 시와, 화소 기입 시의 구동 파형을 설명하기 위한 도면.

도 11은 본 발명의 실시예 1의 액정 표시 장치에서, 터치 패널 검출 시와, 화소 기입 시의 타이밍을 설명하기 위한 도면.

도 12는 본 발명의 실시예 2의 액정 표시 장치에서의, 분할한 대향 전극의 구동 방법을 설명하기 위한 평면도.

도 13은 도 12에 도시한 대향 전극 선택 회로의 구성예를 도시하는 블록도.

도 14는 도 13에 도시한 선택 회로의 일례의 회로 구성을 도시하는 회로도.

도 15는 도 13에 도시한 어드레스 디코더 회로의 일례의 회로 구성을 도시하는 회로도.

도 16은 주사선 구동 회로를 내장한 액정 표시 패널에서의, LCD 점등 검사의 개요를 설명하기 위한 도면.

도 17은 도 16에 도시한 점등 검사용 박막 트랜지스터를 설명하기 위한 도면.

도 18은 본 발명의 실시예 1의 액정 표시 장치에서의 LCD 점등 검사의 개요를 설명하기 위한 도면.

도 19는 본 발명의 각 실시예에서의, 화소의 등가 회로를 도시하는 회로도.

도 20은 일반적인 액정 표시 장치에서의, 통상의 액정 구동 신호의 전압 파형을 도시하는 도면.

도 21은 본 발명의 각 실시예의 액정 표시 장치에서, 대향 전극 선택 회로 검사용의 구동 파형을 도시하는 도면.

도 22는 본 발명의 각 실시예의 어드레스 디코더 회로의 검사를 목적으로 한 대향 전극 선택 회로의 신호 파형의 일례를 도시하는 도면.

도 23은 본 발명의 각 실시예의 선택 회로의 검사를 목적으로 한 대향 전극 선택 회로의 신호 파형의 일례를 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

- [0026] 이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.
- [0027] 또한, 실시예를 설명하기 위한 전체 도면에서, 동일 기능을 갖는 것은 동일 부호를 붙이고, 그 반복 설명은 생략한다. 또한, 이하의 실시예는, 본 발명의 특허 청구 범위의 해석을 한정하기 위한 것은 아니다.
- [0028] [종래예 1]
- [0029] 도 1은 종래예 1의 터치 패널이 부착된 액정 표시 장치의 개략 구성을 도시하는 분해 사시도이다.
- [0030] 도 2는 도 1에 도시한 터치 패널의 전극 구성을 도시하는 평면도이다.
- [0031] 도 3은 도 1에 도시한 터치 패널의 단면 구조를 도시하는 단면도이다.
- [0032] 일반적으로, 터치 패널은, 도 2에 도시한 바와 같이, 용량 검출용의 주사 전극(TX)과, 검출 전극(RX)을 갖는다. 여기서는, 예를 들면 주사 전극(TX)을 3개(TX1~TX3), 검출 전극(RX)을 2개(RX1, RX2)로 도시하고 있지만, 전극 수는 이에 한정되지 않는다.
- [0033] 또한, 터치 패널은, 도 1, 도 3에 도시한 바와 같이, 터치 패널 기관(41)과, 터치 패널 기관(41) 상에 형성되는 주사 전극(TX) 및 검출 전극(RX)과, 주사 전극(TX) 및 검출 전극(RX) 상에 형성되는 층간 절연막(42)과, 층간 절연막(42) 상에 형성되며, 주사 전극(TX)끼리를 전기적으로 접속하는 접속부(STX)와, 상기 접속부(STX) 상에 형성되는 보호막(43)과, 상기 보호막(43) 상에 배치되는 프론트 윈도우(또는, 보호 필름)(44)와, 상기 터치 패널 기관(41)의 액정 표시 패널측에 형성되는 실드용의 투명 전극(예를 들면, ITO(Indium Tin Oxide)막으로 형성되는 전극)(45)으로 구성된다.
- [0034] 종래의 터치 패널에서는, 터치 패널 제어 IC(DRT)에 의해, 각 주사 전극(TX)을 5V~10V 정도의 전압으로 펄스 구동을 행하고, 터치 패널 제어 IC(DRT)에서, 검출 전극(RX)에서의 전압 변화를 검출하고, 터치 위치의 검출을 행한다. 즉, 손가락 등에 의해 주사 전극(TX)과 검출 전극(RX) 사이의 용량값이 변화하고, 주사 전극(TX)을 펄스 구동하였을 때에, 검출 전극(RX)에서 검출되는 전압 변동이 변화하기 때문에, 검출 전극(RX)의 전압을 측정함으로써 터치 위치를 검출할 수 있다.
- [0035] 터치 패널은, 액정 표시 패널의 전면에 설치된다. 따라서, 액정 표시 패널에 표시된 화상을 사용자가 보는 경우에는, 표시 화상이 터치 패널을 투과할 필요가 있기 때문에, 터치 패널은 광 투과율이 높은 것이 바람직하다.
- [0036] 액정 표시 패널은, 도 1에 도시한 바와 같이, 제1 기관(SUB1; TFT 기관이라고도 함), 제2 기관(SUB2; CF 기관이라고도 함)과, 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 끼움 지지되는 액정(도시 생략)을 갖는다.
- [0037] 또한, 제1 기관(SUB1)은, 제2 기관(SUB2)보다도 큰 면적을 갖고, 제1 기관(SUB1)의, 제2 기관(SUB2)과 대향하지 않는 영역에는, 액정 드라이버 IC(DRV)가 실장되고, 또한, 그 영역의 1변의 주변부에는, 메인 플렉시블 배선 기관(MFPC)이 실장된다.
- [0038] 또한, 도 1에서, CT는 대향 전극(공통 전극이라고도 함), TFPC는 터치 패널용 플렉시블 배선 기관, CD는 이면측 투명 도전막, 참조 부호 52는 접속 부재, 참조 부호 53은 접속용 플렉시블 배선 기관이다.
- [0039] IPS 방식의 액정 표시 패널은, TN 방식의 액정 표시 패널이나 VA 방식의 액정 표시 패널과 같이, 컬러 필터가 설치되는 기관 상에 대향 전극(CT)이 존재하지 않는다. 그 때문에, 표시 노이즈를 저감하는 것 등의 이유에 의해, 컬러 필터가 설치되는 기관 상에, 예를 들면 ITO 등의 투명 도전막으로 구성되는 이면측 투명 도전막(CD)이

형성되어 있다.

- [0040] 도 4는 액정 표시 패널의 내부에 인 셀 방식의 터치 패널을 내장한 액정 표시 장치의 개략 구성을 도시하는 분해 사시도이다.
- [0041] 도 4에서, SUB1은 제1 기관(TFT 기관이라고도 함), SUB2는 제2 기관(CF 기관이라고도 함), CT는 대향 전극(공통 전극이라고도 함), DRV는 액정 드라이버 IC, MFPC는 메인 플렉시블 배선 기관, 참조 부호 44는 프론트 윈도우, 참조 부호 53은 접속용 플렉시블 배선 기관이다.
- [0042] 도 4에 도시한 액정 표시 장치에서는, 제2 기관(SUB2) 상의 이면측 투명 도전막(CD)을, 띠 형상의 패턴으로 분할하여, 터치 패널의 검출 전극(RX)으로 하고, 제1 기관(SUB1)의 내부에 형성되는 대향 전극(CT)을 띠 형상의 패턴으로 분할, 즉, 복수의 블록으로 분할하여, 터치 패널의 주사 전극(TX)으로서 겸용함으로써, 터치 패널 기관(도 1의 참조 부호 41)을 삭감하고 있다. 그 때문에, 도 4에 도시한 액정 표시 장치에서는, 도 1에 도시한 터치 패널 제어 IC(DRT)의 기능이, 액정 드라이버 IC(DRV)의 내부에 설치된다.
- [0043] 도 5는, 액정 표시 장치에서의, 복수의 블록으로 분할한 대향 전극의 일례를 도시하는 평면도이다. 도 5에서, SUB1은 제1 기관, DRV는 액정 드라이버 IC, CT1~CT20은 띠 형상의 패턴으로 분할된 각 블록의 대향 전극, GES는 액정 표시 패널에 내장된 주사선 구동 회로, CTL은 대향 전극 배선, TAM은 메인 플렉시블 배선 기관(MFPC)과 접속되는 단자부, AR은 매트릭스 형상으로 배치된 복수의 화소로 구성되는 표시부이다.
- [0044] 정전 용량 방식의 터치 패널에서는, 손가락 등에 의한 정전 용량의 변화를 검출하기 때문에, 교류 구동을 행하는 터치 패널용의 주사 전극(TX)의 폭은 약 4~5mm 정도의 폭이 있는 것이 바람직하다. 그 때문에, 액정 표시 패널의 대형화에 의해 주사 전극(TX)의 개수는 증가한다.
- [0045] 도 5에 도시한 예에서는, 1280표시 라인의 대향 전극(CT)을, CT1~CT20의 20블록(1블록은 64표시 라인의 대향 전극으로 구성됨)으로 분할하고 있어, 대향 전극 배선(CTL)은 좌우에 각 20개가 필요하게 된다. 각 블록의 대향 전극(CT1~CT20)은, 표시 동작에서 기생 용량에 의해 전압 변동한 경우는 화질 악화를 일으킨다. 그 때문에, 각각의 블록의 대향 전극(CT1~CT20)과, 액정 드라이버 IC(DRV)를 접속하는 대향 전극 배선(CTL)의 저항값을 내릴 필요가 있기 때문에, 액정 표시 패널의 대형화에 수반하여, 대향 전극(CT)의 분할수가 증가하면, 대향 전극 배선(CTL)의 배선 영역이 증가하고, 결과적으로, 액정 표시 패널에 좌우의 액연의 폭이 증가하게 된다.
- [0046] [실시예 1]
- [0047] 도 6a는 본 발명의 실시예 1의 액정 표시 장치에서의, 분할한 대향 전극의 구동 방법을 설명하기 위한 평면도이다.
- [0048] 본 실시예의 액정 표시 장치는, 20블록으로 분할한 각각의 대향 전극(CT1~CT20)을, 어드레스 디코드 방식에 의해 선택하는 대향 전극 선택 회로(CTSC)를, 액정 표시 패널의 내부에 내장한 점에서, 도 5에 도시한 액정 표시 장치와 상위하다.
- [0049] 20블록으로 분할한 대향 전극(CT1~CT20)의 선택 방법을 어드레스 디코드 방식으로 함으로써, 저저항이 필요하게 되는 배선은, 대향 전극(CT1~CT20)에 공급하는 대향 전압(Vcom)과, 터치 패널 주사 전압(Vstc)의 2개로 된다.
- [0050] 본 실시예에서는, 터치 패널 주사 전압(Vstc)은, 대향 전압(Vcom)에 대하여, 5~10V 높은 전압을 직류로 공급하고, 어드레스 신호선(Saddres)을 통하여 공급되는 어드레스 신호(address)에 의해 주사 개소의 선택을 행하고, 터치 패널 주사 신호(STC)에 따라서, 주사 전극(TX)을 겸하는, 선택된 블록의 대향 전극(CT)에 대하여, 대향 전압(Vcom), 혹은, 터치 패널 주사 전압(Vstc)을 절환하여 출력한다.
- [0051] 대향 전극(CT)의 분할수가 증가한 경우라도, 증가하는 배선은, 어드레스 신호선(Saddres)만이며, 액정 표시 패널의 좌우의 액연의 증가를 억제한 채로, 터치 패널 주사 전극으로서 사용하는 대향 전극의 분할수를 증가시키는 것이 가능하게 된다.
- [0052] 도 6b는 본 발명의 실시예의 액정 표시 패널의 1서브 픽셀의 구성을 도시하는 평면도이다.
- [0053] 도 6c는 도 6b에 도시한 A-A' 절단선을 따른 단면 구조를 도시하는 단면도이다. 이하, 도 6b, 도 6c를 이용하여, 본 실시예의 액정 표시 패널의 구조에 대하여 설명한다.

- [0054] 본 실시예의 액정 표시 패널은, 면 형상의 대향 전극을 사용하는 IPS 방식의 액정 표시 패널이며, 제2 기관(SUB2)의 주표면측이 관찰측으로 되어 있다.
- [0055] 글래스 기관이나 플라스틱 기관 등의 투명 기관으로 이루어지는 제2 기관(SUB2)의 액정층(LC)측에는, 제2 기관(SUB2)으로부터 액정층(LC)을 향하여 순서대로, 차광막(BM) 및 컬러 필터층(CF), 오버코트층(OC), 배향막(AL2)이 형성된다. 또한, 제2 기관(SUB2)의 외측에는, 이면측 투명 도전막(CD)과 편광판(POL2)이 형성된다.
- [0056] 또한, 글래스 기관이나 플라스틱 기관 등의 투명 기관으로 이루어지는 제1 기관(SUB1)의 액정층(LC)측에는, 제1 기관(SUB1)으로부터 액정층(LC)을 향하여 순서대로, 주사선(주사선이라고도 함)(GL; 도시 생략), 게이트 절연막(PAS3), 영상선(드레인선, 소스선이라고도 함)(DL; 도시 생략), 층간 절연막(PAS2), 면 형상의 대향 전극(CT), 층간 절연막(PAS1), 빗살 전극으로 이루어지는 화소 전극(PX), 배향막(AL1)이 형성된다. 또한, 제1 기관(SUB1)의 외측에는 편광판(POL1)이 형성된다.
- [0057] 또한, 본 실시예의 액정 표시 패널에서는, 대향 전극(CT)은, 1표시 라인마다 형성된다. 따라서, 도 6a에 도시한 각 블록의 대향 전극(CT1~CT20)은, 예를 들면 연속하는 64의 표시 라인의 각각의 대향 전극(CT)을 액정 표시 패널의 내부에서 전기적으로 접속하여 구성된다. 또한, 도 6b에서, 참조 부호 2는 게이트 전극, 참조 부호 3은 박막 트랜지스터(TFT)의 반도체층, 참조 부호 4는 소스 전극(영상선(DL)을 소스선이라 부르는 경우는 드레인 전극이라고도 함)이다.
- [0058] 도 7은 도 6a에 도시한 대향 전극 선택 회로(CTSC)의 구성예를 도시하는 블록도이다. 도 7에 도시한 바와 같이, 대향 전극 선택 회로(CTSC)는, DEC1~DEC20의 어드레스 디코더 회로와, SCH1~SCH20의 선택 회로로 구성되어 있다.
- [0059] 본 실시예에서는, 터치 패널의 주사 전극(TX)이 5mm 피치로 되도록, 64표시 라인분의 대향 전극(CT)을, 액정 표시 패널의 내부에서 전기적으로 접속하여 1개의 블록으로 하고, 1280의 표시 라인을 20분할한다. 그리고, 그 20분할된 대향 전극(CT1~CT20)과, 어드레스 디코더 회로(DEC1~DEC20)를, 1 대 1로 할당하고 있다. 분할수가 20블록이기 때문에, 어드레스 신호선(Sadd)은 5bit의 5개가 필요하게 된다.
- [0060] 어드레스 신호(address)에 의해 선택된, 1블록의 대향 전극, 즉, 64표시 라인 분의 대향 전극(CT)이, 터치 패널 주사 신호(STC)에 의해 교류 구동을 행하고, 그 밖의 대향 전극(CT)은 대향 전압을 출력한다.
- [0061] 도 8은 도 7에 도시한 선택 회로(SCH1~SCH20)의 일례의 회로 구성을 도시하는 회로도이다.
- [0062] 도 8에 도시한 선택 회로는, 어드레스 디코더 회로(DEC1~DEC20)의 출력(ODEC)과, 인버터(INV1)에서 반전된 터치 패널 주사 신호(STC)의 반전 신호를, NOR 회로(NOR1)에 입력하고, 그 NOR 회로(NOR1)의 출력을 인버터(INV2)에서 반전하여, 스위치 회로(SW)에 입력함으로써, 터치 패널 주사 전압(Vstc), 혹은, 대향 전압(Vcom)을 선택하여 각 블록의 대향 전극(CT1~CT20)에 출력한다.
- [0063] 이에 의해, 어드레스 디코더 회로(DEC1~DEC20) 중 하나가 선택된 경우, 터치 패널 주사 신호(STC)에 따라서, 각 블록의 대향 전극에, 터치 패널 주사 전압(Vstc)과, 대향 전압(Vcom)을 절환하여 출력한다.
- [0064] 즉, 도 8에 도시한 선택 회로에서는, 어드레스 디코더 회로(DEC1~DEC20)의 출력(ODEC)이, Low 레벨(이하, L 레벨) 및, 터치 패널 주사 신호(STC)가 High 레벨(이하, H 레벨)일 때에, NOR 회로(NOR1)의 출력이 H 레벨로 되므로, 스위치 회로(SW)는, 터치 패널 주사 전압(Vstc)을 선택하고, 터치 패널 주사 신호(STC)가 L 레벨, 혹은, 어드레스 디코더 회로(DEC1~DEC20)의 출력(ODEC)이 H 레벨일 때에, NOR 회로(NOR1)의 출력이 L 레벨로 되므로, 스위치 회로(SW)는 대향 전압(Vcom)을 선택한다.
- [0065] 도 9는 도 7에 도시한 어드레스 디코더 회로(DEC1~DEC20)의 일례의 회로 구성을 도시하는 회로도이다.
- [0066] 도 7에 도시한 바와 같이, 어드레스 디코더 회로(DEC1~DEC20)에는, 5개의 어드레스 신호(address)의 각각에 대하여, 어드레스 신호, 혹은, 어드레스 신호를 인버터(INV)에서 반전한 반전 신호가 입력되고, 5개의 어드레스 신호(address)와 5개의 어드레스 신호(address)의 반전 신호의 조합에 기초하여 디코딩한다.
- [0067] 도 9에 도시한 어드레스 디코더 회로에서는, 어드레스 디코더 회로에 입력된 5개의 어드레스 신호(address)와 5개의 어드레스 신호(address)의 반전 신호 중의 소정 조합의 어드레스 신호(add)를 NAND 회로(NAND1, NAND2)에 입력하고, 그 NAND 회로(NAND1, NAND2)의 출력을, NOR 회로(NOR2)에 입력하고, 그 NOR 회로(NOR2)의 출력을 인버터(INV4)에서 반전하여, 어드레스 디코더 회로의 출력(ODEC)으로 하고 있다. 따라서, 도 9에 도시한 어드레스 디코더 회로에서는, 어드레스 신호의 조합이, 자(自)어드레스 디코더 회로에 설정된 어드레스 신호의 조합과

일치할 때에, L 레벨의 전압이, 어드레스 디코더 회로의 출력(ODEC)으로서 출력되고, 어드레스 신호의 조합이, 자어드레스 디코더 회로에 설정된 어드레스 신호의 조합과 일치하지 않을 때에, H 레벨의 전압이, 어드레스 디코더 회로의 출력(ODEC)으로서 출력된다.

- [0068] 도 10은 본 발명의 실시예의 액정 표시 장치에서, 터치 패널 검출 시와, 화소 기입 시의 구동 파형을 설명하기 위한 도면이다.
- [0069] 도 10의 A는, 20블록으로 분할된 대향 전극 중, 11번째의 블록으로 되는 641~704표시 라인의 대향 전극(CT11)에 공급되는 터치 패널 주사 전압(Vstc)의 전압 파형을 나타내고 있다. 또한, 도 10의 B는, 홀수열의 영상선(DL)에 공급되는 영상 전압의 파형을, 도 10의 C는 짝수열의 영상선(DL)에 공급되는 영상 전압의 파형을, 도 10의 D는, 641번째의 주사선(GL)을 통하여, 641표시 라인의 박막 트랜지스터의 게이트 전극에 공급되는 게이트 신호를 나타내고 있다. 또한, T1은 터치 위치 검출 기간, T2는 화소 기입 기간을 나타내고 있다.
- [0070] 터치 위치 검출 기간(T1)은, 표시예의 영향을 방지하기 위해서, 화소 기입 기간(T2) 이외의 기간에 설정된다. 또한, 터치 위치 검출 기간(T1)에서, 검출 감도를 증가시키기 위해서, 동일 개소의 주사 전극(TX)에서 복수회의 스캔, 즉, 도 10에서는, 11번째의 블록의 대향 전극(CT11)에, 복수회 터치 패널 주사 전압(Vstc)이 공급된다. 또한, 화소 기입 기간(T2) 내에는, 11번째의 블록의 대향 전극(CT11)에는, 터치 패널 주사 전압(Vstc)이 공급되지 않고, 대향 전압(Vcom)이 공급된다.
- [0071] 도 11은, 본 발명의 실시예의 액정 표시 장치에서, 터치 패널 검출 시와, 화소 기입 시의 타이밍을 설명하기 위한 도면이다.
- [0072] 도 11의 A는, 1프레임의 화소 기입 기간(T4)에, 1번째의 표시 라인으로부터 1280표시 라인까지의 화소 기입 타이밍을 나타내고, 도 11의 B가, 20블록으로 분할된 각 블록의 대향 전극(CT1~CT20)에서의 터치 패널 검출 타이밍을 나타낸다.
- [0073] 도 11에 도시한 바와 같이, 임의의 표시 라인의 대향 전극을 주사 전극(TX)으로서 기능시키고, 터치 패널 검출 시의 스캔 동작은, 화소 기입을 행하는 게이트 스캔과는 상이한 개소에서 행한다. 또한, 도 11에서, T3은 귀선 기간, VSYNC는 수직 동기 신호, HSYNC는 수평 동기 신호를 나타낸다.
- [0074] [실시예 2]
- [0075] 도 12는 본 발명의 실시예 2의 액정 표시 장치에서의, 분할한 대향 전극의 구동 방법을 설명하기 위한 평면도이다.
- [0076] 터치 위치 검출에서, 검출 위치의 분해능을 올리기 위해서는, 주사를 행하는 주사 전극(TX)의 전극 폭을 미세하게 할 필요가 있다. 그러나, 전술한 바와 같이, 주사 전극(TX)의 전극 폭은 4mm~5mm 정도가 바람직하다.
- [0077] 따라서, 본 실시예에서는, 인접하는 2개의 블록의 대향 전극을, 복수의 어드레스에서 오버랩하여 구동함으로써, 분해능을 올리면서, 주사 전극(TX)의 전극 폭을 확보하도록 한 것이다.
- [0078] 도 12에서는, 각 블록의 대향 전극은, 1280표시 라인의 대향 전극을, 2.5mm 피치로 되는 32표시 라인분의 대향 전극을 1개의 블록으로 하여, CT1~CT40의 40 블록으로 분할하고 있다.
- [0079] 터치 위치 검출 시에는,
- [0080] CT1의 블록과, CT2의 블록의 대향 전극,
- [0081] CT2의 블록과, CT3의 블록의 대향 전극,
- [0082] CT3의 블록과, CT4의 블록의 대향 전극,
- [0083] .
- [0084] .
- [0085] CT39의 블록과, CT40 블록의 대향 전극과,
- [0086] 2개의 블록씩 스캔함으로써, 주사 전극(TX)의 전극 폭을 5mm 정도 확보하고, 또한, 스캔 폭을 2.5mm로 하는 것이 가능하게 되어, 검출 감도를 유지하면서, 수직 방향의 분해능을 향상시키는 것이 가능하게 된다.
- [0087] 도 13은 도 12에 도시한 대향 전극 선택 회로(CTSC)의 구성예를 도시하는 블록도이다. 도 13에 도시한 바와 같

이, 대향 전극 선택 회로(CTSC)는, DEC1~DEC39의 어드레스 디코더 회로와, SCH1~SCH40의 선택 회로로 구성되어 있다.

- [0088] 본 실시예에서는, 2.5mm 피치로 되는 32표시 라인분의 대향 전극을 1개의 블록으로 하여, 40블록으로 분할하고 있다.
- [0089] 그 때문에, 어드레스 디코더 회로는, DEC1~DEC39의 39개이고, 각 블록의 대향 전극은, 인접하는 2개의 어드레스 디코더 회로에 접속되어 있고, 2개의 어드레스 디코더 회로 중에서 어느 쪽인가의 디코더가 어드레스 신호(address)에 의해 선택되었을 때에, 선택된 32표시 라인분의 대향 전극(CT)이, 터치 패널 주사 신호(STC)에 의해 교류 구동을 행하고, 그 밖의 대향 전극(CT)은 대향 전압을 출력한다.
- [0090] 도 14는 도 13에 도시한 선택 회로(SCH1~SCH40)의 일례의 회로 구성을 도시하는 회로도이다.
- [0091] 도 14에 도시한 선택 회로는, 인접하는 2개의 어드레스 디코더 회로의 출력(ODEC1, ODEC2)의 논리곱을 취하는 AND 회로(AND)가 추가되어 있는 점에서, 도 8에 도시한 선택 회로와 상이하다.
- [0092] 도 14에 도시한 선택 회로에서는, 인접하는 2개의 어드레스 디코더 회로의 어느 한쪽의 어드레스 디코더 회로의 출력이 L 레벨로 되면, AND 회로(AND)의 출력이 L 레벨로 된다. 그 이외의 동작은, 도 8에 도시한 선택 회로와 동일하므로, 상세한 설명은 생략한다.
- [0093] 도 15는 도 13에 도시한 어드레스 디코더 회로(DEC1~DEC39)의 일례의 회로 구성을 도시하는 회로도이다.
- [0094] 도 13에 도시한 바와 같이, 본 실시예에서는, 어드레스 디코더 회로는, DEC1~DEC39의 39개이므로, 어드레스 신호(address)는 6개 필요하게 된다.
- [0095] 도 15에 도시한 어드레스 디코더 회로(DEC1~DEC39)에는, 6개의 어드레스 신호(address)의 각각에 대하여, 어드레스 신호, 혹은, 어드레스 신호를 인버터(INV)에서 반전한 반전 신호가 입력되어, 6개의 어드레스 신호(address)와 6개의 어드레스 신호(address)의 반전 신호의 조합에 기초하여 디코딩한다.
- [0096] 도 15에 어드레스 디코더 회로의 회로 구성은, 어드레스 신호(add)가 6개로 된 것 이외는, 도 9에 도시한 어드레스 디코더 회로와 동일하므로, 상세한 설명은 생략한다.
- [0097] 이상 설명한 바와 같이, 전술한 각 실시예에서는, 복수의 블록으로 분할한 대향 전극의 선택 방법을 어드레스 디코딩 방식으로 하고 있으므로, 대향 전극의 분할수가 증가한 경우라도, 증가하는 배선은 어드레스 신호선(Saddres)만이며, 액정 표시 패널의 좌우의 액연의 증가를 억제할 수 있다.
- [0098] 대향 전극이, 전술한 14분할로부터 20분할로 된 경우에는, 어드레스 신호선(Saddres)이 4개로부터 5개로 증가한다. 어드레스 신호선(Saddres)은 비교적 고저항에서 정상 동작하기 때문에, 가는 배선의 좌우 1개를 추가하면 되어, 액정 표시 패널의 좌우의 액연의 증가를 억제한 채로 터치 패널 주사 전극 분할수의 증가가 가능해진다.
- [0099] 또한, 전술한 각 실시예에서는, 어드레스 디코더 회로에 의해 터치 패널 주사 개소를 지정하기 때문에, 터치 패널 주사의 횟수나, 위치의 변경은, 액정 드라이버 IC(DRV)의 설정 변경만으로 가능해지기 때문에, 표시 동작에 의한 노이즈 등에 의한 오동작의 경우에 유연하게 대응할 수 있다.
- [0100] 이하, 액정 표시 패널 점등 검사(이하, LCD 점등 검사라고 함) 시의 대향 전극 선택 회로(CTSC)의 검사 방법(QD 점등 검사)에 대하여 설명한다.
- [0101] 도 16은 주사선 구동 회로를 내장한 액정 표시 패널에서의, LCD 점등 검사의 개요를 설명하기 위한 도면이다.
- [0102] LCD 점등 검사는, 액정 드라이버 IC(DRV)의 탑재 전에, 제1 기관(SUB1)과 제2 기관(SUB2)을 접합하고, 액정 봉입 후의 액정 표시 패널을 사용한다.
- [0103] 도 16에 도시한 바와 같이, 제1 기관(SUB1)의, 제2 기관(SUB2)과 대향하지 않는 영역에, 주사선 구동 회로용의 QD 시험 접속 단자(TAGQ)와, 대향 전극용의 QD 시험 접속 단자(TACQ)와, 영상선용의 QD 시험 접속 단자(TADQ)를 형성한다. 또한, 도 16에서, TADR은 액정 드라이버 IC(DRV)의 각 단자와 접속되는 드라이버 IC 접속 단자, SIFT는 점등 검사용의 박막 트랜지스터이다.
- [0104] TAGQ, TACQ, TADQ의 각 단자에, 주사선 구동 회로의 제어 신호, 영상선용의 신호, 대향 전극용의 신호 등의 구동 신호를 입력함으로써, 액정 드라이버 IC(DRV)의 탑재 전에, 액정 표시 패널을 점등시킬 수 있어, 표시 화상

에 의해 배선의 단선이나 주사선 구동 회로의 동작 불량, 박막 트랜지스터(TFT)의 특성 불량을 판정할 수 있다.

- [0105] 주사선 구동 회로의 제어 신호와, 대향 전극용의 신호는, 화소 또는 액정 표시 패널에 내장된 주사선 구동 회로(GES)와, 액정 드라이버 IC(DRV)의 접속 단자(혹은 플렉시블 배선 기관의 단자) 사이에 형성한 단자에 입력하고, 액정 드라이버 IC(DRV)가 출력하는 구동 신호를 모의(模擬)한 신호를 인가한다.
- [0106] 영상선용의 신호의 입력에 대해서는, 단자수가 방대해지기 때문에, 점등 검사용 박막 트랜지스터(STFT)를 이용한다. 도 17에 그 일례를 도시한다.
- [0107] 도 17에 도시한 바와 같이, 점등 검사용 박막 트랜지스터(STFT)의 드레인 전극(또는, 소스 전극)은, 각 드라이버 IC 접속 단자(TADR)에 접속하고, 각각을 복수개의 공통선에 합친다. 도 17에서는, 공통선을 2계통으로 한 경우이며, 점등 검사용 박막 트랜지스터(STFT)의 드레인(또는, 소스)용의 2개의 QD 시험 접속 단자(TADSQ)로부터, 홀수 및 짝수의 영상선(DL)에 상이한 신호를 인가할 수 있다. 이에 의해, 다색 표시나 인접 소스선 쇼트 검사 등이 가능하여, 불량의 조기 발견·대응 및 후속 공정의 품질 보증을 행한다.
- [0108] 또한, LCD 점등 검사 시에는, 점등 검사용 박막 트랜지스터(STFT)의 게이트 전극에는, 점등 검사용 박막 트랜지스터(STFT)의 게이트용의 QD 시험 접속 단자(TADGQ)로부터, 점등 검사용 박막 트랜지스터(STFT)를 온으로 하는 전압이 공급된다.
- [0109] 또한, 액정 드라이버 IC(DRV)의 탑재 시에는, 점등 검사용 박막 트랜지스터(STFT)의 게이트용의 QD 시험 접속 단자(TADGQ)를, 점등 검사용 박막 트랜지스터(STFT)를 오프로 하는 전압을 출력하는 드라이버 IC 접속 단자(TDR)에 접속함으로써, 공통선을 기계적으로 절단할 필요는 없다.
- [0110] [본 발명의 각 실시예의 QD 점등 검사]
- [0111] 도 18에, 본 발명의 실시예 1의 액정 표시 장치에서의 LCD 점등 검사의 개요를 설명하기 위한 도면이다. 이 도 18은 대향 전극 선택 회로(CTSC)가 있는 경우의 LCD 점등 검사를 설명하기 위한 개요도이다.
- [0112] 도 16과 상이한 점은, 대향 전극용의 QD 시험 접속 단자(TACQ) 대신에, 대향 전극 선택 회로 구동용의 QD 시험 접속 단자(TACTQ)가 배치되어 있는 점이다.
- [0113] 도 19는 본 발명의 각 실시예에서의, 화소의 등가 회로를 도시하는 회로도이다. 도 19에서, DLx는, x열의 영상선, GLy는 y행째의 주사선, PXxy는 x열 y행의 화소 전극, CT는 대향 전극, Cst는 유지 용량, Clc는 액정 용량이다.
- [0114] 통상의 액정 구동은, 박막 트랜지스터(TFT)의 게이트 전극에 입력하는 주사 신호에 의해, 각 화소의 박막 트랜지스터(TFT)를 1표시 라인마다 순차적으로 동작시켜, 화소 전극(PX)과 대향 전극간(CT) 사이에 접속되는 유지 용량(Cst)과 액정 용량(Clc)에, 영상 전압을 충전, 유지함으로써, 액정에 전압을 인가하여 점등 표시시키고 있다.
- [0115] 터치 패널용의 대향 전극 선택 회로(CTSC)에 대해서도, 점등 검사에 의해 불량 검출을 행하는 것이 바람직하다. 그러나, 터치 패널의 위치 검출 시의 주사에서, 액정 표시 패널의 표시에 영향을 주지 않는 구동을 하기 위해서, 대향 전극 선택 회로(CTSC)를 LCD 점등 검사 공정에서 대응시키기 위해서는, 검사 전용의 특수한 구동 방법을 사용할 필요가 있다.
- [0116] 도 20은, 일반적인 액정 표시 장치에서의, 통상의 액정 구동 신호의 전압 파형을 도시하는 도면이다.
- [0117] 또한, 도 20에서는, 예로서 대향 전극(CT)에 공급하는 대향 전압이, 직류 구동의 경우만을 도시하고 있다. 또한, 도 20에서, Vcom은 대향 전극(CT)에 공급하는 대향 전압, VDL은 영상선(DL)에 공급되는 영상 전압, VPX는 화소 전극(PX)의 전압, VGL은 주사선(GL)에 공급되는 주사 전압, Vhold는, 각 화소에 유지되는 유지 전압이다.
- [0118] 통상의 액정 구동에서는, 대향 전극(CT)에 고정 전위의 대향 전압(Vcom)을 입력한 상태에서, 박막 트랜지스터(TFT)의 게이트 전극에 주사 전압(VGL)을 입력하고, 각 화소의 화소 전극에, 원하는 전압(VPX)을 인가하기 위한 영상 전압(VDL)을 입력한다. 또한, 액정 열화 방지를 위해서, 영상 전압(VDL)은, 대향 전압(Vcom)에 대하여, 프레임 단위로 전위의 정부(正負) 극성을 교체하여, 교류 구동을 행한다.
- [0119] 도 21은, 본 발명의 각 실시예의 액정 표시 장치에서, 대향 전극 선택 회로 검사용의 구동 파형을 도시하는 도면이다.
- [0120] 도 21에 도시한 바와 같이, 영상 전압(VDL)과 대향 전압(Vcom)은, 동일 전압으로 고정하고, 터치 패널 주사 전

압(Vstc)을 교류 신호로 한다.

- [0121] 이에 의해, 기입 동작의 타이밍에서, 대향 전극 선택 회로(CTSC)가 선택되어, 터치 패널 주사 전압(Vstc)이 출력된 장소에서는, 대향 전압(Vcom)에 대하여 교류 동작으로 되기 때문에, 화소 전극(PX)과 대향 전극(CT) 사이에 전압차가 발생하여, 각 화소에, 유지 전압(Vhold)이 유지된다.
- [0122] 한편, 기입 동작의 타이밍에서 대향 전극 선택 회로(CTSC)가 정상적으로 동작하지 않는 경우, 화소 전극(PX)과 대향 전극(CT) 사이에 전압차가 발생하지 않는 상태로 된다. 즉, 대향 전극 선택 회로(CTSC)가 정상 동작한 개소는 점등하고, 이상 개소에 대해서는 점등하지 않는 상태로 되기 때문에, 대향 전극 선택 회로(CTSC)의 동작을 검사하는 것이 가능하게 된다.
- [0123] 도 22는 본 발명의 각 실시예의 어드레스 디코더 회로의 검사를 목적으로 한 대향 전극 선택 회로(CTSC)의 신호 파형의 일례를 도시하는 도면이다.
- [0124] 도 22는, 해상도가 HD(720RGB×1280픽셀)이고, 1블록이 64표시 라인의 대향 전극인 경우를 도시하고 있다.
- [0125] 터치 패널 주사 신호(STC)는, H 레벨의 전압으로 고정하고, 예를 들면 GL1~GL64의 주사선(GL)에 순차적으로 선택 주사 전압(SDL)을 공급하는 타이밍에 동기하여, 각 블록의 대향 전극(CT)을, 어드레스 디코더 회로(DEC1~DEC20)D에서 순차적으로 선택하도록, ADR_0~ADR_4의 어드레스 신호(address)를 입력한다. 이에 의해, 예를 들면 1~64의 각 표시 라인에서, 터치 패널 주사 전압(Vstc)이 각 화소에 인가된다.
- [0126] 전체 어드레스 디코더 회로(DEC1~DEC20)가 올바르게 동작한 경우, 모든 화소에서, 터치 패널 주사 전압(Vstc)에 기초하는 전압(도 22의 VPX)이 액정에 인가되기 때문에 전체 화면이 점등 표시로 되고, 특정한 회로에 동작 불량이 있었던 경우, 해당하는 대향선으로부터 터치 패널 주사 전압(Vstc)이 출력되지 않기 때문에, 비점등(흑 표시)의 횡대(橫帶)가 발생하므로 문제를 검지할 수 있다.
- [0127] 도 23은 본 발명의 각 실시예의 선택 회로의 검사를 목적으로 한 대향 전극 선택 회로(CTSC)의 신호 파형의 일례를 도시하는 도면이다.
- [0128] 도 22의 경우에 대하여 상이한 점은, 터치 패널 주사 신호(STC)를 64표시 라인마다, H 레벨과 L 레벨로 절환한다. 이에 의해, 터치 패널 주사 신호(STC)에 의한, 선택 회로(SCH1~SCH20)의 전압 절환을 행한다.
- [0129] 도 23에서는, 홀수행의 블록의 대향 전극에서, 터치 패널 주사 전압(Vstc)을 출력하기 때문에, 게이트 스캔 방향을 따라서, 백색/흑색의 가로 스트라이프 형상의 표시로 된다. 터치 패널 주사 신호(STC)의 반전에 의해, 각 블록의 대향 전극의 짝수열/홀수열마다의 점등 검사로부터, 점등 특성의 출력 회로에 동작 불량이 있었던 경우, 가로 방향의 흑색선으로서 불량 검지가 가능하다.
- [0130] 또한, 본 검사 방법은, 단선·쇼트 등에 의한 회로 동작 불량을 검지할 수 있는 것 외에, 액정 표시 패널의 구동 주파수나 구동 방법(프레임/라인 반전 등)을 변경함으로써, 대향 신호 출력 지연에 의한 화질 열화를 조사할 수 있기 때문에, 대향 전극 선택 회로(CTSC)의 동작 마진을 검사하는 것이 가능하다.
- [0131] 이상, 본 발명자에 의해 이루어진 발명을, 상기 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은, 상기 실시예에 한정되는 것이 아니라, 그 요지를 이탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.
- [0132] 현재 본 발명의 특정한 실시예들이라고 생각되는 것들이 설명되었지만, 다양한 변형들이 가능하다는 것이 이해될 것이며, 본 발명의 사상과 범위 내에서 그러한 모든 변형들이 첨부된 특허 청구 범위에 포함되는 것이 의도된다.

부호의 설명

- [0133] 2 : 게이트 전극
- 3 : 반도체층
- 4 : 소스 전극
- 41 : 터치 패널 기관
- 42, PAS1, PAS2 : 층간 절연막
- 43 : 보호막

44 : 프론트 윈도우(또는, 보호 필름)
45 : 실드용의 투명 전극
52 : 접속 부재
53 : 접속용 플렉시블 배선 기판
TX : 터치 패널의 주사 전극
RX : 터치 패널의 검출 전극
AR : 표시 영역
SUB1 : 제1 기판
SUB2 : 제2 기판
DRV : 액정 드라이버 IC
DRT : 터치 패널 제어 IC
MFPC : 메인 플렉시블 배선 기판
TFPC : 터치 패널용 플렉시블 배선 기판
GES : 주사선 구동 회로
CTSC : 대향 전극 선택 회로
PX : 화소 전극
GL : 주사선
DL : 영상선
CT, CT1~CT40 : 대향 전극
CTL : 대향 전극 배선
CD : 이면측 투명 도전막
BM : 차광막
CF : 컬러 필터층
OC : 오버코트층
AL1, AL2 : 배향막
LC : 액정층
Clc : 액정 용량
Cst : 유지 용량
PAS3 : 게이트 절연막
POL1, POL2 : 편광판
DEC1~DEC20 : 어드레스 디코더 회로
SCH1~SCH40 : 선택 회로
INV1~INV3 : 인버터
NOR1, NOR2 : NOR 회로
NAND1, NAND2 : NAND 회로
AND : AND 회로

SW : 스위치 회로

TFT : 박막 트랜지스터

STFT : 점등 검사용 박막 트랜지스터

TAM : 단자부

TAGQ : 주사선 구동 회로용의 QD 시험 접속 단자

TACQ : 대향 전극용의 QD 시험 접속 단자

TACTQ : 대향 전극 선택 회로용의 QD 시험 접속 단자

TADQ : 영상선용의 QD 시험 접속 단자

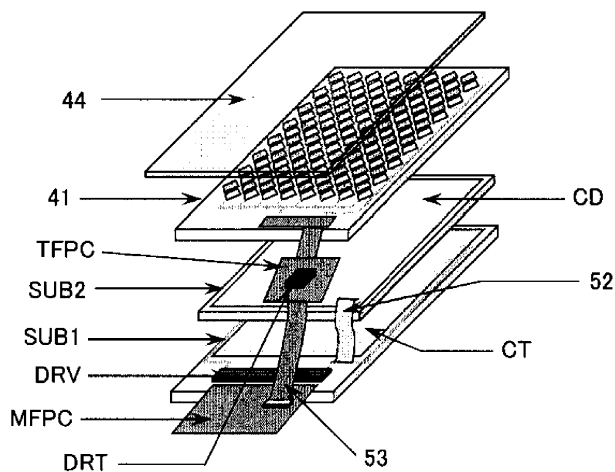
TADR : 드라이버 IC 접속 단자

TADGQ : 점등 검사용 박막 트랜지스터의 게이트용의 QD 시험 접속 단자

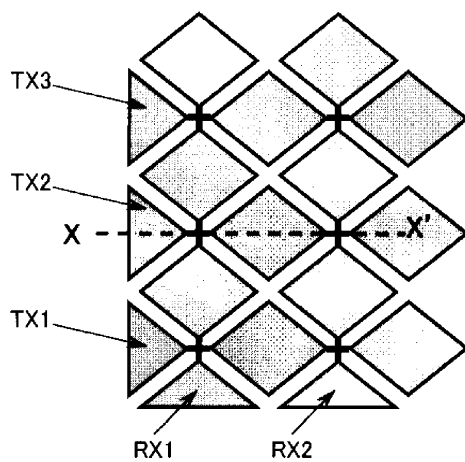
TADSQ : 점등 검사용 박막 트랜지스터의 드레인(또는, 소스)용의 QD 시험 접속 단자

도면

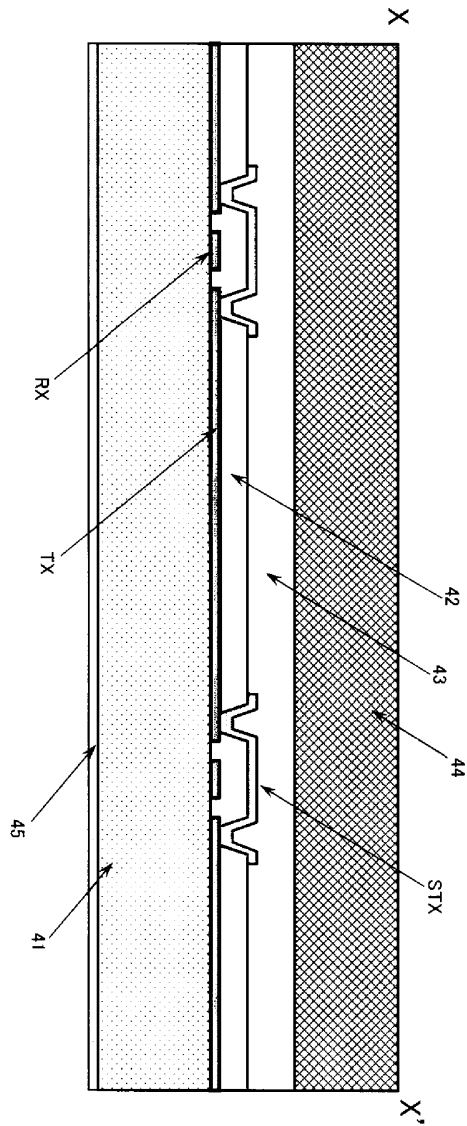
도면1



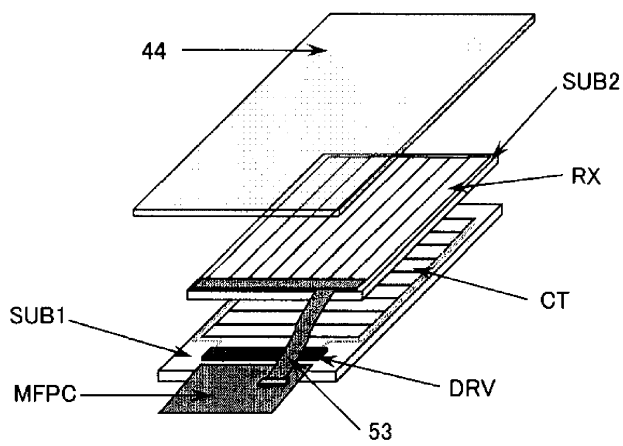
도면2



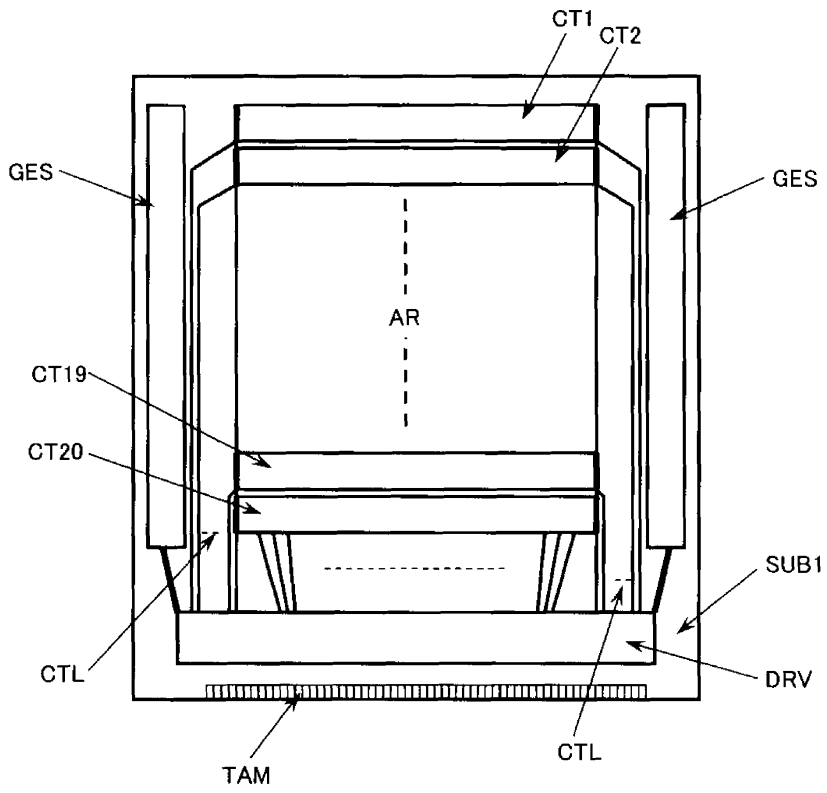
도면3



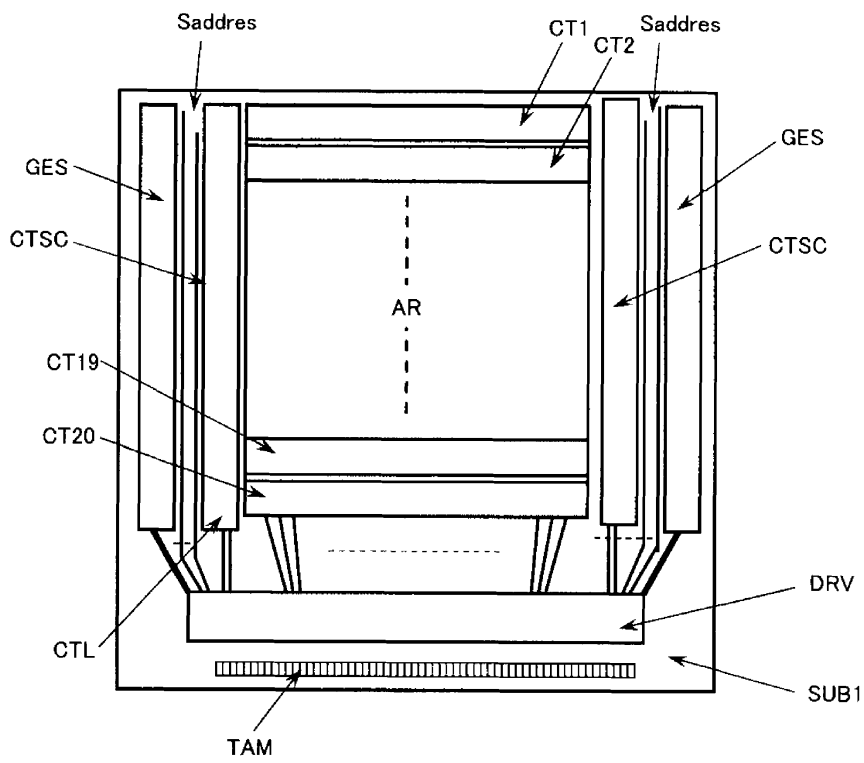
도면4



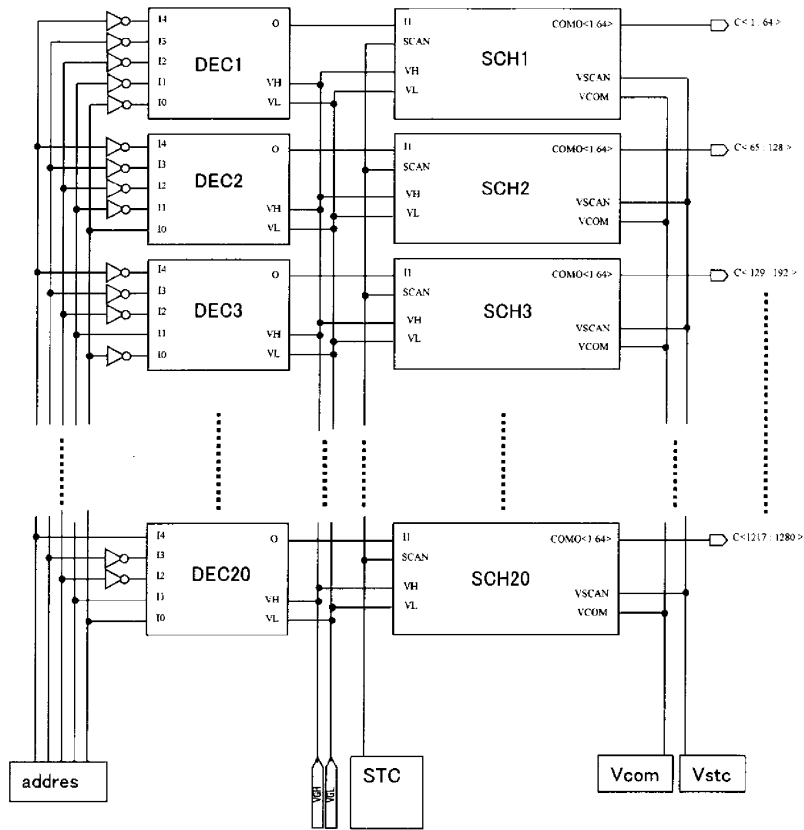
도면5



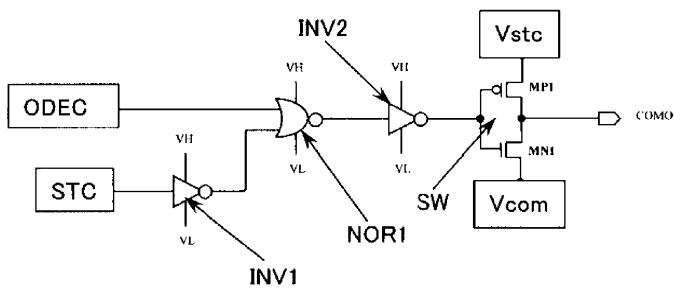
도면6a



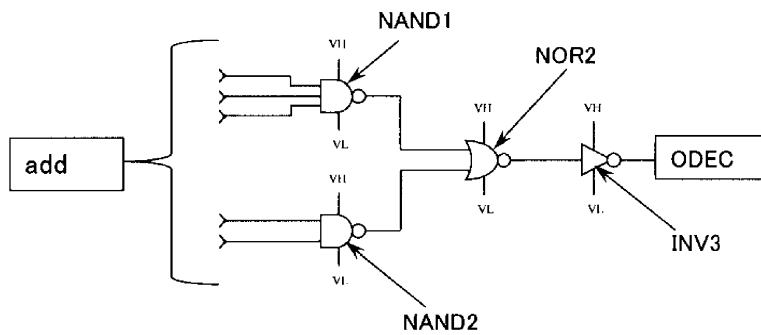
도면7



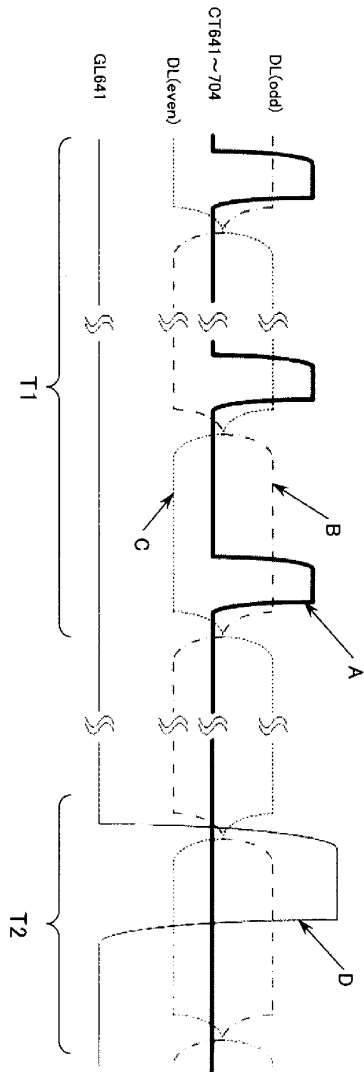
도면8



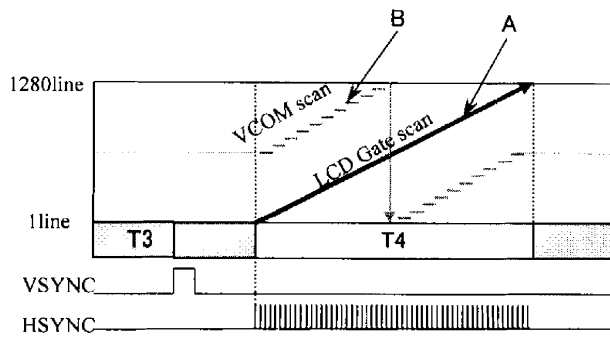
도면9



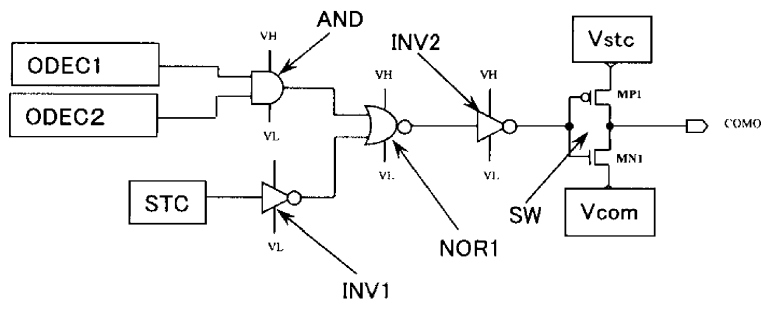
도면10



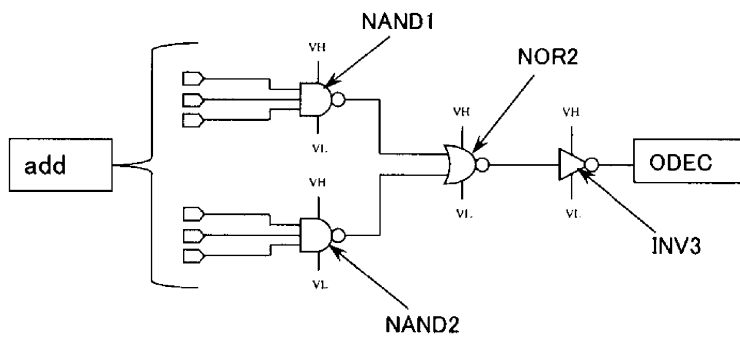
도면11



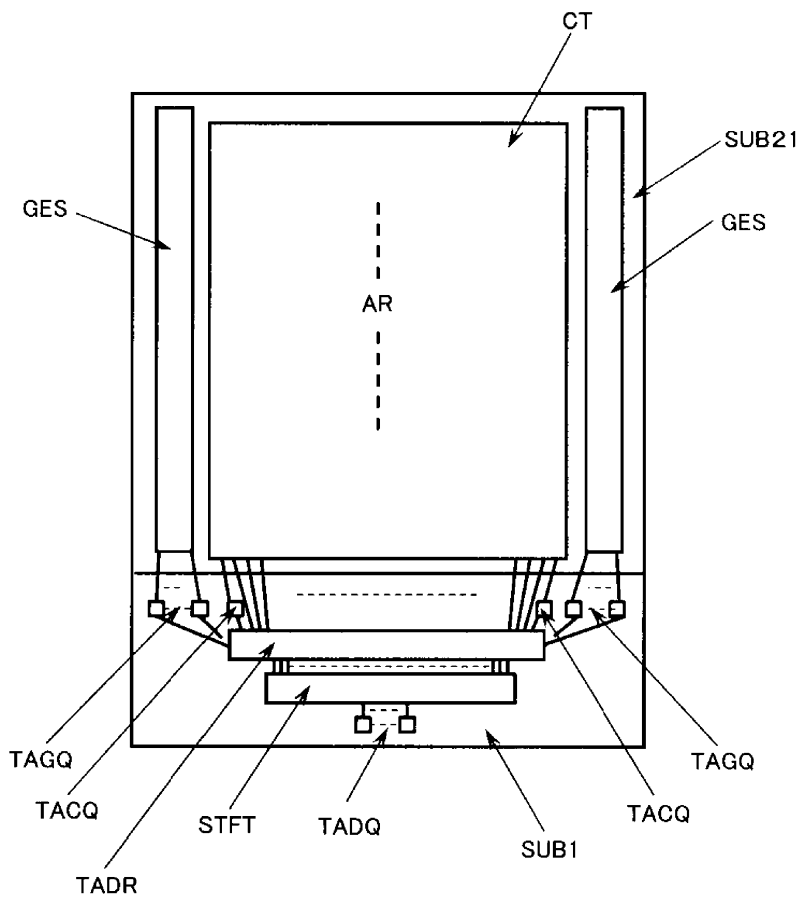
도면14



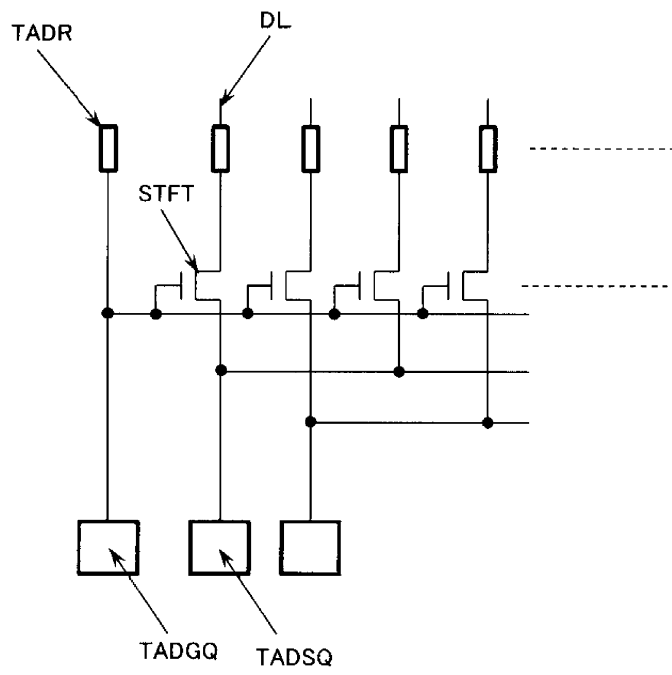
도면15



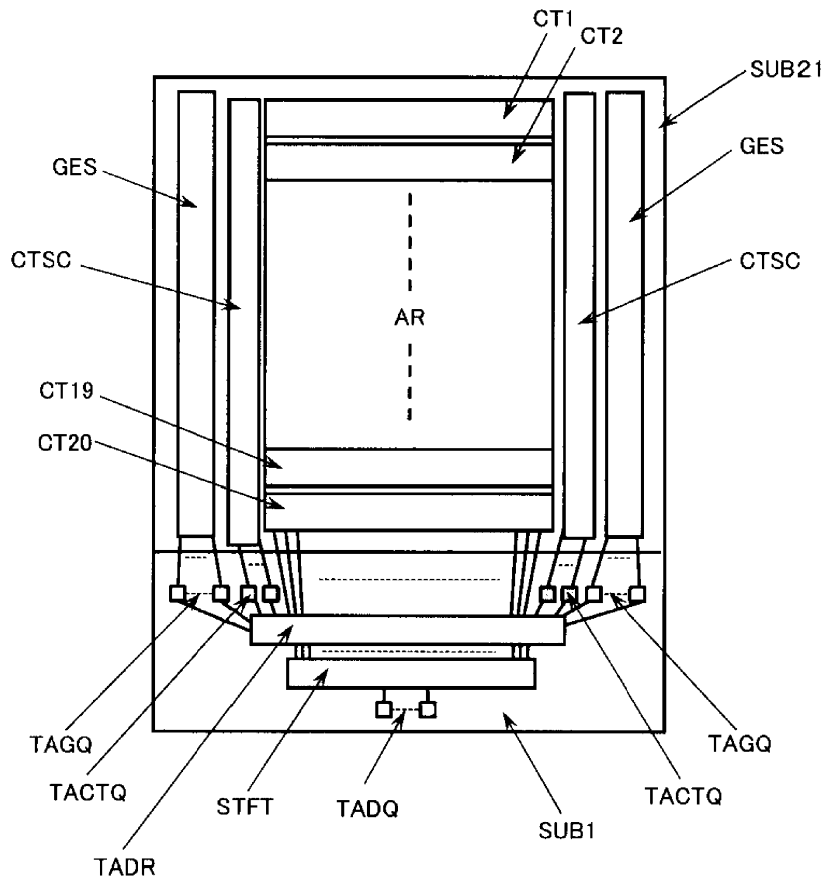
도면16



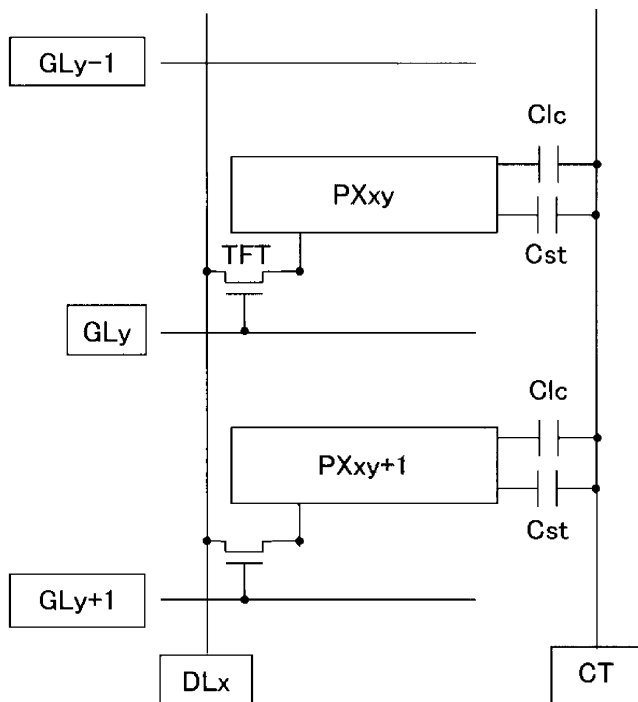
도면17



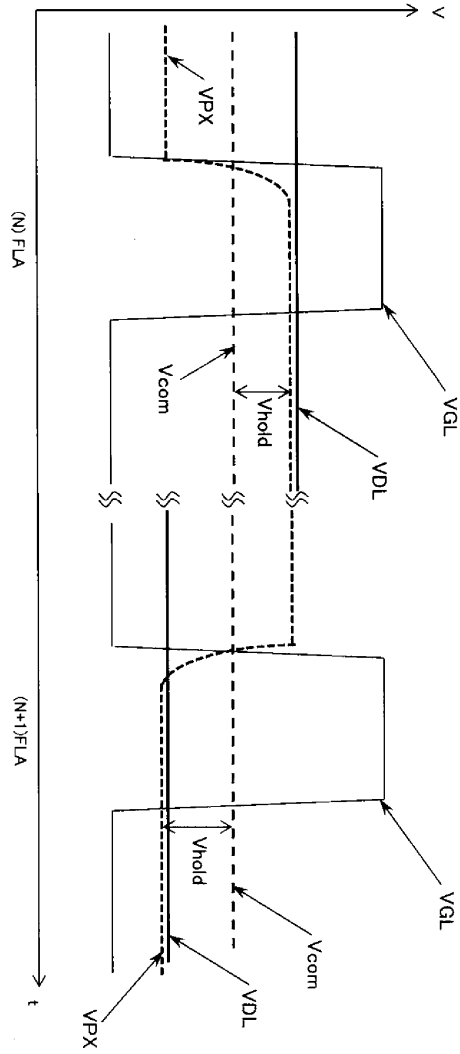
도면18



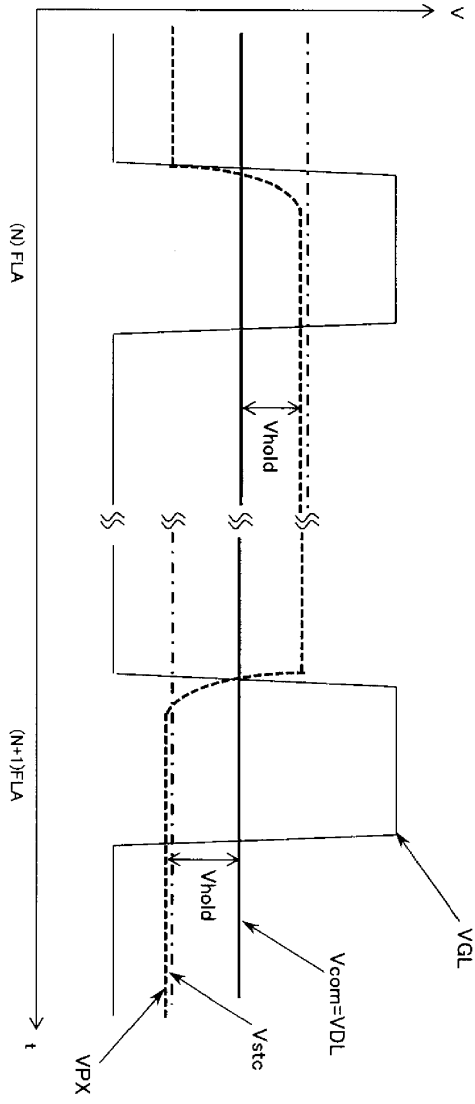
도면19



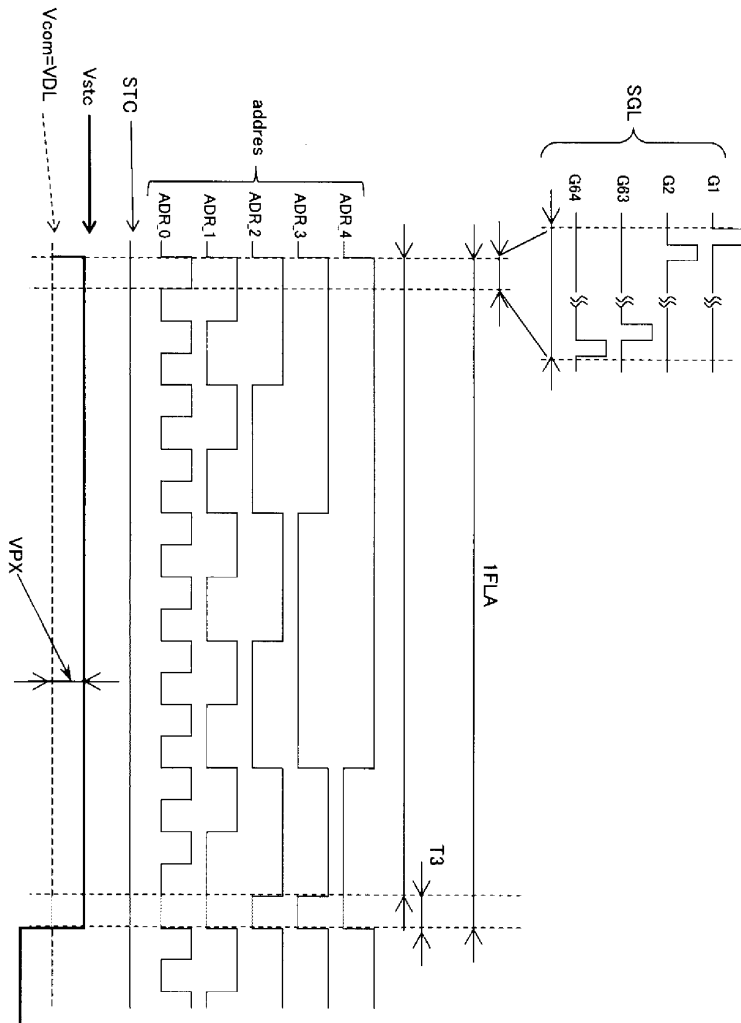
도면20



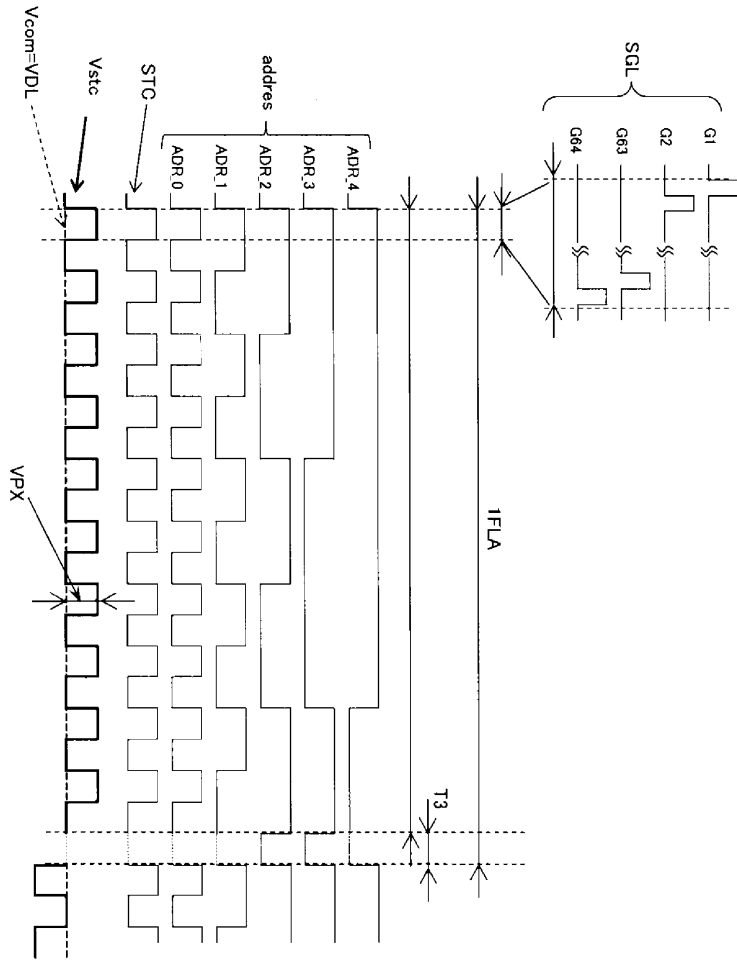
도면21



도면22



도면23



专利名称(译)	液晶显示器		
公开(公告)号	KR1020130086314A	公开(公告)日	2013-08-01
申请号	KR1020130007525	申请日	2013-01-23
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	株式会社日本排气量		
当前申请(专利权)人(译)	株式会社日本排气量		
[标]发明人	AOKI YOSHINORI 아오끼요시노리 SASANUMA KEITA 사사누마게이따 MATSUMURA KAZUNE 마쯔무라가즈네		
发明人	아오끼요시노리 사사누마게이따 마쯔무라가즈네		
IPC分类号	G02F1/133 G06F3/041 G02F1/1343		
CPC分类号	G06F2203/04111 G06F3/044 G09G2300/0465 G09G3/00 G09G2300/023 G02F1/134363 G06F3/0412 G02F1/13338 G09G3/3655 G09G2300/0426 G02F1/1343 G06F3/041 G02F1/134336 G02F1/136286 G02F2001/13456 G09G3/3618		
代理人(译)	CHANG, SOO KIL LEE, JUNG HEE		
优先权	2012012262 2012-01-24 JP		
其他公开文献	KR101447801B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置，以抑制液晶面板的左侧和右侧单元的增加，因为尽管对置电极的分割数量增加，但地址信号线的数量增加。组成：每个像素有一个像素电极和相对的电极（CT1，CT2）。相对的电极被分成多个块。每个分割块的相对电极通常相对于连续的多个显示线的每个像素安装。每个分割块的相对电极也用作触摸板的扫描电极，并具有选择每个分割块的相对电极的相对电极选择电路（CTSC）。

