



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0063886
(43) 공개일자 2013년06월17일

(51) 국제특허분류(Int. Cl.)

G02F 1/1345 (2006.01) G02F 1/1368 (2006.01)

(21) 출원번호 10-2011-0130497

(22) 출원일자 2011년12월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

권은미

경기도 파주시 월롱면 덕은리 파주LCD산업단지 정
다운마을 104동 1225호

김정범

경기도 파주시 한빛로 67, 교하신도시에이 15-1
블록 아파트 203동 1703호 (야당동, 한빛마을2단
지후면빌레이크팰리스)

(74) 대리인

박영복, 김용인

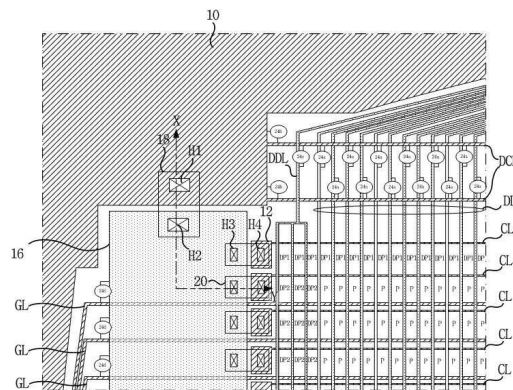
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 액정 표시장치 및 그 제조방법

(57) 요약

본 발명은 정전기적 충격으로 인한 각종 신호라인들과 스위칭 소자의 손상을 줄일 수 있는 액정 표시장치 및 그 제조방법에 관한 것으로, 다수의 게이트 라인과 다수의 데이터 라인의 교차로 정의되는 다수의 화소와; 상기 다수의 화소의 둘레를 따라 배치되는 다수의 더미 화소와; 상기 다수의 게이트 라인과 평행하게 배열되어 상기 다수의 화소 및 상기 다수의 더미 화소와 연결되는 다수의 공통 라인과; 외부로부터 공통 전압이 인가되는 제 1 게이트 메탈과; 상기 다수의 공통 라인으로부터 일측으로 연장되어 패드 모양으로 형성된 다수의 제 2 게이트 메탈과; 상기 다수의 제 2 게이트 메탈의 일측에서 상기 다수의 데이터 라인과 평행한 방향으로 배치되는 소스-드레인 메탈과; 상기 제 1 게이트 메탈과 상기 소스-드레인 메탈을 전기적으로 연결하는 제 1 연결패턴; 및 상기 소스-드레인 메탈과 상기 다수의 제 2 게이트 메탈을 전기적으로 연결하는 제 2 연결패턴을 포함하는 것을 특징으로 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

다수의 게이트 라인과 다수의 데이터 라인의 교차로 정의되는 다수의 화소와;
 상기 다수의 화소의 둘레를 따라 배치되는 다수의 더미 화소와;
 상기 다수의 게이트 라인과 평행하게 배열되어 상기 다수의 화소 및 상기 다수의 더미 화소와 연결되는 다수의 공통 라인과;
 외부로부터 공통 전압이 인가되는 제 1 게이트 메탈과;
 상기 다수의 공통 라인으로부터 일측으로 연장되어 패드 모양으로 형성된 다수의 제 2 게이트 메탈과;
 상기 다수의 제 2 게이트 메탈의 일측에서 상기 다수의 데이터 라인과 평행한 방향으로 배치되는 소스-드레인 메탈과;
 상기 제 1 게이트 메탈과 상기 소스-드레인 메탈을 전기적으로 연결하는 제 1 연결패턴; 및
 상기 소스-드레인 메탈과 상기 다수의 제 2 게이트 메탈을 전기적으로 연결하는 제 2 연결패턴을 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 2

제 1 항에 있어서,
 상기 다수의 공통 라인으로부터 타측으로 연장되어 패드 모양으로 형성된 다수의 제 3 게이트 메탈과;
 상기 제 1 게이트 메탈과 상기 다수의 제 3 게이트 메탈을 전기적으로 연결하는 제 3 연결패턴을 더 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 3

제 2 항에 있어서,
 상기 제 1 내지 제 3 게이트 메탈과 상기 다수의 공통 라인은 상기 다수의 게이트 라인과 동일한 재료로 동일층에 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 4

제 2 항에 있어서,
 상기 소스-드레인 메탈은 상기 다수의 데이터 라인과 동일한 재료로 동일층에 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 5

제 2 항에 있어서,
 상기 제 1 내지 제 3 연결패턴은
 상기 다수의 화소에 구비된 화소 전극과 동일한 재료로 동일층에 형성되는 것을 특징으로 하는 액정 표시장치.

청구항 6

제 1 항에 있어서,
 첫 번째 및 마지막 번째 데이터 라인과 이웃하도록 상기 다수의 데이터 라인과 평행하게 배치되는 더미 데이터 라인과;
 상기 제 1 게이트 메탈로부터 상기 다수의 게이트 라인과 평행한 방향으로 분기되어 상기 다수의 데이터 라인 및 상기 더미 데이터 라인과 교차되는 더미 공통 라인과;

상기 다수의 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속된 제 1 정전기 방지회로와;
 상기 더미 공통 라인과 상기 제 1 게이트 메탈 사이에 배치되어 그들과 접속되는 제 2 정전기 방지회로와;
 상기 더미 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속되는 제 3 정전기 방지회로를 더 포함하고;
 상기 더미 데이터 라인은 상기 제 2 및 제 3 정전기 방지회로 사이에 배치되는 것을 특징으로 하는 액정 표시장치.

청구항 7

제 6 항에 있어서,
 상기 다수의 게이트 라인과 상기 소스-드레인 메탈 사이에 배치되어 그들과 접속되는 제 4 정전기 방지회로를 더 포함하는 것을 특징으로 하는 액정 표시장치.

청구항 8

기판 상에 서로 교차하는 다수의 게이트 라인과 다수의 데이터 라인을 형성하여 다수의 화소 영역을 정의하는 단계와;

상기 다수의 화소 영역에 박막 트랜지스터와 화소 전극을 포함하는 다수의 화소를 형성하는 단계와;

상기 다수의 화소의 둘레를 따라 다수의 더미 화소를 형성하는 단계와;

상기 다수의 게이트 라인과 평행하게 배열되어 상기 다수의 화소 및 상기 다수의 더미 화소와 연결되는 다수의 공통 라인과, 상기 다수의 공통 라인으로부터 일측으로 연장되어 패드 모양으로 형성된 다수의 제 2 게이트 메탈을 형성하는 단계와;

패드부와 전기적으로 연결되어 외부로부터 공통 전압이 인가되는 제 1 게이트 메탈을 형성하는 단계와;

상기 다수의 제 2 게이트 메탈의 일측에서 상기 다수의 데이터 라인과 평행한 방향으로 배치되는 소스-드레인 메탈을 형성하는 단계와;

상기 제 1 게이트 메탈과 상기 소스-드레인 메탈을 전기적으로 연결하는 제 1 연결패턴과, 상기 소스-드레인 메탈과 상기 다수의 제 2 게이트 메탈을 전기적으로 연결하는 제 2 연결패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 9

제 8 항에 있어서,

상기 다수의 공통 라인으로부터 타측으로 연장되어 패드 모양으로 형성된 다수의 제 3 게이트 메탈을 형성하는 단계와;

상기 제 1 게이트 메탈과 상기 제 3 게이트 메탈을 전기적으로 연결하는 제 3 연결패턴을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 제 1 내지 제 3 게이트 메탈과 상기 다수의 공통 라인은 상기 다수의 게이트 라인과 동일한 재질로 동일층에 형성되는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 11

제 9 항에 있어서,

상기 소스-드레인 메탈은 상기 다수의 데이터 라인과 동일한 재질로 동일층에 형성되는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 12

제 9 항에 있어서,

상기 제 1 내지 제 3 연결 패턴은

상기 화소 전극과 동일한 재질로 동일층에 형성되는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 13

제 8 항에 있어서,

첫 번째 및 마지막 번째 데이터 라인과 이웃하도록 상기 다수의 데이터 라인과 평행하게 배치되는 더미 데이터 라인을 형성하는 단계와;

상기 제 1 게이트 메탈로부터 상기 다수의 게이트 라인과 평행한 방향으로 분기되어 상기 다수의 데이터 라인 및 상기 더미 데이터 라인과 교차되는 더미 공통 라인을 형성하는 단계와;

상기 다수의 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속된 제 1 정전기 방지회로와, 상기 더미 공통 라인과 상기 제 1 게이트 메탈 사이에 배치되어 그들과 접속되는 제 2 정전기 방지회로, 및 상기 더미 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속되는 제 3 정전기 방지회로를 형성하는 단계를 더 포함하고;

상기 더미 데이터 라인은 상기 제 2 및 제 3 정전기 방지회로 사이에 형성되는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 14

제 13 항에 있어서,

상기 다수의 게이트 라인과 상기 소스-드레인 메탈 사이에 배치되어 그들과 접속되는 제 4 정전기 방지회로를 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시장치의 제조방법.

청구항 15

제 14 항에 있어서,

상기 제 1 내지 제 4 정전기 방지회로는 상기 화소 영역에 형성된 박막 트랜지스터와 동시에 형성되는 것을 특징으로 하는 액정 표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 정전기적 충격으로 인한 각종 신호라인들과 스위칭 소자의 손상을 줄일 수 있는 액정 표시장치 및 그 제조방법에 관한 것이다.

배경기술

[0002] 일반적인 액정 표시장치는 화소로의 정전기(Electrostatic Discharge; ESD) 유입을 방지하기 위해 영상이 표시되지 않는 비표시 영역에 정전기 방지회로를 구비한다. 정전기 방지회로는 화소에 스캔 신호를 인가하는 게이트 라인의 도입부와, 화소에 데이터 전압을 인가하는 데이터 라인의 도입부에 배치된다. 이러한 정전기 방지회로는 데이터 라인 또는 게이트 라인으로 유입된 정전기를 공통 라인으로 흐르게 하는 한편, 공통 라인에 유입된 정전기를 게이트 라인 또는 데이터 라인으로 흐르게 한다.

[0003] 한편, 최근의 액정 표시장치는 고해상도, 대형화 추세여서 화소를 구획하는 게이트 라인 및 데이터 라인의 폭과, 스위칭 소자의 크기가 점차 작게 설계되고 있다. 이는, 게이트 라인과 데이터 라인 및 스위칭 소자 등이 정전기적 충격에 더 취약해지고 있음을 의미한다. 따라서, 정전기적 충격으로부터 게이트 라인 및 데이터 라인 및 화소의 스위칭 소자를 보다 잘 보호할 수 있는 기술이 요구되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 정전기적 충격으로 인한 각종 신호라인들과 스위칭 소자의 손상을 줄일 수 있는 액정 표시장치 및 그 제조방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0005] 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치는 다수의 게이트 라인과 다수의 데이터 라인의 교차로 정의되는 다수의 화소와; 상기 다수의 화소의 둘레를 따라 배치되는 다수의 더미 화소와; 상기 다수의 게이트 라인과 평행하게 배열되어 상기 다수의 화소 및 상기 다수의 더미 화소와 연결되는 다수의 공통 라인과; 외부로부터 공통 전압이 인가되는 제 1 게이트 메탈과; 상기 다수의 공통 라인으로부터 일측으로 연장되어 패드 모양으로 형성된 다수의 제 2 게이트 메탈과; 상기 다수의 제 2 게이트 메탈의 일측에서 상기 다수의 데이터 라인과 평행한 방향으로 배치되는 소스-드레인 메탈과; 상기 제 1 게이트 메탈과 상기 소스-드레인 메탈을 전기적으로 연결하는 제 1 연결패턴; 및 상기 소스-드레인 메탈과 상기 다수의 제 2 게이트 메탈을 전기적으로 연결하는 제 2 연결패턴을 포함하는 것을 특징으로 한다.
- [0006] 상기 다수의 공통 라인으로부터 타측으로 연장되어 패드 모양으로 형성된 다수의 제 3 게이트 메탈과; 상기 제 1 게이트 메탈과 상기 다수의 제 3 게이트 메탈을 전기적으로 연결하는 제 3 연결패턴을 더 포함하는 것을 특징으로 한다.
- [0007] 상기 제 1 내지 제 3 게이트 메탈과 상기 다수의 공통 라인은 상기 다수의 게이트 라인과 동일한 재질로 동일층에 형성되는 것을 특징으로 한다.
- [0008] 상기 소스-드레인 메탈은 상기 다수의 데이터 라인과 동일한 재질로 동일층에 형성되는 것을 특징으로 한다.
- [0009] 상기 제 1 내지 제 3 연결패턴은 상기 다수의 화소에 구비된 화소 전극과 동일한 재질로 동일층에 형성되는 것을 특징으로 한다.
- [0010] 첫 번째 및 마지막 번째 데이터 라인과 이웃하도록 상기 다수의 데이터 라인과 평행하게 배치되는 더미 데이터 라인과; 상기 제 1 게이트 메탈로부터 상기 다수의 게이트 라인과 평행한 방향으로 분기되어 상기 다수의 데이터 라인 및 상기 더미 데이터 라인과 교차되는 더미 공통 라인과; 상기 다수의 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속된 제 1 정전기 방지회로와; 상기 더미 공통 라인과 상기 제 1 게이트 메탈 사이에 배치되어 그들과 접속되는 제 2 정전기 방지회로와; 상기 더미 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속되는 제 3 정전기 방지회로를 더 포함하고; 상기 더미 데이터 라인은 상기 제 2 및 제 3 정전기 방지회로 사이에 배치되는 것을 특징으로 한다.
- [0011] 상기 다수의 게이트 라인과 상기 소스-드레인 메탈 사이에 배치되어 그들과 접속되는 제 4 정전기 방지회로를 더 포함하는 것을 특징으로 한다.
- [0012] 또한, 상기와 같은 목적을 달성하기 위해 본 발명의 실시 예에 따른 액정 표시장치의 제조방법은 기판 상에서 교차하는 다수의 게이트 라인과 다수의 데이터 라인을 형성하여 다수의 화소 영역을 정의하는 단계와; 상기 다수의 화소 영역에 박막 트랜지스터와 화소 전극을 포함하는 다수의 화소를 형성하는 단계와; 상기 다수의 화소의 둘레를 따라 다수의 더미 화소를 형성하는 단계와; 상기 다수의 게이트 라인과 평행하게 배열되어 상기 다수의 화소 및 상기 다수의 더미 화소와 연결되는 다수의 공통 라인과, 상기 다수의 공통 라인으로부터 일측으로 연장되어 패드 모양으로 형성된 다수의 제 2 게이트 메탈을 형성하는 단계와; 패드부와 전기적으로 연결되어 외부로부터 공통 전압이 인가되는 제 1 게이트 메탈을 형성하는 단계와; 상기 다수의 제 2 게이트 메탈의 일측에서 상기 다수의 데이터 라인과 평행한 방향으로 배치되는 소스-드레인 메탈을 형성하는 단계와; 상기 제 1 게이트 메탈과 상기 소스-드레인 메탈을 전기적으로 연결하는 제 1 연결패턴과, 상기 소스-드레인 메탈과 상기 다수의 제 2 게이트 메탈을 전기적으로 연결하는 제 2 연결패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0013] 상기 다수의 공통 라인으로부터 타측으로 연장되어 패드 모양으로 형성된 다수의 제 3 게이트 메탈을 형성하는 단계와; 상기 제 1 게이트 메탈과 상기 제 3 게이트 메탈을 전기적으로 연결하는 제 3 연결패턴을 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0014] 상기 제 1 내지 제 3 게이트 메탈과 상기 다수의 공통 라인은 상기 다수의 게이트 라인과 동일한 재질로 동일층에 형성되는 것을 특징으로 한다.

- [0015] 상기 소스-드레인 메탈은 상기 다수의 데이터 라인과 동일한 재질로 동일층에 형성되는 것을 특징으로 한다.
- [0016] 상기 제 1 내지 제 3 연결 패턴은 상기 화소 전극과 동일한 재질로 동일층에 형성되는 것을 특징으로 한다.
- [0017] 첫 번째 및 마지막 번째 데이터 라인과 이웃하도록 상기 다수의 데이터 라인과 평행하게 배치되는 더미 데이터 라인을 형성하는 단계와; 상기 제 1 게이트 메탈로부터 상기 다수의 게이트 라인과 평행한 방향으로 분기되어 상기 다수의 데이터 라인 및 상기 더미 데이터 라인과 교차되는 더미 공통 라인을 형성하는 단계와; 상기 다수의 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속된 제 1 정전기 방지회로와, 상기 더미 공통 라인과 상기 제 1 게이트 메탈 사이에 배치되어 그들과 접속되는 제 2 정전기 방지회로, 및 상기 더미 데이터 라인과 상기 더미 공통 라인 사이에 배치되어 그들과 접속되는 제 3 정전기 방지회로를 형성하는 단계를 더 포함하고; 상기 더미 데이터 라인은 상기 제 2 및 제 3 정전기 방지회로 사이에 형성되는 것을 특징으로 한다.
- [0018] 상기 다수의 게이트 라인과 상기 소스-드레인 메탈 사이에 배치되어 그들과 접속되는 제 4 정전기 방지회로를 형성하는 단계를 더 포함하는 것을 특징으로 한다.
- [0019] 상기 제 1 내지 제 4 정전기 방지회로는 상기 화소 영역에 형성된 박막 트랜지스터와 동시에 형성되는 것을 특징으로 한다.

발명의 효과

- [0020] 본 발명은 공통 전압이 다수의 공통 라인에 공급되는 경로들 간의 저항 편차를 줄임으로써, 고전압으로 유입된 정전기가 특정 공통 라인에 집중적으로 공급되어 발생될 수 있는 라인의 단선이나 박막 트랜지스터의 손상을 방지할 수 있다. 또한, 본 발명은 더미 데이터 라인의 설계를 변경하여 더미 데이터 라인에 대한 정전기적 충격을 줄여 라인의 단선이나 박막 트랜지스터의 손상을 방지할 수 있다.
- [0021] 이러한 본 발명은 구동시 제품 신뢰성을 높일 수 있을 뿐만 아니라, 박막 트랜지스터 제조 공정시 불량 발생되는 정전기로 인한 제품 불량을 줄여 제품 수율과 비용 절감효과가 있다.

도면의 간단한 설명

- [0022] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구성도이다.
- 도 2는 도 1에 도시된 액정패널(2)의 “A” 영역을 확대한 확대도이다.
- 도 3은 도 1에 도시된 액정패널(2)의 “B” 영역을 확대한 확대도이다.
- 도 4는 본 발명의 효과를 설명하기 위한 비교 예이다.
- 도 5는 특정 공통 라인에 정전기적 충격이 편중되어 데이터 라인(DL)이 단선된 예를 나타내고 있다.
- 도 6은 화소 영역에 구비된 박막 트랜지스터(TFT)의 개략적인 단면도와, 도 2에 도시된 X-Y선에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하, 본 발명의 실시 예에 따른 액정 표시장치 및 그 제조방법을 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0024] 도 1은 본 발명의 실시 예에 따른 액정 표시장치의 구성도이다.
- [0025] 도 1에 도시된 액정 표시장치는 액정패널(2)과, 게이트 구동부(4)와, 데이터 구동부(6)와, 공통 전압 공급부(8)를 포함한다.
- [0026] 액정패널(2)은 영상을 표시하는 표시 영역(AA)과, 표시 영역(AA)의 외곽인 더미 영역(DA)이 정의된다.
- [0027] 표시 영역(AA)에는 매트릭스 형태로 배열된 다수의 화소(P)가 배치된다. 다수의 화소(P)는 화소 영역에 배치되는데, 화소 영역은 다수의 게이트 라인(GL)과 다수의 데이터 라인(DL)의 교차로 정의된다. 각 화소(P)는 박막 트랜지스터(TFT)와, 액정 커패시터(C1c)와, 스토리지 커패시터(Cst)를 포함한다. 액정 커패시터(C1c)는 박막 트랜지스터(TFT)를 통해 화소 전극에 공급된 데이터 전압과, 공통 라인(CL)을 통해 공통 전극에 공급된 공통 전압(Vcom)의 전압차에 의해 발생하는 전계에 따라 액정을 구동한다. 스토리지 커패시터(Cst)는 화소 전극에 공급된 데이터 전압을 일정기간 동안 유지한다.

- [0028] 더미 영역(DA)에는 영상을 표시하지 않는 다수의 더미 화소(DP1, DP2)가 배치된다. 다수의 더미 화소(DP1, DP2)는 표시 영역(AA)에 배치된 화소(P)들의 둘레를 따라 배치된다. 한편, 더미 영역(DA)에는 공통 전압 공급부(8)로부터 제공된 공통 전압(Vcom)을 다수의 공통 라인(CL)에 공급하는 제 1 내지 제 3 게이트 메탈(10, 12, 14) 및 소스-드레인 메탈(16)이 배치되며, 외부의 정전기로부터 신호라인들과 화소(P)에 구비된 박막 트랜지스터(TFT)를 보호하기 위한 다수의 정전기 방지회로가 배치된다.(도 2 및 도 3 참조)
- [0029] 게이트 구동부(4)는 다수의 게이트 라인(GL)에 스캔 신호를 순차적으로 공급한다. 스캔 신호는 화소 영역에 구비된 박막 트랜지스터(TFT)를 턴-온 시키는 게이트 온 전압과, 박막 트랜지스터(TFT)를 턴-오프 시키는 게이트 오프 전압 중 하나의 값을 갖는 펄스 신호이다.
- [0030] 데이터 구동부(6)는 외부로부터 제공된 영상 데이터를 기준감마전압을 이용하여 데이터 전압으로 변환하고, 변환된 데이터 전압을 다수의 데이터 라인(DL)에 공급한다.
- [0031] 공통 전압 공급부(8)는 더미 영역(DA)에 배치된 제 1 내지 제 3 게이트 메탈(10, 12, 14)과 소스-드레인 메탈(16)을 통해 다수의 공통 라인(CL)에 공통 전압(Vcom)을 공급한다.(도 2 및 도 3 참조)
- [0032] 특히, 실시 예는 공통 전압(Vcom)이 다수의 공통 라인(CL)에 공급되는 경로들 간의 저항 편차를 줄임으로써, 고 전압으로 유입된 정전기가 특정 공통 라인(CL)에 집중적으로 공급되어 발생할 수 있는 라인의 단선이나 박막 트랜지스터(TFT)의 손상을 방지할 수 있다.
- [0033] 이하, 공통 전압(Vcom)이 다수의 공통 라인(CL)에 공급되는 경로를 상세히 살펴본다.
- [0034] 도 2는 도 1에 도시된 액정패널(2)의 “A” 영역을 확대한 확대도이고, 도 3은 도 1에 도시된 액정패널(2)의 “B” 영역을 확대한 확대도이다.
- [0035] 도 2 및 도 3을 참조하면, 다수의 게이트 라인(GL)은 제 1 방향(예를 들어, 가로 방향)으로 배열되고, 다수의 데이터 라인(DL)은 제 1 방향과 수직된 제 2 방향(예를 들어, 세로 방향)으로 배열된다. 그리고 다수의 공통 라인(CL)은 다수의 게이트 라인(GL)과 평행하도록 제 1 방향으로 배열된다.
- [0036] 다수의 더미 화소(DP)는 제 1 방향으로 배열된 다수의 제 1 더미 화소(DP1)와, 제 2 방향으로 배열된 다수의 제 2 더미 화소(DP2)를 포함한다.
- [0037] 다수의 제 1 더미 화소(DP1)는 첫 번째 및 마지막 번째 행에 배열된 화소(P)들과 인접하도록 표시 영역(AA)의 상측 및 하측에서 제 1 방향으로 배치된다. 다수의 제 2 더미 화소(DP2)는 첫 번째 및 마지막 번째 열에 배열된 화소(P)들과 인접하도록 표시 영역(AA)의 좌측 및 우측에서 제 2 방향으로 배치된다. 도 2 및 도 3에서는 다수의 제 2 더미 화소(DP2)들이 3 열로 배치된 예를 도시하였으나 다수의 제 2 더미 화소(DP2)는 몇 개의 열로 배치되어도 상관없다. 참고로, 다수의 제 1 더미 화소(DP1)는 공통 라인(CL)이 연결되는 반면, 게이트 라인(GL)은 연결되지 않는다.
- [0038] 한편, 더미 영역(DA)에는 전술한 바와 같이, 제 1 내지 제 3 게이트 메탈(10, 12, 14)과 소스-드레인 메탈(16)이 배치되는데, 이를 설명하면 다음과 같다.
- [0039] 제 1 게이트 메탈(10)은 더미 영역(DA)의 최외곽에 형성되어 공통 전압 공급부(8)와 전기적으로 접속된 패드부(미도시)와 전기적으로 접속된다. 제 2 게이트 메탈(12)은 다수의 공통 라인(CL)으로부터 일측(예를 들어, 좌측)으로 연장되어 패드 모양으로 형성된다. 제 3 게이트 메탈(14)은 다수의 공통 라인(CL)으로부터 타측(예를 들어, 우측)으로 연장되어 패드 모양으로 형성된다. 제 1 내지 제 3 게이트 메탈(10, 12, 14)과 다수의 공통 라인(CL)은 다수의 게이트 라인(GL)과 동일한 재질로 동일층에 형성될 수 있다.
- [0040] 도 2를 참조하면, 소스-드레인 메탈(16)은 다수의 제 2 게이트 메탈(12)의 일측에서 제 2 방향으로 배치된다. 소스-드레인 메탈(16)은 예를 들어, 게이트 패드부(미도시)와 다수의 제 2 게이트 메탈(12) 사이에 배치될 수 있다. 이 경우, 소스-드레인 메탈(16)은 다수의 게이트 라인(GL)과의 쇼트를 방지하기 위해 데이터 라인(DL)과 동일한 재질로 동일층에 형성될 수 있다.
- [0041] 한편, 제 1 게이트 메탈(10)과 소스-드레인 메탈(16)은 전기적으로 접속되고, 소스-드레인 메탈(16)과 제 2 게이트 메탈(12)은 전기적으로 접속되며, 제 1 게이트 메탈(10)과 제 3 게이트 메탈(14)은 전기적으로 접속된다. 이에 따라, 공통 전압 공급부(8)로부터 제 1 게이트 메탈(10)에 인가된 공통 전압(Vcom)은 다수의 공통 라인(CL)에 인가되어, 결과적으로 다수의 제 1 및 제 2 더미 화소(DP1, DP2)와 다수의 화소(P)에 인가될 수 있다.
- [0042] 구체적으로, 제 1 게이트 메탈(10)과 소스-드레인 메탈(16)은 그들 일부를 노출시키는 제 1 및 제 2 콘택홀(H1,

H2)을 제 1 연결패턴(18)이 덮음으로써 서로 전기적으로 연결된다. 여기서, 제 1 콘택홀(H1)은 보호막과 게이트 절연막을 관통하여 제 1 게이트 메탈(10)의 일부를 노출시키고, 제 2 콘택홀(H2)은 보호막을 관통하여 소스-드레인 메탈(16)의 일부를 노출시킨다. 제 1 연결패턴(18)은 화소 영역의 화소 전극과 동일한 재질로 동일층에 형성될 수 있다.

[0043] 또한, 소스-드레인 메탈(16)과 제 2 게이트 메탈(12)은 그들 일부를 노출시키는 제 3 및 제 4 콘택홀(H3, H4)을 제 2 연결패턴(20)이 덮음으로써 서로 전기적으로 연결된다. 여기서, 제 3 콘택홀(H3)은 보호막을 관통하여 소스-드레인 메탈(16)의 일부를 노출시키고, 제 4 콘택홀(H4)은 보호막과 게이트 절연막을 관통하여 제 2 게이트 메탈(12)의 일부를 노출시킨다. 제 2 연결패턴(20)은 화소 영역의 화소 전극과 동일한 재질로 동일층에 형성될 수 있다.

[0044] 그리고 도 3에 도시된 바와 같이, 제 1 게이트 메탈(10)과 제 3 게이트 메탈(14)은 그들 일부를 노출시키는 제 5 및 제 6 콘택홀(H5, H6)을 제 3 연결패턴(22)이 덮음으로써 서로 전기적으로 연결된다. 여기서, 제 5 콘택홀(H5)은 보호막과 게이트 절연막을 관통하여 제 1 게이트 메탈(10)의 일부를 노출시키고, 제 6 콘택홀(H6)은 보호막과 게이트 절연막을 관통하여 제 3 게이트 메탈(16)의 일부를 노출시킨다. 제 3 연결패턴(22)은 화소 영역의 화소 전극과 동일한 재질로 동일층에 형성될 수 있다.

[0045] 즉, 다수의 공통 라인(CL)에 공통 전압(Vcom)이 유입되는 경로는 다음과 같이 요약된다. 각 공통 라인(CL)의 일측에는 “제 1 게이트 메탈(10)→제 1 연결패턴(18)→소스-드레인 메탈(16)→제 2 연결패턴(20)→제 2 게이트 메탈(12)”을 경유하여 공통 전압(Vcom)이 인가된다. 또한, 각 공통 라인(CL)의 타측에는 “제 1 게이트 메탈(10)→제 3 연결패턴(22)→제 3 게이트 메탈(14)”을 경유하여 공통 전압(Vcom)이 인가된다.

[0046] 이와 같이, 실시 예는 공통 전압(Vcom)이 제 1 내지 제 3 게이트 메탈(10, 12, 14)과 소스-드레인 메탈(16)을 통해 점핑되어 다수의 공통 라인(CL)에 공급된다. 이에 따라, 다수의 공통 라인(CL)에 대한 공통 전압(Vcom)의 유입 경로들 간의 저항 편차가 줄일 수 있고, 정전기가 특정 공통 라인(CL)에 집중적으로 유입되는 문제를 방지할 수 있다.

[0047] 참고로, 정전기는 상대적으로 저항이 낮은 쪽으로 흐르는데, 제 1 게이트 메탈(10)은 상대적으로 면적이 넓어 정전기가 유입되기 쉽다. 제 1 게이트 메탈(10)에 유입된 정전기는 제 1 게이트 메탈(10)과 전기적으로 접속된 다수의 공통 라인(CL)에 유입될 수 있다. 만약, 제 1 게이트 메탈(10)과 다수의 공통 라인(CL) 간의 전기적 연결 경로가 동일하지 못하다면 그들 간의 저항 편차가 발생될 것이다. 그러면, 제 1 게이트 메탈(10)에 유입된 정전기는 상대적으로 저항이 작은 공통 라인(CL)으로 집중적으로 흐르게 된다. 이와 같이, 특정 공통 라인(CL)에 정전기적 충격이 편중되면 해당 공통 라인(CL)이 손상되거나, 해당 공통 라인(CL)과 교차되는 데이터 라인(DL)이 손상될 수 있다. 도 5는 특정 공통 라인(CL)에 정전기적 충격이 편중되어 데이터 라인(DL)이 단선된 예를 나타내고 있다. 본 발명은 제 1 게이트 메탈(10)과 다수의 공통 라인(CL) 간의 전기적 연결 경로가 동일하므로 특정 공통 라인(CL)에 정전기적 충격이 편중되는 것을 방지할 수 있는 것이고, 그 결과 라인의 단선이나 박막 트랜지스터(TFT)의 손상을 방지할 수 있는 것이다.

[0048] 한편, 실시 예는 정전기적 충격으로부터 각종 신호라인들과 박막 트랜지스터의 손상을 줄이기 위해 다수의 정전기 방지회로를 포함하는데, 이를 설명하면 다음과 같다.

[0049] 도 2 및 도 3을 참조하면, 더미 영역(DA)에는 더미 데이터 라인(DDL)과, 더미 공통 라인(DCL)과 다수의 정전기 방지회로가 더 배치된다.

[0050] 더미 데이터 라인(DDL)은 첫 번째 및 마지막 번째 데이터 라인(DL)과 이웃하도록 제 1 방향으로 배치된다. 더미 데이터 라인(DDL)은 3 열로 배열된 제 2 더미 화소(DP2)들에 대응하여 3 열의 더미 데이터 라인(DDL)으로 분기됨으로써 다수의 제 2 더미 화소(DP2)들에 연결된다.

[0051] 더미 공통 라인(DCL)은 제 1 게이트 메탈(10)로부터 제 2 방향으로 분기되어 더미 데이터 라인(DDL) 및 다수의 데이터 라인(DL)과 교차된다. 이러한 더미 공통 라인(DCL)은 적어도 하나 구비될 수 있다.

[0052] 다수의 정전기 방지회로는 제 1 내지 제 4 정전기 방지회로(24a~24d)를 포함한다.

[0053] 제 1 정전기 방지회로(24a)는 정전기적 충격으로부터 데이터 라인(DL)의 손상을 방지한다. 이를 위해, 제 1 정전기 방지회로(24a)는 데이터 라인(DL)과 더미 공통 라인(DCL) 사이에 배치되어 그들과 접속된다.

[0054] 제 2 정전기 방지회로(24b)는 정전기적 충격으로부터 더미 공통 라인(DCL)의 손상을 방지한다. 이를 위해, 제 2

정전기 방지회로(24b)는 더미 공통 라인(DCL)과 제 1 게이트 메탈(10) 사이에 배치되어 그들과 접속된다.

[0055] 제 3 정전기 방지회로(24c)는 정전기적 충격으로부터 더미 데이터 라인(DDL)의 손상을 방지한다. 이를 위해, 제 3 정전기 방지회로(24c)는 더미 데이터 라인(DDL)과 더미 공통 라인(DCL) 사이에 배치되어 그들과 접속된다.

[0056] 제 4 정전기 방지회로(24d)는 정전기적 충격으로부터 게이트 라인(GL)의 손상을 방지한다. 이를 위해, 제 4 정전기 방지회로(24d)는 게이트 라인(GL)과 소스-드레인 메탈(16) 사이에 배치되어 그들과 접속된다.

[0057] 특히, 실시 예는 더미 데이터 라인(DDL)이 제 2 및 제 3 정전기 방지회로(24b, 24c) 사이에 배치되는 것을 특징으로 한다. 만약, 도 4에 도시된 바와 같이 더미 데이터 라인(DDL)이 제 1 게이트 메탈(10)과 제 2 정전기 방지회로(24b) 사이에 배치된다면, 더미 데이터 라인(DDL)은 제 1 게이트 메탈(10)로부터 더미 공통 라인(DCL)에 유입된 정전기로 인해 손상될 확률이 높다. 본 발명은 더미 데이터 라인(DDL)이 제 2 및 제 3 정전기 방지회로(24b, 24c) 사이에 배치함으로써 더미 데이터 라인(DDL)의 손상을 방지할 수 있는 것이다.

[0058] 이하, 상기와 같은 본 발명의 실시 예에 따른 액정 표시장치의 제조방법을 설명한다.

[0059] 실시 예에 따른 액정패널(2)의 박막 트랜지스터 어레이 기판은 전술한 바와 같이, 다수의 게이트 라인(GL)과 다수의 공통 라인(CL)과 제 1 내지 제 3 게이트 메탈(10, 12, 14)은 동일한 재질로 동일층에 형성된다. 또한, 다수의 데이터 라인(DL)과 소스-드레인 메탈(16)은 동일한 재질로 동일층에 형성되며, 화소 전극과 제 1 내지 제 3 연결패턴(18, 20, 22)은 동일한 재질로 동일층에 형성된다. 즉, 실시 예에 따른 제 1 내지 제 3 게이트 메탈(10, 12, 14)과 소스-드레인 메탈(16)과 제 1 내지 제 3 연결패턴(18, 20, 22)은 화소 영역에 구비된 박막 트랜지스터와 동시에 형성되므로, 이들을 형성하는 별도의 마스크 공정이 필요없다. 이하, 설명의 편의를 위해 화소 영역에 구비된 박막 트랜지스터(TFT)를 제조하는 공정 순서를 참조한다.

[0060] 도 6은 화소 영역에 구비된 박막 트랜지스터(TFT)의 개략적인 단면도와, 도 2에 도시된 X-Y선에 따른 단면도이다. 이러한 도 6을 참조하면, 실시 예에 따른 제조방법은 다음과 같다.

[0061] 먼저, 기판(50) 상에 금속 그룹 중에서 선택된 하나로 게이트 메탈층을 형성하고, 게이트 메탈층을 패터닝하여 다수의 게이트 패턴을 형성한다. 다수의 게이트 패턴은 다수의 게이트 라인(GL)과, 화소 영역에 대응하여 다수의 게이트 라인(GL)으로부터 돌출된 게이트 전극(26)을 포함한다. 이때, 다수의 게이트 패턴은 전술한 제 1 내지 제 3 게이트 메탈(10)과, 다수의 공통 라인(CL)과, 다수의 더미 공통 라인(DCL)을 더 포함한다.

[0062] 이어서, 다수의 게이트 패턴을 포함한 기판(50) 상에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나로 게이트 절연막(60)을 형성한다.

[0063] 그리고 게이트 절연막(60) 상에 순수 비정질 실리콘으로 이루어진 반도체층(28)과 불순물 비정질 실리콘으로 이루어진 오믹 콘택층(34)을 적층 형성한다. 이때, 반도체층(28)과 오믹 콘택층(34)은 게이트 전극(26)과 중첩되는 영역에서 아일랜드 형태로 형성된다.

[0064] 이어서, 반도체층(28)과 오믹 콘택층(34)이 형성된 기판(50) 상에 도전성 금속 그룹 중에서 선택된 하나로 소스-드레인 메탈층을 형성하고, 이를 패터닝하여 다수의 소스-드레인 패턴을 형성한다. 다수의 소스-드레인 패턴은 다수의 데이터 라인(DL)과, 화소 영역에 대응하여 다수의 데이터 라인(DL)과 연결된 소스 전극(30)과, 게이트 전극(26)을 사이에 두고 소스 전극(30)과 이격된 드레인 전극(32)을 포함한다. 이때, 다수의 소스-드레인 패턴은 전술한 소스-드레인 메탈(16)과, 더미 데이터 라인(DDL)을 더 포함한다.

[0065] 이어서, 소스 및 드레인 전극(30, 32)의 사이로 드러난 오믹 콘택층(34)을 제거하여 반도체층(28)이 노출되도록 한다.

[0066] 그리고 소스-드레인 패턴을 포함한 기판(50) 상에 질화 실리콘(SiNx) 또는 산화 실리콘(SiO₂) 등과 같은 무기 절연물질 그룹 중에서 선택된 하나 또는 벤조사이클로부텐(benzocyclobutene:BCB)과 아크릴(acryl)계 수지(resin)를 포함하는 유기절연물질 그룹 중 선택된 하나로 보호막(70)을 형성한다.

[0067] 그리고 보호막(70)과 게이트 절연막(60)을 선택적으로 제거하여 드레인 전극(32)을 노출시키는 화소 콘택홀과, 전술한 제 1 내지 제 6 콘택홀(H1~H6)을 형성한다.

[0068] 이어서, 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속 그룹 중 선택된 하나를 증착하고, 이를 패터닝하여 다수의 투명 패턴을 형성한다. 다수의 투명 패턴은 화소 콘택홀을 덮는 화소 전극(36)과, 화소 전극(36)과 함께 전계를 형성하는 공통 전극(미도시)을 포함한다. 이때, 다수의 투명 패턴은 전술한 제 1 내지 제 3 연결패턴(18, 20, 22)을 더 포함한다.

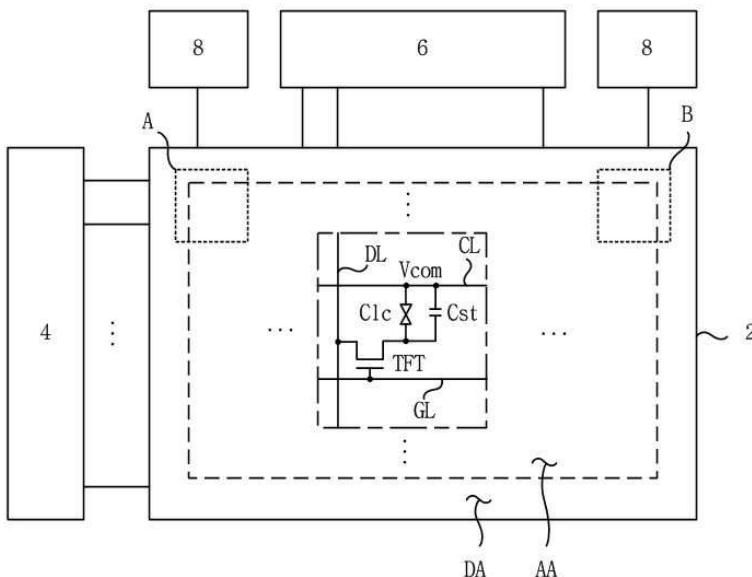
- [0069] 한편, 전술한 제 1 내지 제 4 정전기 방지회로(24a~24d)는 다수의 박막 트랜지스터를 포함하는바, 이들도 화소 영역에 구비된 박막 트랜지스터와 동시에 형성된다.
- [0070] 이와 같이, 실시 예에 따른 제 1 내지 제 3 게이트 메탈(10, 12, 14)과 소스-드레인 메탈(16)과 제 1 내지 제 3 연결패턴(18, 20, 22)은 화소 영역에 구비된 박막 트랜지스터와 동시에 형성되므로, 이들을 형성하는 별도의 마스크 공정이 필요없다.
- [0071] 한편, 실시 예는 도 2 및 도 3과 같은 구조를 갖게 됨으로써 박막 트랜지스터 어레이 기관의 제조시 발생하는 정전기로 인한 제품 불량율을 줄일 수 있어 수율이 향상된다. 구체적으로, 상기와 같은 박막 트랜지스터 제조 공정은 무기 절연물질이나, 순수 비정질 실리콘 등의 증착시 CVD(Chemical Vapor Deposition)등의 증착 방법이 이용되고, 각종 메탈층을 패터닝 할 때 건식 식각 방법이 이용된다. 이러한 CVD 공정이나 건식 식각 공정은 다수의 정전기가 발생될 수 있는데, 이때 발생된 정전기는 전술한 바와 같이 다수의 공통 라인(CL) 중 특정 라인에 편중되도록 흐를 수 있다. 특히, 증착된 보호막(50)의 일부를 선택적으로 제거하는 식각 공정이나, 투명 패터를 형성하는 공정은 다수의 게이트 패턴이 형성된 이후의 공정이므로, 특정 공통 라인(CL)에 정전기적 충격이 편중될 확률이 높다. 본 발명은 도 2 및 도 3과 같은 구조를 갖게 됨으로써 CVD 공정이나 건식 식각 공정 등과 같은 제조 공정에서 발생된 정전기로 인한 제품 불량율을 줄일 수 있다.
- [0072] 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

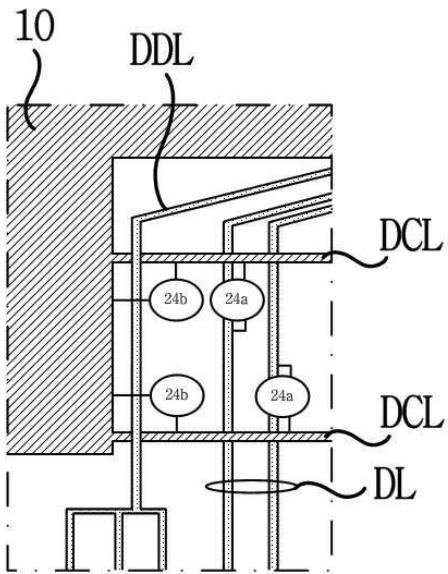
- [0073] 10: 제 1 게이트 메탈 12: 제 2 게이트 메탈
14: 제 3 게이트 메탈 16: 소스-드레인 메탈
18: 제 1 연결패턴 20: 제 2 연결패턴
22: 제 3 연결패턴

도면

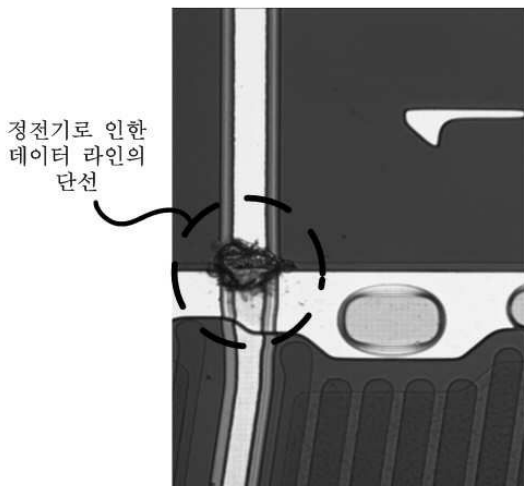
도면1



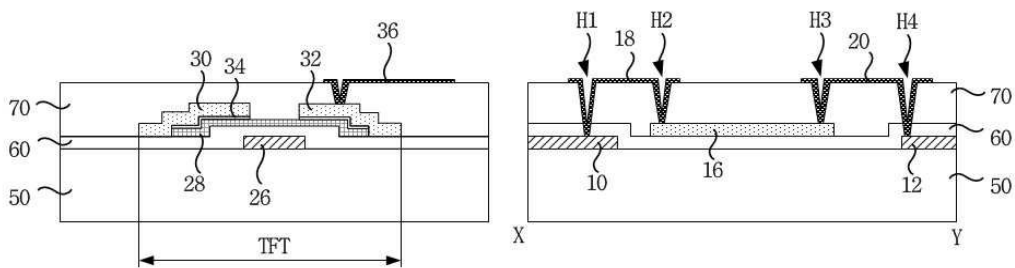
도면4



도면5



도면6



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020130063886A	公开(公告)日	2013-06-17
申请号	KR1020110130497	申请日	2011-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KWON EUN MI 권은미 KIM JUNG BUM 김정범		
发明人	권은미 김정범		
IPC分类号	G02F1/1345 G02F1/1368		
CPC分类号	G02F1/136204 G02F1/13458 H01L33/005		
代理人(译)	Bakyoungbok		
其他公开文献	KR101839334B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，以减小向多条公共线提供公共电压的路径之间的电阻差，由此防止线断开或者损坏薄膜晶体管。

组合：公共电压从外部提供给第一栅极金属（10）。多个第二栅极金属（12）从多条公共线延伸到一侧。源漏金属（16）在多个第二栅极金属的一侧与多条数据线平行。第一连接图案（18）电连接第一栅极金属和源极 - 漏极金属。第二连接图案（20）电连接源极 - 漏极金属和多个第二栅极金属。第一个栅极金属和公共线使用相同的电气路径。

