(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0108706
(43) 공개일자 2012년10월05일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *H04N 13/00* (2006.01)
G02B 27/22 (2006.01)
(21) 출원번호 10-2011-0026919
(22) 출원일자 2011년03월25일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김진영
경기도 파주시 번영로 55, 새꽃마을아파트 106동 905호 (금촌동)
채희영
경기 파주시 교하읍 동패리 1698번지 동문굿모닝힐10단지 1002동 804호
(74) 대리인
특허법인로얄

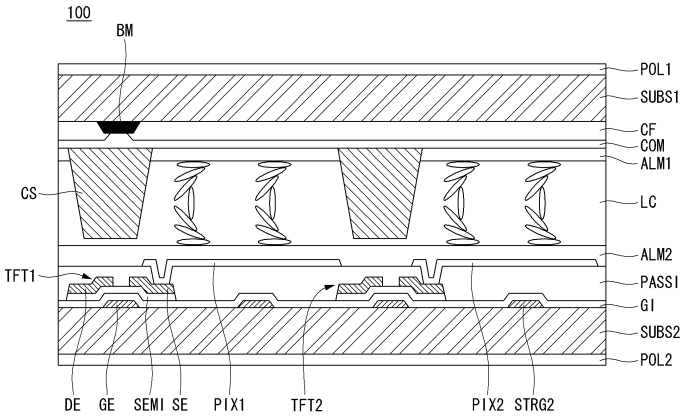
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **입체 영상 표시장치**

(57) 요 약

본 발명의 입체 영상 표시장치는 상판 공통전압이 공급되는 상판 공통전극을 포함하는 액정표시패널의 제1 기판; 데이터전압이 공급되는 데이터라인들, 상기 데이터전압에 동기되는 게이트펄스들이 순차적으로 공급되는 게이트라인들, 상기 데이터라인들 중 어느 하나와 제1 게이트라인의 교차부에 형성되는 제1 TFT, 상기 제1 TFT를 통해 상기 데이터전압을 공급받는 제1 화소전극, 상기 제1 화소전극과 함께 제1 스토리지 커패시터를 형성하고 제1 하판 공통전압이 공급되는 제1 스토리지 전극, 상기 데이터라인들 중 어느 하나와 제2 게이트라인의 교차부에 형성되는 제2 TFT, 상기 제2 TFT를 통해 상기 데이터전압을 공급받는 제2 화소전극, 및 상기 제2 화소전극과 함께 제2 스토리지 커패시터를 형성하고 제2 하판 공통전압이 공급되는 제2 스토리지 전극을 포함하는 상기 액정표시패널의 제2 기판; 및 2D 모드에서 상기 제1 및 제2 하판 공통전극들에 실질적으로 동일한 직류 전압을 공급하고, 3D 모드에서 상기 제2 하판 공통전극에 교류 전압을 공급하는 공통전극 구동회로를 포함한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

액정표시패널, 제1 패턴을 통해 상기 액정표시패널로부터 입사되는 빛을 제1 편광으로 변환하고 제2 패턴을 통해 상기 액정표시패널로부터 입사되는 빛을 제2 편광으로 변환하는 패턴 리타더, 및 상기 제1 편광이 통과되는 좌안 필터와 상기 제2 편광이 통과되는 우안 필터를 포함하는 편광 안경을 구비하는 입체 영상 표시장치에 있어서,

상판 공통전압이 공급되는 상판 공통전극을 포함하는 상기 액정표시패널의 제1 기판;

데이터전압이 공급되는 데이터라인들, 상기 데이터전압에 동기되는 게이트펄스들이 순차적으로 공급되는 게이트라인들, 상기 데이터라인들 중 어느 하나와 제1 게이트라인의 교차부에 형성되는 제1 TFT, 상기 제1 TFT를 통해 상기 데이터전압을 공급받는 제1 화소전극, 상기 제1 화소전극과 함께 제1 스토리지 커패시터를 형성하고 제1 하판 공통전압이 공급되는 제1 스토리지 전극, 상기 데이터라인들 중 어느 하나와 제2 게이트라인의 교차부에 형성되는 제2 TFT, 상기 제2 TFT를 통해 상기 데이터전압을 공급받는 제2 화소전극, 및 상기 제2 화소전극과 함께 제2 스토리지 커패시터를 형성하고 제2 하판 공통전압이 공급되는 제2 스토리지 전극을 포함하는 상기 액정표시패널의 제2 기판; 및

2D 모드에서 상기 제1 및 제2 하판 공통전극들에 실질적으로 동일한 직류 전압을 공급하고, 3D 모드에서 상기 제2 하판 공통전극에 교류 전압을 공급하는 공통전극 구동회로를 포함하는 것을 특징으로 하는 입체 영상 표시장치.

청구항 2

제 1 항에 있어서,

상기 상판 공통전압과 상기 제1 하판 공통전압은,

상기 2D 모드와 상기 3D 모드에서 일정한 전위를 유지하는 직류 전압으로 발생되고,

실질적으로 동일한 전압인 것을 특징으로 하는 입체 영상 표시장치.

청구항 3

제 1 항에 있어서,

상기 제2 하판 공통전압은 상기 3D 모드에서 3 스텝의 교류 파형으로 발생되는 것을 특징으로 하는 입체 영상 표시장치.

청구항 4

제 3 항에 있어서,

상기 제2 하판 공통전압은,

상기 3D 모드에서 매 프레임기간마다 제1 기간 동안 상기 제1 하판 공통전압과 동일한 전압으로 발생되고,

상기 3D 모드에서 N(N은 양의 정수) 번째 프레임기간 내에서 상기 제1 기간을 뺀 제2 기간 동안 상기 제1 하판 공통전압 보다 낮은 전압으로 발생되고,

상기 3D 모드에서 N+1 번째 프레임기간 내에서 상기 제1 기간을 뺀 제3 기간 동안 상기 제1 하판 공통전압 보다 높은 전압으로 발생되며,

상기 제1 기간은 상기 게이트펄스와 중첩되고 1 수평기간 이상 1/2 프레임 기간보다 작은 시간으로 설정되는 것

을 특징으로 하는 입체 영상 표시장치.

청구항 5

제 1 항에 있어서,

상기 제2 하판 공통전압은 상기 3D 모드에서 2 스텝의 교류 파형으로 발생되는 것을 특징으로 하는 입체 영상 표시장치.

청구항 6

제 5 항에 있어서,

상기 제2 하판 공통전압은,

상기 3D 모드에서 매 프레임기간마다 제1 기간 동안 상기 제1 하판 공통전압과 동일한 전압으로 발생되고,

상기 3D 모드에서 매 프레임기간마다 상기 제1 기간을 뺀 제2 기간 동안 상기 제1 하판 공통전압 보다 낮은 전압으로 발생되며,

상기 제1 기간은 상기 게이트펄스와 중첩되고 1 수평기간 이상 1/2 프레임 기간보다 작은 시간으로 설정되는 것을 특징으로 하는 입체 영상 표시장치.

명 세 서

기 술 분 야

[0001] 본 발명은 입체 영상 표시장치에 관한 것이다.

배 경 기 술

[0002] 입체 영상 표시장치는 양안시차방식(stereoscopic technique) 또는 복합시차지각방식(autostereoscopic technique)을 이용하여 입체 영상 즉, 3차원(3D) 영상을 구현한다. 양안시차방식은 입체 효과가 큰 좌우 눈의 시차 영상을 이용하며, 안경방식과 무안경방식이 있고 두 방식 모두 실용화되고 있다. 안경 방식은 직시형 표시소자나 프로젝터에 좌우 시차 영상의 편광 방향을 바꿔서 또는 시분할 방식으로 표시하고, 편광 안경 또는 액정셔터 안경을 사용하여 입체 영상을 구현한다. 무안경 방식은 일반적으로 좌우 시차 영상의 광축을 분리하기 위한 패럴렉스 베리어 등의 광학판을 표시 화면의 앞에 설치하는 방식이다.

[0003] 안경 방식의 입체 영상 표시장치는 편광 안경 방식과 셔터 안경 방식으로 나뉘어진다. 편광 안경 방식은 표시패널에 패턴 리타더(Patterned retarder)와 같은 편광 분리 소자를 합착하여야 한다. 패턴 리타더는 표시패널에 표시되는 좌안 영상과 우안 영상의 편광을 분리한다. 시청자는 편광 안경 방식의 입체 영상 표시장치에서 입체 영상을 감상할 때 편광 안경을 착용하여 편광 안경의 좌안 필터를 통해 좌안 영상의 편광을 보게 되고, 편광 안경의 우안 필터를 통해 우안 영상의 편광을 보게 되므로 입체감을 느낄 수 있다.

[0004] 기존의 편광 안경 방식의 입체 영상 표시장치에서 표시패널은 액정표시패널로 적용될 수 있다. 액정표시패널의 상부 유리기판 두께와 상부 편광판의 두께로 인하여 액정표시패널의 픽셀 어레이와 패턴 리타더 간의 시차(parallax) 에 의해 상하 시야각이 나쁘다. 이 경우에, 시청자가 액정표시패널의 정면 보다 높거나 낮은 상하 시야각에서 편광 안경 방식의 입체 영상 표시장치에 표시된 입체 영상을 감상하면 단안(좌안 또는 우안)으로 볼 때 좌안 및 우안 영상이 겹쳐 보이는 3D 크로스토크를 느낄 수 있다.

[0005] 편광 안경 방식의 입체 영상 표시장치에서 상하 시야각의 3D 크로스토크 문제를 해결하기 위하여, 일본 공개특허공보 제2002-185983호 등에서는 입체 영상 표시장치의 패턴 리타더에 블랙 스트라이프를 형성하는 방법을 제안한 바 있다. 이와 다른 방법으로, 액정표시패널에 형성된 블랙 매트릭스의 폭을 증가시킬 수 있다. 그런데, 패턴 리타더에 블랙 스트라이프를 형성하면 2D/3D 영상에서 휘도가 저하될 뿐만 아니라 블랙 매트릭스와 블랙 스트라이프의 상호 작용으로 인하여 모아레(Moire)를 유발할 수 있다. 블랙 매트릭스의 폭을 증가시키는 방법

은 개구율을 떨어 뜨려 2D/3D 영상에서 휘도를 저하시킨다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상하 시야각을 확대하고 2D 영상에서 휘도를 높일 수 있으며 개구율을 높일 수 있는 입체 영상 표시 장치를 제공한다.

과제의 해결 수단

[0007] 본 발명의 입체 영상 표시장치는 상판 공통전압이 공급되는 상판 공통전극을 포함하는 액정표시패널의 제1 기판; 데이터전압이 공급되는 데이터라인들, 상기 데이터전압에 동기되는 게이트펄스들이 순차적으로 공급되는 게이트라인들, 상기 데이터라인들 중 어느 하나와 제1 게이트라인의 교차부에 형성되는 제1 TFT, 상기 제1 TFT를 통해 상기 데이터전압을 공급받는 제1 화소전극, 상기 제1 화소전극과 함께 제1 스토리지 커패시터를 형성하고 제1 하판 공통전압이 공급되는 제1 스토리지 전극, 상기 데이터라인들 중 어느 하나와 제2 게이트라인의 교차부에 형성되는 제2 TFT, 상기 제2 TFT를 통해 상기 데이터전압을 공급받는 제2 화소전극, 및 상기 제2 화소전극과 함께 제2 스토리지 커패시터를 형성하고 제2 하판 공통전압이 공급되는 제2 스토리지 전극을 포함하는 상기 액정표시패널의 제2 기판; 및 2D 모드에서 상기 제1 및 제2 하판 공통전극들에 실질적으로 동일한 직류 전압을 공급하고, 3D 모드에서 상기 제2 하판 공통전극에 교류 전압을 공급하는 공통전극 구동회로를 포함한다.

발명의 효과

[0008] 본 발명은 2D 모드에서 비디오 영상을 표시하고 3D 모드에서 블랙 계조를 표시하는 액티브 블랙 스트라이프를 액정표시패널 내에 구현하여 상하 시야각을 확대하고 2D 영상에서 휘도를 높일 수 있고 개구율을 높일 수 있다. 나아가, 본 발명은 액정표시패널의 액티브 블랙 스트라이프들을 라인 인버젼으로 구동하고 순차적으로 시프트시켜 플리커와 직류 잔상을 줄일 수 있다. 더 나아가, 본 발명은 소비전력과 액티브 블랙 스트라이프들에 교류 공통전압을 공급하는 공통전극 구동회로와 표시패널의 구조와 제조방법을 단순하게 할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 실시예에 따른 입체 영상 표시장치를 개략적으로 보여 주는 도면이다.

도 2는 도 1에 도시된 입체 영상 표시장치의 구동 회로들을 보여 주는 블록도이다.

도 3은 도 1에 도시된 액정표시패널의 수직 단면 구조를 보여 주는 단면도이다.

도 4는 본 발명의 실시예에 따른 서브 픽셀의 등가 회로도이다.

도 5는 도 4에 도시된 서브 픽셀의 구현 형태를 보여 주는 평면도이다.

도 6은 본 발명의 실시예에 따른 입체 영상 표시장치에서 픽셀들의 2D 모드 구동 원리를 보여 주는 파형도이다.

도 7a 및 도 7b는 본 발명의 실시예에 따른 입체 영상 표시장치에서 픽셀들의 3D 모드 구동 원리를 보여 주는 파형도들이다.

도 8은 본 발명의 제1 실시예에 따른 액티브 블랙 스트라이프의 구동 방법을 보여 주는 파형도이다.

도 9는 본 발명의 제2 실시예에 따른 액티브 블랙 스트라이프의 구동 방법을 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능

혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0011] 도 1 내지 도 3을 참조하면, 본 발명의 실시예에 따른 입체 영상 표시장치는 액정표시패널(100), 패턴 리타더(300), 편광 안경(310) 등을 포함한다.

[0012] 액정표시패널(100)은 2D 영상과 3D 영상 데이터를 표시한다. 액정표시패널(100)은 두 장의 유리 기판들 사이에 형성된 액정층을 포함한다. 액정표시패널(100)은 데이터 라인들(DL)과 게이트 라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들 각각은 액정셀을 포함하고, R 서브 픽셀, G 서브 픽셀 및 B 서브 픽셀로 나뉘어질 수 있다. 서브 픽셀들은 RGB 서브픽셀들에 한정되지 않고, 화이트(White), 시안(Cyan), 마젠타(Magenta) 색의 서브픽셀 등을 포함할 수 있다.

[0013] 액정표시패널(100)의 TFT 어레이 기판(SUBS2)에는 데이터 라인들(DL), 게이트 라인들(GL), 박막트랜지스터(Thin Film Transistor, 이하 "TFT"라 함)(TFT1, TFT2), 화소전극(PIX1, PIX2), 스토리지 커패시터(Storage Capacitor, Cst) 등이 형성된다. TFT는 게이트 라인(GL)으로부터의 게이트펄스에 응답하여 데이터 라인(DL)으로부터의 데이터전압을 화소전극(PIX)에 공급한다. 이를 위하여, TFT의 드레인 전극(DE)은 데이터 라인(DL)에 연결되고, 그 소스 전극(SE)은 화소전극(PIX)에 연결된다. 그리고 TFT의 게이트 전극(GE)은 게이트 라인(GL)에 연결된다. 도 3에서, "GI"는 TFT의 게이트 전극(GE), 게이트 라인(GL), 스토리지 전극(STRG1, STRG2) 등을 포함한 게이트 금속 패턴들을 덮는 게이트 절연막이다. 스토리지 커패시터(Cst)는 화소전극(PIX1, PIX2), 스토리지 전극(STRG1, STRG2), 및 화소전극(PIX1, PIX2)과 스토리지 전극(STRG1, STRG2) 사이에 형성된 유전체(GI, PASSI)를 포함한다. "SEMI"는 TFT(TFT1, TFT2)의 드레인전극과 소스전극 사이의 반도체 채널로서 액티브층과 오믹접촉층을 포함한다. "PASSI"는 TFT(TFT1, TFT2)를 덮고 또한 TFT(TFT1, TFT2)의 소스/드레인 전극(SE, DE), 데이터 라인(DL) 등을 포함한 소스/드레인 금속을 덮는 패시베이션층(Passivation layer)을 의미한다. 화소전극(PIX1, PIX2)은 패시베인션층(PASSI)을 관통하는 콘택홀을 통해 TFT의 소스 전극(SE)에 접속되는 투명 도전 물질로 형성된다. 투명 도전 물질은 ITO(Indium Tin Oxide)로 선택될 수 있다.

[0014] 액정표시패널(100)의 컬러 필터 어레이 기판(SUBS1) 상에는 블랙 매트릭스(BM), 컬러 필터(CF), 상판 공통전극(COM) 등이 형성된다. 상판 공통전극(COM)은 픽셀 영역 전체에서 분할되지 않고 하나의 투명 도전 물질층으로 형성된다.

[0015] RGB 서브 픽셀들 각각은 메인 픽셀부(도 4의 MP1, MP2)와, 액티브 블랙 스트라이프(도 4의 AB1, AB2)를 포함한다. 메인 픽셀부(MP1, MP2)는 2D 모드에서 2D 영상의 비디오 데이터를 표시하고, 3D 모드에서 3D 영상의 비디오 데이터를 표시한다. 이에 비하여, 액티브 블랙 스트라이프(AB1, AB2)는 2D 모드에서 2D 영상의 비디오 데이터를 표시하는 픽셀 역할을 하는 반면, 3D 모드에서 블랙 계조를 표시한다. 따라서, 액티브 블랙 스트라이프(AB1, AB2)는 2D 모드에서 2D 영상의 개구율과 휘도를 높이고 3D 모드에서 3D 영상의 상하 시야각을 확대한다. 1 서브 픽셀 내에서 메인 픽셀부(MP1, MP2)와 액티브 블랙 스트라이프(AB1, AB2)의 크기와 형태는 패널 구동 특성, 표시 영상의 휘도, 3D 영상의 시야각, 응용 제품 특성 등을 고려하여 적절히 설계될 수 있다.

[0016] 액정표시패널(100)의 TFT 어레이 기판(SUBS2)과 컬러 필터 어레이 기판(SUBS1) 각각에는 편광판(POL1, POL2)이 접착되고, 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막(ALM1, ALM2)이 형성된다. TFT 어레이 기판(SUBS2)과 컬러 필터 어레이 기판(SUBS1) 사이에는 액정층의 셀갭(Cell gap)을 유지하기 위한 컬럼 스페이서(CS)가 형성될 수 있다.

[0017] 액정셀들은 TFT 어레이 기판(SUBS2)에 형성된 화소전극(PIX1, PIX2)과, 컬러 필터 어레이 기판(SUBS1)에 형성된 상판 공통전극(COM) 사이의 수직 전계에 의해 구동되어 컬러 필터 어레이 기판(SUBS1)에 형성된 상부 편광판(POL1)을 통과하는 빛의 광양을 조절한다. 픽셀들 각각은 화소전극에 인가되는 비디오 데이터전압에 따라 구동되는 액정셀을 이용하여 영상을 표시한다.

[0018] 액정표시패널(100)은 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드 등의 수직 전계 구동방식으로 구현될 수 있다. 이러한 액정표시패널(100)은 노말리 화이트 모드(Normally White Mode)로 구동될 수 있다. 노말리 화이트 모드에서, 액정셀의 광투과율은 화소전극(PIX1, PIX2)과 상판 공통전극(COM)의 전위차가 클수록 낮아지고, 화소전극(PIX1, PIX2)과 상판 공통전극(COM)의 전위차가 최소일 때 최대가 된다.

[0019] 액정표시패널(100)의 배면에는 백라이트 유닛이 배치될 수 있다. 백라이트 유닛은 에지형(edge type) 또는 직하형(Direct type) 백라이트 유닛으로 구현되어 액정표시패널(100)에 빛을 조사한다.

[0020] 패턴 리타더(300)는 액정표시패널(100)의 상부 편광판에 접착된다. 패턴 리타더(300)는 액정표시패널(100)의

픽셀 어레이에서 기수 번째 라인과 대향하는 제1 패턴(300a)과, 액정표시패널(100)의 픽셀 어레이에서 우수 번째 라인과 대향하는 제2 패턴(300b)을 포함한다. 제1 패턴(300a)과 제2 패턴(300b)의 광축은 서로 다르다. 제1 패턴(300a)과 제2 패턴(300b)은 입사광의 위상을 1/4 파장 만큼 지연시키는 복굴절 매질로 구현될 수 있다. 패턴 리타더(300)는 유리 기판 기반의 글라스 패턴 리타더(Glass Patterned Retarder, GPR) 또는, 필름 기판 기반의 필름 패턴 리타더(Film Patterned Retarder, FPR)로 구현될 수 있다.

[0021] 액정표시패널(100)의 표시화면에서 기수 번째 라인은 좌안 영상을 표시할 수 있고 우수 번째 라인은 우안 영상을 표시할 수 있다. 이 경우에, 픽셀 어레이의 기수 번째 라인에 표시된 좌안 영상의 빛이 상부 편광판(POL1)을 통해 선편광으로 제1 패턴(300a)에 입사되고, 픽셀 어레이의 우수 번째 라인에 표시된 우안 영상의 빛이 상부 편광판(POL1)을 통해 선편광으로 제2 패턴(300b)에 입사된다. 기수 번째 라인에서 상부 편광판을 통과한 선편광과, 우수 번째 라인에서 상부 편광판을 통과한 선편광은 서로 동일한 광축을 갖는 선편광이다. 패턴 리타더(300)에서, 제1 패턴(300a)은 상부 편광판(POL1)을 통해 입사되는 좌안 영상의 선편광을 좌원편광으로 변환한다. 제2 패턴(300b)은 상부 편광판(POL1)을 통과한 우안 영상의 선편광을 우원편광으로 변환한다.

[0022] 편광 안경(310)의 좌안 편광 필터는 좌원 편광만을 통과시키고, 우안 편광 필터는 우원 편광만을 통과시킨다. 시청자가 편광 안경(310)을 착용하면, 시청자는 좌안으로 좌안 영상이 표시되는 픽셀 어레이의 기수 번째 라인들의 픽셀들만 보고, 우안으로 우안 영상이 표시되는 픽셀 어레이의 우수 번째 라인들의 픽셀들만 볼 수 있으므로 양안시차로 인한 입체감을 느끼게 된다.

[0023] 본 발명의 입체 영상 표시장치는 데이터 구동회로(102), 게이트 구동회로(103), 제1 공통전극 구동회로(106), 제2 공통전극 구동회로(107), 데이터 포맷터(105), 타이밍 콘트롤러(101), 백라이트 구동회로 등을 포함한다. 백라이트 구동회로는 백라이트 유닛의 광원을 구동하며, 타이밍 콘트롤러(101)의 제어 하에 입력 영상에 따라 글로벌 디밍과 로컬 디밍을 실시하여 백라이트 밝기를 조절한다. 백라이트 구동회로는 도면에서 생략되었다.

[0024] 데이터 구동회로(102)의 소스 드라이브 IC들 각각은 시프트 레지스터(Shift register), 래치(Latch), 디지털-아날로그 변환기(Digital to Analog convertor, DAC), 출력 버퍼(Output buffer) 등을 포함한다. 소스 드라이브 IC는 타이밍 콘트롤러(101)의 제어 하에 2D/3D 영상의 디지털 비디오 데이터(RGB)를 래치한다. 소스 드라이브 IC는 극성제어신호(POL)에 응답하여 디지털 비디오 데이터(RGB)를 아날로그 정극성 감마보상전압과 부극성 감마보상전압으로 변환하여 데이터전압의 극성을 반전시킨다. 감마보상전압들은 도시하지 않은 감마전압 발생회로에 의해 발생되어 소스 드라이브 IC들에 공급된다. 소스 드라이브 IC들은 소스 출력 인에이블신호(SOE)에 응답하여 정극성/부극성 데이터전압을 데이터 라인들(DL)로 출력한다. 소스 드라이브 IC들은 2D 모드에서 좌안 영상과 우안 영상의 구분이 없는 2D 영상의 데이터전압들을 출력한다. 소스 드라이브 IC들은 3D 모드에서 좌안 영상의 데이터전압과 우안 영상의 데이터전압을 데이터 라인들(DL)에 공급한다. 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 액정표시패널(100)의 데이터라인들(DL)에 접속될 수 있다.

[0025] 게이트 구동회로(103)는 시프트 레지스터(Shift register), 레벨 쉬프터(Level shifter) 등을 포함한다. 게이트 구동회로(103)는 도 7 및 도 8과 같이 타이밍 콘트롤러(101)의 제어 하에 데이터 라인들(DL)에 공급되는 데이터전압과 동기되는 게이트펄스(또는 스캔펄스)를 게이트 라인들(GL)에 순차적으로 공급한다. 게이트 구동회로(103)의 IC는 TAB 공정을 통해 액정표시패널(100)의 게이트라인들(GL)에 연결되거나 GIP(Gate In Panel) 공정으로 액정표시패널(100)의 TFT 어레이 기판 상에 직접 형성될 수 있다.

[0026] 제1 공통전극 구동회로(106)는 상판 공통전극(COM)에 공급되는 상판 공통전압(Vcom)과, 메인 픽셀부(MP1, MP2)에 형성된 제1 스토리지 전극(STRG1)에 공급되는 제1 하판 공통전압(Vcom1)을 발생한다. 상판 공통전압(Vcom)과 제1 하판 공통전압(Vcom1)은 2D 모드와 3D 모드에서 전압이 일정한 직류 전압이다. 제1 하판 공통전압(Vcom1)은 상판 공통전압(Vcom)과 동일하거나 상판 공통전압(Vcom)과 유사한 직류 전압으로 발생된다.

[0027] 제2 공통전극 구동회로(107)는 액티브 블랙 스트라이프(AB1, AB2)에 형성된 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)을 발생한다. 제2 공통전극 구동회로(107)는 2D 모드에서 액정표시패널(100)의 모든 표시라인들에서 하판 공통전압(Vcom2)의 전압을 제1 하판 공통전압(Vcom1)과 등전위의 직류 전압으로 발생한다. 제2 공통전극 구동회로(107)는 3D 모드에서 제2 하판 공통전압(Vcom2)을 2 스텝(step) 또는 3 스텝의 교류 전압 파형으로 발생하고, 액정표시패널(100)의 1 표시라인 단위로 그 교류 전압 파형을 순차적으로 시프트(shift)시킨다. 제2 공통전극 구동회로(107)는 게이트 구동회로(103)와 유사하게 시프트 레지스터와 레벨 시프터를 포함할 수 있다.

[0028] 3D 모드에서 제2 하판 공통전압(Vcom2)이 도 9와 같은 교류 전압 파형으로 발생되면, 제2 공통전극 구동회로(107)는 게이트 구동회로(103)와 실질적으로 동일한 회로 구성으로 구현될 수 있다. 이 경우에, 게이트 구동회로(103)와 제2 공통전극 구동회로(107)는 동일한 IC로 공용화될 수 있다.

[0029] 데이터 포맷터(105)는 호스트 시스템(104)으로부터 3D 영상 데이터를 입력 받아 좌안 영상 데이터와 우안 영상 데이터를 라인별로 분리하여 타이밍 콘트롤러(101)에 전송한다. 데이터 포맷터(105)는 2D 모드에서 호스트 시스템(104)으로부터 2D 영상 데이터를 그대로 타이밍 콘트롤러(101)로 전송한다.

[0030] 타이밍 콘트롤러(101)는 호스트 시스템(104)으로부터 수직 동기신호(Vsync),수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(102), 게이트 구동회로(103), 및 제2 공통전극 구동회로(107)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다.

[0031] 타이밍 제어신호들은 게이트 구동회로(103)의 동작 타임을 제어하기 위한 게이트 타이밍 제어신호, 제2 공통전극 구동회로(107)의 동작 타임을 제어하기 위한 제2 공통전압 타이밍 제어신호, 및 데이터 구동회로(102)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 타이밍 콘트롤러(101)는 호스트 시스템(104)으로부터 모드신호(Mode)를 입력 받아 2D/3D 모드의 동작 상태를 스위칭하기 위한 모드 스위칭 신호(2D/3D)를 발생할 수 있다.

[0032] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 시프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동회로(103)의 스타트 동작 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(103)의 출력 타이밍을 제어한다. 게이트 타이밍 제어신호는 2D 모드와 3D 모드에서 발생된다.

[0033] 제2 공통전압 타이밍 제어신호는 스타트 펄스(iGSP), 시프트 클럭(iGSC), 출력 인에이블신호(iGOE) 등을 포함한다. 스타트 펄스(iGSP)는 3D 모드에서 제2 공통전극 구동회로(107)의 스타트 동작 타이밍을 제어한다. 시프트 클럭(iGSC)은 3D 모드에서 스타트 펄스(GSP)를 시프트시키기 위한 클럭신호이다. 출력 인에이블신호(iGOE)는 게이트 구동회로(103)의 출력 타이밍을 제어한다. 스타트 펄스(iGSP)와 시프트 클럭(iGSC)은 3D 모드에서 발생된다. 출력 인에이블신호(iGOE)는 2D 모드에서 특정 논리값을 유지하는 직류 신호로 발생되고, 3D 모드에서 교류 신호로 발생되어 제2 하판 공통전압(Vcom2)의 전위를 2 스텝 또는 3 스텝으로 스위칭시킨다.

[0034] 데이터 타이밍 제어신호는 소스 스타트 펄스(Source Start Pulse, SSP), 소스 샘플링 클럭(Source Sampling Clock, SSC), 극성제어신호(Polarity : POL), 및 소스 출력 인에이블신호(Source Output Enable, SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(102)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 소스 스타트 펄스(SSP)를 쉬프트시키기 위한 클럭신호로서, 데이터의 샘플링 타이밍을 제어한다. 극성제어신호(POL)는 데이터 구동회로(102)로부터 출력되는 데이터전압의 극성 반전 타이밍을 제어한다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(102)의 데이터 전압 출력 타이밍과 차지 쉐어링(Charge sharing) 타이밍을 제어한다. 데이터 구동회로(102)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.

[0035] 타이밍 콘트롤러(101)는 입력 프레임 주파수×i(i는 양의 정수) Hz의 프레임 주파수로 구동회로들(102, 103, 106)의 동작 타이밍을 제어할 수 있다. 입력 프레임 주파수는 NTSC(National Television Standards Committee) 방식에서 60Hz이며, PAL(Phase-Alternating Line) 방식에서 50Hz이다.

[0036] 호스트 시스템(104)은 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 2D/3D 영상 데이터와 타이밍신호들(Vsync, Hsync, DE, CLK)을 타이밍 콘트롤러(101)에 공급한다. 호스트 시스템(104)은 2D 모드와 3D 모드를 지시하는 모드신호(Mode)를 타이밍 콘트롤러(101)에 공급한다. 호스트 시스템(104)은 데이터 포맷터(105)를 통해 2D/3D 영상 데이터와 타이밍 신호들을 타이밍 콘트롤러(101)에 공급한다.

[0037] 사용자는 사용자 입력장치(110)를 통해 2D 모드와 3D 모드를 선택할 수 있다. 사용자 입력장치(110)는 액정표시패널(100) 상에 접착되거나 내장된 터치 스크린, 온 스크린 디스플레이(On screen display, OSD), 키보드, 마우스, 리모트 콘트롤러(Remote controller) 등을 포함한다.

[0038] 호스트 시스템(104)은 사용자 입력장치(110)를 통해 입력되는 사용자 데이터에 응답하여 2D 모드 동작과 3D 모

드 동작을 전환한다. 호스트 시스템(104)은 입력 영상의 데이터에 인코딩된 2D/3D 식별 코드 예를 들면, 디지털 방송 규격의 EPG(Electronic Program Guide) 또는 ESG(Electronic Service Guide)에 코딩될 수 있는 2D/3D 식별코드를 검출하여 2D 모드와 3D 모드를 구분할 수 있다.

[0039] 도 4는 본 발명의 실시예에 따른 서브 픽셀의 등가 회로도이다. 도 5는 도 4에 도시된 서브 픽셀의 구현 형태를 보여 주는 평면도이다. 도 4 및 도 5에는 액정표시패널의 2 개 표시라인들에서 수직으로 이웃하는 2 개 서브 픽셀들이 도시되어 있다. 도 4 및 도 5에서, 제1 표시라인(LINE#1)에 존재하는 서브 픽셀을 제1 픽셀로 칭하고, 제2 표시라인(LINE#2)에 존재하는 서브 픽셀을 제2 픽셀로 칭하기로 한다.

[0040] 도 4 및 도 5를 참조하면, 제1 및 제2 픽셀들 각각은 메인 픽셀부(MP1, MP2)와, 액티브 블랙 스트라이프(AB1, AB2)을 포함한다.

[0041] 제1 픽셀의 메인 픽셀부(MP1)는 제1 액정셀(Clc1), 제1 스토리지 커패시터(Cst1), 제1 TFT(TFT1) 등을 포함한다. 제1 액정셀(Clc1)의 액정 분자들은 상판 공통전극(COM)에 인가되는 상판 공통전압(Vcom)과 제1 화소전극(PIX1)에 공급되는 데이터전압의 전압차에 의해 구동되어 패턴 리타더(300)로 입사되는 광양을 조절한다. 제1 스토리지 커패시터(Cst1)는 제1 화소전극(PIX1)과 제1 스토리지 전극(STRG1) 사이에 형성된다. 제1 스토리지 전극(STRG1)에는 제1 하판 공통전압(Vcom1)이 공급된다. 제1 TFT(TFT1)는 n(n은 양의 정수) 번째 게이트라인(Gn)으로부터 공급되는 게이트펄스에 응답하여 데이터라인(D1)으로부터의 데이터전압을 제1 화소전극(PIX1)에 공급한다. 제1 TFT(TFT1)의 게이트전극은 n 번째 게이트라인(Gn)에 접속된다. 제1 TFT(TFT1)의 드레인전극은 데이터라인(D1)에 접속되고, 그 소스전극은 제1 화소전극(PIX1)에 접속된다.

[0042] 제1 픽셀의 액티브 블랙 스트라이프(AB1)는 제2 액정셀(Clc2), 제2 스토리지 커패시터(Cst2), 제2 TFT(TFT2) 등을 포함한다. 제2 액정셀(Clc2)의 액정 분자들은 상판 공통전극(COM)에 인가되는 상판 공통전압(Vcom)과 제2 화소전극(PIX2)에 공급되는 데이터전압의 전압차에 의해 구동되어 패턴 리타더(300)로 입사되는 광양을 조절한다. 제2 스토리지 커패시터(Cst2)는 제2 화소전극(PIX2)과 제2 스토리지 전극(STRG2) 사이에 형성된다. 제2 스토리지 전극(STRG2)에는 제2 하판 공통전압(Vcom2)이 공급된다. 제2 TFT(TFT2)는 n 번째 게이트라인(Gn)으로부터 공급되는 게이트펄스에 응답하여 데이터라인(D1)으로부터의 데이터전압을 제2 화소전극(PIX2)에 공급한다. 제2 TFT(TFT2)의 게이트전극은 n 번째 게이트라인(Gn)에 접속된다. 제2 TFT(TFT2)의 드레인전극은 데이터라인(D1)에 접속되고, 그 소스전극은 제2 화소전극(PIX2)에 접속된다.

[0043] 제2 픽셀의 제1 및 제2 TFT들(TFT1, TFT2)은 n+1 번째 게이트라인(Gn+1)에 공급되는 게이트펄스에 응답하여 턴-온(Turn-on)된다. 제2 픽셀에서 제1 및 제2 TFT들(TFT1, TFT2)의 게이트전극들이 n+1 번째 게이트라인(Gn+1)에 접속된 것이 제1 픽셀과 다르다. 제1 및 제2 TFT의 게이트전극 접속 관계를 제외하고 제2 픽셀의 다른 회로 구성은 제1 픽셀의 그 것과 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.

[0044] 도 6은 본 발명의 실시예에 따른 입체 영상 표시장치에서 픽셀들의 2D 모드 구동 원리를 보여 주는 파형도이다.

[0045] 도 6을 참조하면, 2D 모드에서 제1 및 제2 하판 공통전압들(Vcom1, Vcom2)은 상판 공통전압(Vcom)과 실질적으로 동일한 직류전압이다. 도 6의 예에서, 상판 공통전압(Vcom)과 하판 공통전압들(Vcom1, Vcom2)은 쉽게 이해할 수 있도록 5V로 예시되지만, 실제 액정표시패널에 인가되는 전압은 5V와 다른 직류 전압일 수 있다. 도 6에서, Vdata는 데이터라인(DL)과 TFT(TFT1, TFT2)를 통해 화소전극들(PIX1, PIX2)에 공급되는 데이터전압이고, "Vg"은 게이트라인(GL)에 공급되는 게이트펄스의 전압이다.

[0046] 메인 픽셀부(MP1, MP2)와 액티브 블랙 스트라이프(AB1, AB2)의 화소전극들(PIX1, PIX2)에 화이트 계조 데이터전압으로 설정된 대략 5V 정도의 데이터전압이 공급되면, 제1 및 제2 액정셀들(Clc1, Clc2)은 상판 공통전압(Vcom)과 화소전극들(PIX1, PIX2)의 전압차가 최소이므로 화이트 계조를 표시한다. 도 6에서, "Vclc1"은 제1 액정셀(Clc1)의 전압 즉, 제1 화소전극(PIX1)의 전압과 상판 공통전극(COM)의 전압 간의 전압차로서, 대략 0V이다. "Vclc2"는 제2 액정셀(Clc2)의 전압 ㅇ으로서 대략 0V이다.

[0047] 도 7a 및 도 7b는 본 발명의 실시예에 따른 입체 영상 표시장치에서 픽셀들의 3D 모드 구동 원리를 보여 주는 파형도들이다.

[0048] 도 7을 참조하면, 3D 모드에서 제1 하판 공통전압(Vcom1)은 상판 공통전압(Vcom)과 실질적으로 동일한 대략 5V의 직류전압이다. 이에 비하여, 제2 하판 공통전압(Vcom2)은 게이트펄스(Vg) 직후에 상판 공통전압(Vcom) 보다 높은 대략 10V로 상승하거나 상판 공통전압(Vcom) 보다 낮은 대략 0V의 전압으로 변한다.

[0049] 제1 액정셀(Clc1)의 제1 화소전극(PIX1)은 도 4와 같이 제1 스토리지 커패시터(Cst1)를 통해 제1 스토리지 전극

(STRG1)과 커플링(Coupling)되어 있다. 제1 스토리지 전극(STRG1)의 전압은 3D 모드에서 대략 5V로 일정한 제1 하판 공통전압(Vcom1)이므로 제1 화소전극(PIX1)의 전압을 거의 변화시키지 않는다. 제1 화소전극(Clc1)에 공급되는 데이터전압(Vdata)이 화이트 계조 전압으로 설정된 대략 5V이라면 제1 액정셀(Clc1)의 전압(Vclc1)은 최소 전압인 0V이다. 따라서, 제1 액정셀(Clc1)는 화이트 계조의 데이터 전압(Vdata)이 공급되면 화이트 계조를 표현한다.

[0050] 제2 액정셀(Clc2)의 제2 화소전극(PIX2)은 도 4와 같이 제2 스토리지 커패시터(Cst2)를 통해 제2 스토리지 전극(STRG2)과 커플링되어 있다. 제2 스토리지 전극(STRG2)의 전압은 3D 모드에서 게이트펄스(Vg) 직후에 대략 10V로 상승하거나 대략 0V로 낮아진다. 그 결과, 제2 화소전극(PIX2)의 전압이 제2 하판 공통전압(Vcom2)의 변동 방향을 따라 부스팅(boosting)된다.

[0051] 동일 서브 픽셀에서 제1 및 제2 액정셀들(Clc1, Clc2)의 화소전극들(PIX1, PIX2)에는 동일한 데이터라인과 동일한 TFT를 통해 데이터전압이 공급된다. 따라서, 3D 모드에서 제1 화소전극(PIX1)에 5V의 데이터전압(Vdata)이 공급되면 제2 화소전극(PIX2)에도 5V의 데이터전압(Vdata)이 공급된다. 3D 모드에서 제1 화소전극(PIX1)의 전압은 대략 5V로 유지되지만, 제2 화소전극(PIX1)의 전압은 제2 하판 공통전압(Vcom2)을 따라 변화된다.

[0052] 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)이 10V로 상승하면 제2 화소전극(PIX2)의 전압이 10V와 가까운 전압으로 부스팅(+ Boosting)되고, 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)이 0V로 낮아지면 제2 화소전극(PIX2)의 전압이 0V와 가까운 전압으로 부스팅(- Boosting)된다. 따라서, 제2 액정셀(Clc2)의 전압은 화이트 계조의 데이터 전압(Vdata)이 공급되더라도 제2 하판 공통전압(Vcom2)의 영향으로 인하여 블랙 계조 전압인 대략 5V로 부스팅된다. 그 결과, 화이트 계조의 데이터전압이 제1 및 제2 액정셀들(Clc1, Clc2)에 동시에 공급되지만 제1 액정셀(Clc1)은 화이트 계조를 표현하는 반면, 제2 액정셀(Clc2)은 블랙 계조를 표현하여 블랙 스트라이프로 동작한다.

[0053] 제1 및 제2 액정셀들(Clc1, Clc2)이 동일한 게이트펄스(Vg)에 응답하여 동시에 턴-온되는 TFT들(TFT1, TFT2)에 연결되기 때문이다. 제1 및 제2 액정셀들(Clc1, Clc2)에 동시에 데이터전압(Vdata)이 인가되므로 게이트펄스(Vg)가 게이트 하이전압(Gate high voltage, VGH)를 유지하는 게이트 온 타임 내에서 제2 하판 공통전압(Vcom2)이 변하면 제1 액정셀에 충전되는 데이터전압이 변할 수 있다. 따라서, 3D 모드에서 제2 하판 공통전압(Vcom2)은 액티브 블랙 스트라이프(AB1, AB2)의 제2 액정셀들에 충전된 데이터전압만이 부스팅될 수 있도록 게이트펄스(Vg) 이후에 변하여야 한다.

[0054] 도 8은 본 발명의 제1 실시예에 따른 액티브 블랙 스트라이프(AB1, AB2)의 구동 방법을 보여 주는 파형도이다. 도 9는 본 발명의 제2 실시예에 따른 액티브 블랙 스트라이프(AB1, AB2)의 구동 방법을 보여 주는 파형도이다.

[0055] 도 8 및 도 9에서, "1FR"은 1 프레임기간이고, "1H"는 1 수평기간을 의미한다. 1 프레임기간(1FR)은 액정표시패널(100)에서 모든 표시라인들의 픽셀들에 데이터 전압들이 기입되고 유지되는데 필요한 1 화면 구동 시간이다. 1 수평기간(1H)는 액정표시패널(100)에서 1 표시기간의 픽셀들에 데이터 전압이 기입될 수 있는 시간으로서 대략 1 프레임기간을 표시라인들의 개수로 나눈 시간이다. Vgn은 n 번째 게이트라인에 공급되는 1 수평기간(1H)의 게이트펄스를 나타내고, Vgn+1은 n+1 번째 게이트라인에 공급되는 1 수평기간(1H)의 게이트펄스를 나타낸다.

[0056] 도 8을 참조하면, 2D 모드에서 액티브 블랙 스트라이프(AB1, AB2)의 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)은 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1)과 실질적으로 동일한 전압이다. 그 결과, 액티브 블랙 스트라이프(AB1, AB2)의 제2 액정셀들(Clc2)은 2D 모드 기간 동안 데이터라인들(DL)을 통해 공급되는 2D 영상의 계조를 표현한다.

[0057] 3D 모드에서 액티브 블랙 스트라이프(AB1, AB2)의 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)은 3 스텝의 교류 전압으로 발생된다.

[0058] 제2 하판 공통전압(Vcom2)은 3D 모드에서 매 프레임기간 동안 게이트펄스와 중첩되는 A 기간 동안 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1)과 실질적으로 동일한 전압으로 발생된다. A 기간은 게이트펄스와 중첩되어야 하므로 1 수평기간 이상 1/2 프레임기간 미만의 기간 내의 시간으로 설정될 수 있다. A 기간은 액정표시패널(100)의 패널 특성에 따라 적절히 조절될 수 있다.

[0059] 제2 하판 공통전압(Vcom2)은 3D 모드에서 N(N은 양의 정수) 번째 프레임기간 내에서 A 기간을 뺀 B 기간 동안 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1) 보다 낮은 전압으로 발생된다. B 기간 동안 제2 하판 공통전

압(Vcom2)은 제2 화소전극(PIX2)의 전압을 부극성 블랙 계조 전압까지 부스팅할 수 있는 전압으로 설정된다.

[0060] 제2 하판 공통전압(Vcom2)은 3D 모드에서 N+1 번째 프레임기간 내에서 A 기간을 뺀 B 기간 동안 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1) 보다 높은 전압으로 발생된다. B 기간 동안 제2 하판 공통전압(Vcom2)은 제2 화소전극(PIX2)의 전압을 정극성 블랙 계조 전압까지 부스팅할 수 있는 전압으로 설정된다.

[0061] 도 8의 실시예는 액티브 블랙 스트라이프들(AB1, AB2)의 극성을 이웃한 표시라인들 간에 서로 상반된 라인 인버젼으로 제어한다. 도 8의 실시예는 액티브 블랙 스트라이프들(AB1, AB2)의 극성을 1 표시라인마다 반전시키므로 액티브 블랙 스트라이프들(AB1, AB2)의 극성 반전 주기를 1 표시라인 정도로 짧게 한다. 따라서, 도 8의 실시예는 사용자가 느끼는 액티브 블랙 스트라이프들(AB1, AB2) 간의 플리커를 줄일 수 있고, 제2 하판 공통전압(Vcom2)을 교류로 발생하여 직류 잔상을 줄일 수 있다.

[0062] 도 9를 참조하면, 2D 모드에서 액티브 블랙 스트라이프(AB1, AB2)의 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)은 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1)과 실질적으로 동일한 전압이다. 그 결과, 액티브 블랙 스트라이프(AB1, AB2)의 제2 액정셀들(C1c2)은 2D 모드 기간 동안 데이터라인들(DL)을 통해 공급되는 2D 영상의 계조를 표현한다.

[0063] 3D 모드에서 액티브 블랙 스트라이프(AB1, AB2)의 제2 스토리지 전극(STRG2)에 공급되는 제2 하판 공통전압(Vcom2)은 2 스텝의 교류 전압으로 발생된다.

[0064] 제2 하판 공통전압(Vcom2)은 3D 모드에서 매 프레임기간 동안 게이트펄스와 중첩되는 A 기간 동안 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1)과 실질적으로 동일한 전압으로 발생된다. A 기간은 1 수평기간 이상 1/2 프레임기간 미만의 기간으로서 게이트펄스와 중첩된다. A 기간은 액정표시패널(100)의 패널 특성에 따라 적절히 조절될 수 있다.

[0065] 제2 하판 공통전압(Vcom2)은 3D 모드에서 매 프레임기간 내에서 A 기간을 뺀 B 기간 동안 상판 공통전압(Vcom) 및 제1 하판 공통전압(Vcom1) 보다 낮은 전압으로 발생된다. B 기간 동안 제2 하판 공통전압(Vcom2)은 제2 화소전극(PIX2)의 전압을 부극성 블랙 계조 전압까지 부스팅할 수 있는 전압으로 설정된다.

[0066] 도 9의 실시예는 제2 하판 공통전압(Vcom2)의 스윙폭을 줄일 수 있으므로 제2 스토리지 전극의 전류를 줄일 수 있으므로 제2 공통전극 구동회로(107)의 소비전력과 발열양을 줄일 수 있고, 직류 잔상을 줄일 수 있다. 도 9의 실시예에서 제2 하판 공통전압(Vcom2)이 게이트펄스와 유사하게 2 스텝의 교류 파형으로 발생되고, 그 전압차와 스윙폭이 게이트 구동회로(103)의 IC 동작에서 허용되는 범위 이내이다. 따라서, 도 9의 실시예를 적용하는 적용하는 경우에, 제2 공통전극 구동회로(107)는 게이트 구동회로(103)의 IC로 구현될 수 있고, GIP 게이트 구동회로가 실장되는 표시패널의 패널 구조와 제조 방법을 단순하게 할 수 있다.

[0067] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

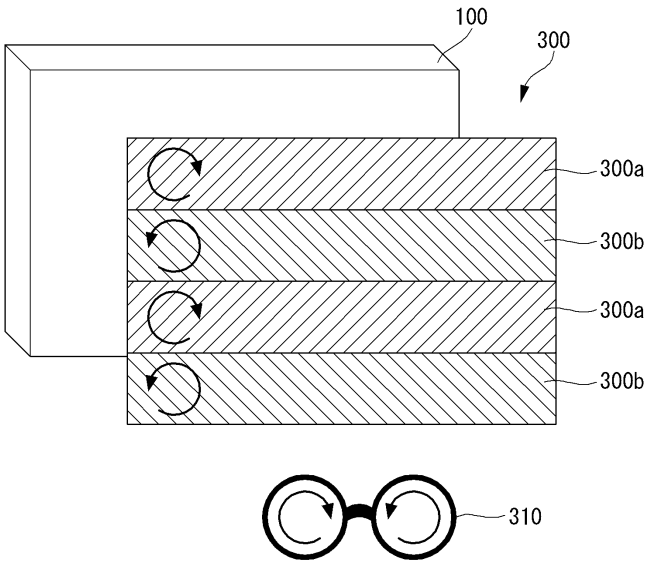
부호의 설명

[0068]

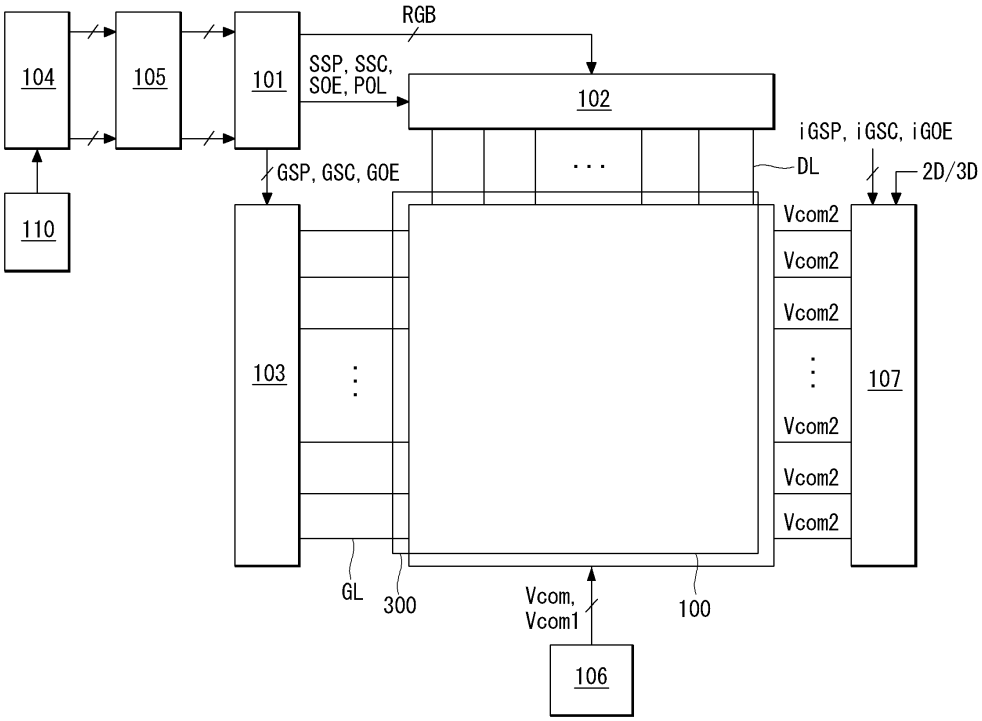
100 : 액정표시패널
101 : 타이밍 콘트롤러
102 : 데이터 구동회로
103 : 게이트 구동회로
104 : 호스트 시스템
105 : 데이터 포맷터
106 : 제1 공통전극 구동회로
107 : 제2 공통전극 구동회로
300 : 패턴 리타더
310 : 편광 안경

도면

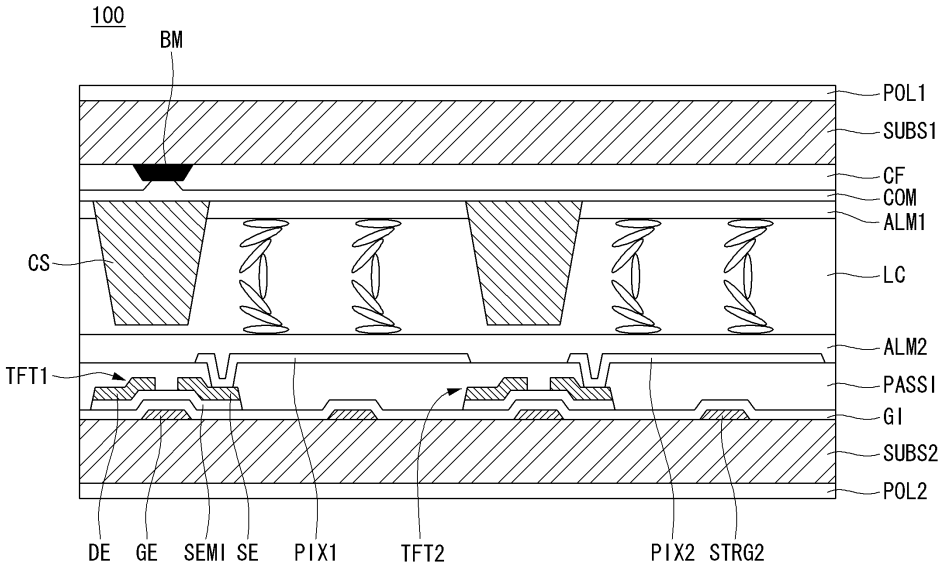
도면1


100
300
300a
300b
300a
300b
310

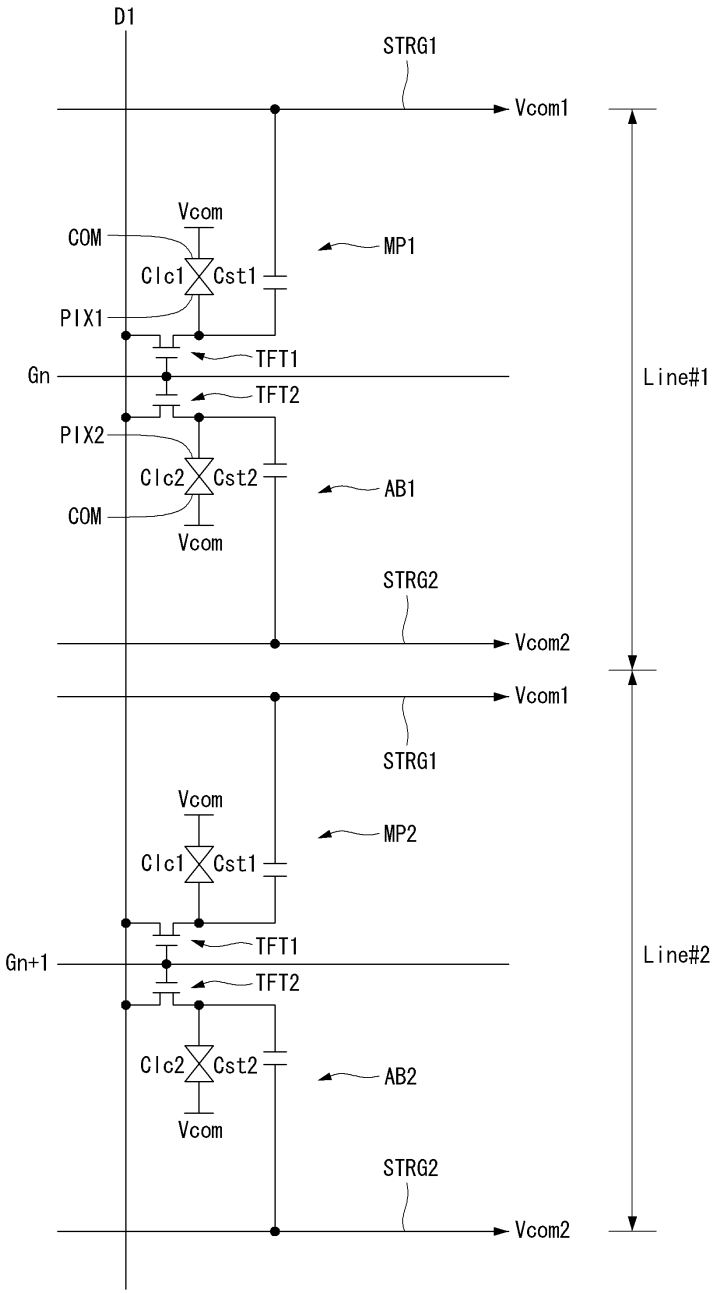
도면2


104
105
101
RGB
SSP, SSC,
SOE, POL
102
iGSP, iGSC, iGOE
2D/3D
DL
GSP, GSC, GOE
110
103
107
Vcom2
Vcom2
Vcom2
Vcom2
Vcom2
Vcom2
GL
300
Vcom,
Vcom1
100
106

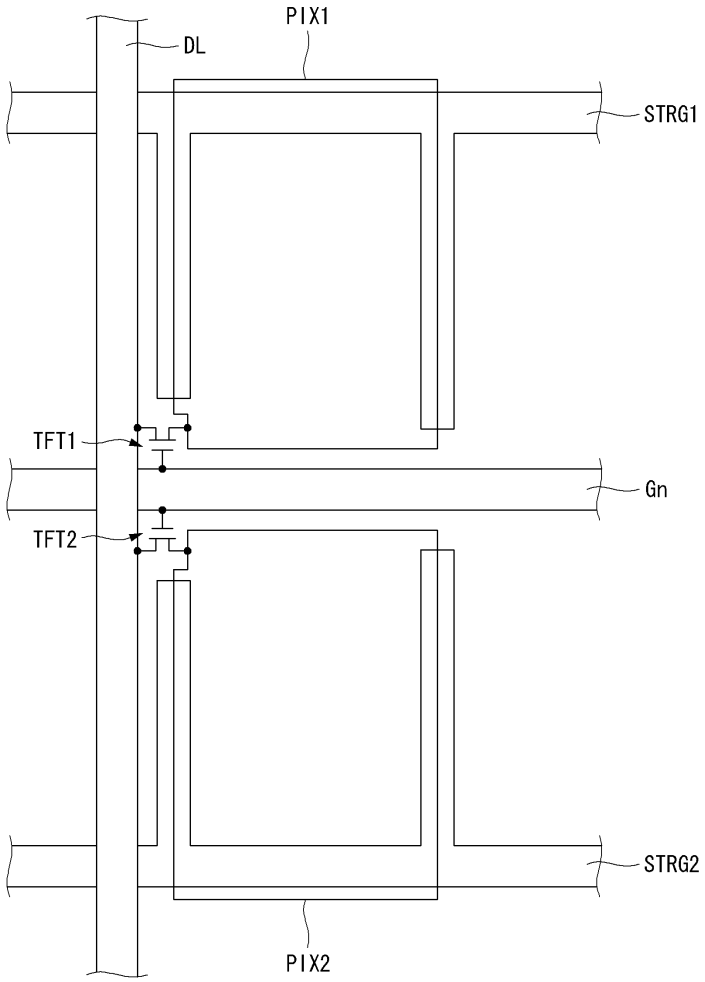
도면3


100
BM
POL1
SUBS1
CF
COM
ALM1
CS
LC
ALM2
TFT1
PASSI
GI
SUBS2
POL2
DE
GE
SEMI
SE
PIX1
TFT2
PIX2
STRG2

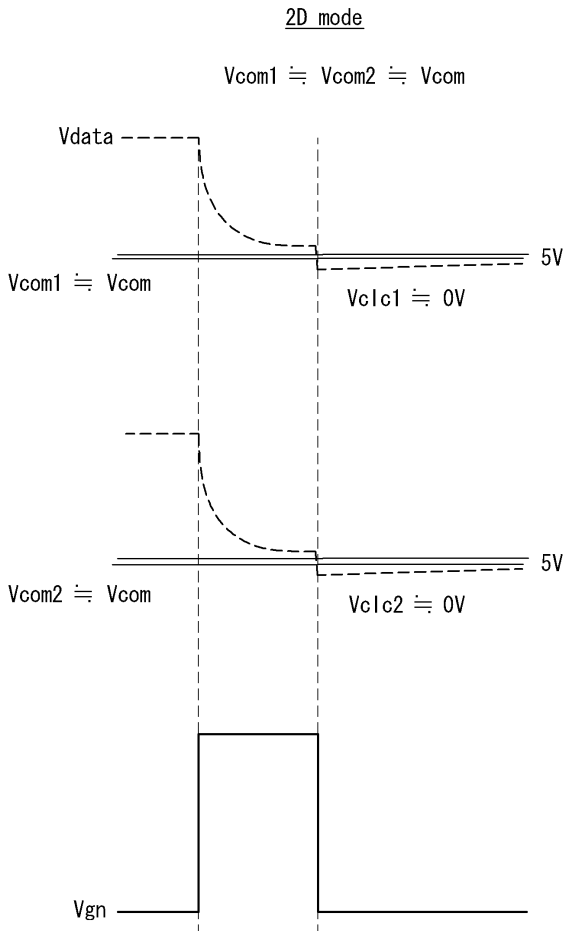
도면4


D1
STRG1
Vcom1
Vcom
COM
MP1
Clc1
Cst1
PIX1
TFT1
Gn
TFT2
Line#1
PIX2
Clc2
Cst2
AB1
COM
Vcom
STRG2
Vcom2
Vcom1
STRG1
Vcom
MP2
Clc1
Cst1
TFT1
Gn+1
TFT2
Line#2
Clc2
Cst2
AB2
Vcom
STRG2
Vcom2

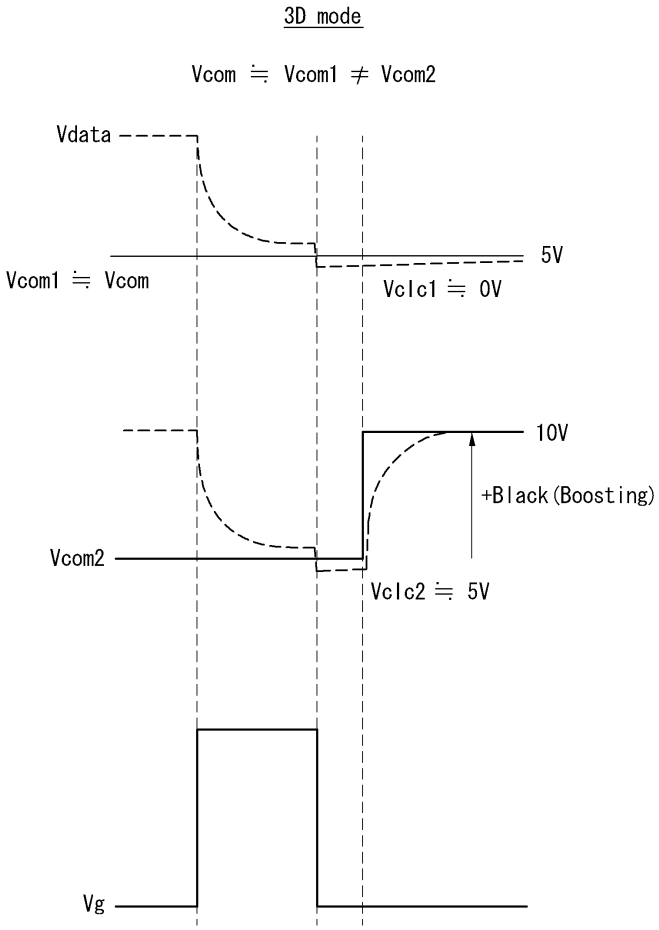
도면5



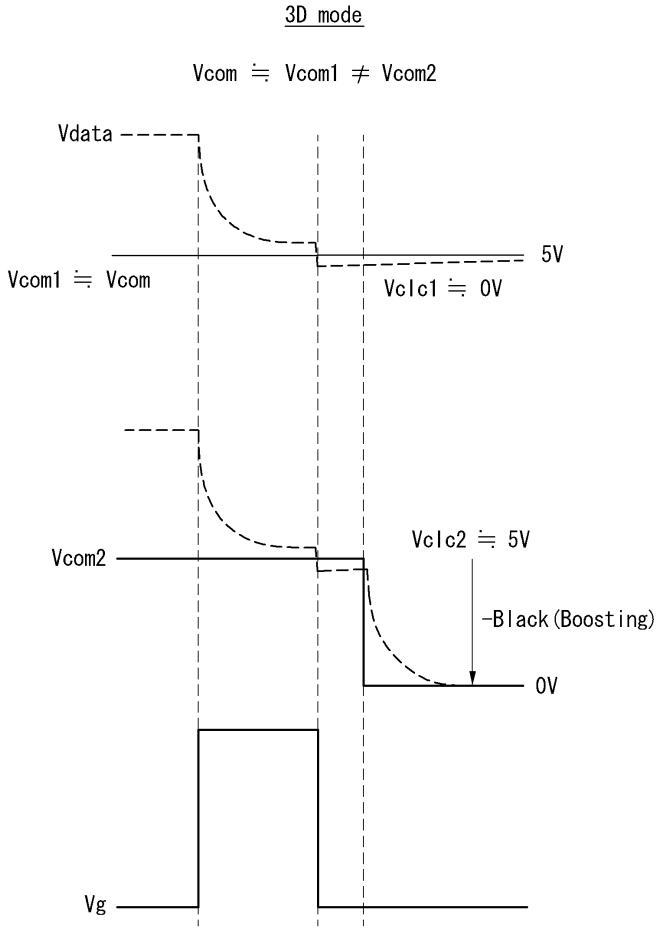
도면6


2D mode
Vcom1 ≒ Vcom2 ≒ Vcom
Vdata
5V
Vcom1 ≒ Vcom
Vclc1 ≒ 0V
5V
Vcom2 ≒ Vcom
Vclc2 ≒ 0V
Vgn

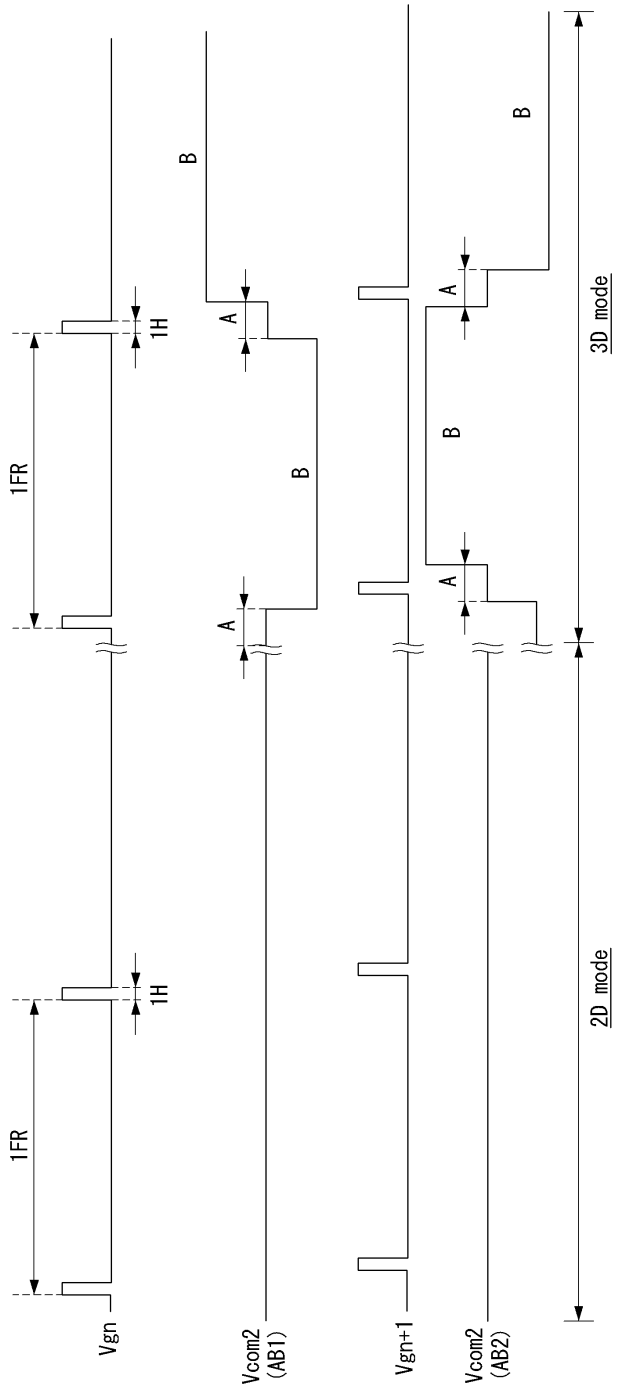
도면7a


3D mode
Vcom ≒ Vcom1 ≠ Vcom2
Vdata
5V
Vcom1 ≒ Vcom
Vclc1 ≒ 0V
10V
+Black(Boosting)
Vcom2
Vclc2 ≒ 5V
Vg

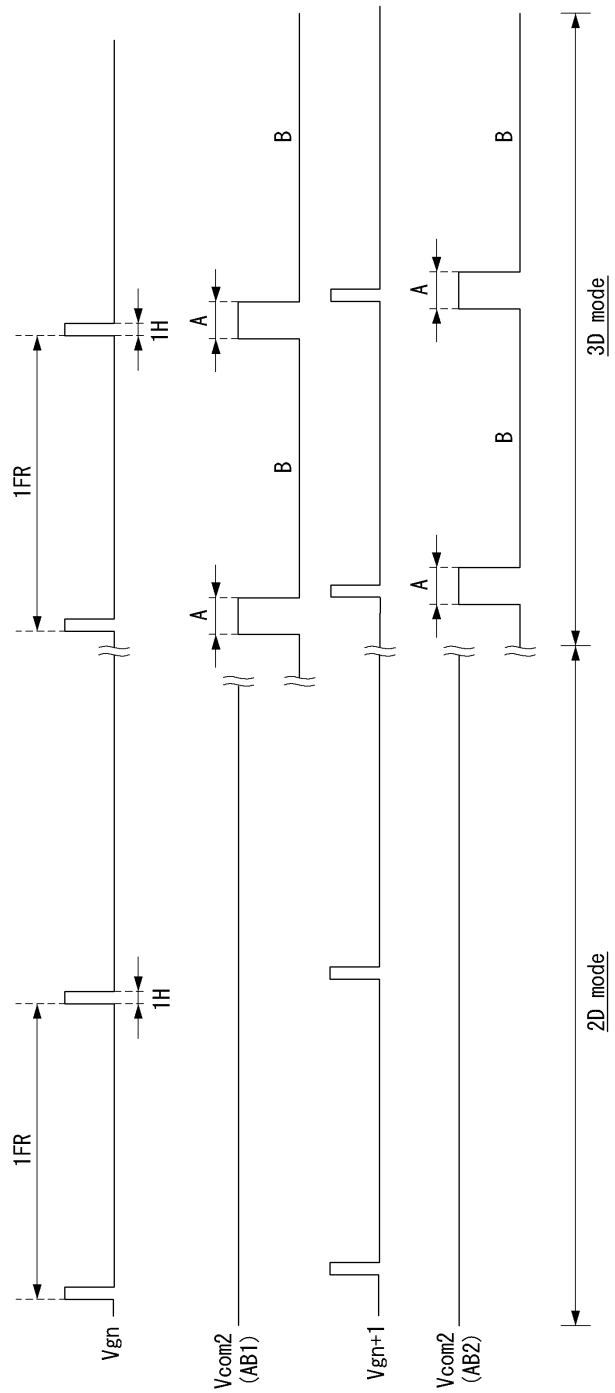
도면7b


3D mode
Vcom ≒ Vcom1 ≠ Vcom2
Vdata
5V
Vcom1 ≒ Vcom
Vclc1 ≒ 0V
Vcom2
Vclc2 ≒ 5V
-Black(Boosting)
0V
Vg

도면8

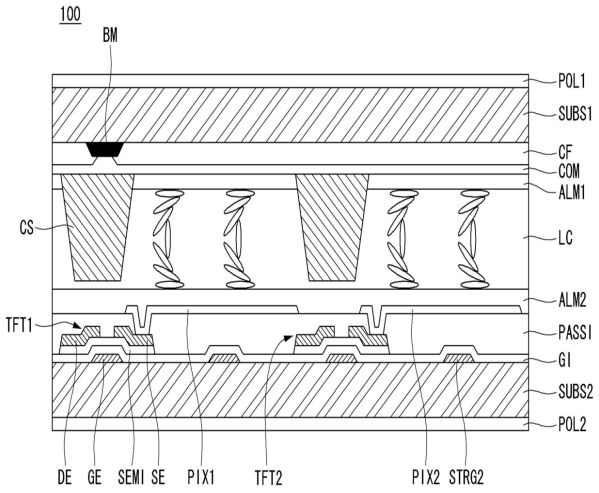

1FR
1H
1FR
1H
Vgn
B
A
B
A
Vcom2
(AB1)
Vgn+1
A
B
B
A
Vcom2
(AB2)
3D mode
2D mode

도면9


1FR
1H
1FR
1H
A
B
A
B
A
B
A
B
3D mode
2D mode
Vgn
Vcom2
(AB1)
Vgn+1
Vcom2
(AB2)

专利名称(译)	一种立体图像显示装置		
公开(公告)号	KR1020120108706A	公开(公告)日	2012-10-05
申请号	KR1020110026919	申请日	2011-03-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JIN YEONG 김진영 CHAE HEE YOUNG 채희영		
发明人	김진영 채희영		
IPC分类号	G09G3/36 H04N13/00 G02B27/22 H04N13/04		
CPC分类号	G09G3/3648 G09G3/3696 H04N13/04 H04N13/0454 H04N13/0429 G09G2300/0465 G09G2320/0626 G09G2320/0257 G09G2320/0247 G09G2320/028 H04N13/30 H04N13/332 H04N13/359		
其他公开文献	KR101777873B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种立体图像显示装置，通过在液晶显示面板中实现有源黑条来增加2D图像的亮度。组成：薄膜晶体管（TFT）（TFT1，TFT2）从数据提供数据电压通过响应来自栅极线的栅极脉冲，线到像素电极（PIX1，PIX2）。 TFT的漏电极（DE）连接到数据线。 TFT的源电极（SE）连接到像素电极。绝缘膜（GI）覆盖包括栅电极（GE），栅极线和存储电极（STRG2）的栅极金属图案。像素电极由透明导电材料制成，使用穿过钝化层（PASSI）的接触孔连接到TFT的源电极.

COPYRIGHT KIPO 2013