



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0100565  
(43) 공개일자 2012년09월12일

<p>(51) 국제특허분류(Int. Cl.) G02F 1/1343 (2006.01) G02F 1/1337 (2006.01) G09G 3/36 (2006.01)</p> <p>(21) 출원번호 10-2011-0019555</p> <p>(22) 출원일자 2011년03월04일 심사청구일자 없음</p>	<p>(71) 출원인 삼성전자주식회사 경기도 수원시 영통구 삼성로 129 (매탄동)</p> <p>(72) 발명자 정광철 경기도 성남시 수정구 수정로 60, 403호 (수진동, 태평오피스텔) 이혁진 경기도 성남시 분당구 미금로 215, - 806동 801호 (금곡동, 청솔마을) 권오정 경기도 화성시 동탄중앙로 189, 348동 1303호 (반송동, 시범다운마을 월드메르디앙 반도유보라)</p> <p>(74) 대리인 권혁수, 오세준, 송윤호</p>
--	---

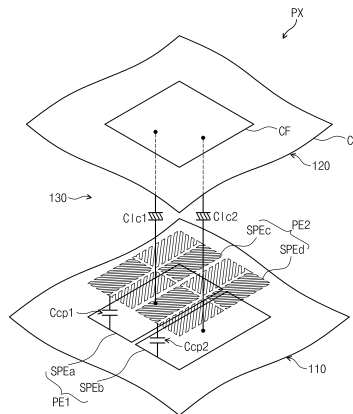
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 표시장치, 이의 제조 방법 및 이의 구동 방법

**(57) 요약**

표시장치에서, 제1 기판은 제1 베이스 기판, 제1 베이스 기판 상에 구비된 제1 화소 전극, 제1 화소 전극을 커버하는 절연막, 절연막 상에 구비되고, 다수의 미세 슬릿이 제공된 제2 화소 전극을 포함한다. 제2 기판은 상기 제1 베이스 기판과 대향하여 결합하는 제2 베이스 기판 및 제2 베이스 기판 상에 구비되어 제2 화소 전극과 마주하는 기준 전극을 포함한다. 액정층은 제2 화소 전극과 기준 전극 사이에 개재되고, 수직 배향된 액정 분자들을 포함한다. 따라서, 텍스처(texture) 불량을 방지할 수 있고, 응답속도를 향상시킬 수 있는 표시장치를 제공할 수 있다.

**대표도** - 도2



## 특허청구의 범위

### 청구항 1

제1 베이스 기관, 상기 제1 베이스 기관 상에 구비된 제1 화소 전극, 상기 제1 화소 전극을 커버하는 절연막, 상기 절연막 상에 구비되고, 다수의 미세 슬롯이 제공된 제2 화소 전극을 포함하는 제1 기관;

상기 제1 베이스 기관과 대향하여 결합하는 제2 베이스 기관 및 상기 제2 베이스 기관 상에 구비되어 상기 제2 화소 전극과 마주하는 기준 전극을 포함하는 제2 기관; 및

상기 제2 화소 전극과 상기 기준 전극 사이에 개재되고, 수직 배향된 액정 분자들을 포함하는 액정층을 포함하는 것을 특징으로 하는 표시장치.

### 청구항 2

제1항에 있어서, 상기 제1 화소 전극은 서로 전기적으로 절연된 제1 및 제2 서브 화소 전극을 포함하고,

상기 제2 화소 전극은 상기 제1 서브 화소 전극과 상기 절연막 사이에 두고 마주하는 제3 서브 화소 전극 및 상기 제2 서브 화소 전극과 상기 절연막 사이에 두고 마주하는 상기 제2 서브 화소 전극을 포함하는 것을 특징으로 하는 표시장치.

### 청구항 3

제2항에 있어서, 상기 제1 베이스 기관 상에 구비된 제1 게이트 라인;

상기 제1 게이트 라인과 절연되게 교차하는 데이터 라인;

상기 제1 게이트 라인, 상기 데이터 라인 및 상기 제1 서브 화소 전극에 연결된 제1 박막 트랜지스터; 및

상기 제1 게이트 라인, 상기 데이터 라인 및 상기 제2 서브 화소 전극에 연결된 제2 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

### 청구항 4

제3항에 있어서, 상기 제1 게이트 라인, 상기 전압 라인 및 상기 제2 서브 화소 전극에 연결된 제3 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

### 청구항 5

제3항에 있어서, 상기 제1 베이스 기관 상에 구비되고, 상기 제1 게이트 라인과 전기적으로 절연된 제2 게이트 라인;

리셋 전압을 수신하는 전압 라인; 및

상기 제2 게이트 라인, 상기 전압 라인 및 상기 제3 서브 화소 전극에 연결된 제3 박막 트랜지스터; 및

상기 제2 게이트 라인, 상기 전압 라인 및 상기 제4 서브 화소 전극에 연결된 제4 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

### 청구항 6

제5항에 있어서, 상기 제3 서브 화소 전극은 복수의 제1 도메인을 정의하는 제1 줄기부 및 상기 제1 줄기부로부터 연장되고 각 도메인 내에서 서로 평행하게 배열된 다수의 제1 가지부를 포함하고,

상기 제4 서브 화소 전극은 복수의 제2 도메인을 정의하는 제2 줄기부 및 상기 제2 줄기부로부터 연장되고 각 도메인 내에서 서로 평행하게 배열된 다수의 제2 가지부를 포함하는 것을 특징으로 하는 표시장치.

### 청구항 7

제6항에 있어서, 상기 전압 라인은 상기 데이터 라인과 평행하게 연장되며, 상기 제1 및 제2 줄기부와 부분적으

로 오버랩되는 것을 특징으로 하는 표시장치.

**청구항 8**

제3항에 있어서, 상기 제1 베이스 기판 상에 구비되고, 상기 제1 및 제2 게이트 라인과 전기적으로 절연된 제3 게이트 라인;

전하 공유 커패시터; 및

상기 제3 게이트 라인, 상기 제2 서브 화소 전극 및 상기 전하 공유 커패시터에 연결된 제6 박막 트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

**청구항 9**

제1항에 있어서, 상기 제1 기판 상에 구비된 제1 배향막; 및

상기 제2 기판 상에 구비되어 상기 액정층을 사이에 두고 상기 제1 배향막과 마주하는 제2 배향막을 더 포함하는 것을 특징으로 하는 표시장치.

**청구항 10**

제9항에 있어서, 상기 제1 배향막 상에 구비되어 상기 제2 화소 전극에 인접한 상기 액정 분자들을 프리틸트시키는 제1 광 경화층; 및

상기 제2 배향막 상에 구비되어 상기 기준 전극에 인접한 상기 액정 분자들을 프리틸트시키는 제2 광 경화층을 더 포함하는 것을 특징으로 하는 표시장치.

**청구항 11**

제1 베이스 기판, 상기 제1 베이스 기판 상에 구비된 제1 화소 전극, 상기 제1 화소 전극을 커버하는 절연막, 상기 절연막 상에 구비되고, 다수의 미세 슬릿이 제공된 제2 화소 전극을 포함하는 제1 기판을 제조하는 단계;

상기 제1 베이스 기판과 대향하여 결합하는 제2 베이스 기판 및 상기 제2 베이스 기판 상에 구비되어 상기 제2 화소 전극과 마주하는 기준 전극을 포함하는 제2 기판을 제조하는 단계;

상기 제2 화소 전극 상에 제1 배향막을 형성하는 단계;

상기 기준 전극 상에 제2 배향막을 형성하는 단계;

상기 제2 화소 전극과 상기 기준 전극 사이에 광 경화제를 포함하는 액정층을 형성하는 단계;

상기 제2 화소 전극 및 상기 기준 전극에 전압을 인가하여 상기 제2 화소 전극과 상기 기준 전극 사이에 전계를 형성하는 단계; 및

상기 전계가 형성된 상태에서 광을 조사하여 상기 제1 및 제2 배향막 상에 제1 및 제2 광 경화층을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치의 제조방법.

**청구항 12**

제11항에 있어서, 상기 광 경화제는 반응성 메조겐을 포함하는 것을 특징으로 하는 표시장치의 제조방법.

**청구항 13**

제1 베이스 기판, 상기 제1 베이스 기판 상에 구비된 제1 화소 전극, 상기 제1 화소 전극을 커버하는 절연막, 상기 절연막 상에 구비되고, 다수의 미세 슬릿이 제공된 제2 화소 전극을 포함하는 제1 기판을 제조하는 단계;

상기 제1 베이스 기판과 대향하여 결합하는 제2 베이스 기판 및 상기 제2 베이스 기판 상에 구비되어 상기 제2 화소 전극과 마주하는 기준 전극을 포함하는 제2 기판을 제조하는 단계;

상기 제2 화소 전극 상에 광 경화제를 포함하는 제1 배향막을 형성하는 단계;

상기 기준 전극 상에 상기 광 경화제를 포함하는 제2 배향막을 형성하는 단계;

상기 제1 및 제2 배향막 사이에 액정층을 형성하는 단계;

상기 제2 화소 전극 및 상기 기준 전극에 전압을 인가하여 상기 제2 화소 전극과 상기 기준 전극 사이에 전계를 형성하는 단계; 및

상기 전계가 형성된 상태에서 광을 조사하여 상기 제1 및 제2 배향막 상에 제1 및 제2 광 경화층을 각각 형성하는 단계를 포함하는 것을 특징으로 하는 표시장치의 제조방법.

**청구항 14**

제13항에 있어서, 상기 광 경화제는 반응성 메조겐을 포함하는 것을 특징으로 하는 표시장치의 제조방법.

**청구항 15**

i-1번째 게이트 신호(여기서, i는 2이상의 자연수)에 응답하여 제3 및 제4 서브 화소 전극에 리셋 전압을 인가하는 단계;

i번째 게이트 신호에 응답하여 제1 서브 화소 전극 및 제2 서브 화소 전극에 데이터 전압을 인가하는 단계; 및  
상기 제2 서브 화소 전극에 인가된 상기 데이터 전압을 다운시키는 단계를 포함하는 것을 특징으로 하는 표시장치의 구동방법.

**청구항 16**

제15항에 있어서, 상기 제2 서브 화소 전극에 인가된 상기 데이터 전압을 다운시키는 단계는,  
상기 i번째 게이트 신호에 응답하여 전압 분배 방식으로 상기 제2 서브 화소 전극의 전위를 다운시키는 것을 특징으로 하는 표시장치의 구동방법

**청구항 17**

제15항에 있어서, 상기 제2 서브 화소 전극에 인가된 상기 데이터 전압을 다운시키는 단계는,  
i+1번째 게이트 신호에 응답하여 충전 공유 방식으로 상기 제2 서브 화소 전극의 전위를 다운시키는 것을 특징으로 하는 표시장치의 구동방법.

**명세서**

**기술분야**

[0001] 본 발명은 표시장치, 이의 제조 방법 및 이의 구동 방법에 관한 것으로, 특히 텍스처(texture) 불량을 방지할 수 있고, 응답속도를 향상시킬 수 있는 표시장치, 표시장치의 제조 방법 및 표시장치의 구동 방법에 관한 것이다.

**배경기술**

[0002] 액정 표시 장치는 투명한 두 기판 사이에 액정층이 형성된 표시 장치로서, 액정층을 구동하여 화소별로 광투과율을 조절함으로써 원하는 화상을 표시한다.

[0003] 액정 표시 장치의 동작 모드 중에서 수직 정렬(vertical alignment) 모드는 두 기판 사이에 전계가 형성될 때 액정 분자가 수직으로 정렬되어 광을 투과시켜 화상을 표시한다. 수직 정렬 모드 액정 표시 장치 중 PVA 모드(patterned vertical alignment mode)는 화소 전극과 공통 전극을 패터닝하여 액정 분자들을 서로 다른 방향으로 배열시킬 수 있는 액정 도메인을 형성함으로써 액정 표시 장치의 시야각을 향상시킨다.

[0004] 그러나, 상기와 같이 액정표시장치에 다수의 액정 도메인을 형성하기 위해서는 공통 전극을 패터닝하는 경우, 액정표시장치의 제조 공정 수가 증가할 뿐만 아니라, 두 기판 사이에 미스 얼라인이 발생할 경우 정상적인 액정 도메인이 형성될 수 없다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명의 목적은 화소 전극에 미세 슬릿을 형성하되, 기준 전극을 패터닝하지 않는 구조에서, 텍스처(texture)

불량을 방지할 수 있고, 응답속도를 향상시킬 수 있는 표시장치를 제공하는 것이다.

- [0006] 본 발명의 다른 목적은 상기한 표시장치를 제조하는데 적용되는 방법을 제공하는 것이다.
- [0007] 본 발명의 또 다른 목적은 상기한 표시장치를 구동하는데 적용되는 방법을 제공하는 것이다.

**과제의 해결 수단**

- [0008] 본 발명의 일 측면에 따른 표시장치는 제1 기관, 제2 기관 및 액정층을 포함한다.
- [0009] 상기 제1 기관은 제1 베이스 기관, 상기 제1 베이스 기관 상에 구비된 제1 화소 전극, 상기 제1 화소 전극을 커버하는 절연막, 상기 절연막 상에 구비되고, 다수의 미세 슬릿이 제공된 제2 화소 전극을 포함한다. 상기 제2 기관은 상기 제1 베이스 기관과 대향하여 결합하는 제2 베이스 기관 및 상기 제2 베이스 기관 상에 구비되어 상기 제2 화소 전극과 마주하는 기준 전극을 포함한다. 상기 액정층은 상기 제2 화소 전극과 상기 기준 전극 사이에 개재되고, 수직 배향된 액정 분자들을 포함한다.
- [0010] 본 발명의 일 측면에 따른 표시장치는 아래 과정을 통해서 제조된다.
- [0011] 먼저, 제1 베이스 기관, 상기 제1 베이스 기관 상에 구비된 제1 화소 전극, 상기 제1 화소 전극을 커버하는 절연막, 상기 절연막 상에 구비되고, 다수의 미세 슬릿이 제공된 제2 화소 전극을 포함하는 제1 기관을 제조한다. 다음, 상기 제1 베이스 기관과 대향하여 결합하는 제2 베이스 기관 및 상기 제2 베이스 기관 상에 구비되어 상기 제2 화소 전극과 마주하는 기준 전극을 포함하는 제2 기관을 제조한다.
- [0012] 상기 제2 화소 전극 상에 제1 배향막을 형성하고, 상기 기준 전극 상에 제2 배향막이 형성한다. 상기 제1 및 제2 배향막 사이에 광 경화제를 포함하는 액정층을 형성된다.
- [0013] 상기 제2 화소 전극 및 상기 기준 전극에 전압을 인가하여 상기 제2 화소 전극과 상기 기준 전극 사이에 전계를 형성한다. 상기 전계가 형성된 상태에서 광을 조사하여 상기 제1 및 제2 배향막 상에 제1 및 제2 광 경화층을 각각 형성한다.
- [0014] 본 발명의 다른 측면에 따른 표시장치는 아래 과정을 통해서 제조된다.
- [0015] 먼저, 제1 베이스 기관, 상기 제1 베이스 기관 상에 구비된 제1 화소 전극, 상기 제1 화소 전극을 커버하는 절연막, 상기 절연막 상에 구비되고, 다수의 미세 슬릿이 제공된 제2 화소 전극을 포함하는 제1 기관이 제조된다. 다음, 상기 제1 베이스 기관과 대향하여 결합하는 제2 베이스 기관 및 상기 제2 베이스 기관 상에 구비되어 상기 제2 화소 전극과 마주하는 기준 전극을 포함하는 제2 기관이 제조된다.
- [0016] 상기 제2 화소 전극 상에 광 경화제를 포함하는 제1 배향막을 형성하고, 상기 기준 전극 상에 상기 광 경화제를 포함하는 제2 배향막을 형성한다. 상기 제1 및 제2 배향막 사이에 액정층을 형성한다.
- [0017] 상기 제2 화소 전극 및 상기 기준 전극에 전압을 인가하여 상기 제2 화소 전극과 상기 기준 전극 사이에 전계를 형성한다. 상기 전계가 형성된 상태에서 광을 조사하여 상기 제1 및 제2 배향막 상에 제1 및 제2 광 경화층을 각각 형성한다.
- [0018] 본 발명의 또 다른 측면에 따른 표시장치는 아래 과정을 통해서 구동된다.
- [0019] 먼저,  $i-1$ 번째 게이트 라인(여기서,  $i$ 는 2 이상의 자연수)으로 인가된  $i-1$ 번째 게이트 신호에 응답하여 제3 및 제4 서브 화소 전극에 리셋 전압을 인가한다. 다음,  $i$ 번째 게이트 라인으로 인가된  $i$ 번째 게이트 신호에 응답하여 제1 서브 화소 전극 및 제2 서브 화소 전극에 데이터 전압을 인가한다. 이후, 상기 제2 서브 화소 전극에 인가된 상기 데이터 전압을 다운시킨다.

**발명의 효과**

- [0020] 상술한 바와 같이, 제1 기관에 영상 표시 모드에서 동작하는 제1 화소 전극과 전계 노광 공정에서 이용되는 제2 화소 전극을 구비하고, 상기 제2 화소 전극에 미세 슬릿들을 형성한다.
- [0021] 따라서, 영상 표시 모드에서 전기장 왜곡으로 인해 응답 속도가 저하되는 것을 방지할 수 있다. 또한, 전계 노광 공정에서 제2 화소 전극을 이용함으로써, 텍스처 불량을 방지할 수 있다.

**도면의 간단한 설명**

- [0022] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.
- 도 2는 도 1에 도시된 다수의 화소 중 하나를 나타낸 사시도이다.
- 도 3은 SVA 모드 액정표시패널의 제조 과정을 나타낸 순서도이다.
- 도 4는 도 3에 도시된 S160 단계를 나타낸 단면도이다.
- 도 5는 도 3에 도시된 S170 단계를 나타낸 단면도이다.
- 도 6은 SS-VA 모드 액정표시패널의 제조 과정을 나타낸 순서도이다.
- 도 7은 도 6에 도시된 S260 단계를 나타낸 단면도이다.
- 도 8은 도 6에 도시된 S270 단계를 나타낸 단면도이다.
- 도 9는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 10a는 도 9에 도시된 화소의 레이아웃을 나타낸 평면도이다.
- 도 10b는 도 10a에 도시된 I 부분의 확대도이다.
- 도 11은 도 9에 도시된 제1 내지 제4 노드의 전위를 나타낸 그래프들이다.
- 도 12는 본 발명의 다른 실시예에 따른 화소의 등가 회로도이다.
- 도 13a는 도 12에 도시된 화소의 레이아웃을 나타낸 평면도이다.
- 도 13b는 도 13a에 도시된 II 부분의 확대도이다.
- 도 14는 도 12에 도시된 제1 내지 제4 노드의 전위를 나타낸 그래프들이다.

**발명을 실시하기 위한 구체적인 내용**

- [0023] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0024] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0025] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0026] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0027] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 도 1에 도시된 다수의 화소 중 하나를 나타낸 사시도이다.
- [0028] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(600)는 액정 표시 패널(100), 타이밍 컨트롤러(200), 게이트 구동부(300), 데이터 구동부(400), 및 계조 전압 생성부(500)를 포함한다.
- [0029] 상기 액정 표시 패널(100)은 다수의 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 다수의 화소(PX)를 포함한다. 반면, 도 2에 도시한 바와 같이 상기 액정 표시 패널(100)은 서로 마주하는 제1 및 제2 기판

(110, 120), 그 사이에 개재된 액정층(130)을 포함할 수 있다.

- [0030] 상기 다수의 신호선은 게이트 신호를 수신하는 다수의 게이트 라인(GL1-GLn), 데이터 전압을 수신하는 다수의 데이터 라인(DL1-DLm)을 포함한다. 상기 다수의 게이트 라인(GL1-GLn)은 대략 행 방향으로 연장되며 서로 평행하게 배열된다. 상기 다수의 데이터 라인(DL1-DLm)은 대략 열 방향으로 연장되며 서로 평행하게 배열된다.
- [0031] 상기 화소들(PX) 각각은 서로 동일한 구조를 가지므로, 도 2에서는 하나의 화소에 대한 구성을 일 예로써 설명하기로 한다.
- [0032] 도 2에 도시된 바와 같이, 상기 다수의 화소 각각(PX)은 제1 및 제2 서브 화소를 포함하며, 상기 제1 서브 화소는 제1 커플링 커패시터(Ccp1) 및 제1 액정 커패시터(Clc1)를 포함하고, 상기 제2 서브 화소는 제2 커플링 커패시터(Ccp2) 및 제2 액정 커패시터(Clc2)를 포함한다.
- [0033] 상기 제1 기관(110)은 상기 제1 커플링 커패시터(Ccp1)의 제1 전극으로써 제1 서브화소 전극(SPEa)을 구비하고, 상기 제2 커플링 커패시터(Ccp2)의 제1 전극으로써 제2 서브화소 전극(SPEb)을 구비한다. 또한, 상기 제1 기관(110)은 상기 제1 액정 커패시터(Clc1)의 제1 전극으로써 제3 서브화소 전극(SPEc)을 구비하고, 상기 제2 액정 커패시터(Clc2)의 제1 전극으로써 제4 서브화소 전극(SPEd)을 구비한다. 상기 제3 및 제4 서브화소 전극(SPEc, SPEd)은 상기 제1 및 제2 서브화소 전극(SPEa, SPEb)과 각각 마주하여 상기 제1 및 제2 커플링 커패시터(Ccp1, Ccp2)의 제2 전극 역할을 수행한다. 상기 제3 및 제4 서브화소 전극(SPEc, SPEd)과 상기 제1 및 제2 서브화소 전극(SPEa, SPEb) 사이에 개재된 절연막(미도시)은 상기 제1 및 제2 커플링 커패시터(Ccp1, Ccp2)의 유전체로서의 기능을 수행한다.
- [0034] 상기 제2 기관(120)은 상기 제1 및 제2 액정 커패시터(Clc1, Clc2) 각각의 제2 전극으로써 기준 전극(CE)을 구비한다. 상기 제1 기관(110)과 상기 제2 기관(120) 사이에 개재된 액정층(130)은 상기 제1 및 제2 액정 커패시터(Clc1, Clc2) 각각의 유전체로서의 기능을 한다.
- [0035] 상기 제1 및 제2 서브화소 전극(SPEa, SPEb)은 서로 전기적으로 절연되어 있으며, 제1 화소 전극(PE1)을 형성한다. 상기 제3 및 제4 서브화소 전극(SPEc, SPEd)은 서로 전기적으로 절연되어 있으며, 제2 화소 전극(PE2)을 형성한다. 또한, 상기 제3 및 제4 서브화소 전극(SPEc, SPEd)에는 다수의 미세 슬릿(US)이 형성된다.
- [0036] 상기 기준 전극(CE)은 상기 제2 기관(120)에 형성되어 기준 전압(Vcom)을 수신한다. 상기 액정층(130)은 음의 유전율 이방성을 가지며, 상기 액정층(130)에 포함된 액정 분자들은 전기장이 없는 상태에서 그 장축이 상기 제1 및 제2 기관(110, 120)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0037] 한편, 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하는 공간 분할 방식 또는 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하는 시간 분할 방식 등을 이용하여 상기 액정 표시 장치(600)는 원하는 색상을 표시할 수 있다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할 방식의 일 예로서 각 화소에 대응하여 상부 기관(120)에 기본색 중 하나를 나타내는 색 필터(CF)가 구비된 구조를 나타낸다. 도 2와는 달리 상기 색 필터(CF)는 하부 기관(110)의 제1 및 제2 서브화소 전극(SPEa, SPEb) 위 또는 아래에 형성될 수도 있다.
- [0038] 다시 도 1을 참고하면, 상기 타이밍 컨트롤러(200)는 상기 액정 표시 장치(600)의 외부로부터 다수의 영상신호(RGB) 및 다수의 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(200)는 상기 데이터 구동부(400)와의 인터페이스 사양에 맞도록 상기 영상신호들(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호들(R'G'B')를 상기 데이터 구동부(400)로 제공한다. 또한, 상기 타이밍 컨트롤러(200)는 데이터 제어신호(CONT2, 예를 들어, 출력개시 신호, 수평개시신호 등)를 상기 데이터 구동부(400)로 제공하고, 게이트 제어신호(CONT1, 예를 들어, 수직개시 신호, 클럭신호, 및 클럭바신호)를 게이트 구동부(300)로 제공한다.
- [0039] 상기 계조 전압 생성부(500)는 상기 화소들(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수요의 계조 전압(이하, "기준 계조 전압"이라 한다)을 생성한다. 기준 계조 전압은 상기 기준 전압(Vcom)에 대하여 양의 값을 가지거나 음의 값을 가질 수 있다.
- [0040] 상기 게이트 구동부(300)는 상기 타이밍 컨트롤러(200)로부터 제공되는 상기 게이트 제어신호(CONT1)에 응답해서 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 생성한다. 생성된 게이트 신호는 상기 액정 표시 패널(100)의 상기 게이트 라인들(GL1-GLn)에 순차적으로 인가된다.
- [0041] 상기 데이터 구동부(400)는 상기 타이밍 컨트롤러(200)로부터 제공되는 상기 데이터 제어신호(CONT2)에 응답하여 동작하며, 상기 기준 계조 전압에 근거하여 상기 영상신호들(R'G'B')을 데이터 전압들로 변환하여 출력한다.

상기 출력된 데이터 전압들은 상기 액정 표시 패널(100)에 구비된 상기 데이터 라인들(DL1-DLm)에 인가된다.

- [0042] 이러한 구동 장치(200, 300, 400, 500) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시 패널(100) 상에 직접 장착되거나, 가요성 인쇄 회로 필름(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시 패널(100)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수 있다. 또한, 이들 구동 장치(200, 300, 400, 500) 중 적어도 하나는 박막 공정을 통해 상기 액정 표시 패널(100) 내에 집적될 수도 있다. 또한, 구동 장치(200, 300, 400, 500)는 단일 칩으로 집적될 수 있다.
- [0043] 이하, 도 3 내지 도 5를 참조하여 SVA(Super Vertical Alignment) 모드 액정 표시 패널(100)의 제조 과정을 설명하기로 한다.
- [0044] 도 3은 SVA 모드 액정표시패널의 제조 과정을 나타낸 순서도이고, 도 4는 도 3에 도시된 S160 단계를 나타낸 단면도이며, 도 5는 도 3에 도시된 S170 단계를 나타낸 단면도이다.
- [0045] 도 3을 참조하면, 상기 액정표시패널(100)의 제1 기판(110)과 제2 기판(120)이 각각 제조된다(S110, S120).
- [0046] 도 4에 도시된 바와 같이, 상기 제1 기판(110)은 제1 베이스 기판(111), 상기 제1 베이스 기판(111) 상에 구비된 제1 화소 전극(PE1) 및 다수의 미세 슬릿(US)이 제공된 제2 화소 전극(PE2)을 포함한다. 상기 제1 기판(110)은 상기 제1 베이스 기판(111)과 상기 제1 화소 전극(PE1) 사이에 개재된 제1 절연막(112) 및 상기 제1 화소 전극(PE1)과 상기 제2 화소 전극(PE2) 사이에 개재되어 상기 제1 및 제2 화소 전극(PE1, PE2)을 전기적으로 절연시키는 제2 절연막(113)을 더 포함한다.
- [0047] 한편, 상기 제2 기판(120)은 상기 제1 베이스 기판(111)과 대향하여 결합하는 제2 베이스 기판(121) 및 상기 제2 베이스 기판(121) 상에 구비되어 상기 제2 화소 전극(PE2)과 마주하는 기준 전극(CE)을 포함한다.
- [0048] 상기 제1 및 제2 기판(110, 120)이 각각 제조되면, 상기 제1 기판(110) 상에 제1 배향막(115)을 형성하고, 상기 제2 기판(120) 상에 제2 배향막(123)을 형성한다(S130, S140). 상기 제1 배향막(115)은 상기 제2 화소 전극(PE2) 상에 제공되고, 상기 제2 배향막(123)은 상기 기준 전극(CE) 상에 제공된다.
- [0049] 상기 제1 및 제2 배향막(115, 123)은 잉크젯 또는 롤 프린팅 등과 같은 방법으로 상기 제1 및 제2 기판(110, 120) 상에 각각 도포될 수 있다. 또한, 상기 제1 및 제2 배향막(115, 123) 각각은 VA(vertical alignment) 모드 또는 TN(twisted nematic) 모드 등에 일반적으로 사용되는 물질일 수 있다는 것은 이 분야의 통상의 지식을 가진 자에게 용이하게 이해될 것이다.
- [0050] 다음, 상기 제1 및 제2 배향막(115, 123) 사이에 광 경화제(132)를 포함하는 액정층(130)을 형성한다. 상기 액정층(130)이 상기 제1 및 제2 기판(110, 120) 사이에 개재된 상태에서 상기 제1 및 제2 기판(110, 120)이 합착된다(S150). 그러나, 본 발명의 다른 실시예에서, 상기 액정층(130)은 상기 제1 및 제2 기판(110, 120)이 합착된 이후에 상기 제1 및 제2 배향막(115, 123) 사이에 형성될 수 있다.
- [0051] 도 4에 도시된 바와 같이, 상기 액정층(130)은 액정 분자들(131) 및 상기 광 경화제(132)로 구성된 혼합물로 이루어진다. 상기 광 경화제(132)는 상기 액정층(130)에 대하여 약 1.0 wt% 이하의 중량비를 가질 수 있다.
- [0052] 본 발명의 일 실시예에 따르면, 상기 광 경화제(132)는 반응성 메조겐(Reactive Mesogen; RM)일 수 있다. '메조겐(mesogen)'이라는 용어는 액정 성질의 메조겐기(mesogen group)를 포함하는 광가교성 저분자 또는 고분자 공중합체를 의미한다. 반응성 메조겐(RM)은, 예를 들어, 아크릴레이트, 메타크릴레이트, 에폭시, 옥세탄, 비닐-에테르, 스티렌, 또는 티오렌 그룹 등으로 이루어질 수 있다. 또한, 반응성 메조겐(RM)은 막대형, 바나나형, 보드형, 또는 디스크형 구조의 물질일 수 있다.
- [0053] 도면에 도시하지는 않았지만, 상기 액정층(130)은 광 개시제를 더 포함할 수 있다. 상기 광 개시제는 상기 광 경화제(132)의 전체 중량에 대해 약 0.01 wt% ~ 1 wt%의 중량비를 가질 수 있다. 상기 광 개시제는 장파장 자외선(UV)을 흡수하여 라디칼로 분해되어 상기 광 경화제(132)의 광중합 반응을 촉진시킬 수 있다.
- [0054] 합착 후, 상기 액정분자들(131)의 퍼지성 및 균일성을 향상시키기 위해 제1 및 제2 기판(110, 120)은 약 100℃ 내지 120℃의 챔버안에서 약 60분 ~ 약 80분 동안 어닐링(annealing)될 수 있다.
- [0055] 합착 후, 상기 제1 기판(110)의 제2 화소 전극(PE2)과 상기 제2 기판(120)의 기준 전극(CE)에 전압이 공급되면, 상기 제1 및 제2 기판(110, 120) 사이에 전계가 형성된다(S160).

- [0056] 상기 제2 화소 전극(PE2)에는 기 설정된 노광 전압이 공급되고, 상기 기준 전극(CE)에는 접지 전압 또는 약 0V의 전압이 공급된다. 상기 노광 전압 및 상기 접지 전압이 각각 인가되는 기간은 약 1초 내지 300초 일 수 있다. 여기서, 상기 노광 전압은 약 5V 내지 20V일 수 있다.
- [0057] 상기 전계가 형성되면, 상기 액정층(130)에 포함된 상기 액정 분자들(131)이 배열된다.
- [0058] 이후, 상기 전계가 형성된 상태에서 상기 액정층(130)에 광(예를 들어, 자외선(UV))을 조사하여 전계 노광 공정을 실시한다. 상기 광은 상기 제1 및 제2 기관(110, 120) 중 어느 일 측 또는 양측에서 조사될 수 있다.
- [0059] 상기 전계가 형성된 상태에서 상기 액정층(130)에 상기 광이 조사되면 상기 제1 및 제2 배향막(115, 123)에 인접한 액정 분자(131)들은 미세 슬릿들(US)의 길이 방향에 평행하게 경사지면서 배열된다. 또한, 상기 액정층(130)에 존재하는 상기 광 경화제(132)는 조사되는 상기 광에 의해 제1 및 제2 배향막(115, 123) 위의 액정 분자(131)들과 실질적으로 같은 경사각을 가지면서 경화된다.
- [0060] 따라서, 도 5에 도시된 바와 같이, 상기 제1 및 제2 배향막(115, 123) 상에는 제1 및 제2 광 경화층(116, 124)이 각각 형성된다(S170).
- [0061] 상기 전계가 형성되지 않은 상태에서도 상기 제1 및 제2 광 경화층(116, 124)의 측쇄(side chain) 고분자(116a, 124a)는 인접한 액정 분자(131)들의 방향성을 그대로 유지한다. 이와 같이, 상기 제1 및 제2 광 경화층(116, 124)의 고분자에 의해 상기 액정 분자들(131)이 상기 미세 슬릿들(US)의 길이 방향에 평행한 방향으로 선경사를 유지할 수 있고, 그 결과 상기 액정표시패널(100)의 구동을 위하여 전계를 형성할 때 상기 액정 분자들(131)이 빨리 기울어지기 때문에 액정표시장치(600)의 응답속도(Response Time)가 향상될 수 있다.
- [0062] 이하, 도 6 내지 도 8을 참조하여 SS-VA(Surface-Stabilized Vertical Alignment) 모드 액정표시패널(100)의 제조 과정을 설명하기로 한다.
- [0063] 도 6은 SVA 모드 액정표시패널의 제조 과정을 나타낸 순서도이고, 도 7은 도 6에 도시된 S260 단계를 나타낸 단면도이며, 도 8은 도 6에 도시된 S270 단계를 나타낸 단면도이다.
- [0064] 도 8을 참조하면, 상기 액정표시패널(100)의 제1 기관(110)과 제2 기관(120)이 각각 제조된다(S210, S220). 상기 제1 및 제2 기관(110, 120)을 형성하는 단계는 이전 도 3 내지 도 4를 참조하여 이미 설명하였으므로 생략한다.
- [0065] 상기 제1 및 제2 기관(110, 120)이 각각 제조되면, 상기 제1 기관(110) 상에 표면 광 경화제를 포함하는 제1 배향막(117)을 형성하고, 상기 제2 기관(120) 상에 표면 광 경화제를 포함하는 제2 배향막(125)을 형성한다(S230, S240). 상기 제1 배향막(117)은 상기 제2 화소 전극(PE2) 상에 제공되고, 상기 제2 배향막(125)은 상기 기준 전극(CE) 상에 제공된다.
- [0066] 상기 제1 및 제2 배향막(117, 125)은 표면 배향 물질과 상기 표면 광 경화제의 혼합물 또는 화합물로 이루어진 반응물이 잉크젯 또는 롤 프린팅 등의 방법으로 상기 제1 및 제2 기관(110, 120) 각각에 도포되는 것에 의해서 형성될 수 있다. 상기 표면 배향 물질은 상기 액정 분자들(131)을 상기 제2 화소 전극(PE2) 및 상기 기준 전극(CE)의 평면에 대하여 수직하게 배향시키는 수직 배향 물질이다.
- [0067] 상기 반응물 중 표면 배향 물질은 약 85몰% ~ 95몰%를 갖고, 상기 표면 광경화제는 약 5몰% ~ 15몰%를 가질 수 있다. 또한, 본 발명의 일 실시예로, 상기 표면 광경화제는 전술된 반응성 메조겐(RM)으로 이루어질 수 있다.
- [0068] 다음, 상기 제1 및 제2 배향막(117, 125) 사이에 액정층(130)을 형성한다. 상기 액정층(130)이 상기 제1 및 제2 기관(110, 120) 사이에 개재된 상태에서 상기 제1 및 제2 기관(110, 120)이 합착된다(S250).
- [0069] 합착 후, 상기 제1 기관(110)의 제2 화소 전극(PE2)과 상기 제2 기관(120)의 기준 전극(CE)에 전압이 공급되면, 상기 제1 및 제2 기관(110, 120) 사이에 전계가 형성된다(S260).
- [0070] 상기 제2 화소 전극(PE2)에는 기 설정된 노광 전압이 공급되고, 상기 기준 전극(CE)에는 접지 전압 또는 약 0V의 전압이 공급된다.
- [0071] 상기 전계가 형성된 상태에서 상기 액정층(130)에 광(예를 들어, 자외선(UV))을 조사하여 전계 노광 공정을 실시한다. 상기 전계가 형성되면, 상기 표면 경화제가 상기 액정 분자들(131)과 실질적으로 동일한 방향으로 배열되고, 이러한 상태에서 상기 광이 조사되면, 상기 표면 경화제는 상기 액정 분자들(131)과 실질적으로 동일한 방향으로 경화된다. 이와 같이 경화된 표면 경화제들에 의해서 상기 제1 및 제2 배향막(117, 125) 상에 제1 및

제2 광 경화층(118, 127)이 각각 형성되고, 상기 제1 및 제2 광 경화층(118, 127)에 인접한 액정분자들은 선 경사각을 갖는다.

- [0072] 도 7에 도시된 표면 광경화제(117a)는 표면 배향 물질을 구성하는 수직 배향 단분자와 반응성 메조겐(RM)을 포함하는 단분자들이 화학적으로 결합되어 있는 고분자 화합물(compound)이다. 자외선이 조사되었을 때 반응성 메조겐(RM)을 가진 표면 광경화제(117a, 125a)는 자외선(UV)에 의해 이중결합이 풀리고 측쇄 네트워크(118a, 127a)가 추가적으로 형성된 제1 및 제2 광 경화층(118, 127)을 형성한다.
- [0073] 상기 제1 및 제2 광 경화층(118, 127)은 측쇄들(118a, 127a)이 상기 액정 분자들의 경사 방향을 따라 배열된 상태로 경화되기 때문에, 상기 제1 및 제2 기관(110, 120) 사이에 상기 전계가 형성되지 않은 상태에서도 상기 액정분자들(131)은 상기 미세 슬릿들(US)의 길이 방향에 평행한 방향으로 선경사를 유지할 수 있다. 그 결과 상기 액정표시패널(100)의 구동을 위하여 전계를 형성할 때 액정분자들(131)이 빨리 기울어지기 때문에 액정표시장치(600)의 응답속도(Response Time)가 향상될 수 있다.
- [0074] 도 9는 본 발명의 일 실시예에 따른 화소의 등가 회로도이고, 도 10a는 도 9에 도시된 화소의 레이아웃을 나타낸 평면도이고, 도 10b는 도 10a에 도시된 I 부분의 확대도이다. 단, 도 9는 본 발명의 일 실시예에 따른 전압 분배 방식으로 동작하는 화소의 등가 회로도를 나타낸다.
- [0075] 도 9, 도 10a 및 도 10b를 참조하면, 본 발명의 일 실시예에 따른 화소(PX)에 대한 등가 회로는 제1 게이트 라인(GLi), 데이터 라인(DLj), 제1 및 제2 스토리지 라인(SLi, SLi-1), 제2 게이트 라인(GLi-1) 및 전압 라인(VL)으로 이루어진 신호선들을 포함한다.
- [0076] 또한, 상기 화소(PX)는 제1 박막 트랜지스터(Tr1), 제2 박막 트랜지스터(Tr2), 제3 박막 트랜지스터(Tr3), 제1 및 제2 액정 커패시터(C1c1, C1c2), 제1 및 제2 스토리지 커패시터(Cst1, Cst2), 제1 및 제2 커플링 커패시터(Ccp1, Ccp2)를 포함한다.
- [0077] 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 게이트 라인(GLi)에 연결된 게이트 전극(GE1), 상기 데이터 라인(DLj)에 연결된 소오스 전극(SE1) 및 상기 제1 커플링 커패시터(Ccp1)에 연결된 드레인 전극(DE1)을 포함한다. 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 게이트 라인(GLi)에 연결된 게이트 전극(GE2), 상기 데이터 라인(DLj)에 연결된 소오스 전극(SE2) 및 상기 제2 커플링 커패시터(Ccp2)에 연결된 드레인 전극(DE2)을 포함한다.
- [0078] 상기 화소(PX)는 상기 제1 커플링 커패시터(Ccp1)의 제1 전극으로써 제1 서브화소 전극(SPEa)을 구비하고, 상기 제2 커플링 커패시터(Ccp2)의 제1 전극으로써 제2 서브화소 전극(SPEb)을 구비한다. 상기 제1 서브화소 전극(SPEa)은 제1 콘택홀(C1)을 통해 상기 제1 박막 트랜지스터(Tr1)의 드레인 전극(DE1)과 전기적으로 연결되고, 상기 제2 서브화소 전극(SPEb)은 제2 콘택홀(C2)을 통해 상기 제2 박막 트랜지스터(Tr2)의 드레인 전극(DE2)과 전기적으로 연결된다.
- [0079] 상기 화소(PX)는 상기 제1 커플링 커패시터(Ccp1)의 제2 전극으로써 제3 서브화소 전극(SPEc)을 더 구비하고, 상기 제2 커플링 커패시터(Ccp2)의 제2 전극으로써 제4 서브화소 전극(SPEd)을 더 구비한다.
- [0080] 도면에 도시하지는 않았으나, 상기 제3 및 제4 서브화소 전극(SPEc, SPEd)은 액정층을 사이에 두고 상기 제2 기관(120)의 기준 전극(CE)과 마주하여 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)를 각각 형성한다.
- [0081] 또한, 상기 제1 및 제2 서브화소 전극(SPEa, SPEb)은 적어도 하나 이상의 절연막을 사이에 두고 상기 제1 및 제2 스토리지 라인(SLi, SLi-1)과 각각 부분적으로 오버랩되어 상기 제1 및 제2 스토리지 커패시터(Cst1, Cst2)를 각각 형성한다.
- [0082] 상기 제3 박막 트랜지스터(Tr3)는 상기 제1 게이트 라인(GLi)에 연결된 게이트 전극(GE3), 상기 전압 라인(VL)에 연결된 소오스 전극(SE3) 및 상기 제2 박막 트랜지스터(Tr2)의 드레인 전극(DE2)에 연결된 드레인 전극(DE3)을 포함한다. 본 발명의 일 예로, 제2 노드(N2)의 전위는 상기 제2 및 제3 박막 트랜지스터(Tr2, Tr3)의 채널 사이즈의 비율(ratio)에 따라서 변동될 수 있다. 따라서, 상기 제2 및 제3 박막 트랜지스터(Tr2, Tr3)의 채널 사이즈의 비율을 제어함으로써, 상기 제2 노드(N2)의 전위를 원하는 크기로 설정할 수 있다.
- [0083] 예를 들어, 상기 제1 게이트 라인(GLi)으로 인가된 제1 게이트 신호(Gi)에 응답하여 상기 제1 내지 제3 박막 트랜지스터(Tr1, Tr2, Tr3)가 턴-온된 상태에서 상기 데이터 라인(DLj)으로 10V의 데이터 전압이 인가되면, 상기 제1 박막 트랜지스터(Tr1)를 통해 제1 노드(N1)의 전위는 대략 10V로 상승한다. 또한, 상기 제2 박막 트랜지스터(Tr2)의 채널 사이즈와 상기 제3 박막 트랜지스터(Tr3)의 채널 사이즈의 비율이 8:2로 설정되면, 상기 10V의

데이터 전압은 전압 분배되어, 상기 제2 노드(N2)의 전위는 8V로 변화된다.

- [0084] 따라서, 상기 제1 및 제2 서브 화소가 제1 게이트 라인(GLi) 및 데이터 라인(DLj)을 공유하는 1G-1D(one gate line-one data line) 구조에서 상기 전압 분배에 의하여 상기 제1 및 제2 서브 화소에는 서로 다른 전압이 충전될 수 있다.
- [0085] 한편, 상기 화소(PX)는 제4 박막 트랜지스터(Tr4) 및 제5 박막 트랜지스터(Tr5)를 더 포함한다.
- [0086] 상기 제4 박막 트랜지스터(Tr4)는 상기 제2 게이트 라인(GLi-1)에 연결된 게이트 전극(GE4), 상기 전압 라인(VL)에 연결된 소오스 전극(SE4) 및 상기 제3 서브 화소 전극(SPEc)과 전기적으로 연결되는 드레인 전극(DE4)을 포함한다. 상기 제5 박막 트랜지스터(Tr5)는 상기 제2 게이트 라인(GLi-1)에 연결된 게이트 전극(GE5), 상기 전압 라인(VL)에 연결된 소오스 전극(SE5) 및 상기 제4 서브 화소 전극(SPEd)과 전기적으로 연결되는 드레인 전극(DE5)을 포함한다. 상기 제4 박막 트랜지스터(Tr4)의 상기 드레인 전극(DE4)은 제3 콘택홀(C3)을 통해 상기 제3 서브화소 전극(SPEc)과 접속되고, 상기 제5 박막 트랜지스터(Tr5)의 상기 드레인 전극(DE5)은 제4 콘택홀(C4)을 통해 상기 제4 서브화소 전극(SPEd)과 접속된다.
- [0087] 상기 전압 라인(VL)은 외부로부터 리셋 전압을 수신하고, 상기 제2 게이트 라인(GLi-1)은 제2 게이트 신호(Gi-1)를 수신한다. 상기 제2 게이트 신호(Gi-1)는 상기 제1 게이트 신호(Gi)보다 적어도 한 수평주사구간(1H) 만큼 앞서서 발생된 신호일 수 있다.
- [0088] 상기 제2 게이트 신호(Gi-1)에 응답하여 상기 제4 및 제5 박막 트랜지스터(Tr4, Tr5)가 턴-온되면, 상기 제3 및 제4 노드(N3, N4)에 상기 리셋 전압이 인가될 수 있다. 따라서, 상기 제1 게이트 신호(Gi)가 발생되기 이전에 상기 제3 및 제4 노드(N3, N4)의 전위를 상기 리셋 전압으로 리셋시킬 수 있다. 이처럼, 상기 제3 및 제4 노드(N3, N4)의 전위를 상기 리셋 전압으로 리셋된 이후에 상기 제1 게이트 신호에 인가되면, 상기 제1 및 제2 노드(N1, N2) 전위가 안정적으로 변화될 수 있다.
- [0089] 한편, 도 10a를 참조하면, 상기 제3 서브화소 전극(SPEc)은 제1 서브화소 영역(SPA1)을 복수의 도메인으로 분할하기 위하여, 제1 줄기부(t1) 및 상기 제1 줄기부(t1)로부터 방사형으로 연장된 복수의 제1 가지부들(b1)을 포함한다. 상기 제1 줄기부(t1)는 본 발명의 일 실시예와 같이 십자 형상으로 제공되며, 이 경우 상기 화소 영역(PA)은 상기 제1 줄기부(t1)에 의해 4개의 도메인으로 구획될 수 있다. 상기 복수의 제1 가지부들(b1)은 상기 제1 줄기부(t1)에 의해서 구획된 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 본 발명의 일 예로, 상기 제1 가지부들(b1)은 상기 제1 줄기부에 대해서 대략 45도(degree)를 이루는 방향으로 연장될 수 있다. 상기 제1 가지부들(b1)에 있어서, 서로 인접한 제1 가지부들(b1)은 마이크로미터 단위의 거리로 이격되어 다수의 제1 미세 슬릿(US1)을 형성한다. 상기 다수의 제1 미세 슬릿(US1)에 의해서 상기 액정층(300)의 액정 분자들은 상기 도메인별로 서로 다른 방향으로 프리틸트된다.
- [0090] 상기 제4 서브화소 전극(SPEd)은 상기 제2 서브 화소 영역(SPA2)을 복수의 도메인으로 분할하기 위하여, 제2 줄기부(t2) 및 상기 제2 줄기부(t2)로부터 방사형으로 돌출되어 연장된 복수의 제2 가지부들(b2)을 포함한다. 상기 제2 줄기부(t2)는 본 발명의 일 실시예와 같이 십자 형상으로 제공될 수 있으며, 이 경우 상기 제2 서브 화소 영역(SPA2)은 상기 제2 줄기부(t2)에 의해 상기 복수의 도메인으로 구획될 수 있다. 상기 복수의 제2 가지부들(b2)은 상기 제2 줄기부(t2)에 의해서 구획된 각 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 상기 제2 가지부들(b2)에 있어서, 서로 인접한 제2 가지부들(b2)은 마이크로미터 단위의 거리로 이격되어 다수의 제2 미세 슬릿(US2)을 형성한다. 다수의 제2 미세 슬릿(US2)에 의해서 상기 액정층(300)의 액정 분자들은 상기 도메인별로 서로 다른 방향으로 프리틸트된다.
- [0091] 본 발명의 일 예로, 상기 전압 라인(VL)은 상기 데이터 라인(DLj)과 평행하게 연장된다. 또한, 상기 전압 라인(VL)은 상기 데이터 라인(DLj)과 인접 데이터 라인(DLj+1) 사이에 구비되며, 상기 제1 및 제2 줄기부(t1, t2)와 부분적으로 오버랩된다. 구체적으로, 상기 전압 라인(VL)은 상기 제1 및 제2 줄기부(t1, t2) 중 상기 데이터 라인(DLj)과 평행한 부분과 중첩할 수 있다.
- [0092] 상기 제1 및 제2 줄기부(t1, t2)는 상기 제1 및 제2 서브 화소 영역(SPA1, SPA2)에서 도메인을 구획하는 역할을 수행하므로, 실질적으로 상기 제1 및 제2 줄기부(t1, t2)가 제공된 영역은 비유효 표시영역으로 정의된다. 상기 전압 라인(VL)을 상기 제1 및 제2 줄기부(t1, t2)와 중첩하여 형성하면, 상기 전압 라인(VL)에 의해서 상기 각 화소(PX)의 개구율 및 투과율이 저하되는 것을 방지할 수 있다.
- [0093] 도 11은 도 9에 도시된 제1 내지 제4 노드의 전위 변화를 나타낸 그래프이다. 단, 도 11에서, 제1 내지 제4 그래프(g1, g2, g3, g4)는 상기 데이터 라인(DLj)에 18V의 데이터 전압이 인가된 경우 상기 제1 내지 제4 노드

(N1, N2, N3, N4)의 전위를 나타낸 그래프이다.

- [0094] 도 9 및 도 11을 참조하면, 상기 제2 게이트 신호(Gi-1)에 응답하여 상기 제4 및 제5 박막 트랜지스터(Tr4, Tr5)가 턴-온되면, 상기 제3 및 제4 노드(N3, N4)에 상기 리셋 전압(예를 들어, 11V)이 인가될 수 있다. 따라서, 상기 제1 게이트 신호(Gi)가 발생되기 이전에 상기 제3 및 제4 노드(N3, N4)의 전위는 상기 리셋 전압(11V)으로 리셋될 수 있다.
- [0095] 이후, 상기 제1 게이트 신호(Gi)에 응답하여 상기 제1 내지 제3 박막 트랜지스터(Tr1~Tr3)가 턴-온되면, 상기 제1 노드(N1)의 전위는 데이터 전압(예를 들어, 18V)까지 상승한다. 그러나, 상기 제2 노드(N2)의 전위는 상기 제2 및 제3 박막 트랜지스터(Tr2, Tr3)의 전압 분배에 의해서 대략 16.5V로 변화된다.
- [0096] 상기 제1 및 제2 노드(N1, N2)의 전위가 상승함에 따라서, 상기 제3 및 제4 노드(N3, N4)의 전위도 상기 리셋 전압으로부터 서서히 상승한다. 상기 제1 및 제2 커플링 커패시터(Ccp1)의 정전 용량에 따라서 상기 제3 및 제4 노드(N3, N4)의 전위는 상기 제1 및 제2 노드(N1, N2)의 전위보다 작은 값을 갖는다. 또한, 상기 제1 및 제3 노드(N1, N3)의 전위차 및 상기 제2 및 제4 노드(N2, N4)의 전위차는 상기 제1 및 제2 화소 전극(PE1, PE2) 사이에 개재되는 절연막의 두께에 따라서 조절할 수 있다.
- [0097] 이하, 도 12 내지 도 14를 참조하여 전하 공유(Charge Sharing) 방식으로 동작하는 화소에 대해서 설명하기로 한다.
- [0098] 도 12는 본 발명의 다른 실시예에 따른 화소의 등가 회로도이고, 도 13a는 도 12에 도시된 화소의 레이아웃을 나타낸 평면도이고, 도 13b는 도 13a에 도시된 II 부분의 확대도이다. 단, 도 12, 도 13a 및 도 13b에 도시된 구성요소 중 도 9, 도 10a 및 도 10b에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0099] 도 12, 도 13a 및 도 13b를 참조하면, 본 발명의 다른 실시예에 따른 화소(PX)에 대한 등가 회로는 제1 게이트 라인(GLi), 데이터 라인(DLj), 제1 및 제2 스토리지 라인(SLi, SLi-1), 제2 게이트 라인(GLi-1), 제3 게이트 라인(GLi+1), 및 전압 라인(VL)으로 이루어진 신호선들을 포함한다.
- [0100] 또한, 상기 화소(PX)는 도 9에 도시된 제3 박막 트랜지스터(Tr3) 대신에 제6 박막 트랜지스터(Tr6) 및 전하 공유 커패시터(Cs)를 포함한다는 측면을 제외하고, 도 9에 도시된 화소(PX)와 동일한 구조를 갖는다.
- [0101] 상기 제6 박막 트랜지스터(Tr6)는 상기 제3 게이트 라인(GLi+1)에 연결된 게이트 전극(GE6), 상기 제2 박막 트랜지스터(Tr2)의 드레인 전극(DE2)에 연결된 소오스 전극(SE6) 및 상기 전하 공유 커패시터(Cs)에 연결된 드레인 전극(DE6)을 포함한다. 상기 전하 공유 커패시터(Cs)는 상기 제1 스토리지 라인(SLi)으로부터 분기된 제1 전극(A1) 및 상기 제6 박막 트랜지스터(Tr6)의 드레인 전극(DE6)으로부터 분기된 제2 전극(A2)을 포함한다. 상기 제1 및 제2 전극(A1, A2) 사이에 개재된 절연막(미도시)은 상기 전하 공유 커패시터(Cs)의 유전체 역할을 수행한다.
- [0102] 도 14는 도 12에 도시된 제1 내지 제4 노드의 전위를 나타낸 그래프이다. 단, 도 14에서 제5 내지 제8 그래프(g5, g6, g7, g8)는 상기 데이터 라인(DLj)에 15V의 데이터 전압이 인가된 경우 상기 제1 내지 제4 노드(N1, N2, N3, N4)의 전위를 나타낸 그래프이다.
- [0103] 도 12 및 도 14를 참조하면, 상기 제2 게이트 신호(Gi-1)에 응답하여 상기 제4 및 제5 박막 트랜지스터(Tr4, Tr5)가 턴-온되면, 상기 제3 및 제4 노드(N3, N4)에 상기 리셋 전압(예를 들어, 7V)이 인가될 수 있다. 따라서, 상기 제1 게이트 신호(Gi)가 발생되기 이전에 상기 제3 및 제4 노드(N3, N4)의 전위는 상기 리셋 전압(7V)으로 리셋될 수 있다.
- [0104] 이후, 상기 제1 게이트 신호(Gi)에 응답하여 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 턴-온되면, 상기 제1 및 제2 노드(N1, N2)의 전위는 데이터 전압(예를 들어, 15V)까지 상승한다. 즉, 상기 제1 및 제2 노드(N1, N2)의 전위는 거의 동일해진다. 상기 제1 및 제2 노드(N1, N2)의 전위가 상승함에 따라서, 상기 제3 및 제4 노드(N3, N4)의 전위도 상기 리셋 전압으로부터 서서히 상승한다.
- [0105] 이후, 상기 제3 게이트 신호(Gi+1)에 응답하여 상기 제6 박막 트랜지스터가 턴-온되면, 상기 전하 공유 커패시터(Cs)와 상기 제2 커플링 커패시터(Ccp2)가 전기적으로 연결된다. 따라서, 상기 전하 공유 커패시터(Cs)와 상기 제2 커플링 커패시터(Ccp2) 및 제2 액정 커패시터(Clc2)가 서로 충전을 공유하게 된다.
- [0106] 따라서, 상기 제6 박막 트랜지스터(Tr6)의 턴-온 구간동안 상기 제2 노드(N2)의 전위는 상기 충전 공유에 의해

서 다운된다. 이후, 상기 제6 박막 트랜지스터(Tr6)의 턴-오프되더라도 상기 제2 노드(N2)의 전위는 다운된 상태를 유지한다.

[0107] 상기 제6 박막 트랜지스터(Tr6)에 의해서 상기 제2 액정 커패시터(C1c2)와 상기 전하 공유 커패시터(Cs)가 충전을 공유하면, 상기 제2 액정 커패시터(C1c2)에 충전된 데이터 전압이 감소하게 되고, 결과적으로, 상기 제1 액정 커패시터(C1c1)에 충전된 데이터 전압과 상기 제2 액정 커패시터(C1c2)에 충전된 데이터 전압 사이에 차이가 발생한다. 즉, 상기 제1 액정 커패시터(C1c1)에 충전된 데이터 전압은 상기 제2 액정 커패시터(C1c2)에 충전된 데이터 전압보다 큰 전압 레벨을 갖게 된다.

[0108] 이와 같이 하나의 화소(PX) 내에 위치하는 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)에 각각 충전되는 데이터 전압이 서로 다른 값을 가지게 되는 경우 측면 시인성이 향상될 수 있다. 구체적으로, 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)에 하나의 영상 정보로부터 얻어진 서로 다른 감마값을 갖는 두 개의 감마 곡선에 대응하는 데이터 전압이 각각 저장되면, 상기 제1 및 제2 액정 커패시터(C1c1, C1c2)를 포함하는 화소(PX) 전체의 감마 곡선은 이들을 합성한 감마 곡선이 된다. 한 쌍의 감마 곡선은 정면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가까워질 수 있는 전압들을 포함하고, 측면에서의 합성 감마 곡선이 정면에서의 기준 감마 곡선에 가장 가까워질 수 있는 전압들을 포함한다. 이로써, 측면 시인성을 향상시킬 수 있다.

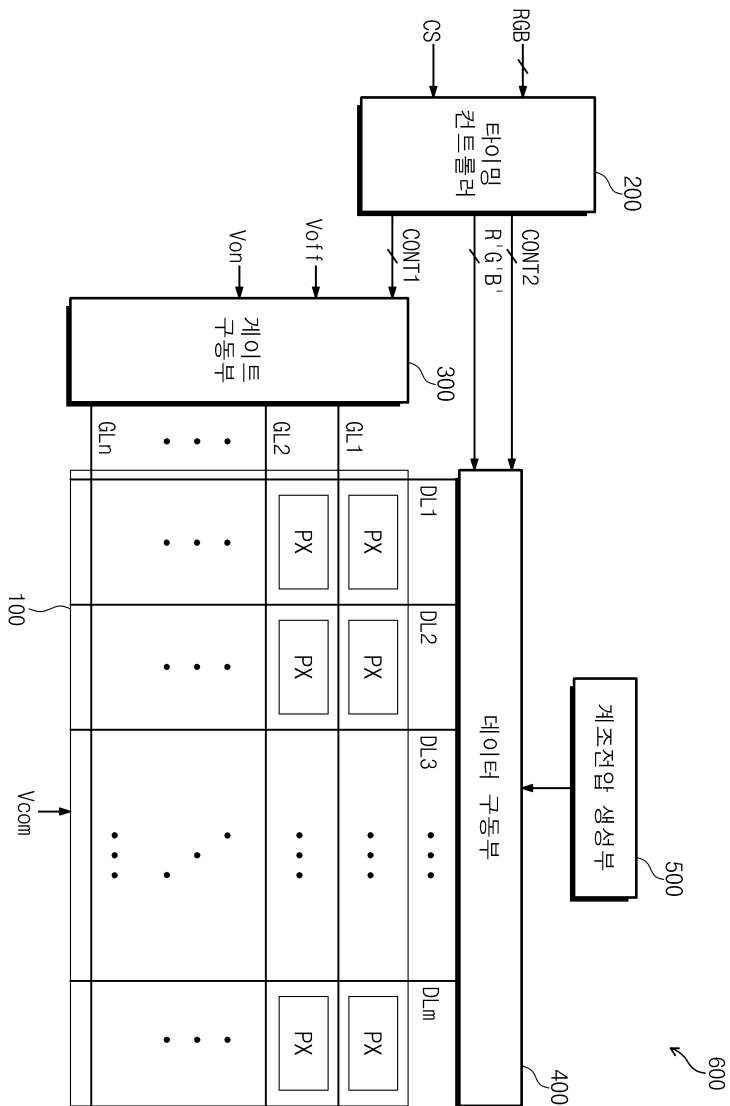
[0109] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**부호의 설명**

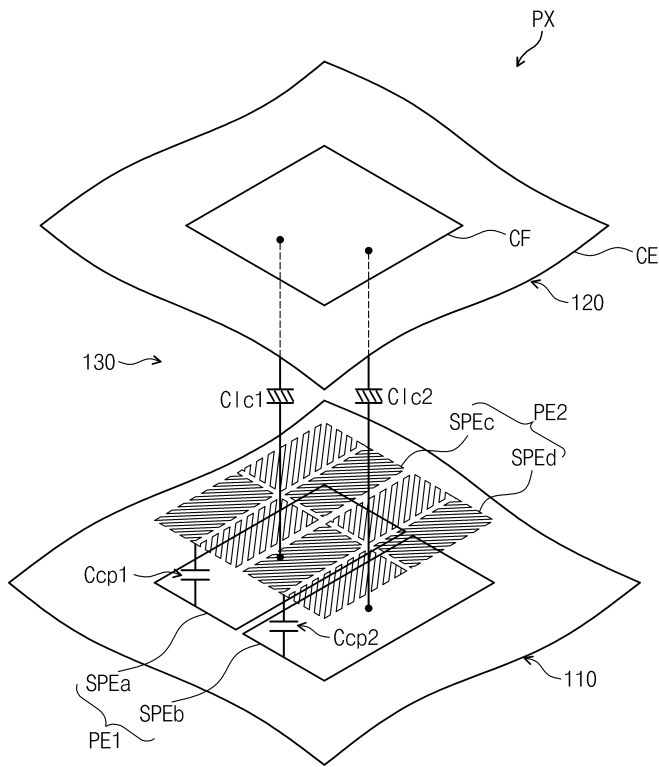
- [0110] 110: 제1 기관                      115 : 제1 배향막
- 120 : 제2 기관                      123 : 제2 배향막
- 130 : 액정층                          131 : 액정 분자들
- PE1, PE2 : 제1 및 제2 화소 전극
- Tr1~Tr6 : 제1 내지 제6 박막 트랜지스터
- Ccp1, Ccp2 : 제1 및 제2 커플링 커패시터
- C1c1, C1c2 : 제1 및 제2 액정 커패시터

도면

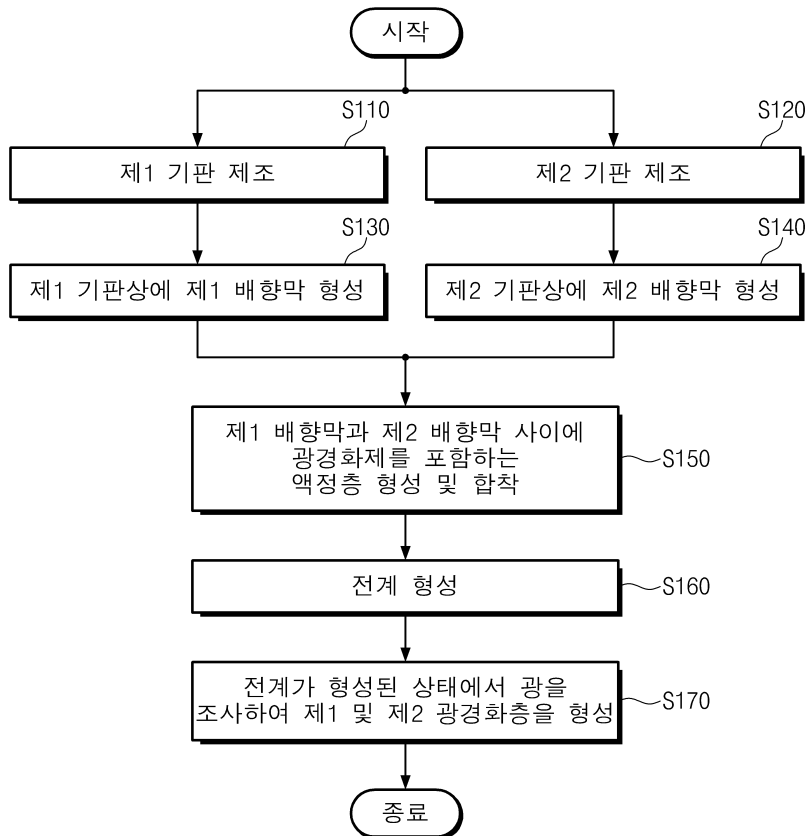
도면1



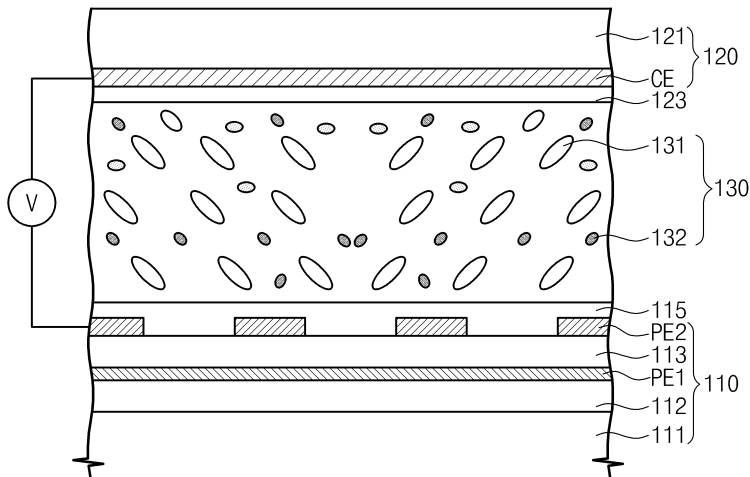
도면2



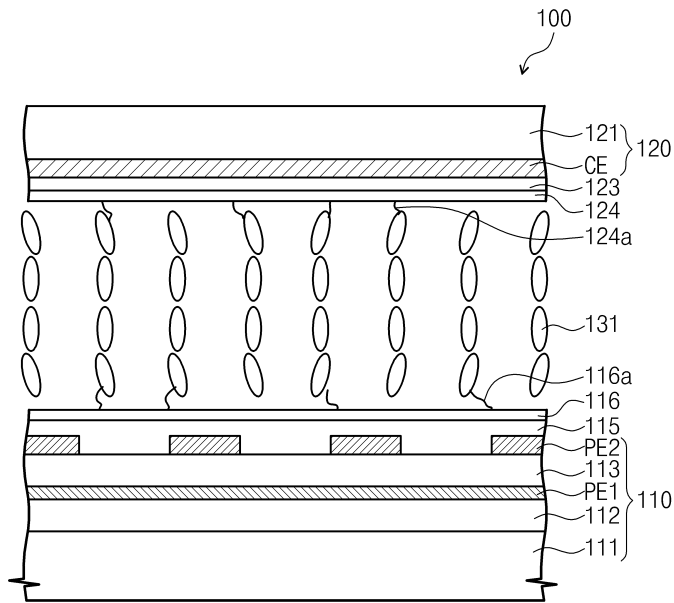
도면3



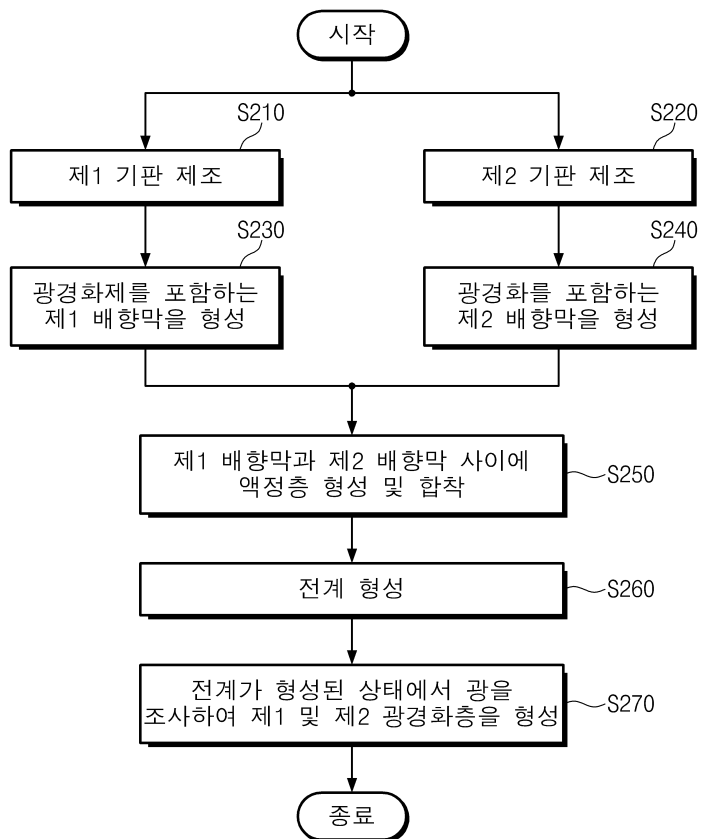
도면4



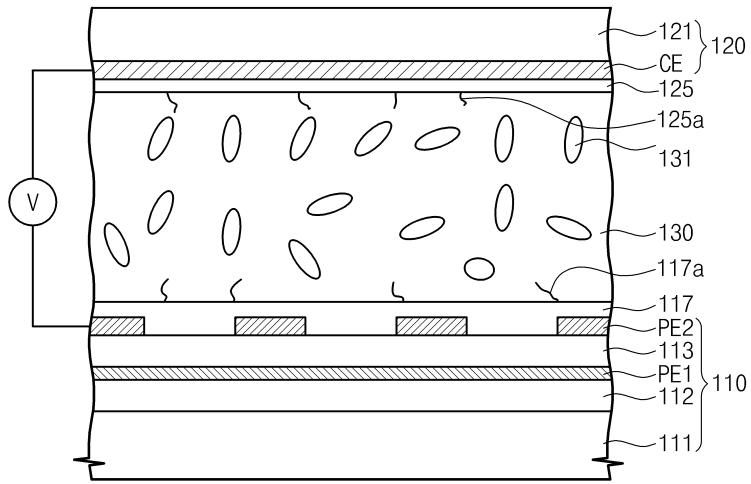
도면5



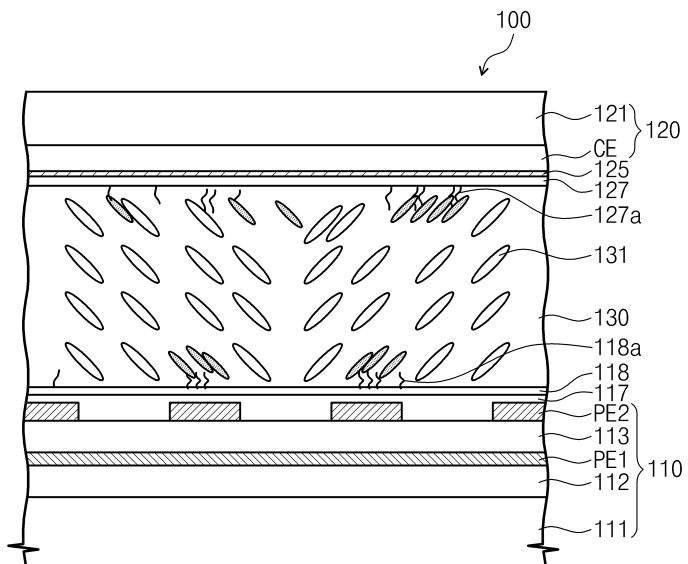
도면6



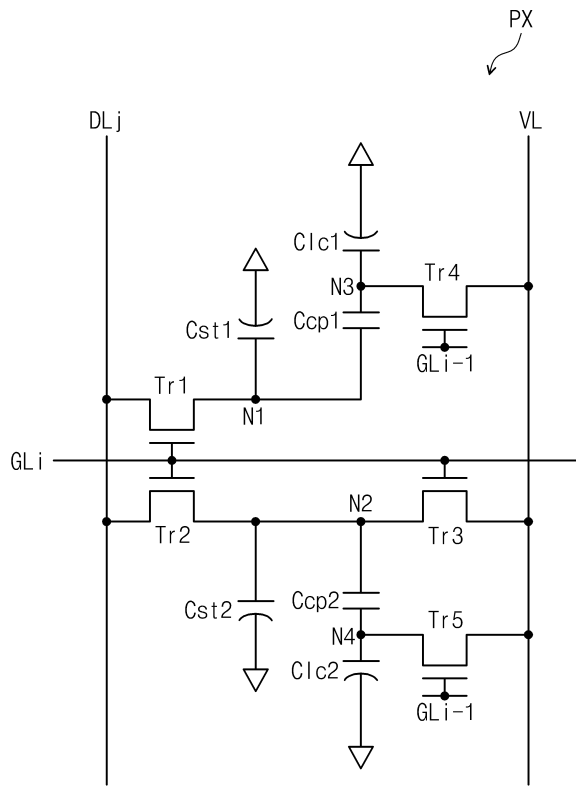
도면7



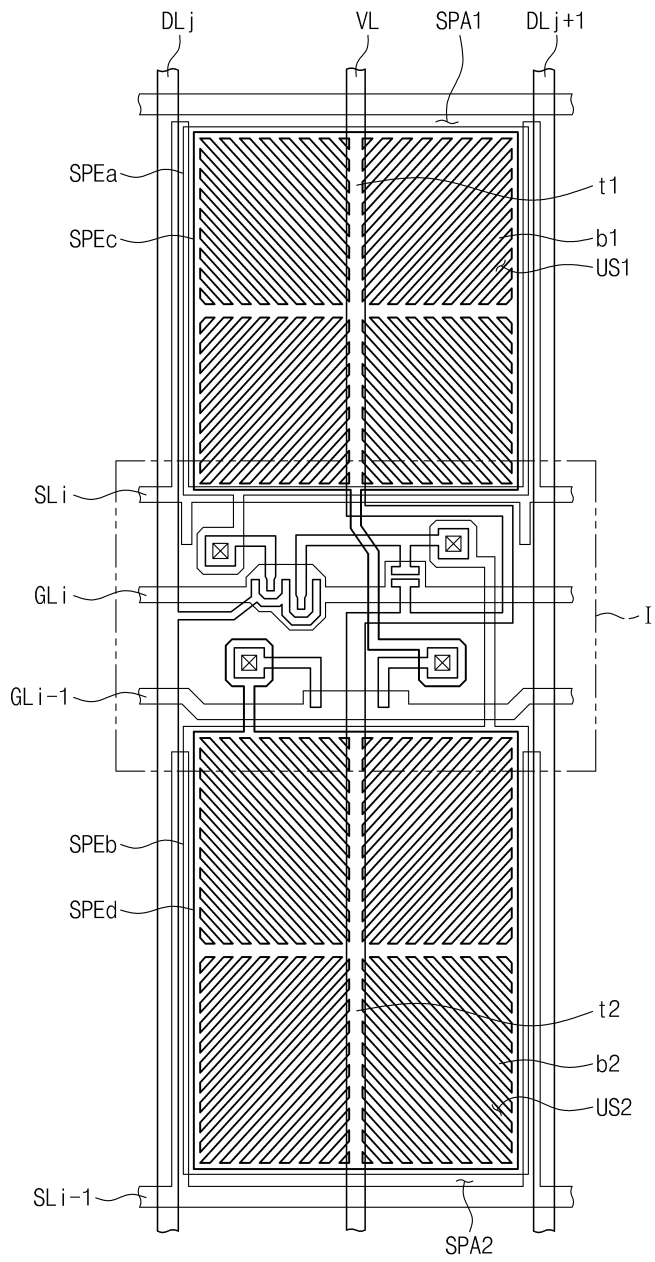
도면8



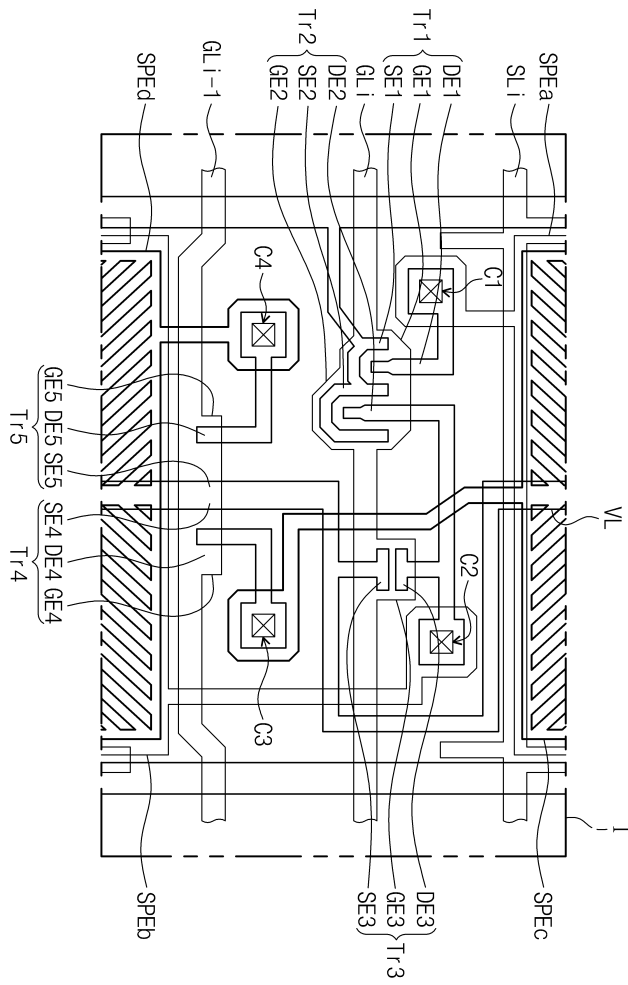
도면9



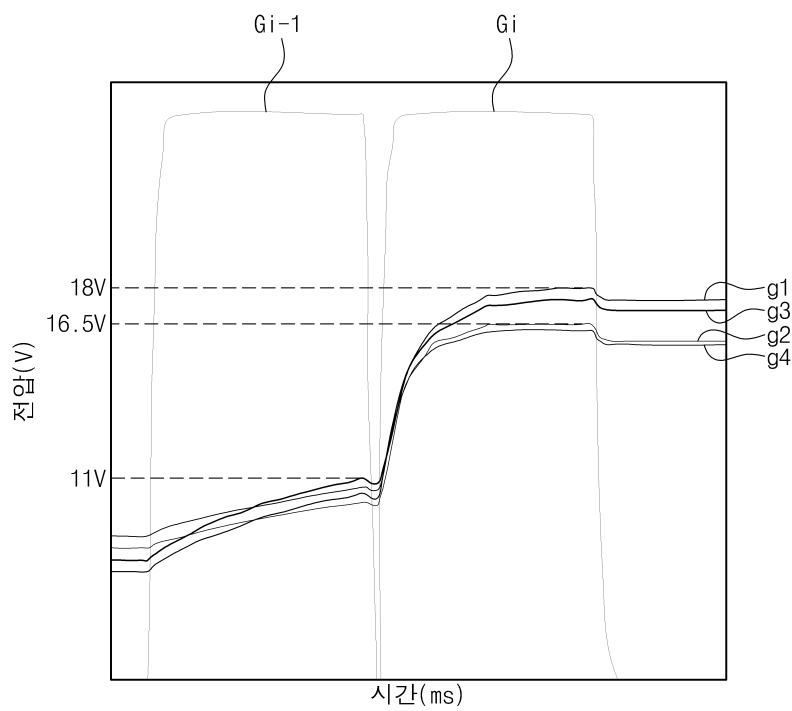
도면10a



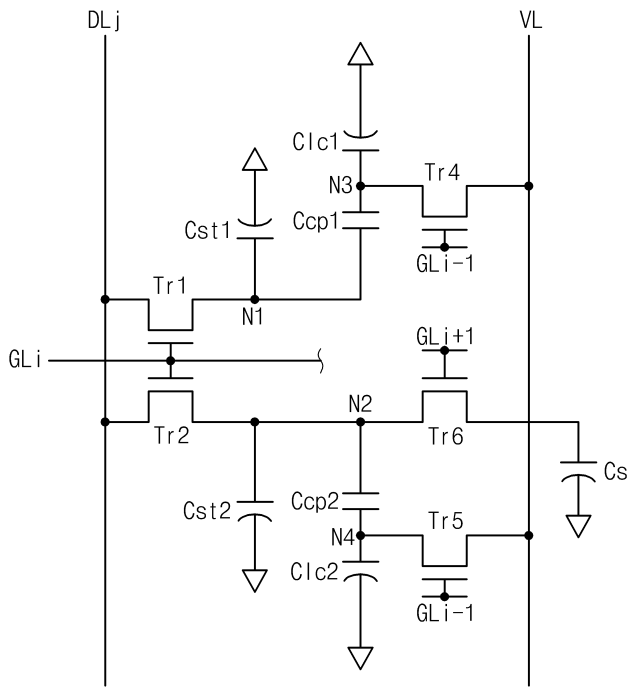
도면10b



도면11

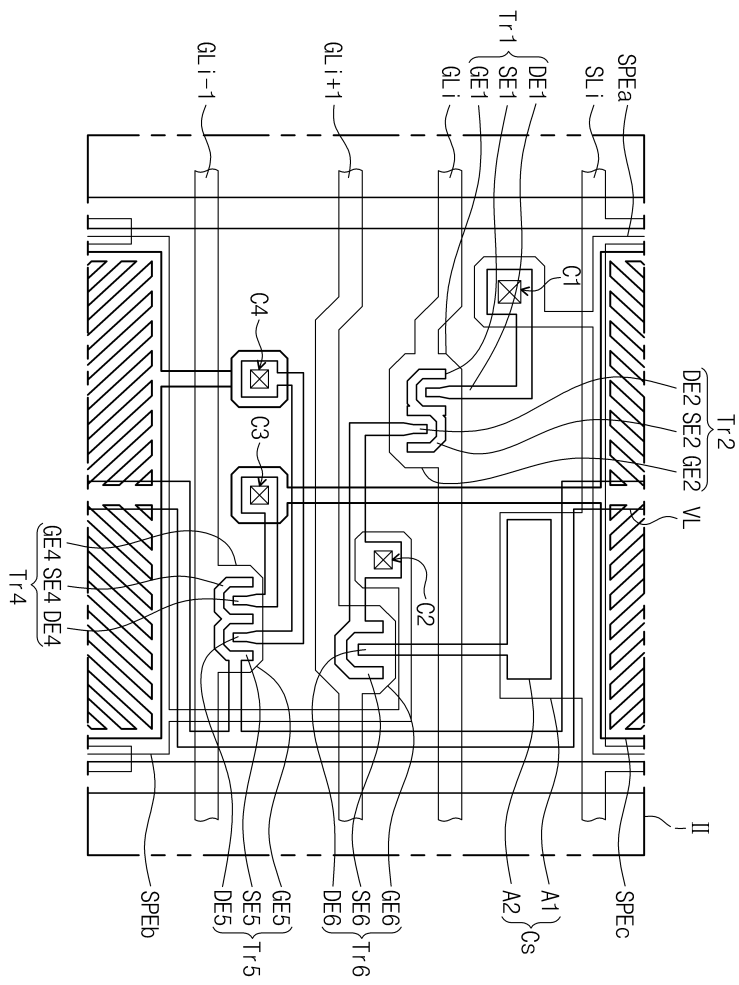


도면12

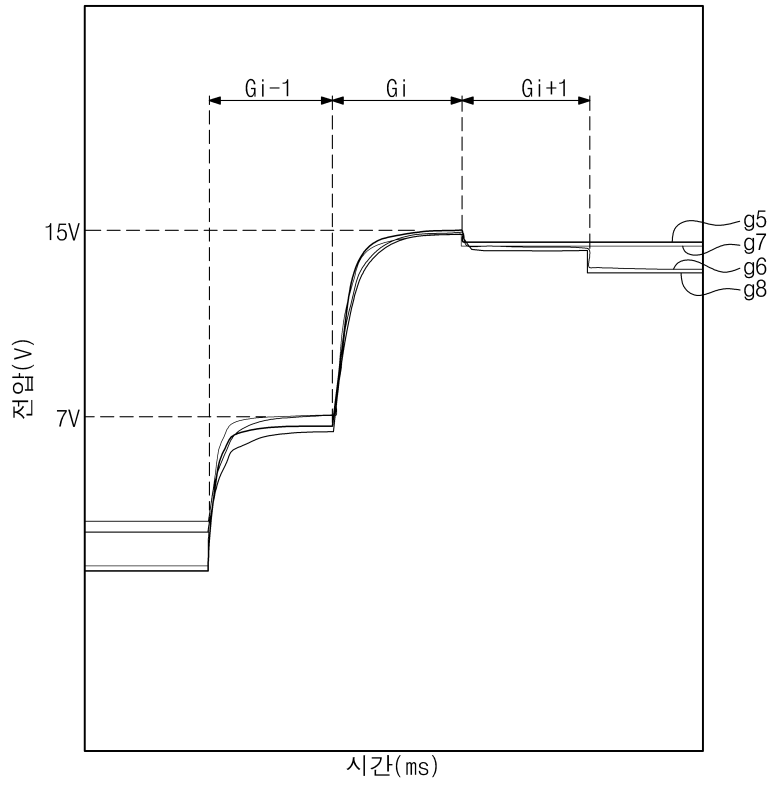




도면13b



도면14



专利名称(译)	本发明的标题显示装置，其制造方法及其驱动方法		
公开(公告)号	<a href="#">KR1020120100565A</a>	公开(公告)日	2012-09-12
申请号	KR1020110019555	申请日	2011-03-04
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG KWANG CHUL 정광철 LEE HYEOKJIN 이혁진 KWON OHJEONG 권오정		
发明人	정광철 이혁진 권오정		
IPC分类号	G02F1/1343 G02F1/1337 G09G3/36		
CPC分类号	G02F2001/134345 G02F1/1337 H01L33/08 G02F1/1333 G02F1/134309 G02F1/133707 G02F1/13624 G02F2001/134381 G02F1/1395 G02F1/1368 G02F1/133753 G02F1/136286		
代理人(译)	KWON, HYUK SOO OH, SE 六月 宋, 云何 SE JUN OH		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

在显示装置的第一基板中，第一基底基板，覆盖所配备的第一像素电极的绝缘层，以及第一基底基板上的第一像素电极，以及多个微缝隙，绝缘层包括在绝缘层上，包括：提供的第二像素电极。第二基板包括第一基础基板，面对组合的第二基础基板，以及配备在第二基础基板上并且与第二像素电极的方向相反的参考电极。液晶层包括第二像素电极和允许在参考电极之间并垂直排列的液晶分子。因此，可以提供可以防止纹理故障的响应速度提高的显示装置。

