



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0063208
(43) 공개일자 2012년06월15일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01)

(21) 출원번호 10-2010-0124287

(22) 출원일자 2010년12월07일

심사청구일자 2011년11월03일

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

오대석

경상북도 구미시 형곡로36길 5-6, 동광빌라 303호 (형곡동)

김민화

경상북도 구미시 옥계북로 69, 111동 2005호 (옥계동, 현진에버빌)

(뒷면에 계속)

(74) 대리인

특허법인로알

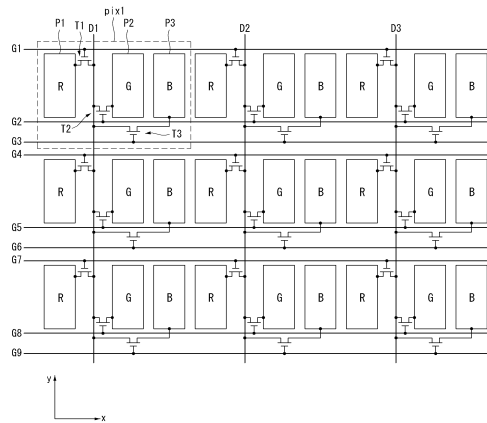
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 컬럼 방향을 따라 형성된 데이터라인들, 상기 컬럼 방향과 직교하는 라인 방향을 따라 형성되는 게이트라인들, 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 매트릭스 형태로 배치된 다수의 픽셀들을 포함하는 액정표시패널; 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 포함한다. 1 픽셀 내의 서브픽셀들은 하나의 데이터라인을 공유하여 하나의 데이터라인을 통해 시분할 공급되는 데이터전압을 연속 충전한다. 상기 서브픽셀들 각각의 컬럼 방향 길이는 상기 서브픽셀들 각각의 라인 방향 길이보다 길다.

대 표 도 - 도4



(72) 발명자

신승환

서울특별시 관악구 관천로25길 12, 1층 (신림동)

조영성

부산광역시 해운대구 삼어로 55, 102동 1307호 (반여동, 명장SK아파트)

윤세창

대구광역시 달서구 학산로2길 10, 월성우방 102동 401호 (월성동)

소병성

충북 청주시 흥덕구 복대동 두진백로아파트 103동 705호

특허청구의 범위

청구항 1

컬럼 방향을 따라 형성된 데이터라인들, 상기 컬럼 방향과 직교하는 라인 방향을 따라 형성되는 게이트라인들, 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 매트릭스 형태로 배치된 다수의 픽셀들을 포함하는 액정표시패널;

상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로; 및

상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 포함하고,

1 픽셀 내의 서브픽셀들은 하나의 데이터라인을 공유하여 하나의 데이터라인을 통해 시분할 공급되는 데이터 전압을 연속 충전하고,

상기 서브픽셀들 각각의 컬럼 방향 길이는 상기 서브픽셀들 각각의 라인 방향 길이보다 긴 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 1 픽셀 내의 서브픽셀들은 상기 라인 방향을 따라 나란하게 배치되고,

동일한 색의 서브픽셀들은 상기 컬럼 방향을 따라 나란하게 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 픽셀들은 제1 데이터라인을 통해 시분할 공급되는 제1 내지 제3 데이터전압들을 충전하는 제1 픽셀을 포함하고,

상기 제1 픽셀은,

제1 게이트라인으로부터의 제1 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제1 데이터전압을 제1 픽셀전극에 공급하는 제1 TFT;

제2 게이트라인으로부터의 제2 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제2 데이터전압을 제2 픽셀전극에 공급하는 제2 TFT; 및

제3 게이트라인으로부터의 제3 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제3 데이터전압을 제3 픽셀전극에 공급하는 제3 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 제1 내지 제3 데이터전압의 극성은 동일한 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 제1 데이터전압의 극성은 상기 제2 및 제3 데이터전압의 극성은 다른 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 픽셀들은 제1 데이터라인을 통해 시분할 공급되는 제1 내지 제3 데이터전압들을 충전하는 제1 픽셀, 및 제2 데이터라인을 통해 시분할 공급되는 제4 내지 제6 데이터전압들을 충전하는 제2 픽셀을 포함하고,

상기 제1 픽셀은,

제1 게이트라인으로부터의 제1 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제1 데이터전압을 제1 픽셀전극에 공급하는 제1 TFT;

제2 게이트라인으로부터의 제2 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제2 데이터전압을 제2 픽셀전극에 공급하는 제2 TFT; 및

제3 게이트라인으로부터의 제3 게이트펄스에 응답하여 상기 제1 데이터라인으로부터의 제3 데이터전압을 제3 픽셀전극에 공급하는 제3 TFT를 포함하고,

상기 제2 픽셀은,

상기 제1 게이트펄스에 응답하여 상기 제2 데이터라인으로부터의 제4 데이터전압을 제4 픽셀전극에 공급하는 제4 TFT;

상기 제2 게이트펄스에 응답하여 상기 제2 데이터라인으로부터의 제5 데이터전압을 제5 픽셀전극에 공급하는 제5 TFT; 및

상기 제3 게이트펄스에 응답하여 상기 제2 데이터라인으로부터의 제6 데이터전압을 제6 픽셀전극에 공급하는 제6 TFT를 포함하는 제3 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제1 내지 제3 데이터전압들의 극성은 제1 극성이고,

상기 제4 내지 제6 데이터전압들의 극성은 제2 극성인 것을 특징으로 하는 액정표시장치.

청구항 8

제 6 항에 있어서,

상기 제1 및 제4 데이터전압들의 극성은 제1 극성이고,

상기 제2, 제3, 제5 및 제6 데이터전압들의 극성은 제2 극성인 것을 특징으로 하는 액정표시장치.

명 세 서

기술 분야

본 발명은 액정표시장치에 관한 것이다.

배 경 기 술

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

- [0003] 액정표시장치는 그 구동 방법과 제조 공정의 발달에 힘입어 제조 원가와 화질이 크게 향상되고 있다. 최근에는 일반적인 픽셀 배치가 적용된 액정표시장치에 비하여, 액정표시장치의 픽셀 배치를 도 1과 같은 픽셀 배치로 적용하여 소스 드라이브 IC(Integrated Circuit)의 개수를 1/3로 줄인 TRD(Triple rate driving) 기술이 제안된 바 있다.
- [0004] 도 1을 참조하면, TRD 액정표시장치의 1 픽셀은 컬럼 방향(y축 방향)을 따라 나란하게 배치되는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 포함한다. 픽셀들의 적색 서브픽셀(R)은 3N(N은 양의 정수)+1 번째 라인(LINE#1, LINE#4)에서 라인 방향(x축 방향)을 따라 나란하게 배치된다. 픽셀들의 녹색 서브픽셀(G)은 3N+2 번째 라인(LINE#2, LINE#5)에서 라인 방향을 따라 나란하게 배치된다. 그리고 픽셀들의 청색 서브픽셀(B)은 3N+3 번째 라인(LINE#3, LINE#6)에서 라인 방향을 따라 나란하게 배치된다.
- [0005] 도 1과 같은 기존 TRD 액정표시장치에서 서브픽셀의 라인 방향 길이는 컬럼 방향 길이보다 길다. 따라서, 서브픽셀은 라인 방향으로 긴 구조를 갖는다. 이렇게 라인 방향으로 긴 서브픽셀 구조로 인하여, 기존 TRD 액정표시장치에 작은 텍스트를 표시하면 그 텍스트의 문자 가독성(Legibility)이 낮아지는 문제가 있다.
- [0006] 도 2는 기존 TRD 액정표시장치에 클리어 타입(Clear type)을 적용하여 "A"와 "Sub-pixel"을 표시한 실험 결과를 나타낸다. 클리어타입(Clear type)은 마이크로소프트 윈도의 글꼴 렌더링 기술로서, 문자열의 모양을 컴퓨터 디스플레이 화면의 특정한 방식으로 개선해 준다.
- [0007] 도 2에서 확인할 수 있는 바와 같이, 라인 방향으로 긴 서브픽셀들의 구조로 인하여 기존 TRD 액정표시장치는 클리어 타입에서 가독성이 나빠지고 컬럼 방향으로 긴 서브픽셀들을 가지는 일반적인 픽셀 구조의 액정표시장치에 비하여 클리어 타입의 문자 가독성이 30% 이상 떨어진다. 그 결과, 낮은 문자 가독성으로 인하여 기존 TRD 액정표시장치는 상용 제품으로 적용되지 않고 있다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 액정표시패널의 데이터라인 구동에 필요한 소스 드라이브 IC의 개수를 줄이고 문자 가독성을 높일 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

- [0009] 본 발명의 액정표시장치는 컬럼 방향을 따라 형성된 데이터라인들, 상기 컬럼 방향과 직교하는 라인 방향을 따라 형성되는 게이트라인들, 상기 데이터라인들과 상기 게이트라인들에 의해 정의된 매트릭스 형태로 배치된 다수의 픽셀들을 포함하는 액정표시패널; 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로; 및 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로를 포함한다.
- [0010] 1 픽셀 내의 서브픽셀들은 하나의 데이터라인을 공유하여 하나의 데이터라인을 통해 시분할 공급되는 데이터 전압을 연속 충전한다.
- [0011] 상기 서브픽셀들 각각의 컬럼 방향 길이는 상기 서브픽셀들 각각의 라인 방향 길이보다 길다.

발명의 효과

- [0012] 본 발명은 픽셀 내의 서브픽셀들이 하나의 데이터라인을 공유한다. 서브픽셀들은 컬럼 방향 길이가 라인 방향 길이보다 길게 제작되고, 하나의 데이터라인을 통해 시분할 공급되는 데이터전압들을 충전한다. 그 결과, 본 발명은 액정표시패널의 데이터라인 구동에 필요한 소스 드라이브 IC의 개수를 줄이고 문자 가독성을 높일 수 있다.

도면의 간단한 설명

- [0013] 도 1은 기존 TRD 액정표시장치의 픽셀 어레이 일부를 보여 주는 도면이다.
- 도 2는 도 1과 같은 픽셀들에 클리어 타입으로 문자를 표시한 실험 결과를 보여 주는 도면이다.
- 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- 도 4는 본 발명의 제1 실시예에 따른 픽셀 어레이의 일부를 보여 주는 등가 회로도이다.
- 도 5는 도 4에 도시된 픽셀 어레이를 갖는 액정표시장치에 클리어 타입으로 문자를 표시한 실험 결과를 보여 주는 도면이다.
- 도 6은 도 4에 도시된 픽셀 어레이를 갖는 액정표시장치에 수평 3 도트 인버전이 적용된 예를 보여 주는 등가 회로도이다.
- 도 7은 도 6과 같은 도트 인버전을 구현하기 위한 데이터전압과 게이트펄스를 보여 주는 파형도이다.
- 도 8은 본 발명의 제2 실시예에 따른 픽셀 어레이와, 그 픽셀 어레이에 수평 2 도트 인버전이 적용된 예를 보여 주는 등가 회로도이다.
- 도 9는 도 8과 같은 도트 인버전을 구현하기 위한 데이터전압과 게이트펄스를 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0015] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 컨트롤러(101), 데이터 구동회로(102), 게이트 구동회로(103) 등을 포함한다. 데이터 구동회로(102)는 다수의 소스 드라이브 IC들을 포함한다.
- [0016] 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성된다. 액정표시패널(100)은 데이터라인들(105)과 게이트라인들(106)의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 액정표시패널(100)의 픽셀 배치는 도 4, 도 6 및 도 8과 같은 형태로 구현될 수 있다.
- [0017] 액정표시패널(100)의 TFT 어레이 기판에는 데이터라인들(105), 데이터라인들(105)과 교차되는 게이트라인들(106), 데이터라인들(105)과 게이트라인들(106)의 교차부에 형성된 TFT, TFT에 접속된 액정셀(C1c)의 픽셀전극(1), 픽셀전극(1)에 접속된 스토리지 커패시터(Cst) 등이 형성된다. 데이터라인들(105)은 컬럼 방향(y축 방향)을 따라 형성되고, 게이트라인들(106)은 컬럼 방향과 직교하는 라인 방향(x축 방향)을 따라 형성된다.
- [0018] 액정셀들(C1c)은 TFT에 접속되어 픽셀전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 공통전극(2)에는 공통전압(Vcom)이 공급된다. 공통전극(2)은 TFT 어레이 기판 및/또는 컬러필터 어레이 기판에 형성될 수 있다. 액정표시패널(100)의 컬러필터 어레이 기판에는 블랙매트릭스, 컬러필터 등이 형성된다. 액정표시패널(100)의 TFT 어레이 기판과 컬러필터 어레이 기판 각각에는 편광판이 부착된다. TFT 어레이 기판과 컬러필터 어레이 기판 각각에서 액정층과 접하는 면에는 액정분자들의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0019] 액정표시패널(100)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식으로 구현되거나 IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식으로 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0020] 타이밍 컨트롤러(101)는 호스트 시스템(104)으로부터 입력된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동회로(102)에 공급한다. 타이밍 컨트롤러(101)는 호스트 시스템(104)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 도트 클럭(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(102)와 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍

제어신호, 데이터 구동회로(102)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다.

- [0021] 게이트 타이밍 제어신호는 게이트 스타트 펄스(Gate Start Pulse, GSP), 게이트 쉬프트 클럭(Gate Shift Clock, GSC), 게이트 출력 인에이블신호(Gate Output Enable, GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 첫 번째 게이트펄스를 발생화는 게이트 드라이브 IC에 인가되어 첫 번째 게이트펄스가 발생되도록 그 게이트 드라이브 IC를 제어한다. 게이트 쉬프트 클럭(GSC)은 게이트 드라이브 IC들에 공통으로 입력되는 클럭 신호로써 게이트 스타트 펄스(GSP)를 쉬프트시키기 위한 클럭신호이다. 게이트 출력 인에이블신호(GOE)는 게이트 드라이브 IC들의 출력을 제어한다.
- [0022] 데이터 타이밍 제어신호는 소스 스타트 펄스(SSP), 소스 샘플링 클럭(SSC), 극성제어신호(POL), 및 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동회로(102)의 데이터 샘플링 시작 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 라이징 또는 폴링 에지에 기준하여 소스 드라이브 IC들 각각에서 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동회로(102)의 출력 타이밍을 제어한다. 극성제어신호(POL)는 데이터 구동회로(102)로부터 출력되는 데이터전압의 극성 반전 타이밍을 지시한다.
- [0023] 데이터 구동회로(102)는 데이터 타이밍 제어신호에 응답하여 타이밍 컨트롤러(101)로부터 입력되는 디지털 비디오 데이터(RGB)를 래치한다. 그리고 데이터 구동회로(102)는 극성제어신호(POL)에 응답하여 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 생성한다. 데이터 구동회로(102)로부터 출력된 정극성/부극성 데이터전압은 데이터라인들(105)에 공급된다. 데이터 구동회로(102)의 소스 드라이브 IC들은 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정으로 액정표시패널(100)의 데이터라인들(105)에 접속될 수 있다.
- [0024] 게이트 구동회로(103)는 게이트 타이밍 제어신호들에 응답하여 데이터전압과 동기되는 게이트펄스를 게이트라인들(106)에 순차적으로 공급한다. 게이트 구동회로(103)는 GIP(Gate In Panel) 방식으로 액정표시패널(100)의 TFT 어레이 기판 상에 직접 형성되거나 TAB 방식으로 액정표시패널(100)의 게이트라인들(106)에 접속될 수 있다.
- [0025] 도 4는 도 3에 도시된 액정표시패널의 픽셀 어레이의 일부를 보여 주는 등가 회로도이다. 도 4에서 D1~D3는 데이터라인들이고, G1~G9는 게이트라인들이다.
- [0026] 도 4를 참조하면, 1 픽셀은 라인 방향(x축 방향)을 따라 나란하게 배치되는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 포함한다. 픽셀들의 적색 서브픽셀(R)은 3N+1 번째 컬럼에서 컬럼 방향(y축 방향)을 따라 나란하게 배치된다. 픽셀들의 녹색 서브픽셀(G)은 3N+2 번째 컬럼에서 컬럼 방향을 따라 나란하게 배치된다. 그리고 픽셀들의 청색 서브픽셀(B)은 3N+3 번째 컬럼에서 컬럼 방향을 따라 나란하게 배치된다.
- [0027] 도 4의 픽셀 어레이에서 1 픽셀의 서브픽셀들(RGB)은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 그 결과, 본 발명의 액정표시장치는 서브픽셀들 각각이 독립적인 데이터라인과 연결되는 일반적인 액정표시장치에 비하여 데이터라인들(105)과 소스 드라이브 IC들의 개수를 1/3로 줄일 수 있다.
- [0028] 제1 데이터라인(D1)으로부터의 데이터전압들을 시분할 충전하는 제1 픽셀(pix1)의 서브픽셀들과 데이터라인의 연결 관계를 예로 들어 도 4의 픽셀 어레이 구조를 구체적으로 설명하면 다음과 같다.
- [0029] 적색 서브픽셀(R)의 픽셀전극과 TFT를 각각 제1 픽셀전극(P1)과 제1 TFT(T1)로 정의한다. 그리고, 녹색 서브픽셀(G)의 픽셀전극과 TFT를 각각 제2 픽셀전극(P2)과 제2 TFT(T2)로 정의하고, 청색 서브픽셀(B)의 픽셀전극과 TFT를 각각 제3 픽셀전극(P3)과 제3 TFT(T3)로 정의한다. 제1 픽셀의 서브픽셀들을 시분할 구동하기 위하여, 제1 내지 제3 게이트라인들(G1~G3)에 게이트펄스가 순차적으로 인가된다.
- [0030] 제1 TFT(T1)는 제1 게이트라인(G1)으로부터의 제1 게이트펄스에 응답하여 제1 데이터라인(D1)으로부터의 적색 데이터전압을 제1 픽셀전극(P1)에 공급한다. 제1 TFT(T1)의 게이트전극은 제1 게이트라인(G1)에 접속되고, 드레인전극은 제1 데이터라인(D1)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 픽셀전극(P1)에 접속된다. 제2 TFT(T2)는 제2 게이트라인(G2)으로부터의 제2 게이트펄스에 응답하여 제1 데이터라인(D1)으로부터의 데이터전압을 제2 픽셀전극(P2)에 공급한다. 제2 TFT(T2)의 게이트전극은 제2 게이트라인(G2)에 접속되고, 드레인전극은 제1 데이터라인(D1)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 픽셀전극(P2)에 접속된다. 제3

TFT(T3)는 제3 게이트라인(G3)로부터 제3 게이트필스에 응답하여 제1 데이터라인(D1)으로부터 데이터전압을 제3 픽셀전극(P3)에 공급한다. 제3 TFT(T3)의 게이트전극은 제3 게이트라인(G3)에 접속되고, 드레인전극은 제1 데이터라인(D1)에 접속된다. 제3 TFT(T3)의 소스전극은 제3 픽셀전극(P3)에 접속된다.

[0031] 도 4에서 제1 게이트라인(G1)은 픽셀들 위에 배치되고 제2 및 제3 게이트라인들(G2, G3)은 픽셀들 아래에 배치되나, 이에 한정되지 않는다. 예를 들어, 제1 게이트라인(G1)은 제2 및 제3 게이트라인들(G2, G3)과 함께 픽셀들의 아래에 형성될 수 있다.

[0032] 도 4와 같은 픽셀 어레이에서 서브픽셀의 컬럼 방향 길이는 라인 방향 길이보다 길다. 따라서, 서브픽셀은 컬럼 방향으로 긴 구조를 갖는다. 이렇게 라인 방향으로 긴 서브픽셀 구조로 인하여, 도 4와 같은 픽셀 어레이에서 작은 텍스트를 표시하면 그 텍스트의 문자 가독성이 도 5에서 알 수 있듯이 도 1의 픽셀 어레이보다 현저히 높아진다.

[0033] 액정표시장치는 액정의 열화와 잔상을 줄이기 위하여 데이터전압의 극성을 $N(N$ 은 자연수) 도트 인버전 방식으로 구동되고 있다. 도 6 내지 도 9는 본 발명의 액정표시장치에서 도트 인버전의 예를 나타낸다.

[0034] 도 6은 본 발명의 액정표시장치에 수평 3 도트 인버전이 적용된 예를 보여 주는 등가 회로도이다. 도 7은 도 6과 같은 도트 인버전을 구현하기 위한 데이터전압과 게이트필스를 보여 주는 파형도이다.

[0035] 도 6 및 도 7을 참조하면, 극성제어신호(POL)는 1 수평기간 주기로 반전된다. 1 수평기간은 액정표시패널(100)에서 1 표시라인의 픽셀들에 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다. 극성제어신호(POL)는 매 프레임기간마다 픽셀에 충전된 데이터전압의 극성을 반전시키기 위하여 매 프레임마다 위상이 반전된다. 소스 드라이브 IC들은 극성제어신호(POL)에 응답하여 데이터라인들(D1~D3)에 공급되는 데이터전압의 극성을 반전시킨다. 데이터전압 각각은 대략 1/3 수평기간 동안 데이터라인들에 공급된다.

[0036] 게이트 구동회로(103)는 비교적 부족한 픽셀 충전시간을 보상하기 위하여 대략 1 수평기간의 펄스폭을 갖는 게이트필스들을 게이트라인들(G1~G9)에 순차 공급한다. $n(n$ 은 자연수) 번째 게이트필스는 $n-1$ 번째 게이트필스와 대략 2/3 펄스폭 만큼 중첩되고, $n+1$ 번째 게이트필스와 대략 2/3 펄스폭 만큼 중첩된다.

[0037] 픽셀들은 두 개의 데이터전압을 프리차징한 후에 표시하고자 하는 데이터전압을 충전하고 1 프레임기간 동안 유지한다. 예를 들어, 도 6에서 제1 픽셀(pix1)의 청색 서브픽셀(B)은 정극성 데이터전압으로 발생하는 적색 및 녹색 데이터전압($R+$, $G+$)을 프리차징한 후에 표시하고자 하는 정극성 데이터전압의 청색 데이터전압($B+$)을 충전하고 그 청색 데이터전압($B+$)을 대략 1 프레임기간 동안 유지한다.

[0038] 도 6에서 기수 데이터라인들(D1, D3)과 우수 데이터라인(D2)에 동시에 공급되는 데이터전압들의 극성은 서로 다르다. 기수 데이터라인들(D1, D3)과 우수 데이터라인(D2)에 동시에 공급되는 데이터전압들의 극성은 1 수평기간마다 반전된다. 따라서, 제1 픽셀의 서브픽셀들에 충전되는 데이터전압들은 정극성 데이터전압들이고, 동일 표시라인에서 제1 픽셀과 이웃하는 제2 픽셀의 서브픽셀들에 충전되는 데이터전압들은 부극성 데이터전압이다. 그 결과, 도 6의 픽셀 어레이는 수평 3 도트 및 수직 1 도트 인버전으로 동작한다.

[0039] 소스 드라이브 IC의 전류는 정극성 데이터전압으로부터 부극성 데이터전압으로 트랜지션(transition)될 때, 그리고 그 반대로 부극성 데이터전압으로부터 정극성 데이터전압으로 트랜지션될 때 커진다. 따라서, 소스 드라이브 IC의 소비전력은 극성이 다른 전압들 간의 트랜지션 횟수가 많을수록 커진다. 본 발명은 도 7과 같이 3 개의 데이터전압이 연속으로 같은 극성의 데이터전압으로 발생되기 때문에 기존 액정표시장치에 비하여 소비전력을 대략 1/3 이하로 낮출 수 있다.

[0040] 도 8은 본 발명의 제2 실시예에 따른 픽셀 어레이와, 그 픽셀 어레이에 수평 2 도트 인버전이 적용된 예를 보여 주는 등가 회로도이다. 도 8에서 D1 및 D2는 데이터라인들이고, G1~G9는 게이트라인들이다. 도 9는 도 8과 같은 도트 인버전을 구현하기 위한 데이터전압과 게이트필스를 보여 주는 파형도이다.

[0041] 도 8을 참조하면, 1 픽셀은 라인 방향(x축 방향)을 따라 나란하게 배치되는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B)을 포함한다. 픽셀들의 적색 서브픽셀(R)은 $3N+1$ 번째 컬럼에서 컬럼 방향(y축 방향)을 따라 나란하게 배치된다. 픽셀들의 녹색 서브픽셀(G)은 $3N+2$ 번째 컬럼에서 컬럼 방향을 따라 나란하게 배치된다. 그리고 픽셀들의 청색 서브픽셀(B)은 $3N+3$ 번째 컬럼에서 컬럼 방향을 따라 나란하게 배치된다.

[0042] 도 4의 픽셀 어레이에서 1 픽셀의 서브픽셀들(RGB)은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 그 결과, 본 발명의 액정표시장치는 서브픽셀들

각각이 독립적인 데이터라인과 연결되는 일반적인 액정표시장치에 비하여 데이터라인들(105)과 소스 드라이브 IC들의 개수를 1/3로 줄일 수 있다.

[0043] 제1 데이터라인(D1)으로부터의 데이터전압들을 시분할 충전하는 제1 픽셀(pix1)과, 제2 데이터라인(D2)으로부터의 데이터전압들을 시분할 충전하는 제2 픽셀(pix2)의 서브픽셀들을 예로 들어 도 8의 픽셀 어레이 구조를 구체적으로 설명하면 다음과 같다.

[0044] 제1 픽셀(pix1)에서, 데이터 충전 순서를 기준으로 청색 서브픽셀(B)의 픽셀전극과 TFT를 각각 제1 픽셀전극(P81)과 제1 TFT(T81)로, 적색 서브픽셀(R)의 픽셀전극과 TFT를 각각 제2 픽셀전극(P82)과 제2 TFT(T82)로, 녹색 서브픽셀(G)의 픽셀전극과 TFT를 각각 제3 픽셀전극(P83)과 제3 TFT(T83)로 정의한다. 제2 픽셀(pix2)에서, 데이터 충전 순서를 기준으로 적색 서브픽셀(R)의 픽셀전극과 TFT를 각각 제4 픽셀전극(P84)과 제1 TFT(T84)로, 청색 서브픽셀(B)의 픽셀전극과 TFT를 각각 제5 픽셀전극(P85)과 제2 TFT(T85)로, 녹색 서브픽셀(G)의 픽셀전극과 TFT를 각각 제6 픽셀전극(P86)과 제3 TFT(T86)로 정의한다.

[0045] 제1 TFT(T81)는 제1 게이트라인(G1)으로부터의 제1 게이트펄스에 응답하여 제1 데이터라인(D1)으로부터의 부극성 데이터전압(B-)을 제1 픽셀전극(P81)에 공급한다. 제1 TFT(T81)의 게이트전극은 제1 게이트라인(G1)에 접속되고, 드레인전극은 제1 데이터라인(D1)에 접속된다. 제1 TFT(T81)의 소스전극은 제1 픽셀전극(P81)에 접속된다. 제2 TFT(T82)는 제2 게이트라인(G2)로부터의 제2 게이트펄스에 응답하여 제1 데이터라인(D1)으로부터의 정극성 데이터전압(R+)을 제2 픽셀전극(P82)에 공급한다. 제2 TFT(T82)의 게이트전극은 제2 게이트라인(G2)에 접속되고, 드레인전극은 제1 데이터라인(D1)에 접속된다. 제2 TFT(T82)의 소스전극은 제2 픽셀전극(P82)에 접속된다. 제3 TFT(T83)는 제3 게이트라인(G3)로부터의 제3 게이트펄스에 응답하여 제1 데이터라인(D1)으로부터의 정극성 데이터전압(G+)을 제3 픽셀전극(P83)에 공급한다. 제3 TFT(T83)의 게이트전극은 제3 게이트라인(G3)에 접속되고, 드레인전극은 제1 데이터라인(D1)에 접속된다. 제3 TFT(T83)의 소스전극은 제3 픽셀전극(P83)에 접속된다.

[0046] 제4 TFT(T84)는 제1 게이트라인(G1)으로부터의 제1 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 부극성 데이터전압(R-)을 제4 픽셀전극(P84)에 공급한다. 제4 TFT(T84)의 게이트전극은 제1 게이트라인(G1)에 접속되고, 드레인전극은 제2 데이터라인(D2)에 접속된다. 제4 TFT(T84)의 소스전극은 제4 픽셀전극(P84)에 접속된다. 제5 TFT(T85)는 제2 게이트라인(G2)로부터의 제2 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 정극성 데이터전압(B+)을 제5 픽셀전극(P85)에 공급한다. 제5 TFT(T85)의 게이트전극은 제2 게이트라인(G2)에 접속되고, 드레인전극은 제2 데이터라인(D2)에 접속된다. 제5 TFT(T85)의 소스전극은 제5 픽셀전극(P85)에 접속된다. 제6 TFT(T86)는 제3 게이트라인(G3)로부터의 제3 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 정극성 데이터전압(G+)을 제6 픽셀전극(P86)에 공급한다. 제6 TFT(T86)의 게이트전극은 제3 게이트라인(G3)에 접속되고, 드레인전극은 제2 데이터라인(D2)에 접속된다. 제6 TFT(T86)의 소스전극은 제6 픽셀전극(P86)에 접속된다.

[0047] 도 8에서 제1 및 제2 게이트라인들(G1, G2)은 픽셀들 위에 배치되고 제3 게이트라인(G3)은 픽셀들 아래에 배치되나, 이에 한정되지 않는다. 예를 들어, 게이트라인들은 도 4와 같이 배치될 수 있고, 제1 내지 제3 게이트라인(G1~G3)은 픽셀들의 위나 아래에 배치될 수 있다.

[0048] 도 8과 같은 픽셀 어레이에서 서브픽셀의 컬럼 방향 길이는 라인 방향 길이보다 길다. 따라서, 서브픽셀은 컬럼 방향으로 긴 구조를 갖는다. 이렇게 라인 방향으로 긴 서브픽셀 구조로 인하여, 도 8과 같은 픽셀 어레이에서 작은 텍스트를 표시하면 그 텍스트의 문자 가독성이 도 5에서 알 수 있듯이 도 1의 픽셀 어레이보다 현저히 높아진다.

[0049] 수평 2 도트 인버전을 구현하기 위하여, 극성제어신호(POL), 데이터전압, 및 게이트펄스는 도 9와 같은 형태로 발생될 수 있다.

[0050] 도 8 및 도 9를 참조하면, 극성제어신호(POL)는 1 수평기간 주기로 반전된다. 극성제어신호(POL)는 매 프레임마다 픽셀에 충전된 데이터전압의 극성을 반전시키기 위하여 매 프레임마다 위상이 반전된다. 소스 드라이브 IC들은 극성제어신호(POL)에 응답하여 데이터라인들(D1~D3)에 공급되는 데이터전압의 극성을 반전시킨다. 데이터전압 각각은 대략 1/3 수평기간 동안 데이터라인들에 공급된다.

[0051] 게이트 구동회로(103)는 비교적 부족한 픽셀 충전시간을 보상하기 위하여 대략 1 수평기간의 펄스폭을 갖는 게이트펄스들을 게이트라인들(G1~G9)에 순차 공급한다. n 번째 게이트펄스는 n-1 번째 게이트펄스와 대략 2/3 펄스폭 만큼 중첩되고, n+1 번째 게이트펄스와 대략 2/3 펄스폭 만큼 중첩된다.

[0052] 픽셀들은 두 개의 데이터전압을 프리차징한 후에 표시하고자 하는 데이터전압을 충전하고 1 프레임기간 동안 유지한다. 예를 들어, 도 8에서 제1 픽셀(PIX1)의 녹색 서브픽셀(G)은 부극성 데이터전압으로 발생하는 청색 데이터전압(B-)과 정극성 데이터전압으로 발생하는 적색 데이터전압(R+)을 프리차징한 후에 표시하고자 하는 정극성 데이터전압의 녹색 데이터전압(G+)을 충전하고 그 녹색 데이터전압을 대략 1 프레임기간 동안 유지한다.

[0053] 도 8에서 제1 픽셀(pix1)에 충전되는 데이터전압들 중 첫 번째 데이터전압의 극성은 두 번째 및 세 번째 데이터전압들의 극성과 다르고, 제2 픽셀(pix2)에 충전되는 데이터전압들 중 첫 번째 데이터전압의 극성은 두 번째 및 세 번째 데이터전압들의 극성과 다르다. 제1 및 제2 데이터라인들(D1, D2)에 동시에 공급되는 데이터전압들의 극성은 동일하고, 1 프레임기간 주기로 반전된다. 그 결과, 도 8의 픽셀 어레이는 수평 2 도트 및 수직 1 도트 인버전으로 동작한다.

[0054] 본 발명은 도 9와 같이 3 개의 데이터전압이 연속으로 같은 극성의 데이터전압으로 발생되기 때문에 기존 액정표시장치에 비하여 소비전력을 대략 1/3 이하로 낮출 수 있다.

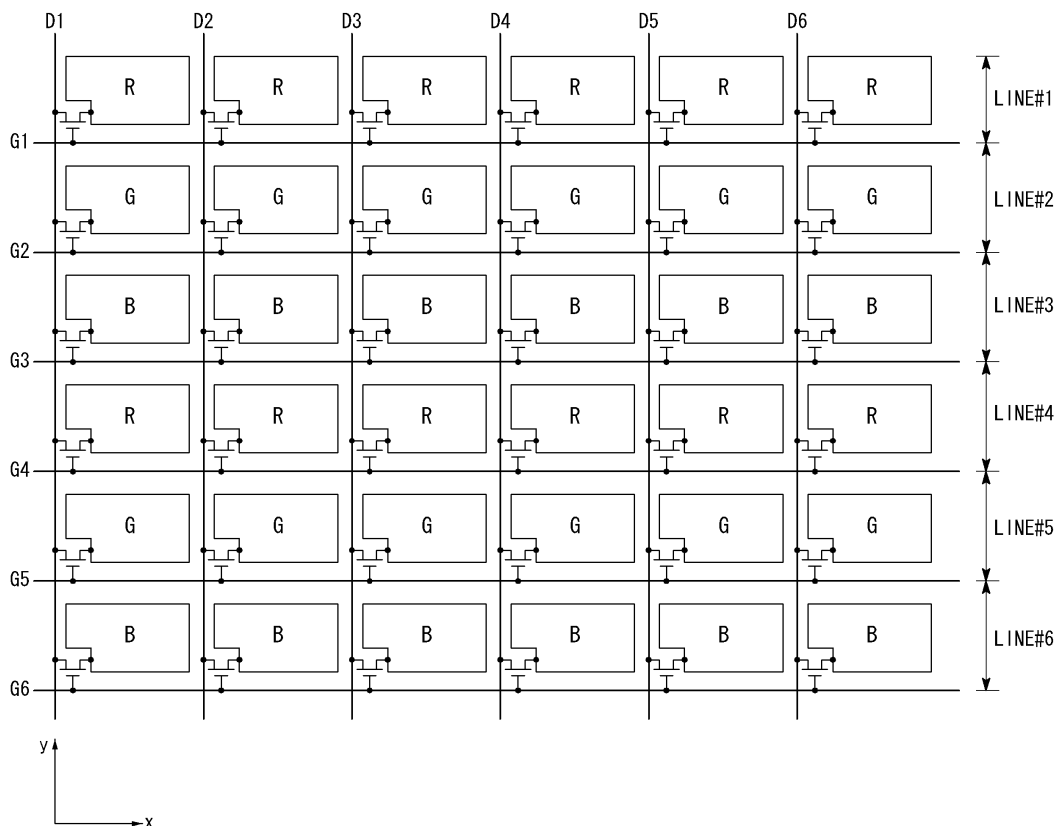
[0055] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

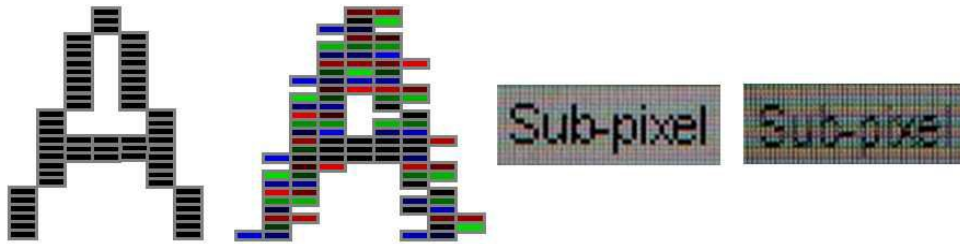
[0056] 100 : 액정표시패널 101 : 타이밍 컨트롤러
102 : 데이터 구동회로 104 : 게이트 구동회로

도면

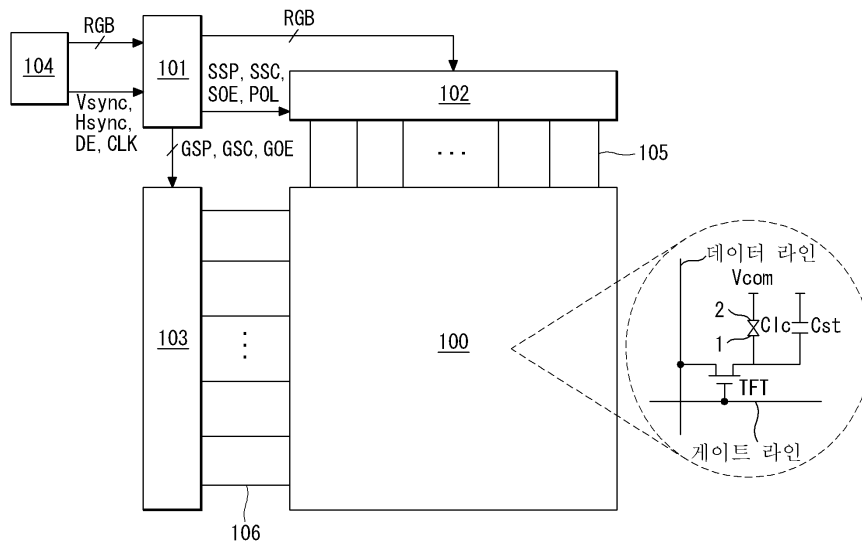
도면1



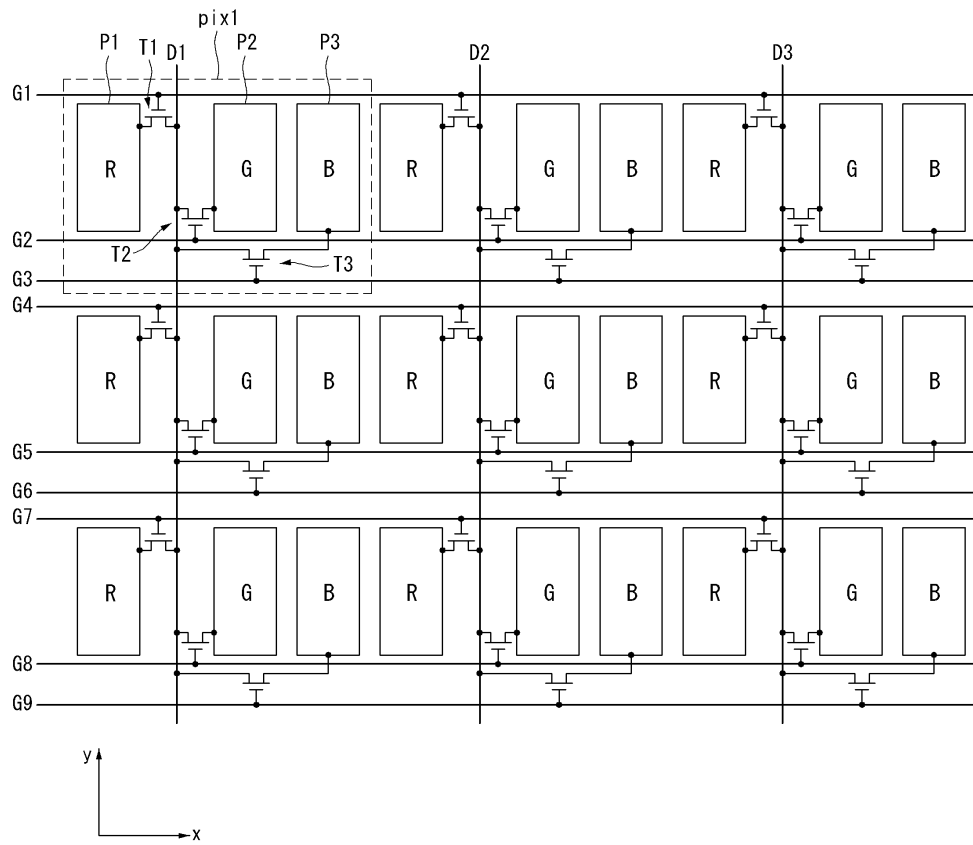
도면2



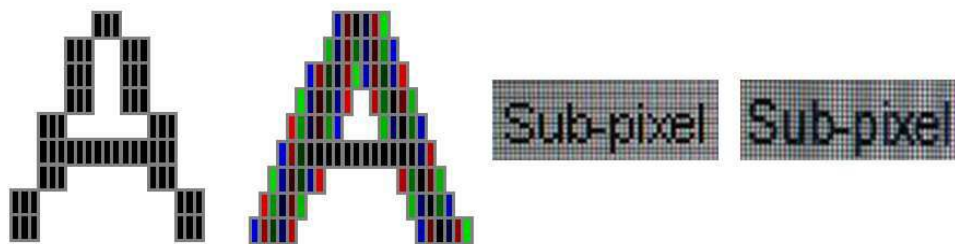
도면3



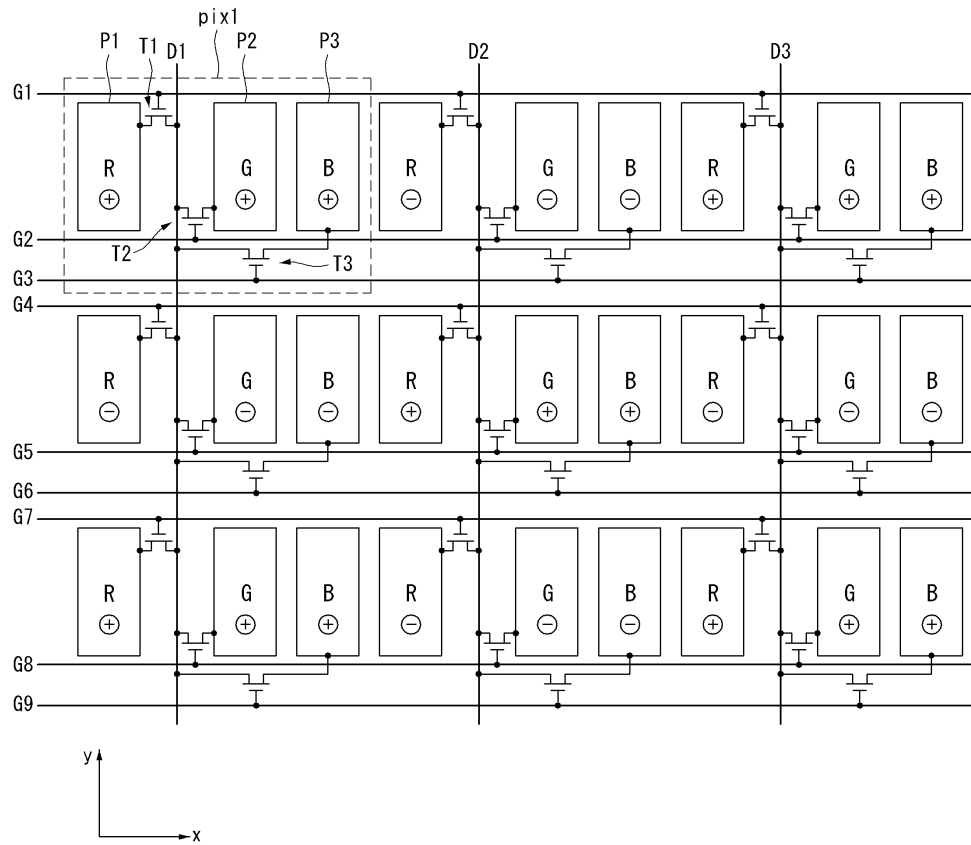
도면4



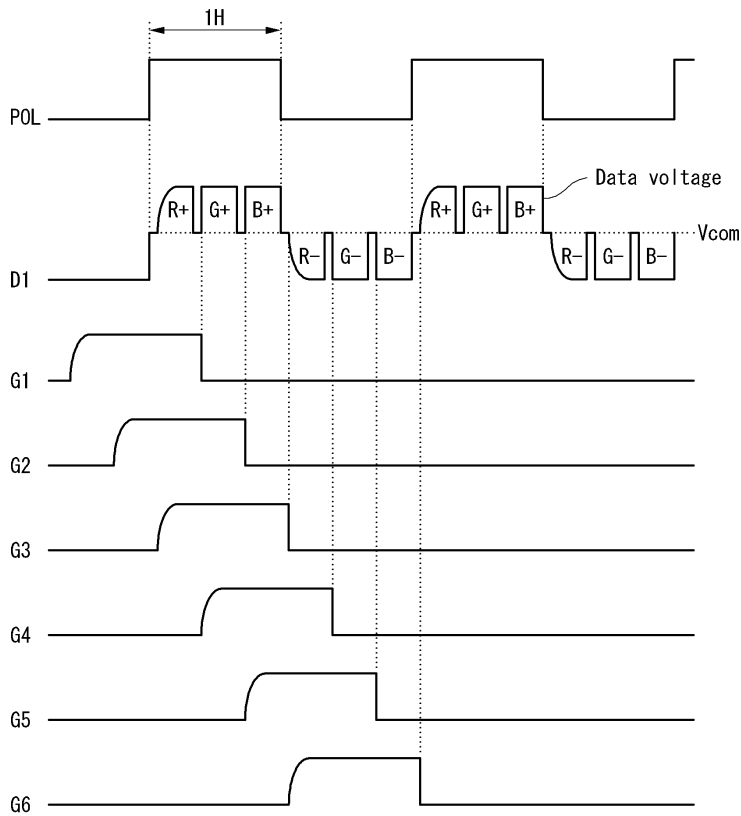
도면5



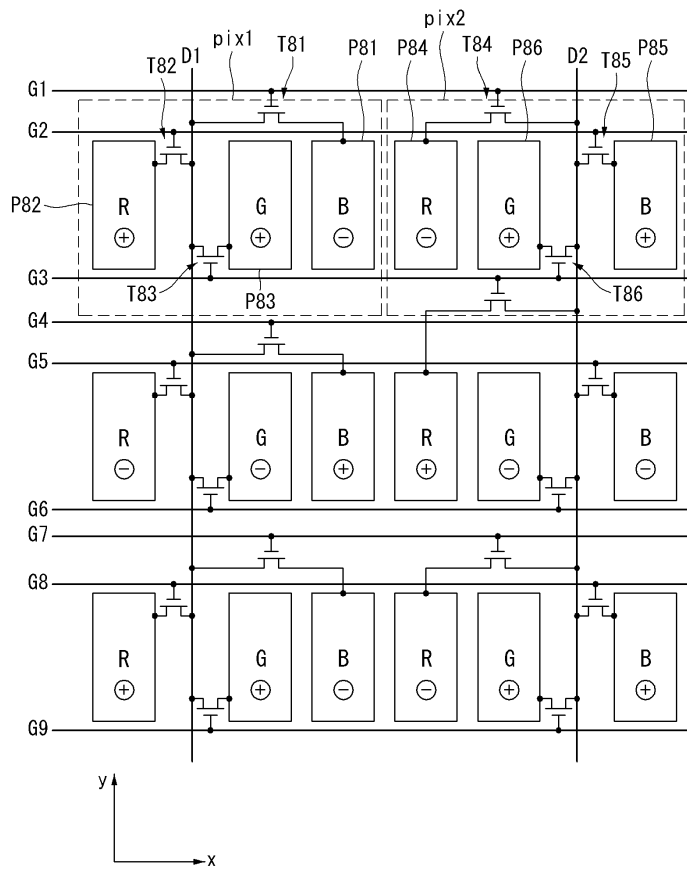
도면6



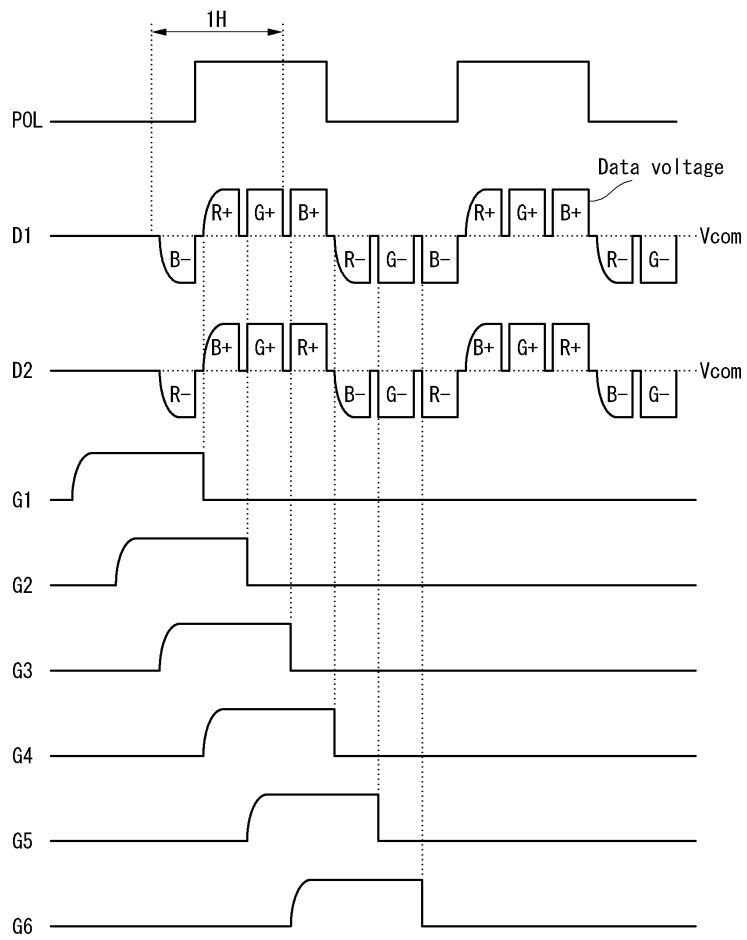
도면7



도면8



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR1020120063208A	公开(公告)日	2012-06-15
申请号	KR1020100124287	申请日	2010-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	OH DAE SEOK 오대석 KIM MIN HWA 김민화 SHIN SEUNG HWAN 신승환 CHO YOUNG SUNG 조영성 YUN SAI CHANG 윤세창 SO BYEONG SEONG 소병성		
发明人	오대석 김민화 신승환 조영성 윤세창 소병성		
IPC分类号	G02F1/133		
CPC分类号	G09G3/3648 G09G2300/0452 G09G2310/0251 G09G3/3614 G09G2300/0426		
其他公开文献	KR101354386B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器，该液晶显示器的像素包括第一像素，该第一像素在第一颜色的数据电压的1个水平周期内连续提供数据电压，第二颜色的数据电压和第二颜色的数据电压网络。来自第一数据线和第二像素的第三颜色连续地在1个水平周期中提供数据电压到第二颜色的数据电压，以及第一颜色的数据电压和来自第二数据线的第三颜色的数据电压网。

