

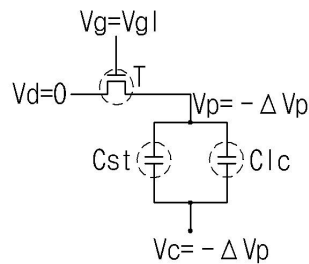
	(19) 대한민국특허청(KR) (12) 공개특허공보(A)	(11) 공개번호 10-2011-0065754 (43) 공개일자 2011년06월16일
(51) Int. Cl. <i>G09G 3/36</i> (2006.01) <i>G09G 3/20</i> (2006.01)	(71) 출원인 엘지디스플레이 주식회사 서울 용산구 한강로3가 65-228	(72) 발명자 신성우 경상북도 구미시 옥계동 현진에버빌 109동 1601호
(21) 출원번호 10-2009-0122394 (22) 출원일자 2009년12월10일 심사청구일자 없음	(74) 대리인 특허법인네이트	
전체 청구항 수 : 총 11 항		

(54) 액정표시장치 및 그 구동방법

(57) 요약

본 발명은, 서로 교차하는 게이트배선, 데이터배선 및 공통배선과, 상기 게이트배선 및 데이터배선에 연결되는 박막트랜지스터와, 상기 박막트랜지스터 및 상기 공통배선에 연결되는 스토리지 커패시터 및 액정 커패시터를 포함하는 액정패널과; 상기 게이트배선에 게이트신호를 공급하는 게이트 구동부와; 상기 데이터배선에 데이터신호를 공급하는 데이터 구동부와; 상기 게이트 구동부로 게이트 제어신호를 공급하고, 상기 데이터 구동부로 RGB신호 및 데이터 제어신호를 공급하는 타이밍 제어부와; 상기 공통배선으로부터 측정된 전압 변동량을 이용하여 보상된 공통전압 생성하여 상기 공통배선으로 공급하는 보상부를 포함하는 액정표시장치를 제공한다.

대표도 - 도7c



특허청구의 범위

청구항 1

서로 교차하는 게이트배선, 데이터배선 및 공통배선과, 상기 게이트배선 및 데이터배선에 연결되는 박막트랜지스터와, 상기 박막트랜지스터 및 상기 공통배선에 연결되는 스토리지 커패시터 및 액정 커패시터를 포함하는 액정패널과;

상기 게이트배선에 게이트신호를 공급하는 게이트 구동부와;

상기 데이터배선에 데이터신호를 공급하는 데이터 구동부와;

상기 게이트 구동부로 게이트 제어신호를 공급하고, 상기 데이터 구동부로 RGB신호 및 데이터 제어신호를 공급하는 타이밍 제어부와;

상기 공통배선으로부터 측정된 전압 변동량을 이용하여 보상된 공통전압 생성하여 상기 공통배선으로 공급하는 보상부

를 포함하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 보상부는,

상기 공통배선으로 공통전압을 공급하는 공통전압 공급부와;

상기 공통전압 공급부와 상기 공통배선의 연결을 제어하는 제어스위치와;

상기 공통배선에 연결되는 비반전단자와 서로 연결되는 반전단자 및 출력단자를 포함하는 연산증폭기와;

상기 출력단자에 연결되는 보상전압 산출부

를 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 데이터 구동부는 구동집적회로(D-IC)를 포함하고, 상기 제어스위치, 상기 연산증폭기 및 상기 보상전압 산출부는 상기 구동집적회로에 내장되는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 보상부는, 상기 연산증폭기와 상기 보상전압 산출부 사이에 연결되는 아날로그-디지털 변환기를 더 포함하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 연산증폭기는 상기 전압 변동량을 입력 받아 증폭하여 출력하고, 상기 보상전압 산출부는 상기 연산증폭기의 출력전압(V_{op})에 제1이득($G1$)을 곱하고 제2이득($G2$)으로 나누어 보상전압(CV)을 산출($CV = V_{op} * (G1/G2)$)하여 상기 공통전압 공급부에 공급하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 제어스위치가 상기 공통배선 및 상기 공통전압 공급부의 연결을 차단할 경우, 상기 공통배선은 플로팅 되고, 상기 박막트랜지스터는 턴-온 된 후 턴-오프 되고, 상기 데이터신호는 0V인 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 액정표시장치의 구동이 시작되거나, 메뉴에서 화면 최적화가 선택되었을 때, 상기 보상부가 상기 보상된 공통전압을 생성하는 액정표시장치.

청구항 8

박막트랜지스터와 상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터가 형성된 액정패널을 포함하는 액정표시장치의 구동방법에 있어서,

상기 스토리지 커패시터 및 액정 커패시터의 타 전극을 플로팅 되도록 한 상태에서, 상기 박막트랜지스터의 소스전극에 0V의 데이터신호를 인가하면서 상기 박막트랜지스터를 턴-온 한 후 턴-오프 하는 단계와;

상기 스토리지 커패시터 및 액정 커패시터의 상기 타 전극의 전압 변동량을 측정하는 단계와;

상기 전압 변동량을 이용하여 보상된 공통전압을 생성하여 상기 스토리지 커패시터 및 액정 커패시터의 상기 타 전극에 공급하는 단계

를 포함하는 액정표시장치의 구동방법.

청구항 9

제 8 항에 있어서,

상기 전압 변동량을 이용하여 상기 보상된 공통전압을 생성하는 단계는,

상기 전압 변동량을 증폭하는 단계와;

상기 증폭된 전압 변동량(V_{op})에 제1이득($G1$)을 곱하고 제2이득($G2$)으로 나누어 보상전압(CV)을 산출($CV = V_{op} * (G1/G2)$)하는 단계와;

상기 보상전압을 이용하여 상기 보상된 공통전압을 생성하는 단계

를 포함하는 액정표시장치의 구동방법.

청구항 10

제 9 항에 있어서,

상기 전압 변동량을 이용하여 상기 보상된 공통전압을 생성하는 단계는, 상기 증폭된 전압 변동량을 디지털데이터의 형태로 변환하는 단계를 더 포함하는 액정표시장치의 구동방법.

청구항 11

제 10 항에 있어서,

상기 증폭된 전압 변동량은 7비트 디지털데이터의 형태로 변환되고, 상기 제1 및 제2이득은 4비트 디지털데이터의 형태이고, 상기 보상전압은 7비트 디지털데이터의 형태인 액정표시장치의 구동방법.

명 세 서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 플리커 특성의 변동이 자동으로 보상되는 액정표시장치 및 그 구동방법에 관한 것이다.

배 경 기 술

[0002] 일반적으로 액정표시장치(liquid crystal display: LCD)는, 서로 마주보며 이격된 두 기관 사이에 액정층을 형성하고, 두 기관의 전극에 전압을 인가하여 생성되는 전기장에 의해 액정층의 액정 분자를 재배열함으로써, 달라지는 빛의 투과율에 의해 영상을 표현하는 장치이다.

[0003] 특히, 이러한 액정표시장치 중에서, 서로 교차하는 게이트 배선 및 데이터 배선에 의하여 정의되는 화소가 매트릭스 형태로 배치되고, 각 화소에 스위칭 소자 및 화소전극이 형성되는 액티브 매트릭스 방식의 액정표시장치가 널리 사용되고 있다.

[0004] 도 1은 종래의 액티브 매트릭스 방식의 액정표시장치의 일 화소에 대한 도면이다.

[0005] 도 1에 도시한 바와 같이, 종래의 액티브 매트릭스 방식의 액정표시장치(10)는, 게이트 배선(GL) 및 데이터 배선(DL)과, 박막트랜지스터(T)와, 스토리지 커패시터(Cst)와, 액정 커패시터(Clc)를 포함한다.

[0006] 게이트 배선(GL) 및 데이터 배선(DL)은 서로 교차하여 화소영역(P)을 정의하고, 박막트랜지스터(T)는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되고, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)는 박막트랜지스터(T)에 연결된다.

[0007] 액정 커패시터(Clc)는 박막 트랜지스터(T)에 연결되는 화소전극(미도시), 액정층 및 공통전극으로 구성되어, 화소전극에 인가되는 데이터 신호에 대응되는 계조를 표시하는 역할을 하고, 스토리지 커패시터(Cst)는 데이터 신호를 일 프레임 동안 저장하여 화소전극의 전압을 일정하게 유지하는 역할을 한다.

[0008] 게이트 배선(GL)으로 공급되는 게이트 신호(Vg)에 의하여 박막 트랜지스터(T)가 턴-온(turn-on)되면, 데이터 배선(DL)으로 공급되는 데이터 신호가 화소전극에 화소전압(Vp)으로 인가된다.

[0009] 즉, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc) 각각의 일 전극은 박막트랜지스터(T)의 드레인 전극에 연결되어 데이터 신호에 대응되는 화소전압(Vp)이 인가되고, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc) 각각의 타 전극은 공통전극에 연결되어 공통전압(Vcom)이 인가된다.

[0010] 여기서, 박막트랜지스터(T)의 게이트 전극과 드레인 전극은 구조적으로 다소 중첩되어 형성되며, 이러한 게이트 전극과 드레인 전극의 중첩부는 게이트-드레인 기생 커패시터(Cgd)를 형성한다.

[0011] 따라서, 박막트랜지스터(T)의 드레인 전극에 연결되는 화소전극에는 기생 커패시터(Cgd), 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 병렬로 연결된다.

[0012] 여기서, 이상적인 액정표시장치에서는 화소전압(Vp)이 일 프레임 동안 균일하게 유지되어야 하나, 실제로 있어서 화소전압(Vp)은 여러 가지 요인으로 인하여 변동하게 되는데, 이를 도면을 참조하여 설명한다.

[0013] 도 2는 종래의 액티브 매트릭스 방식의 액정표시장치의 게이트 신호 및 화소전압을 도시한 파형도로서, 프레임 반전으로 구동되는 액정표시장치의 연속하는 2개의 프레임에 대한 파형도이다.

[0014] 도 2에 도시한 바와 같이, 게이트 배선(도 1의 GL)으로 공급되는 게이트 신호(Vg)의 펄스에 의하여 박막트랜지

스터(T)가 턴-온 되면, 데이터 배선(도 1의 DL)으로 공급되는 데이터 신호가 화소전극에 인가되어 화소전압(Vp)이 된다.

[0015] 여기서, 게이트 신호(Vg)의 펄스가 종료되는 시점에, 즉, 게이트 신호(Vg)가 하이레벨 전압(Vgh)으로부터 로우레벨 전압(Vgl)으로 변하는 시점에, 게이트 신호(Vg)의 변동량(DVg)에 의하여 화소전극에 연결된 커패시터들의 전하가 재분배되고 그에 따라 화소전압(Vp)이 급격히 감소한다.

[0016] 이러한 게이트 신호(Vg)의 펄스 종료 시점에서의 화소전압(Vp)의 변동량을 킥백전압(kickback voltage: Vkb)이라 하는데, 킥백전압(Vkb)은 전하 재분배에 의한 다음 식(1)에 의하여 계산될 수 있다.

[0017] $V_{kb} = (C_{gd} / (C_{st} + C_{lc} + C_{gd})) * DVg$ --- 식(1)

[0018] 식(1)에 의하면 킥백전압(Vkb)은 기생 커패시터(Cgd), 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)에 의존한다.

[0019] 그리고, 게이트 신호(Vg)의 펄스가 종료되어 로우레벨 전압(Vgl)을 유지하는 동안에는 박막트랜지스터(T)가 턴-오프 되므로, 화소전압(Vp)이 일정한 값으로 유지되어야 한다.

[0020] 그러나, 실제로는 박막트랜지스터(T)의 오프전류(Ioff)에 의하여 화소전압(Vp)이 다소 감소하는데, 박막트랜지스터(T)의 오프전류에 의한 화소전압(Vp)의 변동량을 누설전압(Vlk)이라 부르기로 한다.

[0021] 결국, 일 프레임 동안 화소전압(Vp)은 데이터 신호에 대응되는 값으로 일정하게 유지되지 못하고 킥백전압(Vkb) 및 누설전압(Vlk)의 합에 대응되는 화소전압 변동량($\Delta Vp = V_{kb} + V_{lk}$)만큼 감소된다.

[0022] 이러한 화소전압 변동량(ΔVp)은 액정표시장치의 영상 표시에 있어서 플리커(flicker)와 같은 불량으로 나타나는데, 플리커란 균일하게 표시되어야 할 영상이 서로 다른 휘도의 2가지 영상을 번갈아 표시함으로써, 사용자에게 껌빕 거리는 영상으로 인식되는 것을 의미한다.

[0023] 즉, 화소전압이 최초 데이터 신호에 대응되는 전압으로부터 화소전압 변동량(ΔVp)만큼 변화함에 따라 서로 상이한 휘도를 표시하게 되는 것이다.

[0024] 또한, 대부분의 액정표시장치에서는 전하의 고정에 의한 잔상 등을 방지하기 위하여, 프레임 반전, 라인 반전, 도트 반전 등의 반전구동이 적용되는데, 이러한 반전구동에 있어서 화소전압 변동량(ΔVp)이 상이하게 작용하여 공통전압(Vcom)을 기준으로 한 대칭성이 깨어져서 플리커 특성이 더욱 악화된다.

[0025] 예를 들어, 도 2에서 정극성(+)의 N프레임과 부극성(-)의 (N+1)프레임에서 동일한 데이터 신호가 입력되더라도 킥백전압(Vkb) 및 누설전압(Vlk)이 상이하게 작용하여 공통전압(Vcom)이 정극성(+) 데이터 신호와 부극성(-) 데이터 신호의 대칭선에 존재하지 못하고 한쪽으로 치우치게 되고 플리커는 더욱 심화된다.

[0026] 이러한 화소전압 변동량(ΔVp)의 비대칭성은 공통전압(Vcom)의 수준을 적절히 조정함으로써 최소화할 수 있는데, 이러한 공통전압(Vcom)의 조정은 액정표시장치 제조 완료 후, 작업자가 육안으로 액정표시장치의 영상을 보면서 가변저항 등을 조정하여 플리커가 최소가 되는 지점을 찾아서 고정하는 방법(최적 공통전압 수동선정법)과, 플리커 측정 장비를 이용하여 자동으로 플리커가 최소가 되는 공통전압(Vcom)을 찾아서 구동집적회로(driving integrated circuit: D-IC)의 EEPROM과 같은 저장수단에 저장하는 방법(최적 공통전압 자동선정법)을 통하여 이루어진다.

[0027] 그러나, 위의 두 가지 방법은 모두 액정표시장치 제조 완료 시의 측정 결과에 의하여 공통전압(Vcom)이 고정되기 때문에, 온도에 따라 변화하는 플리커 특성을 보상하기에는 한계가 있는데, 이를 도면을 참조하여 설명한다.

[0028] 도 3a 및 도 3b는 각각 종래의 액정표시장치의 온도에 따른 플리커 특성 변화를 도시한 도면이고, 도 4는 종래의 액정표시장치의 박막트랜지스터의 온도에 따른 오프전류 특성 변화를 도시한 도면이다.

[0029] 식(1)에서 알 수 있듯이, 킥백전압(Vkb)은 액정 커패시터(Clc)에 의존하고, 액정 커패시터(Clc)는 고유의 특성상 온도에 의존하므로, 킥백전압(Vkb)은 온도에 따라 달라진다.

[0030] 또한, 누설전압(Vlk) 역시 박막트랜지스터(T)의 오프전류에 의존하는데, 박막트랜지스터(T)의 오프전류 역시 온

도에 따라 변화하므로, 누설전압(Vlk) 역시 온도에 따라 달라진다.

- [0031] 따라서, 액정표시장치의 화소전압 변동량(ΔV_p) 및 플리커 특성은 온도에 따라 달라진다.
- [0032] 즉, 도 3a에 도시한 바와 같이, 제1 내지 제3샘플에 있어서, 제조완료 직후인 초기의 액정표시장치의 플리커보다 50C에서 2시간 구동 후의 액정표시장치의 플리커가 더 크고, 그 후 상온에서 1주일 지난 경우 액정표시장치의 플리커는 50C에서 2시간 구동 후의 액정표시장치의 플리커보다는 다소 작아지지만, 초기의 액정표시장치의 플리커로 감소되지는 않는다.
- [0033] 즉, 액정표시장치를 고온 등의 조건에서 구동할 경우 플리커 특성이 악화되고, 고온에서 동작한 후 상온에서 장시간 경과한 경우에도 플리커 특성이 초기의 플리커 특성으로 복귀되지 않고 악화된 상태를 유지한다.
- [0034] 그리고, 도 3b에 도시한 바와 같이, 제조완료 직후인 초기의 액정표시장치의 플리커보다 고온, 고온고습 및 고온, 상온, 저온을 순환하는 환경싸이클 조건에서 96시간 구동한 후의 액정표시장치의 플리커가 더 크며, 저온에서 96시간 구동한 후의 액정표시장치의 플리커는 초기의 액정표시장치의 플리커와 유사하다.
- [0035] 즉, 액정표시장치를 고온, 고온고습 또는 환경싸이클 조건에서 구동할 경우 플리커 특성은 악화된다.
- [0036] 여기서, 액정표시장치의 플리커는 액정표시장치의 휘도의 DC성분에 대한 AC성분의 비로 나타낼 수 있으며, 데시벨(dB) 또는 백분율(%)로 표현할 수 있다.
- [0037] 예를 들어, "플리커(dB) = $20 * \log(V_{ac} / V_{dc})$ " 또는 "플리커(%) = $(V_{ac} / V_{dc}) * 100$ "의 식으로부터 산출할 수 있다.
- [0038] 한편, 도 4에 도시한 바와 같이, 구동1 및 구동2의 신뢰성 조건에서 구동한 후의 액정표시장치의 박막트랜지스터의 전류전압($I_{ds}-V_{gs}$) 특성곡선은 초기의 액정표시장치의 전류전압 특성곡선보다 좌측으로 이동한다.
- [0039] 즉, 초기의 액정표시장치의 박막트랜지스터의 문턱전압이 약 0.22V인데, 구동1 및 구동2의 조건으로 구동한 후의 액정표시장치의 문턱전압은 각각 약 -1.82V 및 약 -1.18V로 약 -2.04V 및 약 -1.40V 만큼 문턱전압이 이동하였고(V_{th} shift), 이에 따라 박막트랜지스터의 온전류(on current: I_{on})는 초기의 약 1.69A로부터 약 1.96A 및 약 2.37A로 증가하고, 박막트랜지스터의 오프전류(off current: I_{off}) 역시 초기의 약 29.3fA로부터 약 54.2fA 및 약 37.0fA로 증가하였다.
- [0040] 따라서, 액정표시장치를 고온에서 구동할 경우 박막트랜지스터의 문턱전압이 변화하며, 이에 따라 박막트랜지스터의 오프전류도 변화하여 누설전압(Vlk)이 변동되고, 그 결과 플리커 특성이 변동된다.
- [0041] 도 3a, 도 3b 및 도 4에서 살펴본 바와 같이, 액정표시장치의 플리커 특성은 온도 등의 구동조건에 따라 변동되며, 이러한 플리커 특성의 변동은 회복되지 않는다.
- [0042] 즉, 플리커 특성 개선을 위하여 액정표시장치의 제조완료 시에 설정한 최적 공통전압(V_{com})은, 다양한 환경에서의 액정표시장치의 구동에 따라 변동된 플리커 특성에는 적합하지 않으며, 변동된 플리커 특성을 보상하기 위해서는 새로운 공통전압(V_{com})을 설정할 필요가 있다.
- [0043] 그러나, 앞서 언급한 최적 공통전압 수동선정법 및 최적 공통전압 자동선정법에 의하면, 액정표시장치 제조완료 시에 설정된 최적 공통전압이 고정되므로, 더 이상 변동된 플리커 특성을 적절히 보상하지 못하고 액정표시장치의 화질이 저하되는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

- [0044] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 액정표시장치의 초기화 또는 사용자의 선택에 의하여 액정표시장치의 현재의 화소전압 변동량을 측정하고 이로부터 최적 공통전압을 산출하여 액정표시장치에 적용함으로써, 구동에 따른 플리커 특성 변동이 자동으로 보상되는 액정표시장치를 제공하는 것을 목적으로 한다.
- [0045] 또한, 본 발명은, 공통전극을 플로팅(floating)한 상태로 게이트 신호를 스캔 함으로써, 화소전압 변동량이 측정되는 액정표시장치의 구동방법을 제공하는 것을 다른 목적으로 한다.

과제 해결수단

- [0046] 전술한 바와 같은 목적을 달성하기 위하여, 본 발명은, 서로 교차하는 게이트배선, 데이터배선 및 공통배선과, 상기 게이트배선 및 데이터배선에 연결되는 박막트랜지스터와, 상기 박막트랜지스터 및 상기 공통배선에 연결되는 스토리지 커패시터 및 액정 커패시터를 포함하는 액정패널과; 상기 게이트배선에 게이트신호를 공급하는 게이트 구동부와; 상기 데이터배선에 데이터신호를 공급하는 데이터 구동부와; 상기 게이트 구동부로 게이트 제어신호를 공급하고, 상기 데이터 구동부로 RGB신호 및 데이터 제어신호를 공급하는 타이밍 제어부와; 상기 공통배선으로부터 측정된 전압 변동량을 이용하여 보상된 공통전압 생성하여 상기 공통배선으로 공급하는 보상부를 포함하는 액정표시장치를 제공한다.
- [0047] 여기서, 상기 보상부는, 상기 공통배선으로 공통전압을 공급하는 공통전압 공급부와; 상기 공통전압 공급부와 상기 공통배선의 연결을 제어하는 제어스위치와; 상기 공통배선에 연결되는 비반전단자와 서로 연결되는 반전단자 및 출력단자를 포함하는 연산증폭기와; 상기 출력단자에 연결되는 보상전압 산출부를 포함할 수 있다.
- [0048] 그리고, 상기 데이터 구동부는 구동집적회로(D-IC)를 포함하고, 상기 제어스위치, 상기 연산증폭기 및 상기 보상전압 산출부는 상기 구동집적회로에 내장될 수 있다.
- [0049] 또한, 상기 보상부는, 상기 연산증폭기와 상기 보상전압 산출부 사이에 연결되는 아날로그-디지털 변환기를 더 포함할 수 있다.
- [0050] 그리고, 상기 연산증폭기는 상기 전압 변동량을 입력 받아 증폭하여 출력하고, 상기 보상전압 산출부는 상기 연산증폭기의 출력전압(V_{op})에 제1이득($G1$)을 곱하고 제2이득($G2$)으로 나누어 보상전압(CV)을 산출($CV = V_{op} * (G1/G2)$)하여 상기 공통전압 공급부에 공급할 수 있다.
- [0051] 또한, 상기 제어스위치가 상기 공통배선 및 상기 공통전압 공급부의 연결을 차단할 경우, 상기 공통배선은 플로팅 되고, 상기 박막트랜지스터는 턴-온 된 후 턴-오프 되고, 상기 데이터신호는 0V일 수 있다.
- [0052] 그리고, 상기 액정표시장치의 구동이 시작되거나, 메뉴에서 화면 최적화가 선택되었을 때, 상기 보상부가 상기 보상된 공통전압을 생성할 수 있다.
- [0053] 한편, 본 발명은, 박막트랜지스터와 상기 박막트랜지스터에 일 전극이 연결되는 스토리지 커패시터 및 액정 커패시터가 형성된 액정패널을 포함하는 액정표시장치의 구동방법에 있어서, 상기 스토리지 커패시터 및 액정 커패시터의 타 전극을 플로팅 되도록 한 상태에서, 상기 박막트랜지스터의 소스전극에 0V의 데이터신호를 인가하면서 상기 박막트랜지스터를 턴-온 한 후 턴-오프 하는 단계와; 상기 스토리지 커패시터 및 액정 커패시터의 상기 타 전극의 전압 변동량을 측정하는 단계와; 상기 전압 변동량을 이용하여 보상된 공통전압을 생성하여 상기 스토리지 커패시터 및 액정 커패시터의 상기 타 전극에 공급하는 단계를 포함하는 액정표시장치의 구동방법을 제공한다.
- [0054] 여기서, 상기 전압 변동량을 이용하여 상기 보상된 공통전압을 생성하는 단계는, 상기 전압 변동량을 증폭하는 단계와; 상기 증폭된 전압 변동량(V_{op})에 제1이득($G1$)을 곱하고 제2이득($G2$)으로 나누어 보상전압(CV)을 산출($CV = V_{op} * (G1/G2)$)하는 단계와; 상기 보상전압을 이용하여 상기 보상된 공통전압을 생성하는 단계를 포함할 수 있다.
- [0055] 그리고, 상기 전압 변동량을 이용하여 상기 보상된 공통전압을 생성하는 단계는, 상기 증폭된 전압 변동량을 디지털데이터의 형태로 변환하는 단계를 더 포함할 수 있다.
- [0056] 또한, 상기 증폭된 전압 변동량은 7비트 디지털데이터의 형태로 변환되고, 상기 제1 및 제2이득은 4비트 디지털데이터의 형태이고, 상기 보상전압은 7비트 디지털데이터의 형태일 수 있다.

효과

- [0057] 위에 상술한 바와 같이, 본 발명에 따른 액정표시장치에서는, 액정표시장치의 현재의 화소전압 변동량을 측정하고, 측정된 화소전압 변동량으로부터 최적 공통전압을 산출하여 액정표시장치에 적용함으로써, 구동조건에 따른 액정표시장치의 플리커 특성 변동을 자동으로 보상할 수 있다.

[0058] 또한, 액정표시장치의 초기화 시 또는 사용자의 선택에 의한 화면 최적화 시 자동으로 플리커 특성 변동을 보상함으로써, 액정표시장치의 플리커 특성을 개선하여 화질을 개선할 수 있다.

발명의 실시를 위한 구체적인 내용

[0059] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.

[0060] 도 5는 본 발명의 실시예에 따른 액정표시장치를 도시한 도면이다.

[0061] 도 5에 도시한 바와 같이, 본 발명의 실시예에 따른 액정표시장치(110)는, 영상을 표시하는 액정패널(120)과, 액정패널(120)에 게이트 신호를 공급하는 게이트 구동부(130)와, 액정패널(120)에 데이터 신호 및 공통전압을 공급하는 데이터 구동부(140)와, 게이트 구동부(130)에 게이트 제어신호를 공급하고 데이터 구동부(140)에 RGB 신호 및 데이터 제어신호를 공급하는 타이밍 제어부(150)를 포함한다.

[0062] 액정패널(120)에는 서로 교차하여 화소영역(P)을 정의하는 다수의 게이트 배선(GL1 내지 GLm) 및 다수의 데이터 배선(DL1 내지 DLn)이 형성되고, 각 화소영역(P)에는 게이트 배선 및 데이터 배선에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)가 형성된다.

[0063] 그리고, 액정패널(120)에는 다수의 데이터 배선(DL1 내지 DLn)에 평행하게 이격된 다수의 공통배선(CL1 내지 CLn)이 형성되는데, 다른 실시예에서는 다수의 공통배선(CL1 내지 CLn)이 다수의 게이트 배선(GL1 내지 GLm)에 평행하게 이격되도록 형성되거나, 다수의 게이트 배선(GL1 내지 GLm) 및 다수의 데이터 배선(DL1 내지 DLn)에 평행한 그물 형태로 형성될 수도 있으며, 또 다른 실시예에서는 다수의 공통배선(CL1 내지 CLn)에 연결되는 피드백배선을 액정패널(120)의 가장자리부에 별도로 형성할 수도 있다.

[0064] 다수의 공통배선(CL1 내지 CLn)은 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)에 연결된다.

[0065] 게이트 구동부(130)로부터 다수의 게이트 배선(GL1 내지 GLm)을 통하여 공급되는 게이트 신호에 따라 박막트랜지스터(T)가 순차적으로 턴-온(turn-on) 되고, 데이터 구동부(140)로부터 다수의 데이터 배선(DL1 내지 DLn)을 통하여 공급되는 데이터 신호가 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 일 전극에 인가된다.

[0066] 이때, 데이터 구동부(140)로부터 다수의 공통배선(CL1 내지 CLn)을 통하여 공급되는 공통전압이 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극에 인가된다.

[0067] 한편, 게이트 구동부(130) 및 데이터 구동부(140)는 각각 다수의 구동집적회로(driving integrated circuit: D-IC) 및 다수의 구동집적회로가 장착된 인쇄회로기판(printed circuit board: PCB)를 포함할 수 있다.

[0068] 다른 실시예에서는, 게이트 구동부(130) 및 데이터 구동부(140)를 통합하여 하나의 구동부에서 게이트 신호 및 데이터 신호를 생성하여 액정패널(120)에 공급할 수도 있으며, 또 다른 실시예에서는 쉬프트 레지스터(shift register)와 같은 게이트 구동부의 일부를 액정패널(120)에 형성하여 게이트 신호를 생성하게 하고 하나의 구동부에서는 데이터 신호를 생성하여 액정패널(120)에 공급하도록 할 수도 있다.

[0069] 또한, 타이밍 제어부(150)는 외부 시스템으로부터 영상신호, 데이터인에이블신호(DE), 수평동기신호(HSY), 수직 동기신호(VSY) 및 클럭신호(CLK) 등을 공급받아 게이트 제어신호, RGB신호 및 데이터 제어신호를 생성하여 게이트 구동부(130) 및 데이터 구동부(140)에 공급한다.

[0070] 이러한 액정표시장치(110)에서, 사용자가 액정표시장치(110)의 구동을 시작하거나(on), 메뉴에서 화면 최적화를 선택하는 경우, 타이밍 제어부(150)는 보상제어신호를 생성하여 게이트 구동부(120) 및 데이터 구동부(130)에 공급하고, 게이트 구동부(120) 및 데이터 구동부(130)는 보상제어신호에 대응되는 게이트 신호 및 데이터 신호를 생성하여 액정패널(120)에 공급한다.

[0071] 그리고, 데이터 구동부(140)의 보상부(160)는 보상제어신호에 따라 화소전압 변동량을 측정하고 측정된 화소전압 변동량에 대응되는 보상된 공통전압을 산출하여 액정패널(120)에 새로운 공통전압으로 공급함으로써, 액정표시장치(110)의 온도에 따른 플리커 특성 변동을 보상한다.

- [0072] 이러한 보상부(160)의 구성과 동작에 대하여 도면을 참조하여 설명한다.
- [0073] 도 6은 본 발명의 실시예에 따른 액정표시장치의 보상부를 도시한 도면이고, 도 7a, 도 7b 및 도 7c는 본 발명의 실시예에 따른 플리커 특성 변동을 보상하기 위한 액정표시장치의 구동방법을 도시한 도면이다.
- [0074] 도 6에 도시한 바와 같이, 보상부(160)는 공통전압 공급부(162), 제어스위치(164), 연산증폭기(166) 및 보상전압 산출부(168)를 포함한다.
- [0075] 공통전압 공급부(162)는 액정패널(도 5의 120)에 공통전압(Vcom)을 공급하는데, 예를 들어, 데이터 구동부(도 5의 140)의 인쇄회로기판에 장착되어 액정표시장치의 전원을 공급하는 파워집적회로(power integrated circuit)일 수 있다.
- [0076] 제어스위치(164)는 공통전압 공급부(162)와 액정패널(120)의 다수의 공통배선(도 5의 CL1 내지 CLn) 사이에 배치되어 타이밍제어부(도 5의 150)의 보상제어신호에 따라 공통전압 공급부(162)와 다수의 공통배선(CL1 내지 CLn)을 연결하거나 차단한다.
- [0077] 즉, 보상제어신호에 따라 제어스위치(164)가 공통전압 공급부(162)와 다수의 공통배선(CL1 내지 CLn) 사이의 연결을 차단하면 다수의 공통배선(CL1 내지 CLn)은 플로팅(floating)되며, 다수의 공통배선(CL1 내지 CLn)에 연결된 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 전극도 플로팅 된다.
- [0078] 그리고, 보상제어신호에 따라 제어스위치(164)가 공통전압 공급부(162)와 다수의 공통배선(CL1 내지 CLn)을 연결하면 공통전압 공급부(162)에서 출력되는 공통전압이 다수의 공통배선(CL1 내지 CLn)으로 인가된다.
- [0079] 연산 증폭기(OP AMP: 166)의 비반전단자(+)는 다수의 공통배선(CL1 내지 CLn)에 연결되고, 연산증폭기(166)의 반전단자(-)는 연산 증폭기(166)의 출력단자에 연결되고, 연산증폭기(166)의 출력단자는 보상전압 산출부(168)에 연결된다.
- [0080] 따라서, 연산증폭기(166)는 플로팅 된 다수의 공통배선(CL1 내지 CLn)을 통하여 화소전압 변동량을 입력 받아 증폭하여 보상전압 산출부(168)로 출력한다.
- [0081] 보상전압 산출부(168)는 연산증폭기(166)의 출력전압에 대응되는 보상전압(CV)을 산출하여 공통전압 공급부(162)에 공급하는데, 이득(gain)을 이용하여 증폭된 화소전압 변동량에 대응되는 보상전압(CV)을 산출하며 그 구체적인 방법은 후술한다.
- [0082] 그리고, 공통전압 공급부(162)는 보상전압(CV)을 이용하여 보상된 공통전압(Vcom)을 설정하여 액정패널(120)에 공급하며, 이 경우 제어스위치(164)는 보상제어신호에 따라 공통전압 공급부(162)와 다수의 공통배선(CL1 내지 CLn)을 연결한다.
- [0083] 보상부(160)의 제어스위치(164), 연산증폭기(166) 및 보상전압 산출부(168)는 데이터 구동부(도 5의 140)의 구동집적회로(D-IC)에 내장될 수 있으며, 이 경우 구동집적회로에서의 데이터 처리 효율을 위하여 측정된 아날로그 전압을 디지털 전압으로 변환하는 아날로그-디지털 변환기(analog-digital converter: ADC)가 추가될 수 있다.
- [0084] 이때, 다수의 공통배선(CL1 내지 CLn)의 전압을 이용하여 액정패널(120)의 현 상태의 킥백전압 및 누설전압을 합친 화소전압 변동량($\Delta V_p = V_{kb} + V_{lk}$)을 측정하기 위하여, 도 7a에 도시한 바와 같이, 보상제어신호에 따라 제어스위치(164)를 오프(off)하여 공통전압 공급부(162)와 다수의 공통배선(CL1 내지 CLn)을 차단한다.
- [0085] 따라서, 다수의 공통배선(CL1 내지 CLn)에 연결된 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극의 전압인 커패시터 전압(Vc)은 플로팅(floating)이 된다.
- [0086] 동시에, 보상제어신호에 따라 게이트 구동부(130)는 다수의 게이트 배선(GL1 내지 GLm)을 통하여 박막트랜지스터(T)의 게이트전극에 하이레벨 전압(Vgh)의 게이트 신호(Vg)를 순차적으로 공급하여 박막트랜지스터(T)를 턴-온 시키고, 데이터 구동부(140)는 다수의 데이터 배선(DL1 내지 DLn)을 통하여 박막트랜지스터(T)의 소스전극에 0V의 데이터 신호(Vd)를 공급한다.
- [0087] 따라서, 다수의 공통배선(CL1 내지 CLn)에 연결된 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 일 전극의 전압인 화소전압(Vp)은 0V가 된다.

- [0088] 이후, 도 7b에 도시한 바와 같이, 게이트 신호(Vg)가 하이레벨 전압(Vgh)으로부터 로우레벨 전압(Vgl)으로 변하는 시점에 게이트 신호(Vg)의 변동량($DVg = Vgh - Vgl$)에 의하여 화소전압(Vp)은 0V에서 킥백전압(Vkb)만큼 감소하고, 이후 박막트랜지스터(T)의 오프전류에 의한 누설전압(Vlk)만큼 증가하여, 화소전압(Vp)은 음의 화소전압 변동량($-DVp$)이 된다.
- [0089] 그런데, 도 7c에 도시한 바와 같이, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극에 연결된 다수의 공통배선(CL1 내지 CLn)이 플로팅(floating)된 상태이므로, 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 일 전극의 화소전압(Vp)의 변동에 따라 스토리지 커패시터(Cst) 및 액정 커패시터(Clc)의 타 전극의 커패시터 전압(Vc)도 동일하게 변동한다.
- [0090] 따라서, 커패시터 전압(Vc) 역시 음의 화소전압 변동량($-DVp$)이 된다. ($Vc = -DVp$)
- [0091] 즉, 게이트 신호(Vg)가 하이레벨 전압(Vgh)으로부터 로우레벨 전압(Vgl)으로 변함에 따라, 다수의 공통배선(CL1 내지 CLn)의 전압은 음의 화소전압 변동량($-DVp$)이 되고, 음의 화소전압 변동량($-DVp$)은 보상부(160)의 연산 증폭기(166)에 입력되어 증폭되고, 증폭된 음의 화소전압 변동량($-DVp$)은 보상전압 산출부(168)에 전달되어 증폭된 음의 화소전압 변동량($-DVp$)에 대응되는 보상전압(CV)으로 출력되고, 출력된 보상전압(CV)은 공통전압 공급부(162)로 전달되어 보상된 공통전압($Vcom$) 설정에 이용되고, 보상된 공통전압($Vcom$)이 액정패널(120)에 공급된다.
- [0092] 이때, 보상된 공통전압($Vcom$)을 액정패널(120)에 공급하기 위하여, 보상제어신호에 따라 제어스위치(164)가 온(on) 되어 공통전압 공급부(162)와 다수의 공통배선(CL1 내지 CLn)이 연결된다.
- [0093] 여기서, 보상전압 산출부(168)에서 이득을 이용하여 증폭된 음의 화소전압 변동량($-DVp$)에 대응되는 보상전압(CV)의 산출방법을 도면을 참조하여 설명한다.
- [0094] 도 8은 본 발명의 실시예에 따른 액정표시장치의 보상전압 산출방법을 설명하기 위한 도면으로, 도 5 및 도 6을 함께 참조하여 설명한다.
- [0095] 도 8에 도시한 바와 같이, 액정표시장치는 고온에서의 구동시간에 따라 음의 화소전압 변동량($-DVp$)이 선형적으로 증가하고, 그 결과 고온 구동시간에 따라 음의 화소전압 변동량($-DVp$)을 증폭한 연산 증폭기(166)의 출력전압(Vop)의 절대값이 선형적으로 증가한다.
- [0096] 보상전압 산출부(168)는 연산 증폭기(166)의 출력전압(Vop)을 그대로 보상전압(CV)으로 설정하여 공통전압 공급부(162)로 출력할 수도 있지만, 보상부(160)의 제어스위치(164), 연산증폭기(164) 및 보상전압 산출부(168)를 데이터 구동부(140)의 구동집적회로(D-IC)에 내장할 경우, 하나의 구동집적회로(D-IC)를 다양한 구동조건의 액정표시장치에 적용해야 하므로, 연산 증폭기(166)의 출력전압(Vop)으로부터 산출되는 보상전압(CV)이 일정범위를 갖도록 이득을 정의할 수도 있다.
- [0097] 즉, 도 8의 연산증폭기(166)의 출력전압 직선의 상하에 각각 최소 보상전압 직선 및 최대 보상전압 직선을 설정할 수 있으며, 보상전압 산출부(168)가 출력하는 보상전압(CV)이 최소 보상전압 및 최대 보상전압 사이에 있도록 제1 및 제2이득($G1, G2$)을 설정할 수 있다.
- [0098] 여기서, 최소 및 최대는 보상전압의 절대값의 크기를 비교하는 의미이다.
- [0099] 예를 들어, 보상전압 산출부(168)는 연산증폭기(166)의 출력전압(Vop)에 제1이득을 곱하고 제2이득을 나눈 값을 보상전압(CV)으로 출력할 수 있다. ($CV = Vop * (G1/G2)$)
- [0100] 구체적으로 연산증폭기(166)의 출력전압(Vop)이 $-1.8V$ 이고, 최소 및 최대 보상전압이 각각 $-0.9V$ 및 $-3.6V$ 인 경우, 제1 및 제2이득($G1, G2$)을 각각 0.3 및 0.42로 설정함으로써, 보상전압 산출부(168)는 최소 및 최대 보상전압 사이의 $-1.28V$ 를 보상전압(CV)으로 출력할 수 있다.
- [0101] 그리고, 보상부(160)의 제어스위치(164), 연산증폭기(164) 및 보상전압 산출부(168)를 데이터 구동부(140)의 구동집적회로(D-IC)에 내장할 경우, 효율적인 데이터 처리를 위하여 연산증폭기(164)의 출력단자와 보상전압 산출부(168) 사이에 아날로그-디지털 변환기(ADC)를 추가할 수 있으며, 그 경우 아날로그-디지털 변환기(ADC)는 연산증폭기(164)의 출력 아날로그전압을 디지털전압으로 변환하고, 보상전압 산출부(168)는 변환된 디지털전압을

관독하여 보상전압(CV)을 디지털전압으로 출력할 수 있다.

[0102] 표 1은 -0.3V ~ -2.5V 범위의 연산증폭기(166)의 출력전압(Vop)을 0.02V 간격으로 구분한 7비트 디지털코드를 예시한 표이고, 표 2는 보상전압 산출부(168)에서 이용되는 제1 및 제2이득의 4비트 디지털코드를 예시한 표이고, 표 3은 제1 및 제2이득(G1, G2)를 각각 0.3 및 0.42로 설정하여 보상전압 산출부(168)가 산출한 보상전압(CV)의 7비트 디지털코드를 예시한 표이다.

[0103] 표 1 내지 표 3이 보여주는 바와 같이, 아날로그-디지털 변환기(ADC)는 연산증폭기(164)의 출력 아날로그전압을 7비트(bit)의 디지털전압으로 변환하고, 보상전압 산출부(168)는 4비트의 제1 및 제2이득(G1, G2)을 이용하여 7비트의 보상전압(CV)을 출력할 수 있다.

[0104] [표 1]

연산증폭기 출력전압(Vop)	7비트 디지털코드
-0.30V	0000000
-0.32V	0000001
-0.34V	0000010
-0.36V	0000011
...	...
-1.80V	1000110
...	...
-2.48V	1101101
-2.50V	1101110

[0105]

[0106] [표 2]

이득	4비트 디지털코드
0.3	0000
0.32	0001
0.34	0010
0.36	0011
0.38	0100
0.40	0101
0.42	0110
0.44	0111
0.46	1000
0.48	1001
0.50	1010
0.52	1011
0.54	1100
0.56	1101
0.58	1110
0.60	1111

[0107]

[0108] [표 3]

보상전압(CV)	7비트 디지털코드
-0.21V	0000000
-0.23V	0000001
-0.24V	0000010
-0.25V	0000011
...	...
-1.28V	1000110
...	...
-1.77V	1101101
-1.79V	1101110

[0109]

[0110] 도 9는 본 발명의 실시예에 따른 액정표시장치의 플리커 특성 변동 보상효과를 설명하기 위한 도면이다.

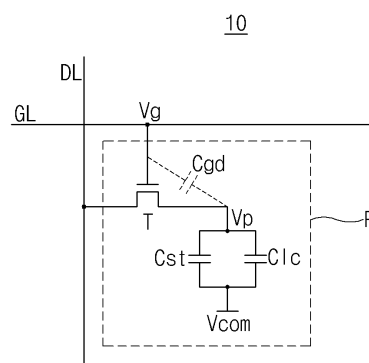
- [0111] 도 9에 도시한 바와 같이, 본 발명의 실시예에 따른 액정표시장치(샘플 1 내지 샘플 10)는 제조완료 직후인 초기의 액정표시장치의 플리커 특성은 약 5% 정도였으나, 신뢰성 테스트를 위한 고온 구동 후의 액정표시장치의 플리커 특성은 약 10% ~ 약 20% 정도로 악화되었다.
- [0112] 그러나, 화소전압 변동량(DVp)의 측정 및 보상전압 산출에 의하여 플리커 특성 변동을 보상한 후의 액정표시장치의 플리커 특성은 약 5% ~ 약 10%로 개선되었다.
- [0113] 즉, 본 발명의 실시예에 따른 액정표시장치에서는 현재의 화소전압 변동량(DVp)을 측정하고 그로부터 산출된 보상된 공통전압을 다시 액정표시장치에 인가함으로써, 플리커 특성이 개선되고 화질이 개선된다.
- [0114] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

도면의 간단한 설명

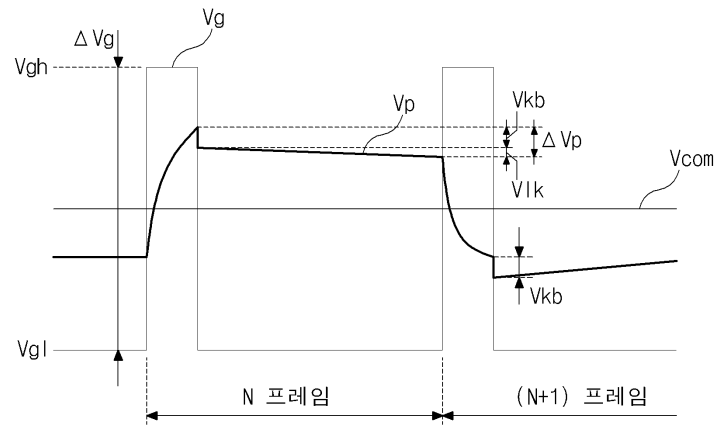
- [0115] 도 1은 종래의 액티브 매트릭스 방식의 액정표시장치의 일 화소에 대한 도면.
- [0116] 도 2는 종래의 액티브 매트릭스 방식의 액정표시장치의 게이트 신호 및 화소전압을 도시한 파형도.
- [0117] 도 3a 및 도 3b는 각각 종래의 액정표시장치의 온도에 따른 플리커 특성 변화를 도시한 도면.
- [0118] 도 4는 종래의 액정표시장치의 박막트랜지스터의 온도에 따른 오프전류 특성 변화를 도시한 도면.
- [0119] 도 5는 본 발명의 실시예에 따른 액정표시장치를 도시한 도면.
- [0120] 도 6은 본 발명의 실시예에 따른 액정표시장치의 보상부를 도시한 도면.
- [0121] 도 7a, 도 7b 및 도 7c는 본 발명의 실시예에 따른 플리커 특성 변동을 보상하기 위한 액정표시장치의 구동방법을 도시한 도면.
- [0122] 도 8은 본 발명의 실시예에 따른 액정표시장치의 보상전압 산출방법을 설명하기 위한 도면.
- [0123] 도 9는 본 발명의 실시예에 따른 액정표시장치의 플리커 특성 변동 보상효과를 설명하기 위한 도면.

도면

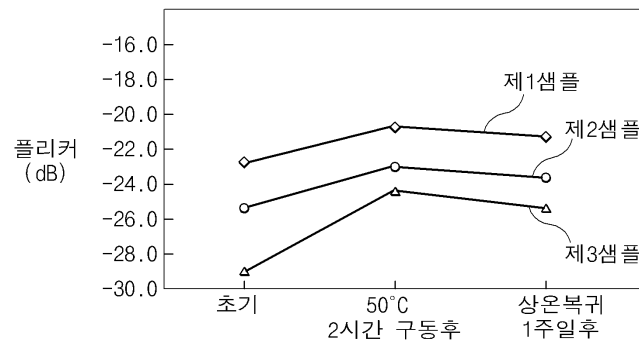
도면1



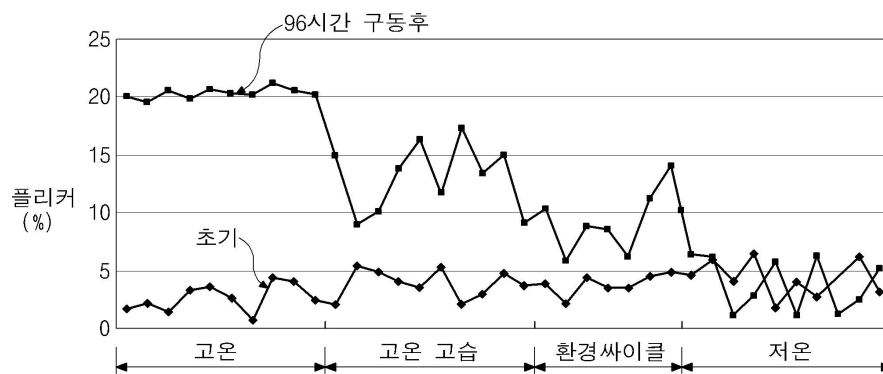
도면2



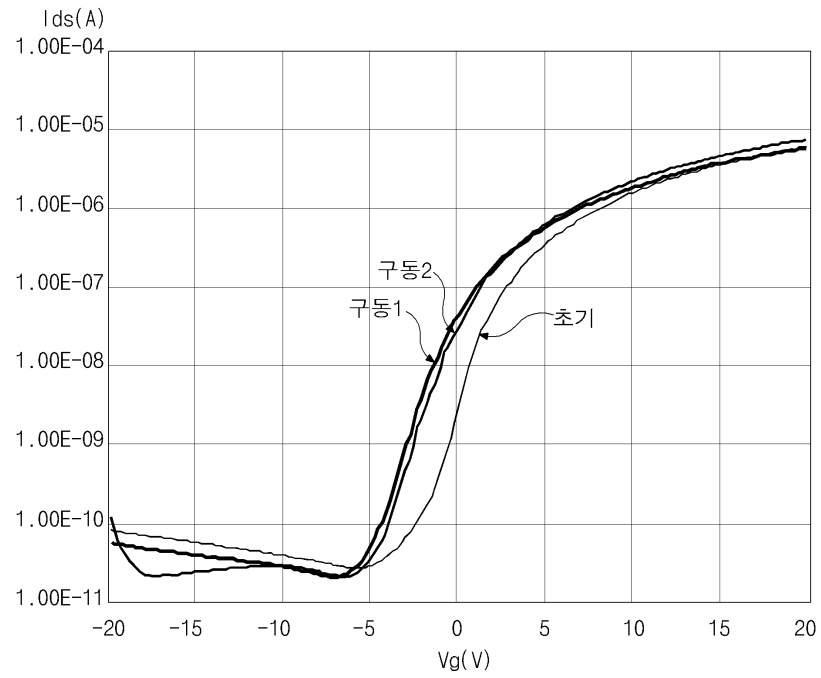
도면3a



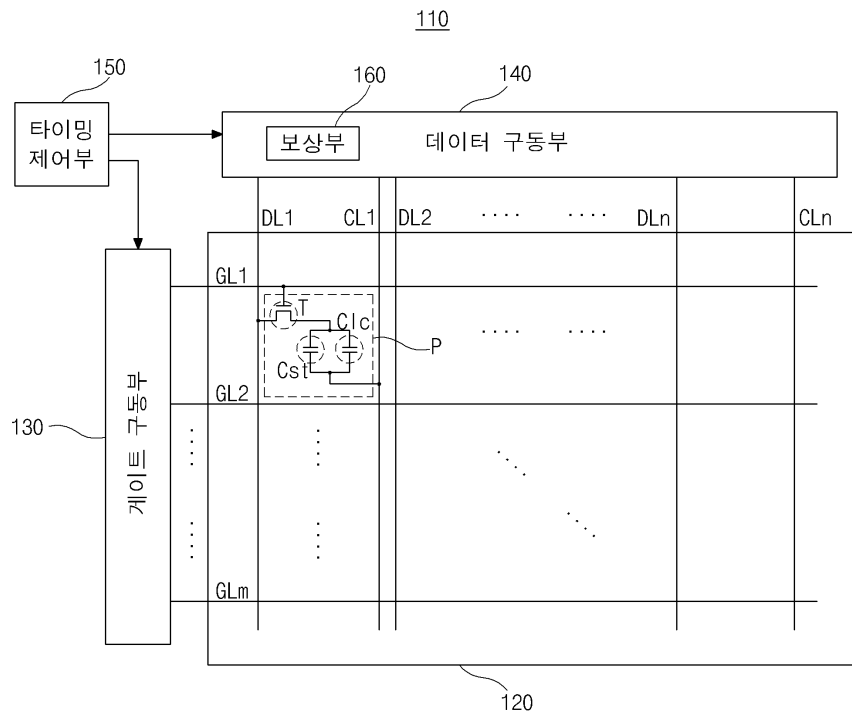
도면3b



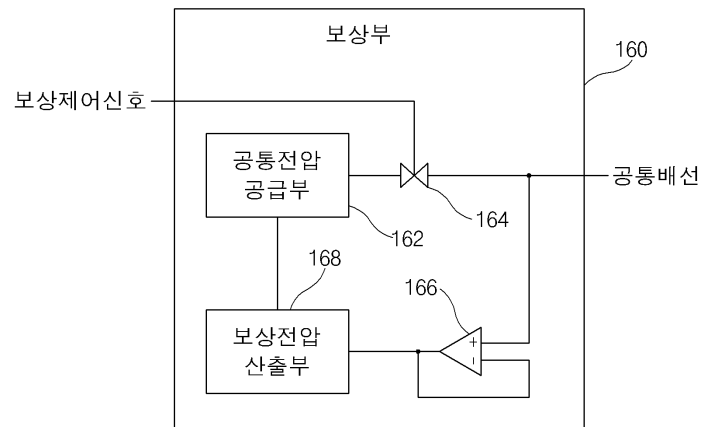
도면4



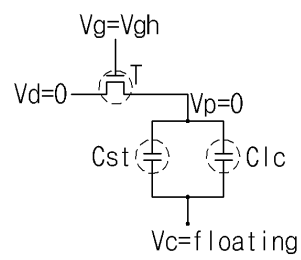
도면5



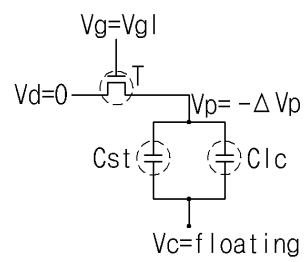
도면6



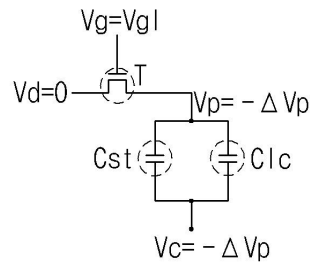
도면7a



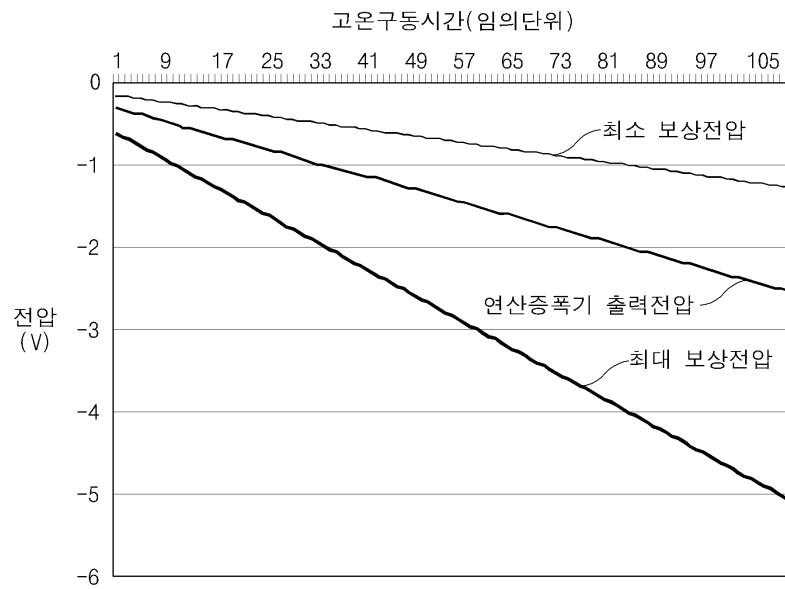
도면7b



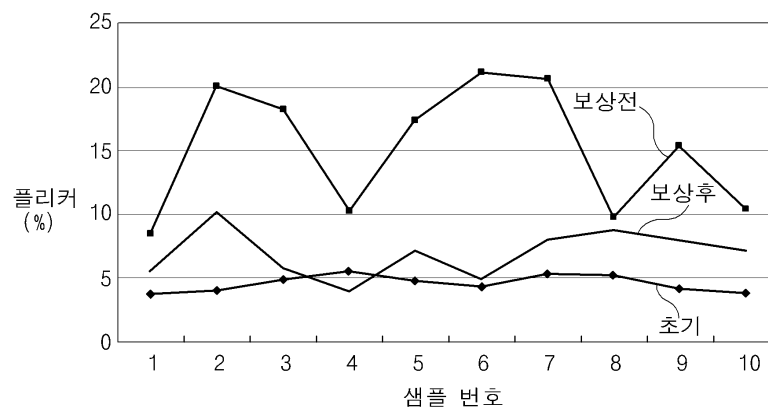
도면7c



도면8



도면9



专利名称(译)	液晶显示器及其驱动方法		
公开(公告)号	KR1020110065754A	公开(公告)日	2011-06-16
申请号	KR1020090122394	申请日	2009-12-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN SUNG WOO 신성우		
发明人	신성우		
IPC分类号	G09G3/36 G09G3/20		
其他公开文献	KR101641692B1		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置及其驱动方法，通过电压变化产生补偿的公共电压并向其提供公共线，自动补偿闪烁的特性变化。

