



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0064114
(43) 공개일자 2011년06월15일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2009-0120568

(22) 출원일자 2009년12월07일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

허승호

경북 구미시 옥계동 대동아파트 104-610

윤세창

대구 달서구 월성동 500-13 월성우방 102동 401호

(뒷면에 계속)

(74) 대리인

특허법인로알

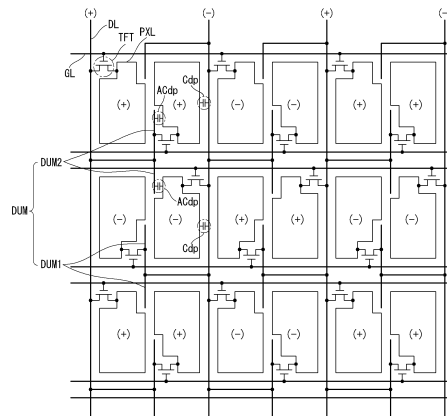
전체 청구항 수 : 총 6 항

(54) 액정표시장치

(57) 요약

본 발명은 도트 인버전 구동하는 액정표시장치에서 데이터 배선을 기준으로 좌우 픽셀의 휘도차이를 보상하는 패턴을 구비한 액정표시장치에 관한 것이다. 본 발명에 의한 액정표시장치는 서로 교차되는 데이터라인들 및 게이트라인들과; 상기 이웃하는 데이터라인들 사이에 2열씩 배치되어 매트릭스 배열을 이루는 화소전극들과; 그리고 상기 화소전극들에 연결된 박막트랜지스터들을 구비하는 액정표시패널을 포함하고, 상기 액정표시패널의 기수 수평 표시라인들 각각에서 m(m은 양의 정수)번째 데이터라인 우측에 배치된 2 개의 화소전극들은 상기 m번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전하고, 상기 액정표시패널의 우수 수평 표시라인들 각각에서 상기 m번째 데이터라인 좌측에 배치된 2 개의 화소전극들은 상기 m번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전하는 것을 특징으로 한다. 본 발명은 개구율의 변화는 거의 발생하지 않으면서, 비대칭 정전용량에 의한 휘도차 불균일과 같은 화질 저하를 방지할 수 있다.

대표도 - 도3



(72) 발명자

이창덕

충북 청주시 흥덕구 분평동 1255(78/3) 주은프레지
던트아파트 911/1302

남유성

경기 광명시 하안3동 하안주공13단지아파트
1305-602

오대석

경북 구미시 형곡2동 211-2번지 동광빌라 303호

소병성

충북 청주시 흥덕구 복대동 두진백로아파트 103동
705호

특허청구의 범위

청구항 1

서로 교차되는 데이터라인들 및 게이트라인들과;

상기 이웃하는 데이터라인들 사이에 2열씩 배치되어 매트릭스 배열을 이루는 화소전극들과; 그리고

상기 화소전극들에 연결된 박막트랜지스터들을 구비하는 액정표시패널을 포함하고,

상기 액정표시패널의 기수 수평 표시라인들 각각에서 m (m 은 양의 정수)번째 데이터라인 우측에 배치된 2 개의 화소전극들은 상기 m 번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전하고,

상기 액정표시패널의 우수 수평 표시라인들 각각에서 상기 m 번째 데이터라인 좌측에 배치된 2 개의 화소전극들은 상기 m 번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

$m+1$ 번째 데이터라인에서 분기하여, 상기 m 번째 데이터라인의 우측에 배치된 상기 2개의 화소전극들 중 근접한 화소전극들의 일부와 대향하는 제1 더미패턴과;

$m-1$ 번째 데이터라인에서 분기하여, 상기 m 번째 데이터라인의 좌측에 배치된 상기 2개의 화소전극들 중 근접하는 화소전극들의 일부와 대향하는 제2 더미패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 더미패턴은 상기 $m+1$ 번째 데이터라인에서 분기하여, 상기 $m+1$ 번째 데이터라인의 좌측에 배치된 2 개의 화소전극들 중 원접하는 화소전극에 데이터 전압을 공급하는 데이터전극에서 분기된 것을 특징으로 하는 액정표시장치.

청구항 4

제 2 항에 있어서,

상기 제2 더미패턴은 상기 $m-1$ 번째 데이터라인에서 분기하여, 상기 $m-1$ 번째 데이터라인의 우측에 배치된 2 개의 화소전극들 중 원접하는 화소전극에 데이터 전압을 공급하는 데이터전극에서 분기된 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 데이터라인들에 컬럼 인버전으로 극성이 반전되는 상기 데이터전압들을 공급하는 소스 드라이브 IC들과; 그리고

상기 게이트라인들에 게이트펄스를 순차적으로 공급하기 위한 게이트 구동회로를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 m번째 데이터라인의 상기 우측에 배치된 2 개의 화소전극들과 상기 좌측에 배치된 2 개의 화소전극들에 충전되는 데이터전압들의 극성은 동일한 것을 특징으로 하는 액정표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 컬럼 인버전으로 극성이 반전되는 데이터전압을 출력하는 소스 드라이브 집적회로(Integrated Circuit, IC)를 이용하여 액정표시패널을 도트 인버전으로 구동하는 액정표시장치에 관한 것이다. 특히, 본 발명은 도트 인버전 구동하는 액정표시장치에서 데이터 배선을 기준으로 좌우 픽셀의 휘도차이를 보상하는 패턴을 구비한 액정표시장치에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 액정표시장치의 공정 기술과 구동 기술의 비약적인 발전에 힘입어, 액정표시장치의 제조비용은 낮아지고, 화질이 크게 향상되고 있다. 저소비전력과 저비용을 정보 단말기의 요구에 맞게, 액정표시장치의 소비전력, 화질, 및 제조비용을 더 개선할 필요가 있다.

[0005] 이러한 기술적 요구의 일환으로 하나의 데이터 라인으로 서로 다른 게이트 라인에 연결된 두 개의 화소에 정보를 전달하는 더블 레이트 드라이브(Double Rate Drive: DRD)가 제안되고 있다. 또한, 컬럼 인버전으로 극성이 반전되는 데이터 전압을 출력하는 소스 드라이브 집적회로를 이용하여 액정표시패널을 도트 인버전으로 구동하는 액정표시장치가 제안되고 있다. 그러나, 이러한 DRD 도트 인버전 구동 방식에서는 데이터 라인을 기준으로 좌우 화소에서 휘도차이가 발생한다. 이러한 휘도 차이는 화면 불량을 야기하기 때문에 극복해야하는 필수적인 과제이다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명의 목적은 소비전력과 화질을 개선할 수 있는 액정표시장치를 제공하는데 있다. 본 발명의 다른 목적은 소비전력을 개선하기 위해 하나의 데이터 라인으로 서로 다른 게이트 라인에 연결된 두 개의 화소에 정보를 전달하는 구조에서 데이터 라인을 기준으로 좌우 화소에 발생하는 휘도 차이를 보상하기 위한 용량 패턴을 구비한 액정표시장치를 제공하는 데 있다.

과제 해결수단

[0007] 상기 목적을 달성하기 위하여, 본 발명에 의한 액정표시장치는 서로 교차되는 데이터라인들 및 게이트라인들과;

상기 이웃하는 데이터라인들 사이에 2열씩 배치되어 매트릭스 배열을 이루는 화소전극들과; 그리고 상기 화소전극들에 연결된 박막트랜지스터들을 구비하는 액정표시패널을 포함하고, 상기 액정표시패널의 기수 수평 표시라인들 각각에서 m (m 은 양의 정수)번째 데이터라인 우측에 배치된 2 개의 화소전극들은 상기 m 번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전하고, 상기 액정표시패널의 우수 수평 표시라인들 각각에서 상기 m 번째 데이터라인 좌측에 배치된 2 개의 화소전극들은 상기 m 번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전하는 것을 특징으로 한다.

[0008] $m+1$ 번째 데이터라인에서 분기하여, 상기 m 번째 데이터라인의 우측에 배치된 상기 2개의 화소전극들 중 근접한 화소전극들의 일부와 대향하는 제1 더미패턴과; $m-1$ 번째 데이터라인에서 분기하여, 상기 m 번째 데이터라인의 좌측에 배치된 상기 2개의 화소전극들 중 근접하는 화소전극들의 일부와 대향하는 제2 더미패턴을 더 포함한다.

[0009] 상기 제1 더미패턴은 상기 $m+1$ 번째 데이터라인에서 분기하여, 상기 $m+1$ 번째 데이터라인의 좌측에 배치된 2 개의 화소전극들 중 원접하는 화소전극에 데이터 전압을 공급하는 데이터전극에서 분기된 것을 특징으로 한다.

[0010] 상기 제2 더미패턴은 상기 $m-1$ 번째 데이터라인에서 분기하여, 상기 $m-1$ 번째 데이터라인의 우측에 배치된 2 개의 화소전극들 중 원접하는 화소전극에 데이터 전압을 공급하는 데이터전극에서 분기된 것을 특징으로 한다.

[0011] 상기 m 번째 데이터라인의 상기 우측에 배치된 2 개의 화소전극들과 상기 좌측에 배치된 2 개의 화소전극들에 충전되는 데이터전압들의 극성은 동일한 것을 특징으로 한다.

효 과

[0012] 본 발명은 하나의 데이터라인에 연결된 액정셀들에 충전되는 데이터전압들의 극성을 동일하게 제어하여 액정셀들의 데이터 충전량을 균일하게 할 수 있고 소스 드라이브 IC의 소비전력을 줄일 수 있다. 따라서, 본 발명은 기존의 인버전 방법에서 초래되는 데이터 충전량의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지할 수 있고, 데이터전압의 극성 반전 횟수를 줄여 소스 드라이브 IC의 소비전력을 줄일 수 있다. 또한, 본 발명은 좌우에 인접하는 액정셀들이 하나의 데이터라인을 공유하는 TFT 접속관계를 이용하여 데이터라인들의 개수와 소스 드라이브 IC들의 채널 수를 줄일 수 있다. 그리고, 본 발명은 개구율의 변화는 거의 발생하지 않으면서, ΔV_{rms} 를 현격하게 감소하여 비대칭 정전용량에 의한 휘도차 불균일과 같은 화질 저하를 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 이하, 도 1 내지 도 4를 참조하여 본 발명의 바람직한 실시 예에 대하여 설명한다. 도 1은 본 발명에 의한 액정표시장치의 구조를 나타내는 개략도이다.

[0014] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(10)가 형성된 액정표시패널, 소스 드라이브 IC(12), 및 타이밍 컨트롤러(11)를 구비한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0015] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널에는 화소 어레이(10)가 형성된다. 화소 어레이(10)는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정셀들을 포함하여 비디오 데이터를 표시한다. 화소 어레이(10)의 하부 유리기관에는 데이터라인들, 게이트라인들, TFT(Thin Film Transistor)들, TFT에 접속된 액정셀의 화소전극, 및 액정셀의 화소전극에 접속된 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 화소 어레이(10)의 액정셀들 각각은 TFT를 통해 데이터전압을 충전하는 화소전극과 공통전압이 인가되는 공통전극의 전압차에 의해 구동되어 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다. 화소 어레이(10)의 구체적인 구조에 대하여는 도 2를 결부하여 상세히 설명하기로 한다.

[0016] 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기관 상에 형성된다.

[0017] 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt

angle)을 설정하기 위한 배향막이 형성된다.

- [0018] 본 발명의 액정표시장치는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0019] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되어 TAB(Tape Automated Bonding) 공정에 의해 액정표시패널의 하부 유리기판에 접합되고, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기판 상에 접촉될 수도 있다. 소스 드라이브 IC들(12) 각각의 데이터 출력채널들은 화소 어레이(10)의 데이터라인들에 1:1로 접속된다.
- [0020] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터를 입력받는다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 출력채널들을 통해 화소 어레이(10)의 데이터라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 이웃한 데이터라인들에 서로 상반된 극성의 데이터전압들을 공급하고, 각각의 데이터라인들에 공급되는 데이터전압의 극성을 1 프레임기간 동안 동일하게 유지한다.
- [0021] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터의 게이트 타이밍 제어신호에 응답하여 화소어레이의 게이트 라인들에 게이트펄스를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리기판에 접합되거나, GIP(Gate In Panel) 공정에 의해 화소 어레이(10)와 동시에 하부 유리기판 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2와 같이 화소 어레이(10)의 양측에 배치되거나 화소 어레이(10)의 일측에 배치될 수 있다.
- [0022] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 입력되는 디지털 비디오 데이터를 소스 드라이브 IC들(12)에 공급한다. 그리고 타이밍 콘트롤러(11)는 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결된다.
- [0023] 도 2는 본 발명의 실시 예 1에 의한 화소 어레이(10)를 상세히 보여 주는 회로도이다. 도 2를 참조하면, 화소 어레이(10)는 서로 교차되는 데이터라인들(D1, D2, D3, D4, ...) 및 게이트라인들(G1, G2, G3, G4, ...), 게이트펄스에 응답하여 화소전극들(P11, P12, P13, P14, ...Pij)을 데이터라인들(D1, D2, D3, D4, ...)에 공급하기 위한 TFT들(T11, T12, T13, T14, ...Tij)을 구비한다.
- [0024] 제N(N은 양의 정수) 프레임 기간 동안, 기수 데이터라인들(D1, D3... D2m-1, D2m+1)에는 소스 드라이브 IC들(12)로부터 정극성 아날로그 데이터전압만이 공급되고, 우수 데이터라인들(D2, D4... D2m)에는 소스 드라이브 IC들(12)로부터 부극성 아날로그 데이터전압만이 공급된다. 제N+1 프레임 기간 동안, 기수 데이터라인들(D1, D3... D2m-1, D2m+1)에는 소스 드라이브 IC들(12)로부터 부극성 아날로그 데이터전압만이 공급되고, 우수 데이터라인들(D2, D4... D2m)에는 소스 드라이브 IC들(12)로부터 정극성 아날로그 데이터전압만이 공급된다.
- [0025] 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압과, TFT들과 데이터라인들의 연결로 인하여 데이터라인들 각각에는 동일한 극성이 1 프레임 기간 동안 연속 공급되고, 화소 어레이의 액정셀들에 충전되는 데이터전압들은 그 극성이 수평 2 도트 및 수직 1 도트 인버전으로 반전된다.
- [0026] 화소 어레이(10)의 기수 수평 표시라인들(LINE1, LINE3, ..., LINE2p-1)에서 데이터라인들(D1, D2, D3, D4, ...) 각각에는 우측에 배치된 2 개의 화소전극들이 연결되어 동일한 데이터라인으로부터 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 화소 어레이(10)의 우수 수평 표시라인들(LINE2, LINE4, ..., LINE2p)에서 데이터라인들(D1, D2, D3, D4, ...) 각각에는 좌측에 배치된 2 개의 화소전극들이 연결되어 동일한 데이터라인으로부터 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다.
- [0027] 일반적인 행렬 배열을 기준으로 하여, 화소전극들(P11, P12, P13, P14, ..., Pij)에 각각 할당된 TFT들(T11, T12, T13, T14, ..., Tij)과 데이터라인들(D1, D2, D3, D4, ...)의 연결 관계를 좀 더 상세히 살펴보면 다음과 같다. 여기서, m(데이터라인번호 관련), n(게이트라인번호 관련), p(표시라인번호 관련), i(행번호 관련), j(열번호 관련) 등은 양의 정수를 의미한다. 도 2를 참조하면, 복수개의 데이터라인이 배열되고 이웃하는 데이터라인 사이에는 2열의 화소전극들이 배열된 구조를 갖는다. 여기서, 게이트라인은 배열구조에 중요하게 기여하

지 않으므로 설명을 생략한다. 그리고, 한 프레임의 경우에 표시되는 화상정보를 기준으로 설명하므로 순차적으로 게이트 배선이 모두 선택된 상태에서, 각 화소들이 어떤 데이터라인으로부터 정보를 인가 받는지에 대해서만 고려한다.

[0028] 기수 수평 표시라인들(LINE1, LINE3, ..., LINE2p-1) 각각에서 제m번째 데이터라인과 제m+1번째 데이터라인 사이에 존재하는 TFT와 화소전극들은 제m번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전한다. 또한, 우수 수평 표시라인들(LINE2, LINE4, ..., LINE2p) 각각에서 제m(m은 양의 정수)번째 데이터라인과 제m-1번째 데이터라인 사이에 존재하는 화소전극들은 제m번째 데이터라인으로부터 순차적으로 공급되는 데이터전압을 충전한다. 즉, m번째 데이터라인에 연결되는 화소전극들은 도 2에 도시된 것과 같은 매트릭스 배열에서 P(2p-1, 2m-1) 및 P(2p-1, 2m) 그리고 P(2p, 2(m-1)-1) 및 P(2p, 2(m-1))에 해당하는 화소전극들이다. 그리고, 이들 화소전극과 m번째 데이터라인 사이의 전류패스를 스위칭하기 위한 TFT들이 연결된다. 즉, T(2p-1, 2m-1) 및 T(2p-1, 2m) 그리고 T(2p, 2(m-1)-1) 및 T(2p, 2(m-1))에 해당하는 TFT들이다. 예를 들어, 제3번째 데이터라인으로부터 T15을 통해 P15이, T16을 통해 P16이, T35을 통해 P35이, T36을 통해 P36이, T23을 통해 P23이, T24를 통해 P24가, T43을 통해 P43이, T44를 통해 P44가, 기타 등등이 데이터전압을 공급받는다. 여기서, 행렬 위치를 계산시, 값이 '0' 이하가 되면 그것은 연결되는 것이 없는 상태를 의미한다.

[0029] 실시 예 1에 의한 액정표시장치는 하나의 데이터라인에 연결된 액정셀들에 충전되는 데이터전압들의 극성이 동일하므로 소스 드라이브 IC의 소비전력을 줄일 수 있음은 물론, 액정셀들 각각의 데이터 충전량을 균일하게 할 수 있다. 따라서, 본 발명은 기존의 인버전 방법에서 초래되는 데이터 충전량의 불균일로 인하여 초래되는 휘도 불균일, 색왜곡 등의 화질 저하를 방지할 수 있다. 또한, 본 발명은 좌우에 인접하는 액정셀들이 하나의 데이터라인을 공유하는 TFT 접속관계를 이용하여 데이터라인들의 개수와 소스 드라이브 IC들의 채널 수를 줄일 수 있고 나아가, 액정표시장치의 제조 비용을 줄일 수 있다.

[0030] 전술한 실시 예 1에서는 어느 한 데이터라인을 기준으로 보았을 때, 전기 신호 공급측면에서 보면, 데이터라인과 인접한 화소전극과 데이터라인과 원접한 화소전극에 데이터전압을 공급하는 상태가 된다. 즉, 화소전극 한 개를 기준으로 해서, 한쪽면에는 데이터라인이 지나가고 반대면에는 데이터라인이 지나가지 않는다. 결국 화소전극과 데이터라인 사이의 정전용량(Cdp)가 좌우 비대칭 구조를 갖는다. 이와 같은 상태에서 컬럼 인버전으로 구동되므로, 화소전극은 이웃하는 데이터라인 한개와의 사이에 형성된 정전용량에 의해 Vrms 값이 변한다.

[0031] 더구나, 실시 예 1의 경우에서는, 물리적인 배치 상태측면에서 보면, 한쪽에는 해당 데이터라인에 의해 공급되는 데이터전압을 갖는 화소가 인접하고, 반대쪽에는 다른 데이터라인에 의해 공급되는 데이터전압을 갖는 화소가 인접된 상태를 갖는다. 즉, 데이터라인을 기준으로 보았을 때, 좌측 화소전극과의 사이에서 이루어지는 정전용량과 우측화소전극과의 사이에서 이루어지는 정전용량도 서로 다른 값을 갖는다. 또한, 화소 배열이 기수 표시라인 별로 동일하고 우수 표시라인 별로 동일하므로 화소전극 4개 단위로 정전용량에 의한 화소전압의 Vrms 값이 서로 다르다.

[0032] 도 2에서 데이터라인 D3을 기준으로 화소전극들 P24, P25, P34, 및 P35를 기준으로 더 상세히 설명하면 다음과 같다.

[0033] 화소전극 P24와 P35는 데이터라인 D3을 통해 화소전압이 인가된다. 따라서, 데이터라인 D3이 (+) 값을 갖는 경우, 화소전극 P24와 P35는 (+)로 대전된다. 한편, 화소전극 P25는 데이터라인 D4를 통해, 그리고 화소전극 P34는 데이터라인 D2를 통해 화소전압이 인가된다. 따라서, 데이터라인 D2와 D4는 (-) 값을 갖으므로, 화소전극 P25와 P34는 (-)로 대전된다.

[0034] 이와 같이 인가받는 화소전압의 성질이 다른 상태지만, 화소전극들 P24, P25, P34, 및 P35는 모두 데이터라인 D3과 인접한 상태로 그 사이에 각각 Cdp1, Cdp2, Cdp3, 및 Cdp4가 형성된다. 그러므로, (+) 대전신호를 갖는 데이터라인 D3과 (+)로 대전된 화소전극인 P24와 P35 사이의 정전용량 Cdp1와 Cdp4은, (+) 대전신호를 갖는 데이터라인 D3과 (-)로 대전된 화소전극인 P25와 P34 사이의 정전용량 Cdp2와 Cdp3 보다 상대적으로 작다. 따라서, 화소전극 P24와 P35은 약한 정전용량으로 인해 화소전압의 Vrms가 크고, 화소전극 P25와 P34는 강한 정전용량으로 인해 화소전압의 Vrms가 작다.

[0035] 전술한 실시 예 1에 의한 액정표시장치의 실제 제품의 예에서 강한 Vrms와 약한 Vrms의 차이인 ΔVrms는 약 28.2mV 정도로 측정되었다. 이와 같은 Vrms의 불균형은 화소전극 사이에서의 휘도차이를 발생시킨다. 따라서,

실시 예 1에서 얻고자 하는 휘도 불균일 문제를 오히려 해소하지 못하는 결과가 나올 수도 있다. 이에, 본 발명의 실시 예 2에서는 실시 예 1에서 발생한 정전용량의 비대칭으로 인한 휘도 불균일 문제를 해결한 액정표시장치의 구조를 설명한다. 도 3은 본 발명의 실시 예 2에 의한 화소 어레이를 상세히 보여 주는 회로도이다. 도 4는 도 3에 의한 데이터라인, 게이트라인, TFT 및 화소전극의 실제 패턴을 나타내는 도면이다.

[0036] 도 3 및 4를 참조하면, 기본적으로 데이터라인(DL), 게이트라인(GL), 박막트랜지스터(TFT) 및 화소전극(PXL)의 배열 및 연결구조는 실시 예 1과 동일하다. 차이가 있다면, 실시 예 2에서는 화소전극(PXL)에서 인접한 데이터라인(DL)과의 사이에서 발생하는 비대칭정전용량(Cdp)에 대칭이되는 보상정전용량(ACdp)을 더 형성하기 위한 더미패턴(DUM)을 구비한다는 것이다. 특히, 보상정전용량(ACdp)은 비대칭정전용량(Cdp)이 형성되는 데이터라인(DL)의 극성과 반대가 되는 데이터라인(DL)에서 분기된 더미패턴(DUM)과 화소전극(PXL)과의 사이에서 형성된다.

[0037] 좀 더 상세히 설명하면, 도 3과 같은 매트릭스 구조를 갖는 경우에는, 제m번째 데이터라인의 우측에 근접하는 화소전극들은 제m+1번째 데이터라인에서 분기하는 제1 더미패턴(DUM1)에 의해 보조정전용량을 형성한다. 그리고, 제m번째 데이터라인의 좌측에 근접하는 화소전극들은 제m-1번째 데이터라인에서 분기하는 제2 더미패턴(DUM2)에 의해 보조정전용량을 형성한다.

[0038] 이와 같은 제1 및 제2 더미패턴(DUM1, DUM2)을 형성하는 방법에는 여러 가지를 생각할 수 있겠으나, 본 실시 예에서는 가장 바람직한 방법을 다음과 같이 제시한다. 제1 더미패턴(DUM1)은 m+1번째 데이터라인에서 분기하여, 기수번째 표시라인에서 m+1번째 데이터라인의 좌측에 배치된 2 개의 화소전극들 중 원접하는 화소전극에 데이터 전압을 공급하는 데이터전극에서 수직으로 분기하는 배선 모양을 갖는 것이 바람직하다. 특히, 데이터 전압을 공급하기 위한 데이터 전극을 갖는 TFT에 연결된 화소와, 그 아래에 배치된 화소 각각에 제1 더미패턴(DUM1)을 형성한다.

[0039] 한편, 제2 더미패턴(DUM2)은 m-1번째 데이터라인에서 분기하여, 우수번째 표시라인에서 m-1번째 데이터라인의 우측에 배치된 2 개의 화소전극들 중 원접하는 화소전극에 데이터 전압을 공급하는 데이터전극에서 수직으로 분기하는 배선 모양을 갖는 것이 바람직하다. 특히, 데이터 전압을 공급하기 위한 데이터 전극을 갖는 TFT에 연결된 화소와, 그 아래에 배치된 화소 각각에 제2 더미패턴(DUM2)을 형성한다.

[0040] 실시 예 1에서 언급한 비대칭 정전용량을 감소하기 위한 다른 방법으로 데이터라인과 화소전극과의 거리를 멀게 설정하는 방법이 있다. 그러나 이 방법은 화소전극의 크기가 작아질 수 밖에 없고, 정전용량을 줄이기 위해서는 화소전극이 점점 작아지고 이는 개구율 저하라는 다른 문제점을 야기한다. 도 5는 데이터라인과 화소전극의 이격 거리에 따른 ΔV_{rms} 및 개구율 변화의 관계를 실측한 결과를 나타내는 그래프이다. 도 5에서 보이는 바와 같이, ΔV_{rms} 값을 28.2mV에서, 10.0mV까지 낮추기 위해 데이터라인과 화소전극과의 거리를 멀게 설계할 수는 있지만, 이에 따라 개구율이 53.5%에서 48.2%로 대폭 감소하는 역효과가 발생한다.

[0041] 그러나, 본 발명의 실시 예 2에의한 액정표시장치에서는 개구율의 변화는 거의 발생하지 않으면서, ΔV_{rms} 를 현격하게 감소시킬 수 있다. 실제로, 화소전극과 데이터라인 사이의 이격 거리는 5.2~7.0 μm , 화소전극(PXL)과 더미패턴(DUM)과의 이격 거리는 약 4~5 μm , 더미패턴(DUM)의 길이는 약 10~15 μm 정도로 설계하였을 때, 개구율은 변화하지 않고 ΔV_{rms} 가 7.3mV까지 감소한 결과를 얻을 수 있었다.

[0042] 실시 예 2에서는 더미패턴(DUM)을 단순하게 하기 위해, 데이터 라인에서 분기한 배선 모양으로 형성한 것으로 설명하였으나, 필요에 따라 그 패턴을 다양하게 설정할 수 있다. 즉, 화소 전극과의 사이에서 보조정전용량을 형성할 수 있는 어떤 형태이든지 가능하다. 또한, 배선 형태로 하더라도 위에서 설명한 크기에 제한 받는 것은 아니고, 여러 가지 크기 설정을 할 수 있다.

[0043] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

[0044] 도 1은 본 발명에 의한 액정표시장치의 구조를 나타내는 개략도.

[0045] 도 2는 본 발명의 실시 예 1에 의한 화소 어레이를 상세히 보여 주는 회로도.

[0046] 도 3은 본 발명의 실시 예 2에 의한 화소 어레이를 보여 주는 회로도.

[0047] 도 4는 도 3에 의한 데이터라인, 게이트라인, TFT 및 화소전극의 실제 패턴을 나타내는 도면.

[0048] 도 5는 데이터라인과 화소전극의 이격 거리에 따른 ΔV_{rms} 및 개구율 변화의 관계를 실측한 결과를 나타내는 그래프.

[0049] <도면의 주요 부분에 대한 부호의 설명>

[0050] 10 : 화소 어레이 11 : 타이밍 컨트롤러

[0051] 12 : 소스 드라이브 IC 13 : 게이트 구동회로

[0052] 14: 소스 PCB 15: 소스 드라이브 IC

[0053] 16: 컨트롤 PCB 17: 연성회로기판

[0054] D1, D2, D3, D4, DL: 데이터라인 G1, G2, G3, G4, GL: 게이트라인

[0055] T11, T12, T13, T14, TFT : 박막트랜지스터

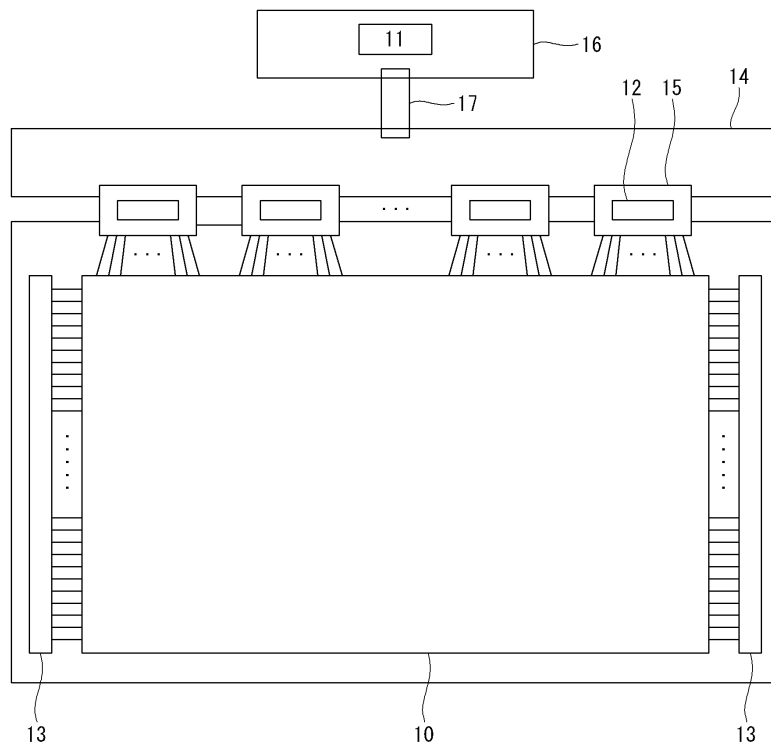
[0056] P11, P12, P13, P14, PXL : 화소전극 DUM: 더미패턴

[0057] DUM1: 제1 더미패턴 DUM2: 제2 더미패턴

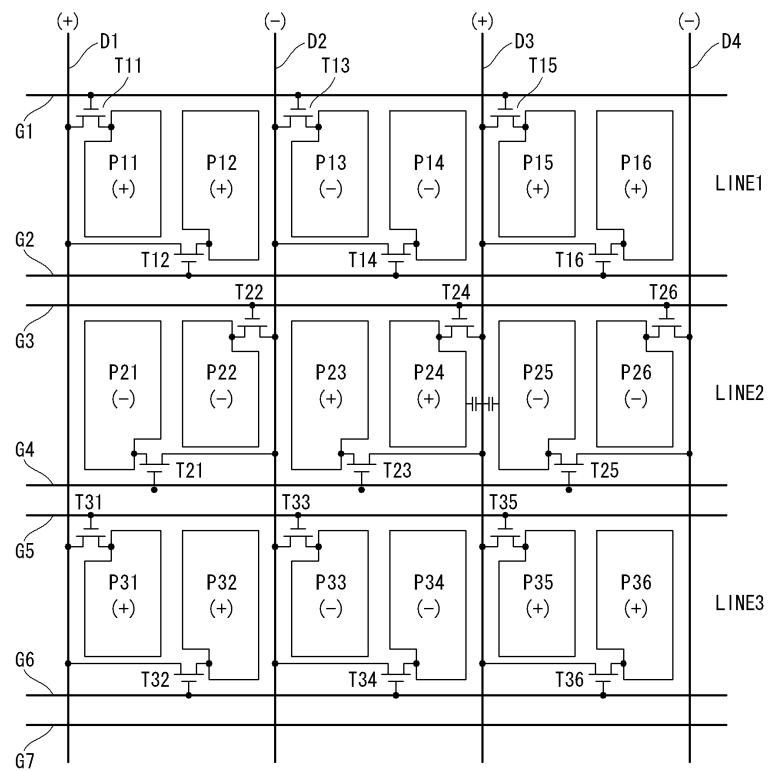
[0058] Cdp: 비대칭 정전용량 ACdp: 보조 정전용량

도면

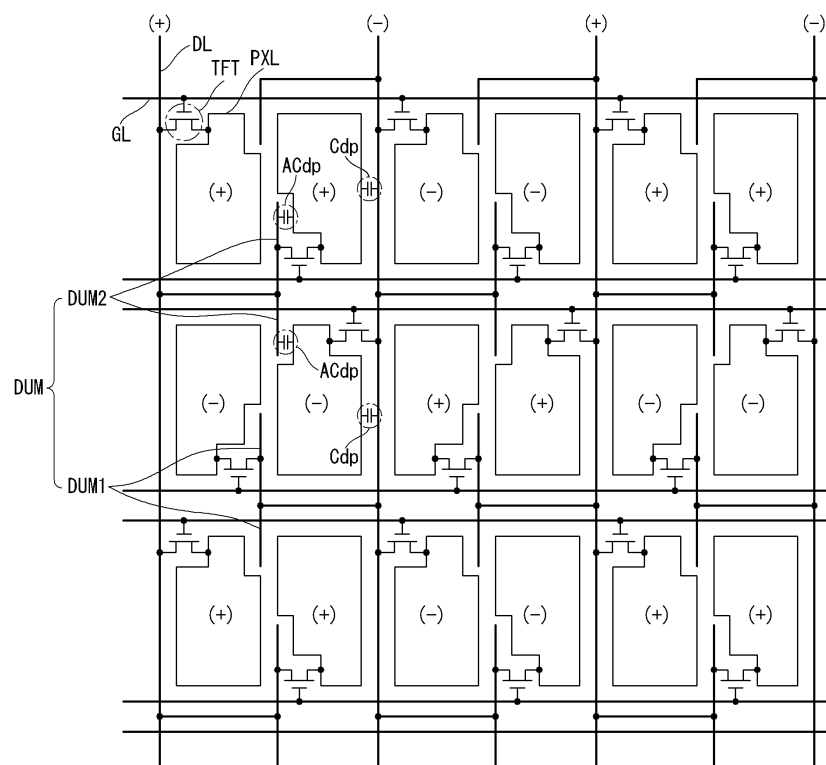
도면1



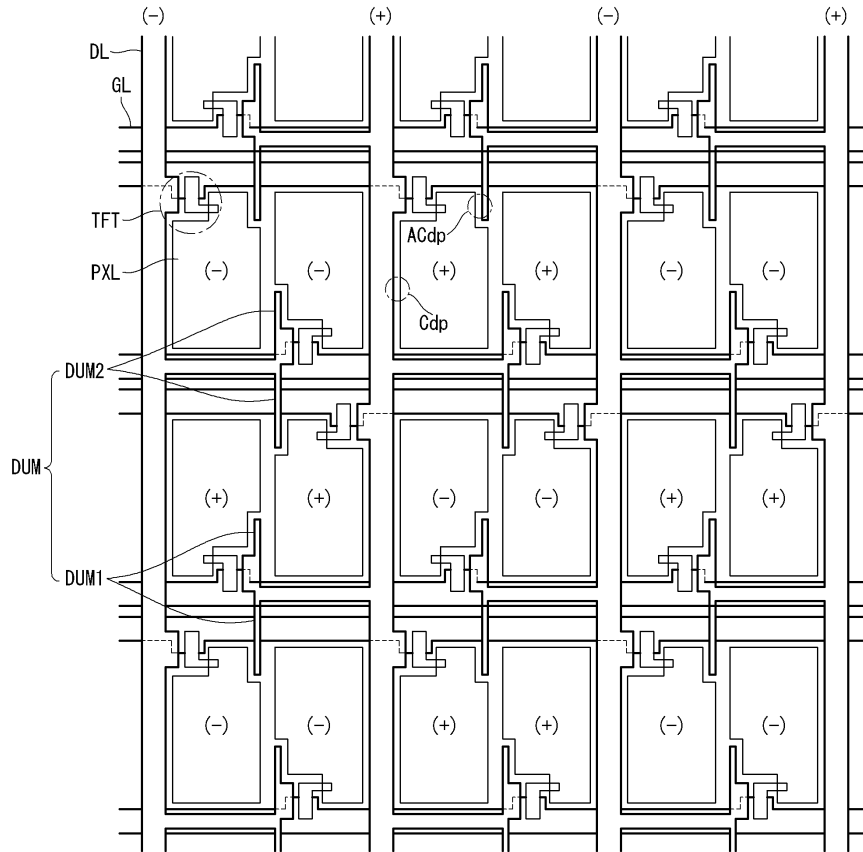
도면2



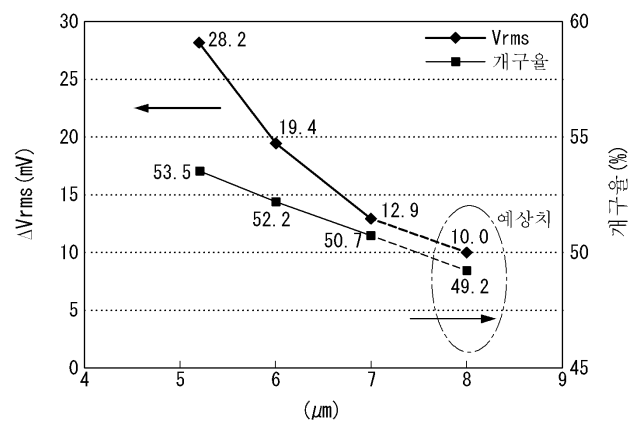
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020110064114A	公开(公告)日	2011-06-15
申请号	KR1020090120568	申请日	2009-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HEO SEUNG HO 허승호 YUN SAI CHANG 윤세창 LEE CHANG DEOK 이창덕 NAM YOU SUNG 남유성 OH DAE SEOK 오대석 SO BYEONG SEONG 소병성		
发明人	허승호 윤세창 이창덕 남유성 오대석 소병성		
IPC分类号	G02F1/133 G09G3/36		
其他公开文献	KR101623593B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置，具有用于补偿左和右像素的数据线的基础上，在液晶显示驱动点反转的亮度差的图案。根据本发明的液晶显示器包括彼此交叉的数据线和栅极线；像素电极在相邻数据线之间排列成两行，以形成矩阵阵列；(M是正整数)数据线位于液晶显示面板的每个奇数水平显示行中，并且两个薄膜晶体管连接到像素电极。从第m数据线依次提供数据线，并且在液晶显示面板的每条均匀水平显示线中设置第m数据线左侧的两个像素电极依次提供并且要提供给晶体管的数据电压被充电。本发明可以防止由于不对称电容引起的诸如亮度不均匀之类的图像质量的劣化，同时几乎不改变开口率。

