



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0088729
(43) 공개일자 2009년08월20일

(51) Int. Cl.

G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0014182

(22) 출원일자 2008년02월15일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

정광철

경기도 성남시 수정구 태평1동 7115-4

김희섭

경기도 화성시 태안읍 반월동 865-1번지 신영통
현대아파트 110동304호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

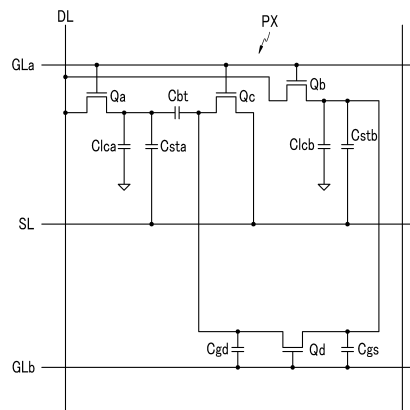
전체 청구항 수 : 총 15 항

(54) 표시 장치

(57) 요약

본 발명은 표시 장치에 관한 것이다. 본 발명의 한 실시예에 따른 표시 장치는 제1 부화소 전극, 상기 제1 부화소 전극과 함께 화소 전극을 이루는 제2 부화소 전극, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 부화소 전극과 연결되어 있는 보조 축전기, 그리고 상기 보조 축전기 및 상기 제2 부화소 전극과 연결되어 있는 제3 박막 트랜지스터를 포함하고, 상기 제3 박막 트랜지스터는 게이트 전극, 상기 게이트 전극과 중첩하며 상기 제2 부화소 전극과 연결되어 있는 소스 전극 및 상기 보조 축전기와 연결되어 있는 드레인 전극을 포함하며, 상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량은 상기 게이트 전극과 상기 소스 전극 사이의 기생 용량보다 같거나 작다.

대표도 - 도3



(72) 발명자

채종철

서울특별시 마포구 염리동 LG자이아파트 106동
1902호

김성운

경기 수원시 영통구 영통동 991-10 202호

정미혜

경기도 수원시 장안구 정자동 대림진흥아파트 824
동 1402호

특허청구의 범위

청구항 1

제1 부화소 전극,
 상기 제1 부화소 전극과 함께 화소 전극을 이루는 제2 부화소 전극,
 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터,
 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터,
 상기 제1 부화소 전극과 연결되어 있는 보조 축전기, 그리고
 상기 보조 축전기 및 상기 제2 부화소 전극과 연결되어 있는 제3 박막 트랜지스터
 를 포함하고,
 상기 제3 박막 트랜지스터는 게이트 전극, 상기 게이트 전극과 중첩하며 상기 제2 부화소 전극과 연결되어 있는
 소스 전극 및 상기 보조 축전기와 연결되어 있는 드레인 전극을 포함하며,
 상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량은 상기 게이트 전극과 상기 소스 전극 사이의 기생 용
 량보다 같거나 작은
 표시 장치.

청구항 2

제1항에서,
 상기 게이트 전극과 상기 드레인 전극이 중첩하는 면적은 상기 게이트 전극과 상기 소스 전극이 중첩하는 면적
 보다 같거나 작은 표시 장치.

청구항 3

제2항에서,
 상기 드레인 전극은 제1 방향으로 뻗은 막대형인 표시 장치.

청구항 4

제3항에서,
 상기 소스 전극은 상기 드레인 전극을 둘러싸고 있는 표시 장치.

청구항 5

제4항에서,
 상기 소스 전극은 상기 게이트 전극과 중첩하며 상기 제1 방향으로 뻗은 제1 부분, 그리고 상기 게이트 전극과
 중첩하고 상기 제1 부분과 연결되어 있으며 상기 제1 방향과 수직인 제2 방향으로 뻗은 제2 부분을 포함하는 표
 시 장치.

청구항 6

제5항에서,
 상기 소스 전극은 상기 게이트 전극과 중첩하고 상기 제2 부분과 연결되어 있으며 상기 제1 부분과 평행한 제3
 부분을 더 포함하는 표시 장치.

청구항 7

제6항에서,
 상기 소스 전극은 상기 드레인 전극을 향해 구부러진 U 자형 부분을 포함하는 표시 장치.

청구항 8

제2항에서,

상기 게이트 전극 및 상기 드레인 전극이 중첩하는 면적과 상기 게이트 전극 및 상기 소스 전극이 중첩하는 면적의 비는 1:1 내지 1:5인 표시 장치.

청구항 9

제1항에서,

상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 제1 게이트선,

상기 제3 박막 트랜지스터와 연결되어 있으며, 상기 제1 게이트선과 이웃하는 제2 게이트선, 그리고

상기 제1 내지 제3 박막 트랜지스터와 연결되어 있는 데이터선

을 더 포함하는 표시 장치.

청구항 10

제9항에서,

상기 화소 전극과 중첩하는 유지 전극선, 그리고

상기 제1 게이트선, 상기 유지 전극선 및 상기 보조 축전기와 연결되어 있는 제4 박막 트랜지스터

를 더 포함하는 표시 장치.

청구항 11

제1 액정 축전기,

상기 제1 액정 축전기에 병렬로 연결되어 있는 제1 유지 축전기,

제2 액정 축전기,

상기 제2 액정 축전기에 병렬로 연결되어 있는 제2 유지 축전기,

상기 제1 액정 축전기에 연결되어 있는 제1 박막 트랜지스터,

상기 제2 액정 축전기에 연결되어 있는 제2 박막 트랜지스터,

상기 제1 액정 축전기에 연결되어 있는 보조 축전기,

상기 보조 축전기와 상기 제2 액정 축전기 사이에 연결되어 있는 제3 박막 트랜지스터

를 포함하고,

상기 보조 축전기의 정전 용량은 상기 제1 액정 축전기의 정전 용량 및 상기 제1 유지 축전기의 정전 용량의 합 의 10% 내지 50%인

표시 장치.

청구항 12

제11항에서,

상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 제1 게이트선,

상기 제3 박막 트랜지스터와 연결되어 있으며, 상기 제1 게이트선과 이웃하는 제2 게이트선, 그리고

상기 제1 내지 제3 박막 트랜지스터와 연결되어 있는 데이터선

을 더 포함하는 표시 장치.

청구항 13

제12항에서,

유지 전극선, 그리고

상기 제1 게이트선, 상기 유지 전극선 및 상기 보조 축전기와 연결되어 있는 제4 박막 트랜지스터를 더 포함하는 표시 장치.

청구항 14

제11항에서,

상기 제3 박막 트랜지스터는 상기 제2 게이트선과 연결되어 있는 게이트 전극, 상기 제2 액정 축전기와 연결되어 있는 소스 전극 및 상기 보조 축전기를 통하여 상기 제1 액정 축전기와 연결되어 있는 드레인 전극을 포함하고,

상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량은 상기 게이트 전극과 상기 소스 전극 사이의 기생 용량보다 같거나 작은

표시 장치.

청구항 15

제14항에서,

상기 게이트 전극과 상기 드레인 전극이 중첩하는 면적은 상기 게이트 전극과 상기 소스 전극이 중첩하는 면적보다 같거나 작은 표시 장치.

명세서

발명의 상세한 설명

기술 분야

<1> 본 발명은 표시 장치에 관한 것이다.

배경 기술

- <2> 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- <3> 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.
- <4> 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치는 대비비가 크고 기준 시야각이 넓어서 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.
- <5> 수직 배향 방식의 액정 표시 장치에서 넓은 기준 시야각을 구현하기 위한 구체적인 방법으로는 전기장 생성 전극에 절개부를 형성하는 방법과 전기장 생성 전극 위 또는 아래에 돌기를 형성하는 방법 등이 있다. 절개부와 돌기는 액정 분자가 기울어지는 방향(tilt direction)을 결정하므로, 이들을 적절하게 배치하여 액정 분자의 경사 방향을 여러 방향으로 분산시킴으로써 기준 시야각을 넓힐 수 있다.
- <6> 또한 수직 배향 모드의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어진다. 예를 들어, 절개부가 구비된 PVA(patterned vertically aligned) 모드의 액정 표시 장치의 경우에는 측면으로 갈수록 영상이 밝아져서, 심한 경우에는 높은 계조 사이의 휘도 차이가 없어져 그림이 뭉그러져 보이는 경우도 발생한다.
- <7> 이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 두

개의 부화소로 분할하고 두 부화소의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되었다.

발명의 내용

해결 하고자하는 과제

- <8> 이러한 방법으로는 하나의 화소를 두 개의 부화소로 분할하고 두 부화소를 용량성 결합시킨 후 한 쪽 부화소에는 직접 전압을 인가하고 다른 쪽 부화소에는 용량성 결합에 의한 전압 하강을 일으켜 두 부화소의 전압을 달리 함으로써 투과율을 다르게 하는 방법이 제시되었다. 그러나 이러한 방법은 두 부화소의 전압 중 어느 하나를 낮추는 것이기 때문에 전체 투과율의 손실이 발생할 수 있다.
- <9> 또한 다른 방법은 게이트선 또는 데이터선의 수효를 기존의 수효보다 늘려 두 부화소의 전압을 서로 다르게 인가할 수 있다. 그러나 게이트선 또는 데이터선의 수효를 늘리면 액정 표시 장치의 개구율이 감소한다.
- <10> 본 발명이 이루고자 하는 기술적 과제는 투과율이나 개구율의 감소없이 측면 시인성 문제를 해결하는 것이다.

과제 해결수단

- <11> 본 발명의 한 실시예에 따른 표시 장치는 제1 부화소 전극, 상기 제1 부화소 전극과 함께 화소 전극을 이루는 제2 부화소 전극, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 부화소 전극과 연결되어 있는 보조 축전기, 그리고 상기 보조 축전기 및 상기 제2 부화소 전극과 연결되어 있는 제3 박막 트랜지스터를 포함하고, 상기 제3 박막 트랜지스터는 게이트 전극, 상기 게이트 전극과 중첩하며 상기 제2 부화소 전극과 연결되어 있는 소스 전극 및 상기 보조 축전기와 연결되어 있는 드레인 전극을 포함하며, 상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량은 상기 게이트 전극과 상기 소스 전극 사이의 기생 용량보다 같거나 작다.
- <12> 상기 게이트 전극과 상기 드레인 전극이 중첩하는 면적은 상기 게이트 전극과 상기 소스 전극이 중첩하는 면적보다 같거나 작을 수 있다.
- <13> 상기 드레인 전극은 제1 방향으로 뺀 막대형일 수 있다.
- <14> 상기 소스 전극은 상기 드레인 전극을 둘러싸고 있을 수 있다.
- <15> 상기 소스 전극은 상기 게이트 전극과 중첩하며 상기 제1 방향으로 뺀 제1 부분, 그리고 상기 게이트 전극과 중첩하고 상기 제1 부분과 연결되어 있으며 상기 제1 방향과 수직인 제2 방향으로 뺀 제2 부분을 포함할 수 있다.
- <16> 상기 소스 전극은 상기 게이트 전극과 중첩하고 상기 제2 부분과 연결되어 있으며 상기 제1 부분과 평행한 제3 부분을 더 포함할 수 있다.
- <17> 상기 소스 전극은 상기 드레인 전극을 향해 구부러진 U 자형 부분을 포함할 수 있다.
- <18> 상기 게이트 전극 및 상기 드레인 전극이 중첩하는 면적과 상기 게이트 전극 및 상기 소스 전극이 중첩하는 면적의 비는 1:1 내지 1:5일 수 있다.
- <19> 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 제1 게이트선, 상기 제3 박막 트랜지스터와 연결되어 있으며, 상기 제1 게이트선과 이웃하는 제2 게이트선, 그리고 상기 제1 내지 제3 박막 트랜지스터와 연결되어 있는 데이터선을 더 포함할 수 있다.
- <20> 상기 화소 전극과 중첩하는 유지 전극선, 그리고 상기 제1 게이트선, 상기 유지 전극선 및 상기 보조 축전기와 연결되어 있는 제4 박막 트랜지스터를 더 포함할 수 있다.
- <21> 본 발명의 다른 실시예에 따른 표시 장치는 제1 액정 축전기, 상기 제1 액정 축전기에 병렬로 연결되어 있는 제1 유지 축전기, 제2 액정 축전기, 상기 제2 액정 축전기에 병렬로 연결되어 있는 제2 유지 축전기, 상기 제1 액정 축전기에 연결되어 있는 제1 박막 트랜지스터, 상기 제2 액정 축전기에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 액정 축전기에 연결되어 있는 보조 축전기, 상기 보조 축전기와 상기 제2 액정 축전기 사이에 연결되어 있는 제3 박막 트랜지스터를 포함하고, 상기 보조 축전기의 정전 용량은 상기 제1 액정 축전기의 정전 용량 및 상기 제1 유지 축전기의 정전 용량의 합의 10% 내지 50%이다.
- <22> 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 제1 게이트선, 상기 제3 박막 트랜지스터와 연결되어

있으며, 상기 제1 게이트선과 이웃하는 제2 게이트선, 그리고 상기 제1 내지 제3 박막 트랜지스터와 연결되어 있는 데이터선을 더 포함할 수 있다.

<23> 유지 전극선, 그리고 상기 제1 게이트선, 상기 유지 전극선 및 상기 보조 축전기와 연결되어 있는 제4 박막 트랜지스터를 더 포함할 수 있다.

<24> 상기 제3 박막 트랜지스터는 상기 제2 게이트선과 연결되어 있는 게이트 전극, 상기 제2 액정 축전기와 연결되어 있는 소스 전극 및 상기 보조 축전기를 통하여 상기 제1 액정 축전기와 연결되어 있는 드레인 전극을 포함하고, 상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량은 상기 게이트 전극과 상기 소스 전극 사이의 기생 용량보다 같거나 작을 수 있다.

<25> 상기 게이트 전극과 상기 드레인 전극이 중첩하는 면적은 상기 게이트 전극과 상기 소스 전극이 중첩하는 면적보다 같거나 작을 수 있다.

효 과

<26> 본 발명에 따르면 표시 장치의 기생 용량에 따른 두 부화소의 전압의 변화를 적절히 조절하여 측면 시인성 문제를 효과적으로 해결할 수 있다.

발명의 실시를 위한 구체적인 내용

<27> 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

<28> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

<29> 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도면을 참고하여 상세하게 설명한다.

<30> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 도시한 액정 표시 장치의 두 부화소에 대한 등가 회로도이다.

<31> 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 제조 전압 생성부(800), 그리고 신호 제어부(600)를 포함한다.

<32> 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(도시하지 않음)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다.

<33> 신호선은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(도시하지 않음)과 데이터 전압(Vd)을 전달하는 복수의 데이터선(도시하지 않음), 유지 전극선(도시하지 않음)을 포함한다. 게이트선과 유지 전극선은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.

<34> 본 실시예에 따른 액정 표시판 조립체는 복수의 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.

<35> 각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소 중 적어도 하나는 게이트선, 데이터선 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(도시하지 않음)를 포함한다.

<36> 액정 축전기(Clca, Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(270) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa/PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되

어 있을 수 있다. 도 2에서와는 달리 공통 전극(CE)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

- <37> 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성할 수도 있다.
- <38> 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- <39> 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. (기준) 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- <40> 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(G_1 - G_n)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(G_1 - G_n)에 인가한다.
- <41> 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D_1 - D_m)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선(D_1 - D_m)에 인가한다. 그러나 계조 전압 생성부(800)가 계조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 원하는 데이터 전압을 생성한다.
- <42> 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- <43> 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(G_1 - G_n , D_1 - D_m) 및 박막 트랜지스터 스위칭 소자(Q) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- <44> 이제 도 3 내지 도 6을 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.
- <45> 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도이다.
- <46> 도 3을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 이웃하는 제1 및 제2 게이트선(GLa, GLb), 데이터선(DL) 및 유지 전극선(SL)을 포함하는 신호선과 이에 연결된 화소(PX)를 포함한다.
- <47> 화소(PX)는 제1, 제2, 제3 및 제4 스위칭 소자(Qa, Qb, Qc, Qd), 제1 및 제2 액정 축전기(C1ca, C1cb), 제1 및 제2 유지 축전기(Csta, Cstb), 그리고 보조 축전기(Cbt)를 포함한다.
- <48> 제1 및 제2 스위칭 소자(Qa, Qb)는 각각 제1 게이트선(GLa) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제1 게이트선(GLa) 및 유지 전극선(SL)에 연결되어 있으며, 제4 스위칭 소자(Qd)는 제2 게이트선(GLb), 제2 스위칭 소자(Qb) 및 제3 스위칭 소자(Qc)에 연결되어 있다.
- <49> 제1/제2 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 액정 축전기(C1ca/C1cb) 및 유지 축전기(Csta/Cstb)와 연결되어 있다.
- <50> 제3 스위칭 소자(Qc) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 유지 전극선(SL)과 연결되어 있으며, 출력 단자는 제4 스위칭 소자(Qd) 및 보조 축전기(Cbt)와 연결되어 있다.
- <51> 제4 스위칭 소자(Qd) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단

자는 제2 게이트선(GLb)와 연결되어 있고, 입력 단자는 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자는 제3 스위칭 소자(Qc)의 출력 단자 및 보조 축전기(Cbt)와 연결되어 있다.

- <52> 제4 스위칭 소자(Qd)의 제어 단자와 출력 단자 사이에는 제1 기생 용량(Cgd)이 형성되며, 제4 스위칭 소자(Qd)의 제어 단자와 입력 단자 사이에는 제2 기생 용량(Cgs)이 형성된다. 본 발명의 한 실시예에 따른 액정 표시판 조립체는, 제1 기생 용량(Cgd)이 제2 기생 용량 (Cgs)보다 같거나 작다.
- <53> 제1/제2 유지 축전기(Csta/Cstb)는 제1/제2 스위칭 소자(Qa/Qb)와 유지 전극선(SL)에 연결되어 있으며, 액정 축전기(C1ca/C1cb)의 보조적인 역할을 한다. 제1/제2 유지 축전기(Csta/Cstb)는 하부 표시판(100)에 구비된 유지 전극선(SL)과 화소 전극(PE)이 절연체를 사이에 두고 중첩되어 이루어지며 유지 전극선(SL)에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다.
- <54> 보조 축전기(Cbt)는 제1 스위칭 소자(Qb)의 출력 단자와 제3 스위칭 소자(Qc)의 출력 단자 및 제4 스위칭 소자(Qd)의 출력 단자에 연결되어 있다.
- <55> 본 발명의 한 실시예에 따르면 보조 축전기(Cbt)의 정전 용량은 제1 액정 축전기(C1ca) 및 제1 유지 축전기(Csta)의 정전 용량의 합의 10% 내지 50%일 수 있다.
- <56> 이제 도 4 내지 도 6을 참고하여 도 3에 도시한 액정 표시판 조립체에 대하여 더욱 상세하게 설명한다.
- <57> 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이며, 도 5 및 도 6은 각각 도 4의 액정 표시판 조립체를 V-V 및 VI-VI 선을 따라 잘라 도시한 단면도이다.
- <58> 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.
- <59> 먼저 하부 표시판(100)에 대하여 설명한다.
- <60> 절연 기판(110) 위에 복수의 제1 및 제2 게이트선(121a, 121b), 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 각 게이트선(121a/121b)은 게이트 전극(124a, 124b, 124c, 124d)과 끝 부분(129a/129b)을 포함하고, 각 유지 전극선(131)은 유지 전극(137)을 포함한다. 유지 전극(137)은 상부로 연장되어 면적이 넓은 끝 부분(137a)을 이룬다.
- <61> 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 제1, 제2, 제3 및 제4 섬형 반도체(154a, 154b, 154c, 154d)가 형성되어 있고, 그 위에는 복수의 제1 저항성 접촉 부재(도시하지 않음), 제2 저항성 접촉 부재(도시하지 않음), 제3 저항성 접촉 부재(163c, 165c) 및 제4 저항성 접촉 부재(도시하지 않음)가 형성되어 있다.
- <62> 저항성 접촉 부재(163c, 165c) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 제1, 제2 및 제3 드레인 전극(175a, 175b, 175c)과 제1 및 제2 전극 부재(176, 173d)를 포함하는 데이터 도전체가 형성되어 있다.
- <63> 데이터선(171)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(179)을 포함한다. 제1 전극 부재(176)의 한쪽은 제3 드레인 전극(175c)과 마주하는 제3 소스 전극(173c)을 이루며, 다른 한 쪽은 제4 드레인 전극(175d)를 이룬다. 제2 전극 부재(173d)는 제4 드레인 전극(175d)과 마주하는 제4 소스 전극(173d)을 이룬다.
- <64> 제3 드레인 전극(175c)은 연장되어 유지 전극(137)의 끝 부분(137a)과 마주하는 확대부(177)를 이룬다.
- <65> 제1/제2/제3/제4 게이트 전극(124a/124b/124c/124d), 제1/제2/제3/제4 소스 전극(173a/173b/173c/173d) 및 제1/제2/제3/제4 드레인 전극(175a/175b/175c/175d)은 제1/제2/제3/제4 섬형 반도체(154a/154b/154c/154d)와 함께 하나의 제1/제2/제3/제4박막 트랜지스터(thin film transistor, TFT)(Qa/Qb/Qc/Qd)를 이루며, 박막 트랜지스터의 채널(channel)은 각 소스 전극(173a/173b/173c/173d)과 각 드레인 전극(175a/175b/175c/175d) 사이의 각 반도체(154a/154b/154c/154d)에 형성된다.
- <66> 제4 소스 전극(173d)은 제4 드레인 전극(175d)의 일부를 둘러 싸고 있는 대향부(173dn)와 이에 연결된 연결부(173dm)를 포함한다.
- <67> 대향부(173dn)는 제4 게이트 전극(124d)과 중첩하며, 막대형의 제4 드레인 전극(175d)의 세변과 마주하여 둘러

싸고 있다. 더욱 상세하게는 대향부(173dn)는 게이트선(121b)과 평행하게 뻗은 제1 부분 및 데이터선(171)과 평행하게 뻗은 제2 부분 및 제3 부분을 포함한다. 제1 부분은 제2 부분 및 제3 부분 사이에 있으며, 제2 부분 및 제3 부분과 수직하다. 제1 내지 제3 부분은 서로 연결되어 있으며, 대향부(173dn)은 실질적으로 "U"자 형을 이룬다. 그러나 이와는 달리 제1 내지 제3 부분은 서로 직접 연결되어 있을 수도 있다.

- <68> 제4 드레인 전극(175d)과 제4 게이트 전극(124d)이 중첩하는 면적은 제4 소스 전극(173d)과 제4 게이트 전극(124d)이 중첩하는 면적보다 작다. 제4 소스 전극(173d)과 제4 게이트 전극(124d)이 중첩하는 면적은 제4 드레인 전극(175d)과 제4 게이트 전극(124d)이 중첩하는 면적의 1 내지 5배 정도일 수 있다.
- <69> 제4 게이트 전극(124d)과 제4 소스 전극(173d) 사이에 발생하는 기생 용량 및 제4 게이트 전극(124d)과 제4 드레인 전극(175d) 사이에 발생하는 기생 용량은 각각의 중첩 면적에 좌우된다. 따라서 제4 게이트 전극(124d)과 제4 드레인 전극(175d) 사이에 발생하는 기생 용량은 및 제4 게이트 전극(124d)과 제4 소스 전극(173d) 사이에 발생하는 기생 용량보다 작다.
- <70> 데이터 도전체(171, 173d, 175a, 175b, 175c, 176) 및 노출된 반도체(154a/154b/154c/154d) 부분 위에는 보호막(180)이 형성되어 있다.
- <71> 보호막(180)에는 데이터선(171)의 끝 부분(179), 제1 드레인 전극(175a), 제2드레인 전극(175b), 제4 드레인 전극(175d) 및 제3 드레인 전극(175c)의 확대부(177)를 각각 드러내는 복수의 접촉 구멍(182, 185a, 185b, 185d, 187)이 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129) 및 유지 전극(137)의 끝 부분(137a)을 각각 드러내는 복수의 접촉 구멍(181, 188)이 형성되어 있다.
- <72> 보호막(180) 위에는 제1 및 제2 부화소 전극을 포함하는 화소 전극(191), 복수의 접촉 보조 부재(81, 82) 및 연결 부재(87)가 형성되어 있다.
- <73> 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(94)을 사이에 두고 서로 맞물려 있으며, 제1 부화소 전극(191a)은 제2 부화소 전극(191b)의 중앙에 삽입되어 있다. 간극(94)은 세로부 및 사선부를 포함한다.
- <74> 제2 부화소 전극(191b)에는 하부 및 상부 절개부(91a, 91b)와 중앙 절개부(92)가 형성되어 있다. 상부 절개부(91b)는 중앙 부분의 폭이 확장되어 연결 부재(87)를 끼우고 있다. 중앙 절개부(92)는 유지 전극선(131)을 따라 뻗으며 한 쌍의 사선부를 포함한다.
- <75> 간극(94)의 사선부, 중앙 절개부(92)의 사선부, 상부 및 하부 절개부(91a, 91b)는 게이트선(121a, 121b)에 대하여 약 45도의 각도를 이룬다.
- <76> 화소 전극(191)의 하반부는 하부 절개부(91b) 중앙 절개부(92) 및 간극(94)에 의하여 4 개의 영역(partition)으로 나누어지고, 상반부 또한 상부 절개부(91a), 중앙 절개부(92) 및 간극(94)에 의하여 4 개의 영역(partition)으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.
- <77> 화소 전극(191)은 서로 떨어져 있는 제1 및 제2 부화소 전극(191a, 191b)를 포함한다. 제1/제2 부화소 전극(191a/191b)은 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 물리적, 전기적으로 연결되어 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압을 인가 받는다. 또한 제2 부화소 전극(191b)은 접촉 구멍(185d)을 통하여 제4 소스 전극(173d)의 연결부(173dm)와 물리적, 전기적으로 연결되어 있다.
- <78> 데이터 전압이 인가된 제1 및 제2 부화소 전극(191a, 191b)은 공통 전압(common voltage)을 인가 받는 공통 전극 표시판(200)의 공통 전극(common electrode)(200)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극(270)은 축전기[이하 "액정 축전기(liquid crystal capacitor)"라 함]를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.
- <79> 제1 및 제2 부화소 전극(191a, 191b)은 유지 전극(137)을 비롯한 유지 전극선(131)과 중첩한다. 화소 전극(191)이 유지 전극선(131)과 중첩하여 이루는 축전기를 "유지 축전기(storage capacitor)"라 하며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.
- <80> 연결 부재(87)는 접촉 구멍(187, 188)을 통하여 제3 드레인 전극(175c)의 확대부(177)과 유지 전극(137)의 한쪽 끝 부분(137a)를 전기적으로 연결한다.
- <81> 한편 제2 전극 부재(176)는 그 일부가 확장되어 제1 부화소 전극(191a)과 중첩하는 보조 전극(174)을 이룬다.

제1 부화소 전극(191a)과 보조 전극(174)은 보호막(180)을 사이에 두고 보조 축전기(Cbt)를 이룬다.

- <82> 화소 전극(191), 접촉 보조 부재(81, 82) 및 보호막(180) 위에는 배향막(11)이 형성되어 있다.
- <83> 이제 상부 표시판(200)에 대하여 설명한다.
- <84> 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.
- <85> 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(230)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- <86> 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다.
- <87> 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)에는 복수의 절개부(71, 72, 73a, 73b, 74a, 74b)집합이 형성되어 있다. 각 절개부(71-74b)는 화소 전극(191)의 하부 절개부(91a) 또는 상부 절개부(91b)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다. 절개부(71-74b)의 사선부에는 삼각형 모양의 노치(notch)가 형성되어 있다.
- <88> 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 도포되어 있다.
- <89> 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다.
- <90> 액정 축전기(Clca, Clcb)가 충전되면 표시판(100, 200)의 표면에 거의 수직인 전기장(전계)이 생성된다. 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 방향을 바꾸고자 한다.
- <91> 한편, 전기장 생성 전극(191, 270)의 화소 전극의 절개부(91-92b)와 간극(94) 및 공통 전극의 절개부(71-74b)와 이들과 평행한 화소 전극(191)의 빗변은 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 절개부(91-92b, 71-74b)의 빗변과 화소 전극(191)의 빗변에 수직이다.
- <92> 하나의 공통 전극 절개부 집합(71-74b) 및 화소 전극 절개부 집합(91-92b)과 간극(94)은 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주 변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- <93> 그러면 도 3 내지 도 6을 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치의 동작에 대하여 설명한다.
- <94> 제1 게이트선(121a)에 게이트 온 전압이 인가되면 이에 연결된 제1 내지 제3 박막 트랜지스터(Qa, Qb, Qc)가 턴 온된다. 이에 따라 데이터선(171)에 인가된 데이터 전압은 턴 온된 제1 및 제2 박막 트랜지스터(Qa, Qb)를 통하여 제1 및 제2 부화소 전극(191a, 191b)에 인가된다. 이 때 제1 및 제2 부화소 전극(191a, 191b)에 인가된 데이터 전압은 서로 동일하다. 제1/제2 액정 축전기(Clca/Clcb)는 공통 전압과 제1/제2 부화소 전극 전압의 차이만큼 충전된다. 한편 제3 박막 트랜지스터(Qc)가 턴 온되면 유지 전극선(SL)에 인가된 공통 전압(Vcom)은 보조 전극(174)으로 인가되며, 보조 축전기(Cbt)는 제1 부화소 전극 전압과 공통 전압(Vcom) 차이만큼 충전된다.
- <95> 그런 후 제2 게이트선(121b)에 게이트 온 전압이 인가되면 이에 연결된 제4 박막 트랜지스터(Qd)가 턴 온된다. 그러면 제2 부화소 전극의 전압이 턴 온된 제4 박막 트랜지스터(Qd)를 통하여 보조 전극(174)으로 인가된다. 그러면 보조 전극(174)과 함께 보조 축전기(Cbt)의 두 전극을 이루는 제1 부화소 전극의 전압은 공통 전압과의 차이가 커진다. 따라서 제4 박막 트랜지스터(Qd)가 턴 온된 후의 공통 전압(Vcom)과 제2 부화소 전극 전압의 차이는 제4 박막 트랜지스터(Qd)가 턴 온 되기 전의 공통 전압(Vcom)과 제2 부화소 전극 전압의 차이보다 작아지며, 제4 박막 트랜지스터(Qd)가 턴 온된 후의 공통 전압(Vcom)과 제1 부화소 전극 전압의 차이는 제4 박막 트랜지스터(Qd)가 턴 온 되기 전 공통 전압(Vcom)과 제1 부화소 전극 전압의 차이보다 커진다. 즉, 제4 박막 트랜지스터(Qd)가 턴 온된 이후에 제2 액정 축전기(Clca)의 충전 전압은 제1 액정 축전기(Clca)의 충전 전압보다 낮아진다.
- <96> 두 액정 축전기(Clca, Clca)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과

일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.

<97> 여기서 제2 게이트선(121b)에 인가되는 게이트 신호가 게이트 온 전압에서 게이트 오프 전압으로 바뀌면 그 순간 이의 영향으로 제1 및 제2 부화소 전극(191a, 191b) 전압이 하강하며, 이를 킥백 전압이라 한다. 제1 및 제2 부화소 전극(191a, 191b) 각각의 킥백 전압(ΔV_{kba} , ΔV_{kbb})은 다음과 같은 식으로 정의될 수 있다.

<98>
$$\Delta V_{kba} = \frac{C_{gd}}{C_{lca} + C_{sta} + C_{gd}} \times \Delta V_g$$

<99>
$$\Delta V_{kbb} = \frac{C_{gs}}{C_{lcb} + C_{stb} + C_{gs}} \times \Delta V_g$$

<100> 여기서 C_{gd} 는 제4 드레인 전극(175d)와 제4 게이트 전극(124d) 사이의 기생 용량이며, C_{gs} 는 제4 소스 전극(173d)와 제4 게이트 전극(124d) 사이에 기생 용량이며, ΔV_g 는 게이트 온 전압과 게이트 오프 전압의 차이값이다.

<101> 제2 게이트선(121b)에 인가되는 게이트 신호에 따른 킥백 전압의 전체 합($\Delta V_{kba} + \Delta V_{kbb}$)은 일정하므로, 둘 중 어느 하나가 커지면 어느 하나는 작아질 수 밖에 없다.

<102> 이 때 제1 부화소 전극(191a)의 킥백 전압(ΔV_{kba})이 작고 제2 부화소 전극(191b)의 킥백 전압(ΔV_{kbb})이 크면, 제1 부화소 전극(191a)의 킥백 전압(ΔV_{kba})이 크고 제2 부화소 전극(191b)의 킥백 전압(ΔV_{kbb})이 작은 경우보다, 두 부화소 전극 전압의 차이를 크게 할 수 있다. 따라서 제1 부화소 전극(191a)의 킥백 전압(ΔV_{kba})이 작고 제2 부화소 전극(191b)의 킥백 전압(ΔV_{kbb})이 큰 경우가, 제1 부화소 전극(191a)의 킥백 전압(ΔV_{kba})이 크고 제2 부화소 전극(191b)의 킥백 전압(ΔV_{kbb})이 작은 경우보다, 두 부화소의 서로 다른 전압 쌍을 합성하여 이루는 측면 시인성의 개선을 확실히 달성할 수 있다.

<103> 또한 일반적으로 제1 부화소 전극(191a)의 면적은 제2 부화소 전극(191b)의 면적보다 작아서 제1 액정 축전기(C_{lca})의 정전 용량은 제2 액정 축전기(C_{lcb})의 정전 용량보다 작다. 따라서 제1 액정 축전기(C_{lca})는 제2 액정 축전기(C_{lcb})보다 킥백 전압의 영향을 받기 쉽다. 따라서 제1 부화소 전극(191a)의 킥백 전압(ΔV_{kba})이 제2 부화소 전극(191b)의 킥백 전압(ΔV_{kbb})보다 작은 것이 바람직하다. 즉 제4 드레인 전극(175d)와 제4 게이트 전극(124d) 사이의 기생 용량은 제4 소스 전극(173d)와 제4 게이트 전극(124d) 사이에 기생 용량보다 작아야 측면 시인성을 효과적으로 개선할 수 있다.

<104> 한편, 보조 축전기(C_{bt})의 정전 용량이 클수록 제1 및 제2 액정 축전기(C_{lca} , C_{lcb})의 충전 전압 차이는 커진다. 그러나 보조 축전기(C_{bt})의 정전 용량이 지나치게 커지면 제2 액정 축전기(C_{lcb})의 충전 전압이 크게 떨어져 액정 표시 장치 전체의 투과율이 떨어진다. 따라서 제1 및 제2 액정 축전기(C_{lca} , C_{lcb})의 충전 전압 차이를 적절히 유지하면서 전체 투과율의 손실을 방지하도록 보조 축전기(C_{bt})의 정전 용량은 제1 액정 축전기(C_{lca}) 및 제1 유지 축전기(C_{sta})의 정전 용량의 합의 10% 내지 50%인 것이 바람직하다.

<105> 그러면 이제 본 발명의 다른 실시예들에 따른 제4 박막 트랜지스터에 대하여 상세하게 설명한다.

<106> 도 7 내지 도 9는 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 제4 박막 트랜지스터를 도시하는 배치도이다.

<107> 먼저 도 7을 참고하면, 본 실시예에 따른 액정 표시판 조립체의 제4 박막 트랜지스터는 게이트 전극(gate electrode)(124), 소스 전극(source electrode)(173), 드레인 전극(drain electrode)(175) 및 반도체 부재(semiconductor member)(154)를 포함한다.

<108> 게이트 전극(124)은 게이트선(121)의 일부로서 게이트선(121)이 아래위로 확장되어 만들어질 수 있으며, 반도체 부재(154), 소스 전극(173) 및 드레인 전극(175)과 절연되어 있다.

<109> 반도체 부재(154)는 게이트 전극(124)과 중첩한다.

<110> 드레인 전극(175) 게이트 전극(124)을 향하여 뻗어 게이트 전극(124)과 중첩하며 막대형이다. 드레인 전극(175)은 소스 전극(173)의 일부를 둘러싸고 있는 대향부(175n)와 이에 연결된 막대형의 연결부(175m)를 포함한다.

- <111> 소스 전극(173)은 드레인 전극(175)의 대향부(175m)를 둘러싸고 있으며 대향부(175m)를 향하여 입구가 열린 "U"자 형이다.
- <112> 드레인 전극(175)의 대향부(175n)와 게이트 전극(124)이 중첩하는 면적은 소스 전극(173)과 게이트 전극(124)이 중첩하는 면적보다 작다.
- <113> 그러나 도 7의 박막 트랜지스터는 도 4의 제4 박막 트랜지스터와 달리 드레인전극(175n)의 대향부의 길이 방향이 게이트선(121)에 평행하며, 소스 전극(173)의 입구가 측방향으로 열려 있다.
- <114> 이제 도 8을 참고하면, 본 실시예에 따른 액정 표시판 조립체의 제4 박막 트랜지스터는 게이트 전극 (124), 소스 전극(173), 대향부(175n) 및 연결부(175m)를 포함하는 드레인 전극 (175) 및 반도체 부재(semiconductor member)(154)를 포함한다.
- <115> 도 8의 경우 역시, 드레인 전극(175)의 대향부(175n)와 게이트 전극(124)이 중첩하는 면적은 소스 전극(173)과 게이트 전극(124)이 중첩하는 면적보다 작다.
- <116> 그러나 도 8의 박막 트랜지스터는 도 4의 제4 박막 트랜지스터 및 도 7의 박막 트랜지스터와 달리 소스 전극 (173)이 막대형의 드레인 전극(175)의 대향부(175n)의 일부만을 둘러싸고 있다. 즉, 소스 전극(173)은 게이트 선(121)에 수직한 제1 부분 및 게이트선(121)에 평행한 제2 부분을 포함한다. 이러한 경우 도 4 또는 도 7의 박막 트랜지스터 표시판에 비하여 채널 폭은 작아지나 게이트 전극(124) 및 소스 전극(173) 사이의 중첩 면적이 줄어들므로 게이트 전극(124) 및 소스 전극(173) 사이에 형성되는 기생 용량을 줄일 수 있다.
- <117> 이제 도 9를 참고하면, 본 실시예에 따른 액정 표시판 조립체의 제4 박막 트랜지스터는 게이트 전극 (124), 소스 전극(173), 대향부(175n) 및 연결부(175m)를 포함하는 드레인 전극 (175) 및 반도체 부재(semiconductor member)(154)를 포함한다.
- <118> 도 9의 경우는, 드레인 전극(175)의 대향부(175n)는 게이트선(121)에 수직한 막대형이며, 소스 전극(173)은 드레인 전극(175)의 대향부(175n)와 수평하다. 드레인 전극(175)의 대향부(175n)와 게이트 전극(124)이 중첩하는 면적은 소스 전극(173)과 게이트 전극(124)이 중첩하는 면적과 실질적으로 동일하다. 이러한 경우 도 4 또는 도 7의 박막 트랜지스터 표시판에 비하여 채널 폭은 작아지나, 게이트 전극(124) 및 소스 전극(173) 사이의 중첩 면적과 게이트 전극(124) 및 드레인 전극(175) 사이의 중첩 면적이 줄어들어 게이트 전극(124) 및 소스 전극(173) 사이의 기생 용량 및 게이트 전극(124) 및 드레인 전극(175) 사이의 기생 용량을 모두 줄일 수 있다.
- <119> 이제 도 10 내지 도 13, 그리고 앞서 설명한 도 1을 참고하여 본 발명의 여러 실시예에 따른 액정 표시 장치의 효과에 대하여 상세하게 설명한다.
- <120> 도 10은 도 4, 도 7 및 도 8의 박막 트랜지스터를 포함하는 액정 표시 장치의 구동 전압을 도시하는 파형도이며, 도 11은 도 9의 박막 트랜지스터를 포함하는 액정 표시 장치의 구동 전압을 도시하는 파형도이다.
- <121> 먼저 도 1을 참고하면 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- <122> 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2) 및 유지 전극 제어 신호(CONT3) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보내고, 유지 전극 제어 신호(CONT3)를 유지 전극 구동부(700)로 내보낸다. 출력 영상 신호(DAT)는 디지털 신호로서 정해진 수효의 값(또는 계조)을 가진다.
- <123> 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(DL)에 인가한다.
- <124> 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 각 게이트선(GLa, GLb)에 순차적으로 인가한다.

- <125> 도 10 및 도 11을 참고하면, 제1 게이트선(GLa)에 게이트 온 전압(Von)이 인가되면 제1 게이트선(GLa)에 연결된 제1 내지 제3 박막 트랜지스터(Qa, Qb, Qc)를 턴온된다. 그러면 데이터선(DL)에 인가된 데이터 전압(Vd)이 턴온된 제1 및 제2 박막 트랜지스터(Qa, Qb)를 통하여 제1 및 제2 부화소 전극(191a, 191b)에 인가된다. 그러면 제1 및 제2 부화소 전극 전압(Vpa, Vpb)는 대략 동일한 수준까지 상승한다.
- <126> 그런 후 제2 게이트선(GLb)에 게이트 온 전압(Von)이 인가되면 이에 연결된 제4 박막 트랜지스터(Qd)가 턴온된다. 그러면 제2 부화소 전극(191a)에 충전된 전하는 제4 박막 트랜지스터(Qd)를 통하여 보조 전극(174)으로 이동한다. 따라서 보조 전극(174)가 하나의 단자를 이루고 있는 보조 축전기(Cbt)는 고립 상태이므로, 제1 부화소 전극 전압(Vpa)은 상승하고 제2 부화소 전극 전압(Vpb)은 하강한다. 그 후 제2 게이트선(GLb)에 게이트 오프 전압(Voff)이 인가되면 이의 영향으로 킥백 전압만큼 1 부화소 전극 전압(Vpa) 및 제2 부화소 전극 전압(Vpb)이 일정 수준 하강한다. 결국 제1 부화소 전극 전압(Vpa)과 제2 부화소 전극 전압(Vpb)의 차이는 도 10의 경우는 ΔVa 가 되고 도 11의 경우는 ΔVb 가 된다.
- <127> 이 때 도 10는 제1 부화소 전극 전압(Vpa)이 제2 게이트선(GLa)에 인가되는 게이트 오프 전압(Voff)에 의한 킥백 전압의 영향을 도 11의 경우보다 덜 받는다. 따라서 도 10의 경우에 제1 부화소 전극 전압(Vpa)과 제2 부화소 전극 전압(Vpb)의 차이가 도 11의 경우보다 커져, $\Delta Va > \Delta Vb$ 이다.
- <128> 이제 도 12를 참고하여 종래 기술에 따른 액정 표시 장치를 본 발명의 실시예들에 따른 액정 표시 장치와 비교하여 설명한다.
- <129> 도 12는 종래 기술에 따른 제4 박막 트랜지스터의 배치도이고, 도 13은 도 12의 박막 트랜지스터를 포함하는 액정 표시 장치의 구동 전압을 도시하는 파형도이다.
- <130> 도 12를 참고하면, 종래 기술에 따른 액정 표시 장치의 제4 박막 트랜지스터 역시 게이트 전극(124), 소스 전극(173), 대향부(175n) 및 연결부(175m)를 포함하는 드레인 전극(175) 및 반도체 부재(semiconductor member)(154)를 포함한다.
- <131> 그러나 종래 기술에 따른 액정 표시 장치에서 채용된 제4 박막 트랜지스터는 드레인 전극(175)의 대향부(175n)이 막대형의 소스 전극(173)을 둘러싸고 있다. 즉, 드레인 전극(175)의 대향부(175n)와 게이트 전극(124)이 중첩하는 면적은 소스 전극(173)과 게이트 전극(124)이 중첩하는 면적보다 크다.
- <132> 도 13을 참고하면, 종래 기술에 따른 액정 표시 장치도 제1 게이트선(GLa)에 인가되는 게이트 신호(g_n)가 게이트 온 전압(Von)이 되면, 제1 및 제2 부화소 전극 전압(Vpa, Vpb)이 상승한다. 제1 게이트선(GLa)에 게이트 오프 전압(Voff)이 인가되고, 제2 게이트선(GLb)에 인가되는 게이트 신호(g_{n+1})가 게이트 온 전압(Von)이 되면, 제1 부화소 전극 전압(Vpa)은 더 상승하고, 제2 부화소 전극 전압(Vpb)은 하강한다. 그런 후 제2 게이트선(GLb)에 인가되는 게이트 신호(g_{n+1})가 게이트 오프 전압(Voff)으로 바뀌면 이의 영향으로 제1 및 제2 부화소 전극 전압(Vpa, Vpb)은 모두 하강한다. 그런데 이 경우에는 제1 부화소 전극 전압(Vpa)는 드레인 전극(175)과 게이트 전극(124) 간의 기생 용량이 비교적 크므로 상대적으로 킥백 전압에 의한 영향도 더 받아 도 10 및 도 11의 경우보다 하강하는 정도가 크다. 따라서 결국 제1 및 제2 부화소 전극 전압(Vpa, Vpb)의 차이는 ΔVa 및 ΔVb 보다 작은 ΔVc 가 된다. 이와 같이 제1 및 제2 부화소 전극 전압(Vpa, Vpb)의 차이가 작으면, 측면 시인성 개선을 달성하기가 힘들다.
- <133> 이상과 같이, 본 발명에 따라 제4 박막 트랜지스터의 게이트 전극(124)과 드레인 전극(175)의 중첩 면적은 게이트 전극(124)과 소스 전극(173)의 중첩 면적보다 같거나 작게 하면, 표시 장치의 기생 용량에 따른 두 부화소의 전압의 변화를 적절히 조절하여 측면 시인성 문제를 효과적으로 해결할 수 있다.
- <134> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

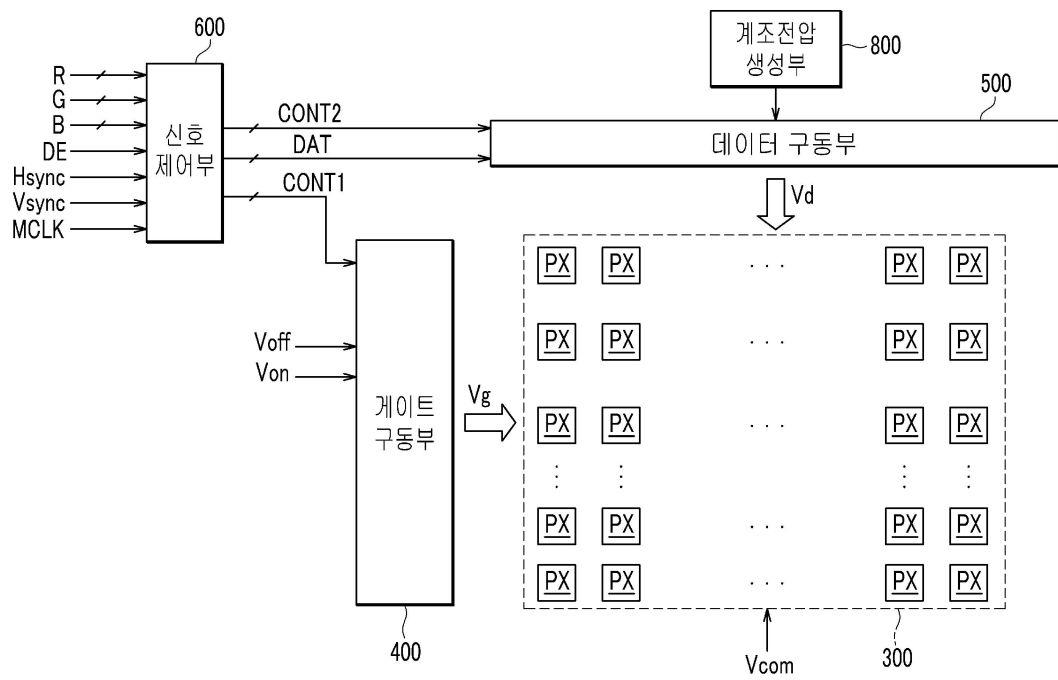
도면의 간단한 설명

- <135> 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도.
- <136> 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 도시한 액정 표시 장치의 두 부화소에 대한 등가 회로도.

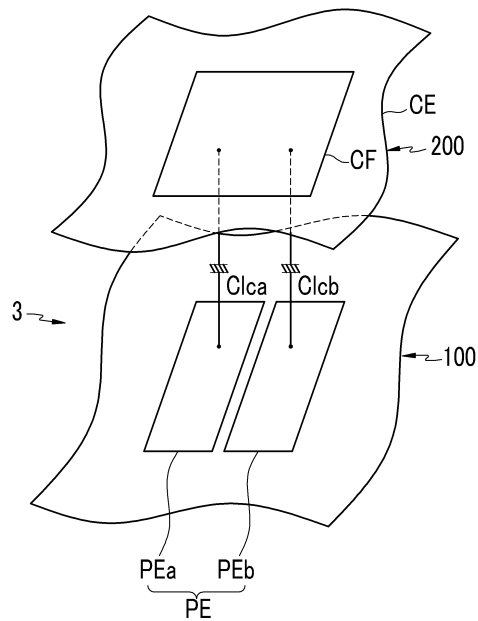
- | | |
|-------|---|
| <137> | 도 3은 본 발명의 한 실시예에 따른 액정 표시판 조립체의 한 화소에 대한 등가 회로도. |
| <138> | 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도. |
| <139> | 도 5 및 도 6은 각각 도 4의 액정 표시판 조립체를 V-V 및 VI-VI 선을 따라 잘라 도시한 단면도. |
| <140> | 도 7 내지 도 9는 본 발명의 다른 여러 가지 실시예에 따른 액정 표시판 조립체의 제4 박막 트랜지스터를 도시하는 배치도. |
| <141> | 도 10은 도 4, 도 7 및 도 8의 박막 트랜지스터를 포함하는 액정 표시 장치의 구동 전압을 도시하는 파형도. |
| <142> | 도 11은 도 9의 박막 트랜지스터를 포함하는 액정 표시 장치의 구동 전압을 도시하는 파형도. |
| <143> | 도 12는 종래 기술에 따른 제4 박막 트랜지스터의 배치도. |
| <144> | 도 13은 도 12의 박막 트랜지스터를 포함하는 액정 표시 장치의 구동 전압을 도시하는 파형도. |
| <145> | <도면의 주요부분에 대한 부호의 설명> |
| <146> | 12, 22: 편광판
11, 21: 배향막 |
| <147> | 71, 72, 73a, 73b, 74a, 74b: 공통 전극 절개부 |
| <148> | 81, 82: 접촉 보조 부재 |
| <149> | 91, 92a, 92b: 화소 전극 절개부 |
| <150> | 94: 간극 |
| <151> | 110, 210: 기판
121, 121a, 121b: 게이트선 |
| <152> | 124, 124a-d: 게이트 전극
131: 유지 전극선 |
| <153> | 137: 유지 전극
140: 게이트 절연막 |
| <154> | 154, 154a-d: 반도체
163, 165: 저항성 접촉 부재 |
| <155> | 171: 데이터선
174, 173a-d: 소스 전극 |
| <156> | 175, 175a-d: 드레인 전극 |
| <157> | 180: 보호막 |
| <158> | 181, 182, 185a, 185b, 185d, 187, 188: 접촉 구멍 |
| <159> | 191, 191a, 191b: 화소 전극 |
| <160> | 220: 차광 부재
230: 색필터 |
| <161> | 250: 덮개막
270: 공통 전극 |

도면

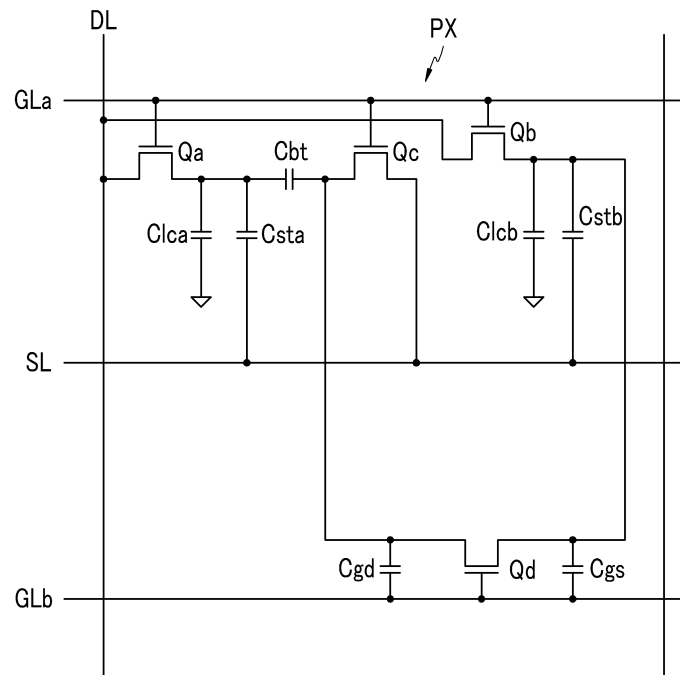
도면1



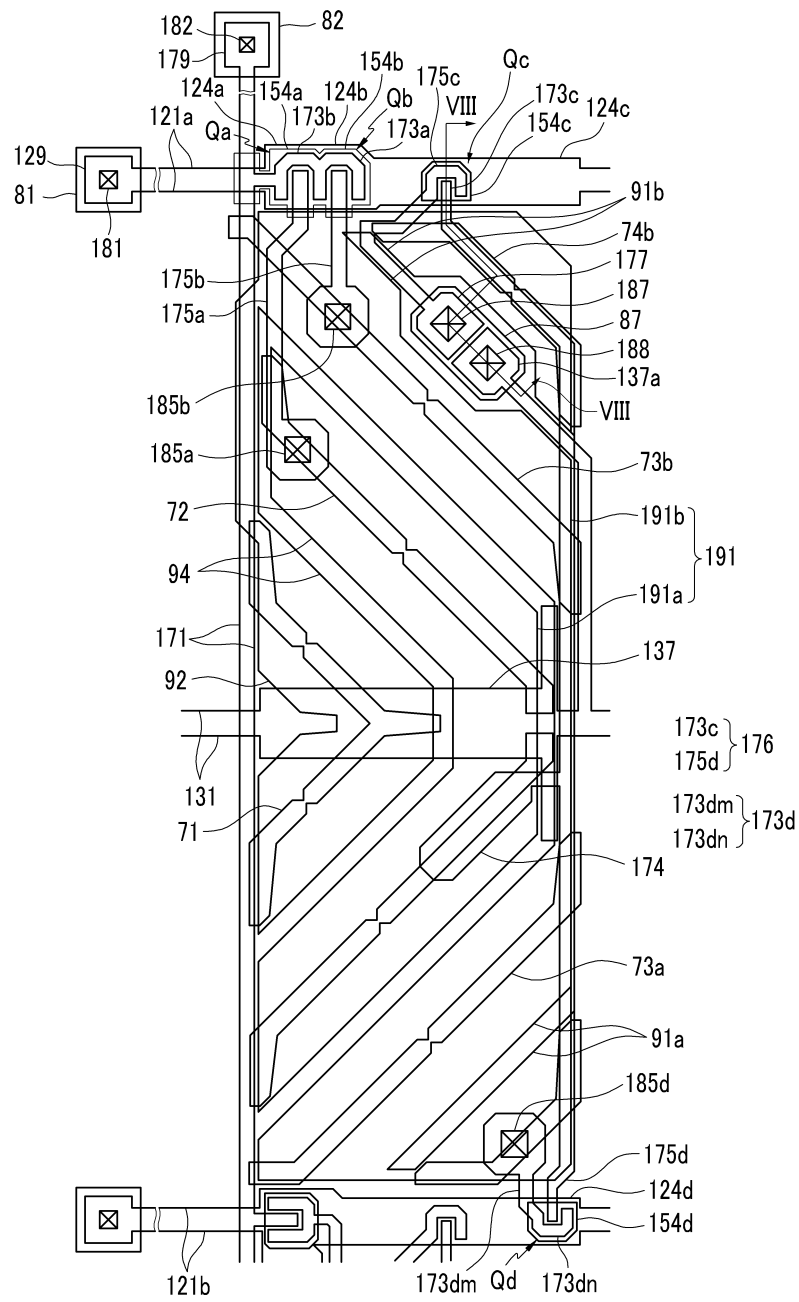
도면2



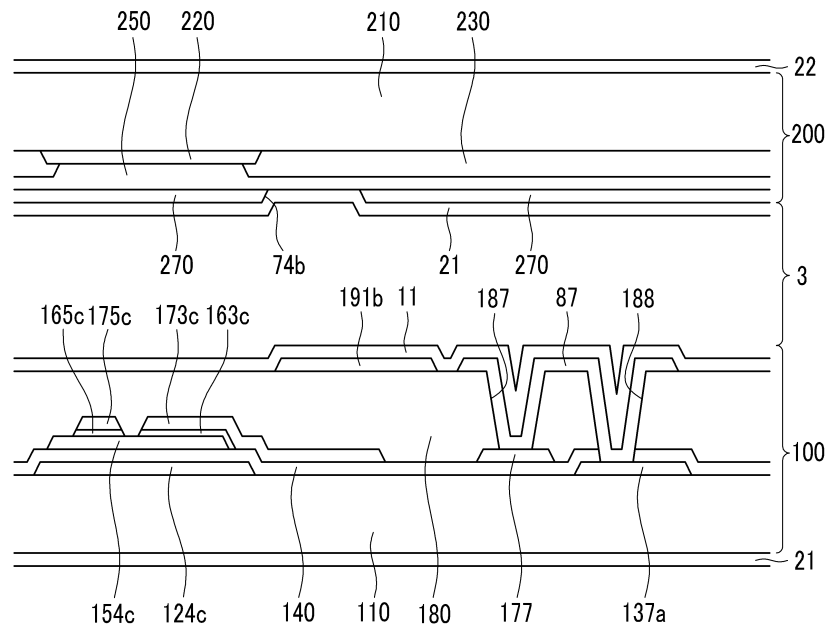
도면3



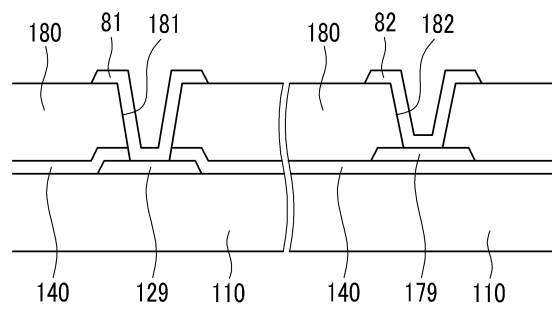
도면4



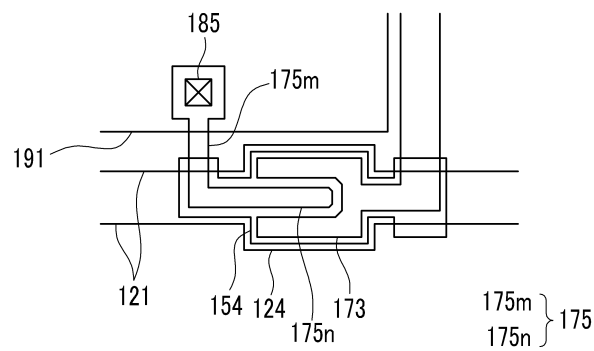
도면5



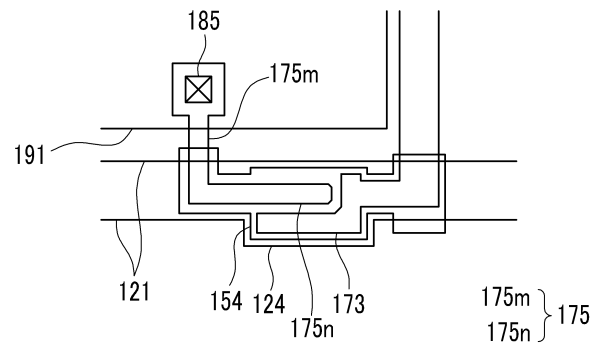
도면6



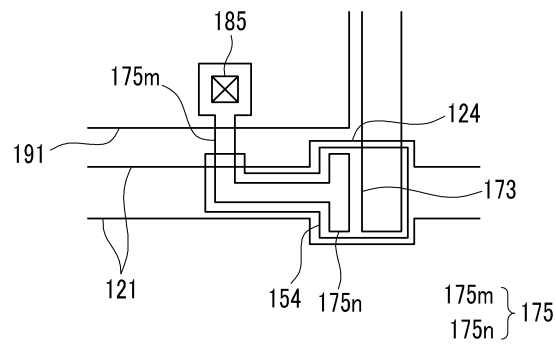
도면7



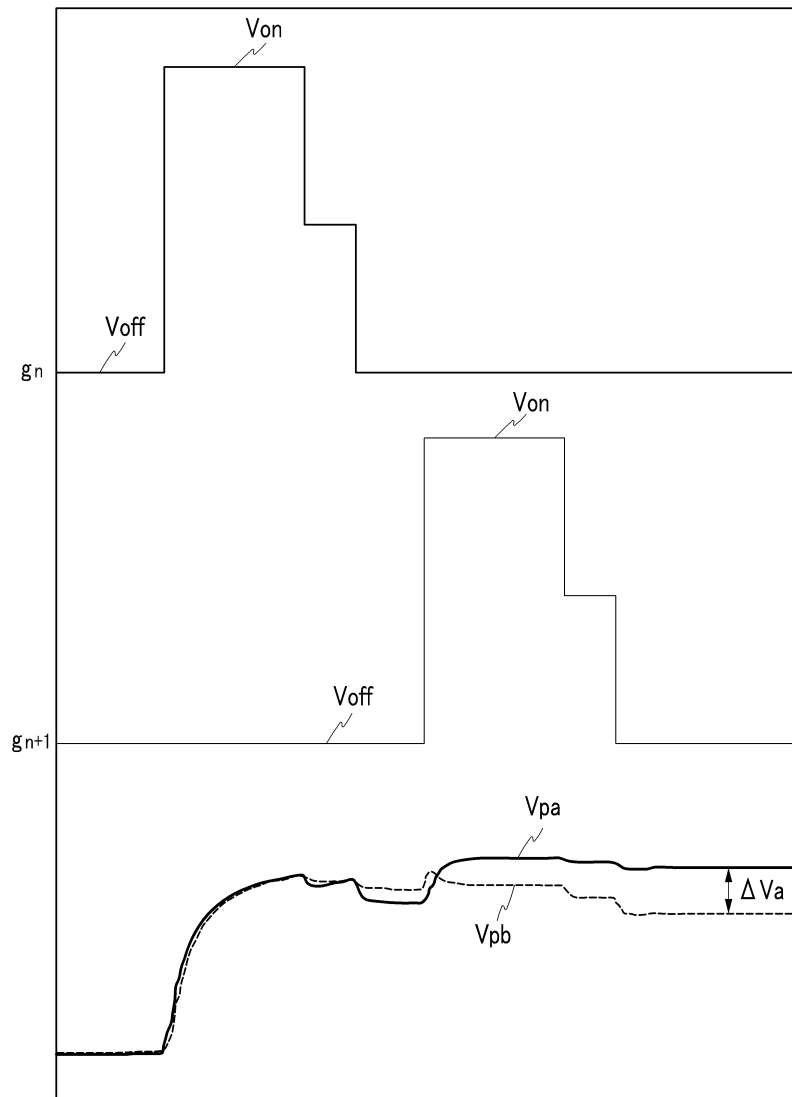
도면8



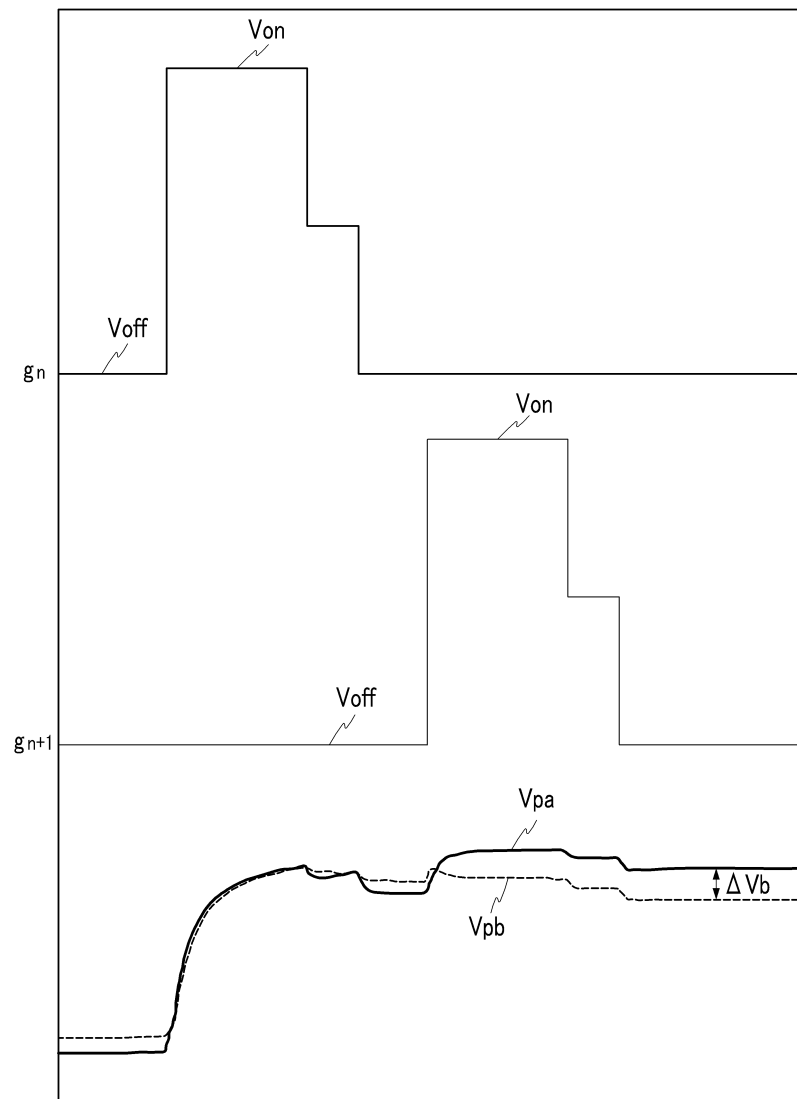
도면9



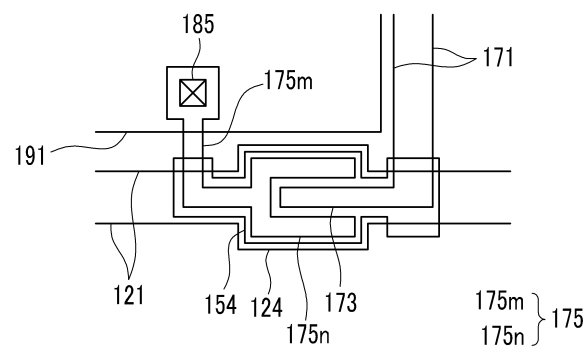
도면10



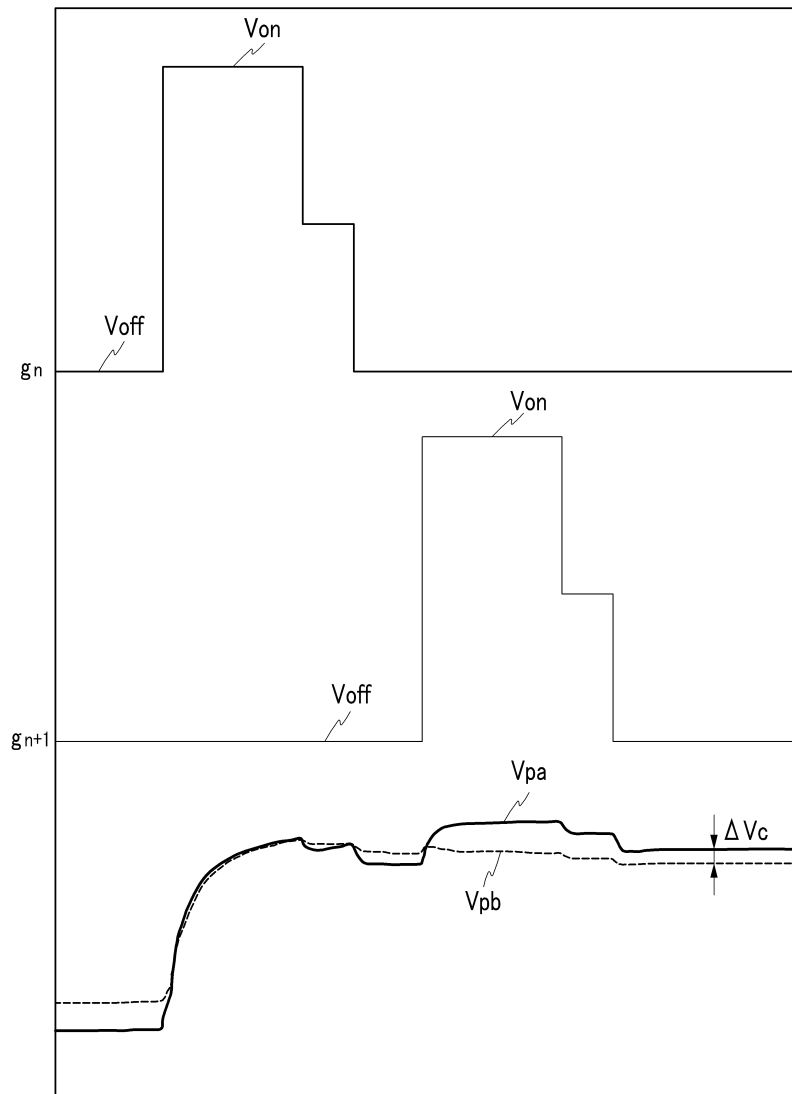
도면11



도면12



도면13



专利名称(译)	显示设备		
公开(公告)号	KR1020090088729A	公开(公告)日	2009-08-20
申请号	KR1020080014182	申请日	2008-02-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	JUNG KWANG CHUL 정광철 KIM HEE SEOP 김희섭 CHAI CHONG CHUL 채종철 KIM SUNG WOON 김성운 JUNG MEE HYE 정미혜		
发明人	정광철 김희섭 채종철 김성운 정미혜		
IPC分类号	G02F1/133		
CPC分类号	G02F1/13624 G02F1/133707 G02F1/136213 G02F2001/134345 G02F2001/13606 G09G3/3607 G09G3/3659 G09G2320/028 H01L27/124		
其他公开文献	KR101479999B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种显示装置，用于根据寄生电容适当控制两个子像素的电压变化，以解决侧面可视性问题而不降低开口率或透射率。组成：液晶显示器包括信号线包括第一和相邻的第二栅极线，数据线，维持电极线和连接的像素。像素包括第一，第二，第三和第四开关器件（Qa，Qb，Qc，Qd），第一和第二液晶电容器，以及第一和第二维持电容器和第二电容器。第一和第二开关元件连接到相应第一栅极线和数据线。第三开关器件连接到第一栅极线和维持电极线。KIPO 2009

