



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월09일
(11) 등록번호 10-1916949
(24) 등록일자 2018년11월02일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2011-0114159
(22) 출원일자 2011년11월03일
심사청구일자 2016년11월03일
(65) 공개번호 10-2013-0049104
(43) 공개일자 2013년05월13일
(56) 선행기술조사문헌
KR1020060001165 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
남경진
경기도 파주시 책향기로 403 706동 904호 (동패동, 숲속길마을윌드메르디앙센트럴파크아파트)
박승렬
경기도 고양시 일산서구 후곡로 10, 906동 801호 (일산동, 후곡마을)
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 20 항

심사관 : 김우영

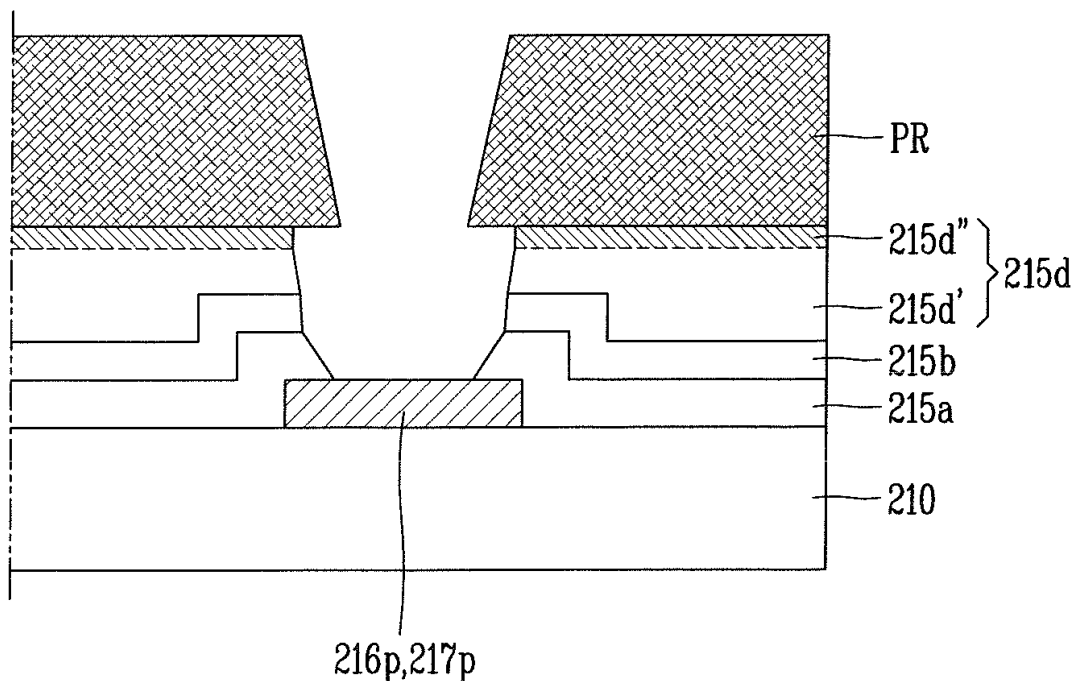
(54) 발명의 명칭 **프린지 필드형 액정표시장치 및 그 제조방법**

(57) 요약

본 발명의 프린지 필드형(Fringe Field Switching; FFS) 액정표시장치 및 그 제조방법은 유기절연막을 사용하는 저소비 전력의 프린지 필드형 액정표시장치에 있어, 저온 보호막의 상부 층의 막질을 변경하여 게이트절연막과 보호막 사이의 불연속 증착 면 대비 저온 보호막의 상부 층의 식각률(etch rate)을 증가시킴으로써 패드부 콘택

(뒷면에 계속)

대표도 - 도10



홀 내의 언더컷(under cut)을 개선하여 단선불량을 방지하기 위한 것으로, 화소부와 패드부로 구분되는 제 1 기판을 제공하는 단계; 상기 제 1 기판의 화소부에 게이트전극과 게이트라인을 형성하는 한편, 상기 제 1 기판의 패드부에 패드라인을 형성하는 단계; 상기 게이트전극과 게이트라인 및 패드라인이 형성된 상기 제 1 기판 위에 게이트절연막을 형성하는 단계; 상기 게이트절연막이 형성된 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 액티브층이 형성된 상기 제 1 기판의 액티브층 상부에 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 소오스전극과 드레인전극 및 데이터라인이 형성된 상기 제 1 기판 위에 제 1 보호막을 형성하는 단계; 상기 제 1 보호막이 형성된 상기 제 1 기판의 화소부에 유기절연막으로 이루어진 제 2 보호막을 형성하는 단계; 상기 제 2 보호막이 형성된 상기 제 1 기판의 화소부에 제 1 전극을 형성하는 단계; 상기 제 1 전극이 형성된 상기 제 1 기판 위에 형성하되, 가스 유량을 조절하여 상부 층이 하부 층에 비해 더 다공성을 가지는 제 3 보호막을 형성하는 단계; 상기 게이트절연막과 제 1 보호막 및 제 3 보호막을 선택적으로 식각하여 상기 패드라인을 노출시키는 패드부 콘택홀을 형성하는 단계; 상기 제 3 보호막이 형성된 상기 제 1 기판의 화소부에 제 2 전극을 형성하는 한편, 상기 제 1 기판의 패드부에 상기 패드부 콘택홀을 통해 상기 패드라인에 전기적으로 접속하는 패드전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

(72) 발명자

손경모

경기도 파주시 쇄재로 30 708동 905호 (금촌동, 서원마을아파트)

이지혜

경기도 파주시 월롱면 엘씨디로 201 104동 1206호 (덕은리, 정다운마을)

명세서

청구범위

청구항 1

화소부와 패드부로 구분되는 제 1 기판을 제공하는 단계;

상기 제 1 기판의 화소부에 게이트전극과 게이트라인을 형성하는 한편, 상기 제 1 기판의 패드부에 패드라인을 형성하는 단계;

상기 게이트전극과 게이트라인 및 패드라인이 형성된 상기 제 1 기판 위에 게이트절연막을 형성하는 단계;

상기 게이트절연막이 형성된 상기 게이트전극 상부에 액티브층을 형성하는 단계;

상기 액티브층이 형성된 상기 제 1 기판의 액티브층 상부에 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 소오스전극과 드레인전극 및 데이터라인이 형성된 상기 제 1 기판 위에 제 1 보호막을 형성하는 단계;

상기 제 1 보호막이 형성된 상기 제 1 기판의 화소부에 유기절연막으로 이루어진 제 2 보호막을 형성하는 단계;

상기 제 2 보호막이 형성된 상기 제 1 기판의 화소부에 제 1 전극을 형성하는 단계;

상기 제 1 전극이 형성된 상기 제 1 기판 위에 형성하되, 가스 유량을 조절하여 상부 층이 하부 층에 비해 더 다공성을 가지는 제 3 보호막을 형성하는 단계;

상기 게이트절연막과 제 1 보호막 및 제 3 보호막을 선택적으로 식각하여 상기 패드라인을 노출시키는 패드부 콘택홀을 형성하는 단계;

상기 제 3 보호막이 형성된 상기 제 1 기판의 화소부에 제 2 전극을 형성하는 한편, 상기 제 1 기판의 패드부에 상기 패드부 콘택홀을 통해 상기 패드라인에 전기적으로 접속하는 패드전극을 형성하는 단계; 및

상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함하는 프린지 필드형 액정표시장치의 제조방법.

청구항 2

제 1 항에 있어서, 상기 제 2 보호막은 포토 아크릴과 같은 유기절연막으로 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 3

제 2 항에 있어서, 상기 제 2 보호막은 아크릴레이트(acrylate), 폴리이미드(polyimide), 에폭시(epoxy) 등의 성분이 포함된 유기절연막으로 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 4

제 2 항에 있어서, 상기 제 1 기판의 화소부에 제 2 보호막을 형성한 후, 경화(curing) 공정을 거쳐 상기 제 2 보호막을 경화시키는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 5

제 4 항에 있어서, 상기 제 3 보호막은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막으로 상기 경화 공정 보다 낮은 공정온도에서 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 6

제 5 항에 있어서, 상기 제 3 보호막은 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고, 상기 SiH₄ 가스와 상기 NH₃ 가스 대비 N₂ 가스의 유량을 기존 100%에서 100% 미만으로 줄이며 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 7

제 6 항에 있어서, 상기 제 3 보호막의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상이 되도록 형성하여 상기 게이트절연막과 제 1, 제 3 보호막 사이의 불연속 증착 면 대비 상기 제 3 보호막의 상부 층의 상대적인 Si-N 결합을 감소시키는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 8

제 5 항에 있어서, 상기 제 3 보호막은 총 두께에 대한 상기 제 3 보호막의 상부 층의 두께가 5% ~ 20%가 되도록 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 9

제 1 항에 있어서, 상기 제 2 전극은 화소전극으로 각각의 화소영역 내에 다수의 슬릿을 가지는 박스 형태로 형성되는 한편, 상기 제 1 전극은 공통전극으로 상기 드레인전극과 화소전극 사이의 콘택영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성되는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 10

제 1 항에 있어서, 상기 제 1 전극은 화소전극으로 각각의 화소영역 내에 박스 형태로 형성되는 한편, 상기 제 2 전극은 공통전극으로 상기 드레인전극과 화소전극 사이의 콘택영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성되는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 11

제 1 항에 있어서, 1-스텝(step)이나 2-스텝의 건식각 공정을 통해 상기 게이트절연막과 제 1 보호막 및 제 3 보호막을 선택적으로 식각하여 상기 패드라인을 노출시키는 패드부 콘택홀을 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 12

제 1 항에 있어서, 상기 패드부는 데이터패드부 및 게이트패드부를 포함하며, 상기 패드라인은 데이터패드라인 및 게이트패드라인을 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 13

제 12 항에 있어서, 상기 패드부 콘택홀은 각각 상기 데이터패드라인 및 게이트패드라인을 노출시키는 데이터패드부 콘택홀 및 게이트패드부 콘택홀을 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 14

제 13 항에 있어서, 상기 패드전극은 각각 상기 데이터패드부 콘택홀 및 게이트패드부 콘택홀을 통해 상기 데이터패드라인 및 게이트패드라인과 전기적으로 접속하는 데이터패드전극 및 게이트패드전극을 포함하는 것을 특징으로 하는 프린지 필드형 액정표시장치의 제조방법.

청구항 15

제 1 기판;

상기 제 1 기판에 형성되며, 서로 교차하여 화소영역을 정의하는 게이트라인과 데이터라인;

상기 게이트라인과 데이터라인의 교차영역에 형성되며, 게이트전극과 액티브층 및 소오스/드레인전극으로 이루어진 박막 트랜지스터;

상기 박막 트랜지스터와 게이트라인 및 데이터라인이 형성된 상기 제 1 기판 위에 형성되며, 유기절연막으로 이루어진 유기 보호막;

상기 유기 보호막이 형성된 상기 제 1 기판 전체에 단일 패턴으로 형성된 공통전극;

상기 공통전극이 형성된 상기 제 1 기판 위에 형성되며, 상부 층이 하부 층에 비해 더 다공성을 가지는 저온 보호막;

상기 저온 보호막이 형성된 상기 제 1 기판의 화소영역 내에 형성되며, 다수의 슬릿을 가지는 박스 형태의 화소 전극; 및

상기 제 1 기판과 대향하여 합착되는 제 2 기판을 포함하며, 상기 저온 보호막의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상이 되는 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 16

제 15 항에 있어서, 상기 유기 보호막은 포토 아크릴과 같은 유기절연막으로 이루어진 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 17

제 16 항에 있어서, 상기 유기 보호막은 아크릴레이트(acrylate), 폴리이미드(polyimide), 에폭시(epoxy) 등의 성분이 포함된 유기절연막으로 이루어진 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 18

제 16 항에 있어서, 상기 저온 보호막은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막으로 상기 유기 보호막의 경화 공정 보다 낮은 공정온도에서 형성되는 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 19

제 15 항에 있어서, 상기 저온 보호막은 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고, 상기 SiH₄ 가스와 상기 NH₃ 가스 대비 N₂ 가스의 유량을 기준 100%에서 100% 미만으로 줄이며 형성하는 것을 특징으로 하는 프린지 필드형 액정표시장치.

청구항 20

제 15 항에 있어서, 상기 저온 보호막은 총 두께에 대한 상기 저온 보호막의 상부 층의 두께가 5% ~ 20%가 되는 것을 특징으로 하는 프린지 필드형 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 프린지 필드형 액정표시장치의 제조방법에 관한 것으로, 보다 상세하게는 유기절연막을 사용하는 저 소비 전력의 프린지 필드형 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 상기 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0004] 이때, 상기 액정표시장치에 일반적으로 사용되는 구동방식으로 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱(Twisted Nematic; TN)방식이 있으나, 상기 트위스티드 네마틱방식의 액정표시장치는 시야각이 90도 정도로 좁다는 단점을 가지고 있다. 이것은 액정분자의 굴절률 이방성(refractive anisotropy)에 기인하는 것으로 기판과 수평하게 배향된 액정분자가 패널에 전압이 인가될 때 기판과 거의 수직 방향으로 배향되기 때문이다.

[0005] 이에 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계(In Plane Switching; IPS)방식 액정표시장치가 있으며, 이를 상세히 설명하면 다음과 같다.

- [0006] 도 1은 횡전계방식 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 단면도로써, 화소전극과 공통전극 사이에 형성되는 프린지 필드가 슬릿을 관통하여 화소영역 및 공통전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 프린지 필드형(Fringe Field Switching; FFS) 액정표시장치의 어레이 기판 일부를 나타내고 있다.
- [0007] 상기 프린지 필드형 액정표시장치는 액정분자가 수평으로 배향되어 있는 상태에서 하부에 공통전극이 형성되는 한편 상부에 화소전극이 형성됨에 따라 전계가 수평 및 수직 방향으로 발생하여 액정분자가 트위스트(twist)와 틸트(tilt)되어 구동되어 진다.
- [0008] 도면에 도시된 바와 같이, 일반적인 프린지 필드형 액정표시장치의 어레이 기판(10)에는 상기 투명한 어레이 기판(10) 위에 중횡으로 배열되어 화소영역을 정의하는 게이트라인(미도시)과 데이터라인(17)이 형성되어 있으며, 상기 게이트라인과 데이터라인(17)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있다.
- [0009] 상기 박막 트랜지스터는 상기 게이트라인에 연결된 게이트전극(21), 상기 데이터라인(17)에 연결된 소오스전극(22) 및 화소전극(18)에 연결된 드레인전극(23)으로 구성된다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(21)과 소오스/드레인전극(22, 23) 사이의 절연을 위한 게이트절연막(15a) 및 상기 게이트전극(21)에 공급되는 게이트전압에 의해 상기 소오스전극(22)과 드레인전극(23) 사이에 전도채널(conductive channel)을 형성하는 액티브층(24)을 포함한다.
- [0010] 이때, 상기 액티브층(24)의 소오스/드레인영역은 오믹-콘택층(ohmic contact layer)(25n)을 통해 상기 소오스/드레인전극(22, 23)과 오믹-콘택을 형성하게 된다.
- [0011] 상기 화소영역 내에는 공통전극(8)과 화소전극(18)이 형성되어 있으며, 이때 박스(box) 형태의 상기 화소전극(18)은 상기 공통전극(8)과 함께 프린지 필드를 발생시키기 위해 상기 화소전극(18) 내에 다수의 슬릿(18s)을 포함하고 있다.
- [0012] 이때, 상기 화소전극(18)은 제 1 보호막(15b)과 제 2 보호막(15c) 및 제 3 보호막(15d)에 형성된 제 1 콘택홀을 통해 상기 드레인전극(23)과 전기적으로 접속하게 된다.
- [0013] 한편, 상기 어레이 기판(10)의 가장자리 영역에는 상기 게이트라인과 데이터라인(17)에 각각 전기적으로 접속하는 게이트패드전극(26p)과 데이터패드전극(27p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인과 데이터라인(17)에 전달하게 된다.
- [0014] 즉, 상기 게이트라인과 데이터라인(17)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(16p)과 데이터패드라인(17p)에 연결되며, 상기 게이트패드라인(16p)과 데이터패드라인(17p)은 상기 게이트패드라인(16p)과 데이터패드라인(17p)에 각각 전기적으로 접속된 게이트패드전극(26p)과 데이터패드전극(27p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.
- [0015] 이때, 상기 데이터패드라인(17p)은 제 2 콘택홀을 통해 상기 데이터패드전극(27p)과 전기적으로 접속하게 되며, 상기 게이트패드라인(16p)은 제 3 콘택홀을 통해 상기 게이트패드전극(26p)과 전기적으로 접속하게 된다.
- [0016] 이와 같이 구성된 상기의 프린지 필드형 액정표시장치는 시야각이 넓은 장점을 가지고 있으며, 공통전극(8)이 데이터라인(17) 상부에서 형성되는 경우 블랙매트릭스(black matrix)영역의 축소가 가능하여 개구율이 향상되는 이점이 있다.
- [0017] 다만, 저소비 전력을 구현하기 위해 상기 제 2 보호막(15c)으로 포토 아크릴(photo acryl)과 같은 유기절연막을 사용하는 경우 그 상부의 제 3 보호막(15d)은 선행 공정, 즉 포토 아크릴의 경화 공정보다 낮은 공정온도에서 진행되어야 한다. 이 경우 패드부 콘택홀 형성 시 패드부 콘택홀 내에 언더컷(under cut)이 형성되는 문제가 발생하는데, 이를 도면을 참조하여 상세히 설명한다.
- [0018] 도 2는 상기 도 1에 도시된 일반적인 프린지 필드형 액정표시장치에 있어, 패드부의 일부를 개략적으로 나타내는 단면도로써, 콘택홀을 형성하는 과정에서의 게이트패드부의 단면을 나타내고 있다.
- [0019] 또한, 도 3은 상기 도 2에 도시된 패드부의 일부를 개략적으로 나타내는 주사전자현미경(Scanning Electron Microscopy; SEM) 사진이다.
- [0020] 상기 도 2 및 도 3을 참조하면, 제 3 보호막(15d)을 저온에서 증착하는 경우에는 Si-N의 결합비가 낮아 다공성(porous)의 성질을 가지게 되며, 이때 게이트절연막(15a)과 제 1 보호막(15b) 및 제 3 보호막(15d)을 일괄 건식 각할 경우 상기 게이트절연막(15a)과 제 1, 제 3 보호막(15b, 15d) 사이의 불연속 증착 면에 의해 균일한 식각

이 이루어지지 않아 패드부 콘택홀(H) 내에 언더컷이 발생하게 된다.

[0021] 이에 따라 게이트절연막(15a)과 제 1, 제 3 보호막(15b, 15d) 사이의 계면에 역 테이퍼(taper)가 형성되어 상부 게이트패드전극(26p)과 게이트패드라인(16p) 사이의 콘택불량으로 단선이 발생하게 된다.

[0022] 참고로, 도면부호 PR은 패드부 콘택홀(H)을 형성하기 위한 포토레지스트 패턴을 나타낸다.

발명의 내용

해결하려는 과제

[0023] 본 발명은 상기한 문제를 해결하기 위한 것으로, 유기절연막을 사용하는 저소비 전력의 프린지 필드형 액정표시 장치에 있어, 저온 보호막의 상부 층의 막질을 변경하여 패드부 콘택홀 내의 언더컷(under cut)을 개선하도록 한 프린지 필드형 액정표시장치 및 제조방법을 제공하는데 있다.

[0024] 기타, 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제의 해결 수단

[0025] 상기한 목적을 달성하기 위하여, 본 발명의 프린지 필드형 액정표시장치의 제조방법은 화소부와 패드부로 구분되는 제 1 기판을 제공하는 단계; 상기 제 1 기판의 화소부에 게이트전극과 게이트라인을 형성하는 한편, 상기 제 1 기판의 패드부에 패드라인을 형성하는 단계; 상기 게이트전극과 게이트라인 및 패드라인이 형성된 상기 제 1 기판 위에 게이트절연막을 형성하는 단계; 상기 게이트절연막이 형성된 상기 게이트전극 상부에 액티브층을 형성하는 단계; 상기 액티브층이 형성된 상기 제 1 기판의 액티브층 상부에 소오스전극과 드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 소오스전극과 드레인전극 및 데이터라인이 형성된 상기 제 1 기판 위에 제 1 보호막을 형성하는 단계; 상기 제 1 보호막이 형성된 상기 제 1 기판의 화소부에 유기절연막으로 이루어진 제 2 보호막을 형성하는 단계; 상기 제 2 보호막이 형성된 상기 제 1 기판의 화소부에 제 1 전극을 형성하는 단계; 상기 제 1 전극이 형성된 상기 제 1 기판 위에 형성되, 가스 유량을 조절하여 상부 층이 하부 층에 비해 더 다공성을 가지는 제 3 보호막을 형성하는 단계; 상기 게이트절연막과 제 1 보호막 및 제 3 보호막을 선택적으로 식각하여 상기 패드라인을 노출시키는 패드부 콘택홀을 형성하는 단계; 상기 제 3 보호막이 형성된 상기 제 1 기판의 화소부에 제 2 전극을 형성하는 한편, 상기 제 1 기판의 패드부에 상기 패드부 콘택홀을 통해 상기 패드라인에 전기적으로 접속하는 패드전극을 형성하는 단계; 및 상기 제 1 기판과 제 2 기판을 합착하는 단계를 포함한다.

[0026] 이때, 상기 제 2 보호막은 포토 아크릴과 같은 유기절연막으로 형성하는 것을 특징으로 한다.

[0027] 이때, 상기 제 2 보호막은 아크릴레이트(acrylate), 폴리이미드(polyimide), 에폭시(epoxy) 등의 성분이 포함된 유기절연막으로 형성하는 것을 특징으로 한다.

[0028] 상기 제 1 기판의 화소부에 제 2 보호막을 형성한 후, 경화(curing) 공정을 거쳐 상기 제 2 보호막을 경화시키는 것을 특징으로 한다.

[0029] 이때, 상기 제 3 보호막은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막으로 상기 경화 공정 보다 낮은 공정온도에서 형성하는 것을 특징으로 한다.

[0030] 이때, 상기 제 3 보호막은 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고 N₂ 가스의 유량을 100%에서 100% 미만으로 줄이며 형성하는 것을 특징으로 한다.

[0031] 이때, 상기 제 3 보호막의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상이 되도록 형성하여 상기 게이트절연막과 제 1, 제 3 보호막 사이의 불연속 증착 면 대비 상기 제 3 보호막의 상부 층의 상대적인 Si-N 결합을 감소시키는 것을 특징으로 한다.

[0032] 상기 제 3 보호막은 총 두께에 대한 상기 제 3 보호막의 상부 층의 두께가 5% ~ 20%가 되도록 형성하는 것을 특징으로 한다.

[0033] 상기 제 2 전극은 화소전극으로 각각의 화소영역 내에 다수의 슬릿을 가지는 박스 형태로 형성되는 한편, 상기 제 1 전극은 공통전극으로 상기 드레인전극과 화소전극 사이의 콘택영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성되는 것을 특징으로 한다. 또는, 상기 제 1 전극은 화소전극으로 각각의 화소영역 내에 박스 형태로

형성되는 한편, 상기 제 2 전극은 공통전극으로 상기 드레인전극과 화소전극 사이의 콘택영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성되는 것을 특징으로 한다.

- [0034] 1-스텝(step)이나 2-스텝의 건식각 공정을 통해 상기 게이트절연막과 제 1 보호막 및 제 3 보호막을 선택적으로 식각하여 상기 패드라인을 노출시키는 패드부 콘택홀을 형성하는 것을 특징으로 한다.
- [0035] 상기 패드부는 데이터패드부 및 게이트패드부를 포함하며, 상기 패드라인은 데이터패드라인 및 게이트패드라인을 포함하는 것을 특징으로 한다.
- [0036] 이때, 상기 패드부 콘택홀은 각각 상기 데이터패드라인 및 게이트패드라인을 노출시키는 데이터패드부 콘택홀 및 게이트패드부 콘택홀을 포함하는 것을 특징으로 한다.
- [0037] 이때, 상기 패드전극은 각각 상기 데이터패드부 콘택홀 및 게이트패드부 콘택홀을 통해 상기 데이터패드라인 및 게이트패드라인과 전기적으로 접속하는 데이터패드전극 및 게이트패드전극을 포함하는 것을 특징으로 한다.
- [0038] 본 발명의 프린지 필드형 액정표시장치는 제 1 기관; 상기 제 1 기관에 형성되며, 서로 교차하여 화소영역을 정의하는 게이트라인과 데이터라인; 상기 게이트라인과 데이터라인의 교차영역에 형성되며, 게이트전극과 액티브층 및 소오스/드레인전극으로 이루어진 박막 트랜지스터; 상기 박막 트랜지스터와 게이트라인 및 데이터라인이 형성된 상기 제 1 기관 위에 형성되며, 유기절연막으로 이루어진 유기 보호막; 상기 유기 보호막이 형성된 상기 제 1 기관 전체에 단일 패턴으로 형성된 공통전극; 상기 공통전극이 형성된 상기 제 1 기관 위에 형성되며, 상부 층이 하부 층에 비해 더 다공성을 가지는 저온 보호막; 상기 저온 보호막이 형성된 상기 제 1 기관의 화소영역 내에 형성되며, 다수의 슬릿을 가지는 박스 형태의 화소전극; 및 상기 제 1 기관과 대향하여 합착되는 제 2 기관을 포함하며, 상기 저온 보호막의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상이 되는 것을 특징으로 한다.
- [0039] 이때, 상기 유기 보호막은 포토 아크릴과 같은 유기절연막으로 이루어진 것을 특징으로 한다.
- [0040] 이때, 상기 유기 보호막은 아크릴레이트(acrylate), 폴리이미드(polyimide), 에폭시(epoxy) 등의 성분이 포함된 유기절연막으로 이루어진 것을 특징으로 한다.
- [0041] 상기 저온 보호막은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막으로 상기 유기 보호막의 경화 공정 보다 낮은 공정온도에서 형성되는 것을 특징으로 한다.
- [0042] 상기 저온 보호막은 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고 N₂ 가스의 유량을 100%에서 100% 미만으로 줄이며 형성하는 것을 특징으로 한다.
- [0043] 상기 저온 보호막은 총 두께에 대한 상기 저온 보호막의 상부 층의 두께가 5% ~ 20%가 되는 것을 특징으로 한다.

발명의 효과

- [0044] 상술한 바와 같이, 본 발명에 따른 프린지 필드형 액정표시장치 및 제조방법은 저온 보호막의 상부 층의 막질을 변경하여 게이트절연막과 보호막 사이의 불연속 증착 면 대비 저온 보호막의 상부 층의 식각률(etch rate)을 증가시킴으로써 패드부 콘택홀 내의 언더컷을 개선할 수 있게 된다. 그 결과 패드전극과 패드라인 사이의 단선불량을 방지하는 효과를 제공한다.
- [0045] 또한, 상기의 본 발명에 따른 프린지 필드형 액정표시장치 및 제조방법은 패드부 콘택홀 형성 시 일괄 건식각의 적용이 가능하며, 한번의 포토리소그래피 공정을 사용하기 때문에 공정이 개선되는 효과를 제공한다.

도면의 간단한 설명

- [0046] 도 1은 일반적인 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 단면도.
 도 2는 상기 도 1에 도시된 일반적인 프린지 필드형 액정표시장치에 있어, 패드부의 일부를 개략적으로 나타내는 단면도.
 도 3은 상기 도 2에 도시된 패드부의 일부를 개략적으로 나타내는 주사전자현미경(Scanning Electron Microscopy; SEM) 사진.
 도 4는 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는

평면도.

도 5는 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 단면도.

도 6a 내지 도 6g는 상기 도 4에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도.

도 7a 내지 도 7g는 상기 도 5에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 단면도.

도 8은 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도.

도 9는 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 단면도.

도 10은 상기 도 9에 도시된 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치에 있어, 패드부의 일부를 개략적으로 나타내는 단면도.

도 11은 상기 도 10에 도시된 패드부의 일부를 개략적으로 나타내는 주사전자현미경 사진.

도 12는 저온 보호막의 증착 조건에 따른 Si-N 및 Si-H 결합기의 비율을 나타내는 그래프.

도 13a 내지 도 13e는 상기 도 8에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도.

도 14a 내지 도 14f는 상기 도 9에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 단면도.

도 15는 본 발명의 제 3 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도.

도 16은 본 발명의 제 3 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 단면도.

도 17a 내지 도 17f는 상기 도 15에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도.

도 18a 내지 도 18f는 상기 도 16에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 단면도.

발명을 실시하기 위한 구체적인 내용

[0047] 이하, 첨부한 도면을 참조하여 본 발명에 따른 프린지 필드형 액정표시장치 및 제조방법의 바람직한 실시예를 상세히 설명한다.

[0048] 도 4는 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도로써, 화소전극과 공통전극 사이에 형성되는 프린지 필드가 슬릿을 관통하여 화소영역 및 화소전극 상에 위치하는 액정분자를 구동시킴으로써 화상을 구현하는 프린지 필드형 액정표시장치의 어레이 기관 일부를 나타내고 있다.

[0049] 또한, 도 5는 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 단면도로써, 상기 도 4에 도시된 어레이 기관의 A-A'선, B-B선 및 C-C선에 따라 절단한 단면을 개략적으로 나타내고 있다.

[0050] 이때, 도면에는 설명의 편의를 위해 화소부와 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 나타내고 있으며, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0051] 상기 도면들에 도시된 바와 같이, 본 발명의 제 1 실시예에 따른 어레이 기관(110)에는 상기 어레이 기관(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 프린지 필드를 발생시켜 액정분자를 구동시키는 공통전극(108)과 다수의 슬릿(118s)을 가진 화소전극(118)이 형성되어 있다.

[0052] 상기 박막 트랜지스터는 상기 게이트라인(116)에 연결된 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 상기 화소전극(118)에 전기적으로 접속된 드레인전극(123)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(121)과 소오스/드레인전극(122, 123) 사이의 절연을 위한 게이트절연막(115a) 및

상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 액티브층(124)을 포함한다.

- [0053] 이때, 상기 액티브층(124)의 소오스/드레인영역은 오믹-콘택층(125n)을 통해 상기 소오스/드레인전극(122, 123)과 오믹-콘택을 형성하게 된다.
- [0054] 그리고, 상기 소오스전극(122)의 일부는 일 방향으로 연장되어 상기 데이터라인(117)에 연결되며, 상기 드레인전극(123)의 일부는 화소영역 쪽으로 연장되어 제 1 보호막(115b)과 제 2 보호막(115c) 및 제 3 보호막(115d)에 형성된 제 3 콘택홀(140c)을 통해 상기 화소전극(118)에 전기적으로 접속하게 된다.
- [0055] 전술한 바와 같이 상기 화소영역 내에는 프린지 필드를 발생시키기 위해 공통전극(108)과 화소전극(118)이 형성되어 있는데, 이때 상기 공통전극(108)은 박막 트랜지스터 영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성될 수 있으며, 상기 화소전극(118)은 화소영역 내에 박스 형태로 형성되는 동시에 각각의 화소영역 내에서 다수의 슬릿(118s)을 가지도록 형성될 수 있다.
- [0056] 다만, 본 발명에 이에 한정되는 것은 아니며, 본 발명은 공통전극(108)과 다수의 슬릿(118s)을 가진 화소전극(118)을 통해 화소영역 내에 프린지 필드를 발생시켜 액정분자를 구동시키는 경우라면 어떠한 공통전극(108)과 화소전극(118)의 구조이라도 적용 가능하다. 또한, 본 발명은 화소전극과 다수의 슬릿을 가진 공통전극을 통해 화소영역 내에 프린지 필드를 발생시켜 액정분자를 구동시키는 경우에도 적용 가능하다.
- [0057] 한편, 상기 어레이 기판(110)의 가장자리 영역에는 상기 게이트라인(116)과 데이터라인(117)에 각각 전기적으로 접속하는 게이트패드전극(126p)과 데이터패드전극(127p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(116)과 데이터라인(117)에 전달하게 된다.
- [0058] 즉, 상기 게이트라인(116)과 데이터라인(117)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(116p)과 데이터패드라인(117p)에 연결되며, 상기 게이트패드라인(116p)과 데이터패드라인(117p)은 상기 게이트패드라인(116p)과 데이터패드라인(117p)에 각각 전기적으로 접속된 게이트패드전극(126p)과 데이터패드전극(127p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.
- [0059] 이때, 상기 데이터패드라인(117p)은 제 1 콘택홀(미도시)을 통해 데이터패드라인 패턴(117p')과 전기적으로 접속하며, 상기 데이터패드라인 패턴(117p')은 제 4 콘택홀(140d)을 통해 상기 데이터패드전극(127p)과 전기적으로 접속하게 된다. 또한, 상기 게이트패드라인(116p)은 제 2 콘택홀(미도시)을 통해 게이트패드라인 패턴(116p')과 전기적으로 접속하며, 상기 게이트패드라인 패턴(116p')은 제 5 콘택홀(140e)을 통해 상기 게이트패드전극(126p)과 전기적으로 접속하게 된다.
- [0060] 이와 같이 구성된 상기 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치는 저소비 전력을 구현하기 위해 상기 제 2 보호막(115c)으로 포토 아크릴과 같은 유기절연막을 사용하는 경우 그 상부의 제 3 보호막(115d)은 선행 공정, 즉 포토 아크릴의 경화 공정보다 낮은 공정온도에서 진행되게 된다.
- [0061] 이 경우 기존에는 패드부 콘택홀 형성 시 패드부 콘택홀 내에 언더컷이 형성되는 문제가 발생하는데, 상기 본 발명의 제 1 실시예의 경우에는 하부 게이트절연막(115a)과 제 1 보호막(115b)에 대한 건식각을 진행하여 제 1 콘택홀과 제 2 콘택홀을 형성한 후, 별도의 건식각 공정을 통해 제 3 보호막(115d)을 식각하여 제 4 콘택홀(140d)과 제 5 콘택홀(140e)을 형성함으로써 전술한 언더컷 문제를 해결할 수 있게 된다.
- [0062] 다만, 상기 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치는 패드부 콘택홀의 형성에 2번의 건식각, 즉 포토리소그래피(photolithography) 공정을 필요로 하기 때문에 한번의 포토리소그래피 공정이 추가되게 된다.
- [0063] 이하, 상기의 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0064] 도 6a 내지 도 6g는 상기 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 평면도이다.
- [0065] 도 7a 내지 도 7g는 상기 도 5에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 단면도로서, 좌측에는 화소부의 어레이 기판을 제조하는 공정을 나타내며 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기판을 제조하는 공정을 나타내고 있다.
- [0066] 도 6a 및 도 7a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기판(110)의 화소부에 게이트전극(121)과 게이트라인(116)을 형성하며, 상기 어레이 기판(110)의 게이트패드부에 게이트패드라인(116p)

을 형성한다.

- [0067] 이때, 상기 게이트전극(121)과 게이트라인(116) 및 게이트패드라인(116p)은 제 1 도전막을 상기 어레이 기판(110) 전면에 증착한 후 포토리소그래피 공정(제 1 마스크 공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0068] 여기서, 상기 제 1 도전막은 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo) 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0069] 다음으로, 도 6b 및 도 7b에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인(116) 및 게이트패드라인(116p)이 형성된 어레이 기판(110) 전면에 게이트절연막(115a)과 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막을 형성한다.
- [0070] 이후, 포토리소그래피 공정(제 2 마스크 공정)을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막을 선택적으로 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브층(124)을 형성한다.
- [0071] 이때, 상기 액티브층(124) 위에는 상기 액티브층(124)과 실질적으로 동일한 형태로 패터닝된 n+ 비정질 실리콘 박막패턴(125)이 형성되게 된다.
- [0072] 다음으로, 도 6c 및 도 7c에 도시된 바와 같이, 상기 액티브층(124)과 n+ 비정질 실리콘 박막패턴(125)이 형성된 어레이 기판(110) 전면에 제 2 도전막을 형성한다. 이때, 상기 제 2 도전막은 소오스전극과 드레인전극 및 데이터라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 2 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0073] 이후, 포토리소그래피 공정(제 3 마스크 공정)을 통해 상기 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 상기 액티브층(124) 상부에 상기 제 2 도전막으로 이루어진 소오스전극(122)과 드레인전극(123)을 형성한다.
- [0074] 이때, 상기 제 3 마스크 공정을 통해 상기 어레이 기판(110)의 데이터라인 영역에 상기 제 2 도전막으로 이루어진 데이터라인(117)을 형성하는 동시에 상기 어레이 기판(110)의 데이터패드부에 상기 제 2 도전막으로 이루어진 데이터패드라인(117p)을 형성하게 된다.
- [0075] 이때, 상기 액티브층(124) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브층(124)의 소오스/드레인영역과 상기 소오스/드레인전극(122, 123) 사이를 오믹-콘택시키는 오믹-콘택층(125n)이 형성되게 된다.
- [0076] 그리고, 도 6d 및 도 7d에 도시된 바와 같이, 상기 소오스/드레인전극(122, 123)과 데이터라인(117) 및 데이터패드라인(117p)이 형성된 어레이 기판(110) 전면에 제 1 보호막(115b)을 형성한다. 이때, 상기 제 1 보호막(115b)은 실리콘질화막(SiNx), 실리콘산화막(SiO₂)과 같은 무기절연막으로 형성할 수 있다.
- [0077] 이후, 포토리소그래피 공정(제 4 마스크 공정)을 통해 상기 제 1 보호막(115b)을 선택적으로 제거함으로써 상기 어레이 기판(110)의 데이터패드부 및 게이트패드부에 각각 상기 데이터패드라인(117p) 및 게이트패드라인(116p)의 일부를 노출시키는 제 1 콘택홀(140a) 및 제 2 콘택홀(140b)을 형성한다.
- [0078] 그리고, 상기 어레이 기판(110) 전면에 포토 아크릴과 같은 유기절연막으로 이루어진 제 2 보호막(115b)을 형성한 후, 포토리소그래피 공정(제 5 마스크 공정)을 통해 노광 및 현상하여 제거함으로써 상기 드레인전극(123)의 상부 일부 및 데이터패드부와 게이트패드부 전체를 노출시킨다. 이때, 상기 제 2 보호막(115c)은 아크릴레이트(acrylate), 폴리이미드(polyimide), 에폭시(epoxy) 등의 성분이 포함될 수 있다.
- [0079] 이후, 소정의 경화(curing) 공정을 거쳐 상기 유기절연막인 제 2 보호막(115b)을 경화시킨다.
- [0080] 다음으로, 도 6e 및 도 7e에 도시된 바와 같이, 상기 제 2 보호막(115c)이 형성된 어레이 기판(110) 전면에 제 3 도전막을 형성한 후, 포토리소그래피 공정(제 6 마스크 공정)을 통해 선택적으로 제거함으로써 상기 어레이 기판(110)의 화소부에 상기 제 3 도전막으로 이루어진 공통전극(108)을 형성한다.
- [0081] 또한, 상기 제 5 마스크 공정을 통해 상기 어레이 기판(110)의 데이터패드부 및 게이트패드부에 각각 상기 제 3 도전막으로 이루어진 데이터패드라인 패턴(117p') 및 게이트패드라인 패턴(116p')을 형성하게 된다.

- [0082] 이때, 상기 제 3 도전막은 공통전극(108), 데이터패드라인 패턴(117p') 및 게이트패드라인 패턴(116p')을 형성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질로 형성할 수 있다.
- [0083] 이때, 상기 공통전극(108)은 상기 드레인전극(123)과 (후에 형성될) 화소전극이 접속될 수 있도록 상기 드레인전극(123)과 화소전극 사이의 콘택영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성될 수 있다.
- [0084] 또한, 상기 데이터패드라인 패턴(117p')은 상기 제 1 콘택홀(140a)을 통해 그 하부의 데이터패드라인(117p)과 전기적으로 접속하며, 상기 게이트패드라인 패턴(116p')은 상기 제 2 콘택홀(140b)을 통해 그 하부의 게이트패드라인(116p)과 전기적으로 접속하게 된다.
- [0085] 다음으로, 도 6f 및 도 7f에 도시된 바와 같이, 상기 공통전극(108), 데이터패드라인 패턴(117p') 및 게이트패드라인 패턴(116p')이 형성된 어레이 기관(110) 전면에서 제 3 보호막(115d)을 형성한다.
- [0086] 이때, 상기 제 3 보호막(115d)은 실리콘질화막, 실리콘산화막과 같은 무기절연막으로 형성할 수 있으며, 그 하부의 제 2 보호막(115c)을 유기절연막으로 형성하는 경우 상기 제 3 보호막(115d)은 선행 공정, 즉 상기 제 2 보호막(115c)의 경화 공정보다 낮은 공정온도에서 진행하게 된다.
- [0087] 이후, 포토리소그래피 공정(제 7 마스크 공정)을 통해 상기 제 3 보호막(115d)과 제 1 보호막(115b)을 선택적으로 제거함으로써 상기 드레인전극(123)의 일부를 노출시키는 제 3 콘택홀(140c)을 형성하는 한편, 상기 어레이 기관(110)의 데이터패드부 및 게이트패드부에 각각 상기 데이터패드라인 패턴(117p') 및 게이트패드라인 패턴(116p')의 일부를 노출시키는 제 4 콘택홀(140d) 및 제 5 콘택홀(140e)을 형성한다.
- [0088] 다음으로, 도 6g 및 도 7g에 도시된 바와 같이, 상기 제 3 보호막(115d)이 형성된 어레이 기관(110) 전면에서 투명한 도전물질로 이루어진 제 4 도전막을 형성한 후, 포토리소그래피 공정(제 8 마스크 공정)을 이용하여 선택적으로 패터닝함으로써 상기 어레이 기관(110)의 화소영역에 상기 제 3 콘택홀(140c)을 통해 상기 드레인전극(123)과 전기적으로 접속하는 다수의 슬릿(118s)을 가진 화소전극(118)을 형성한다.
- [0089] 이때, 상기 제 8 마스크공정을 이용하여 상기 제 4 도전막을 선택적으로 패터닝함으로써 상기 데이터패드부 및 게이트패드부에 각각 상기 제 4 콘택홀(140d) 및 제 5 콘택홀(140e)을 통해 상기 데이터패드라인 패턴(117p') 및 게이트패드라인 패턴(116p')에 전기적으로 접속하는 데이터패드전극(127p) 및 게이트패드전극(126p)을 형성하게 된다.
- [0090] 이와 같이 상기 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치는 제 4 마스크 공정을 통해 하부 게이트절연막과 제 1 보호막에 대한 건식각을 진행한 후, 별도의 제 7 마스크 공정의 건식각을 통해 제 3 보호막을 식각하여 패드부 콘택홀을 형성함으로써 전술한 언더컷 문제를 해결할 수 있게 된다.
- [0091] 다만, 상기 본 발명의 제 1 실시예에 따른 프린지 필드형 액정표시장치는 패드부 콘택홀의 형성에 2번의 건식각, 즉 2번의 마스크 공정을 필요로 하기 때문에 한번의 마스크 공정이 추가되게 된다.
- [0092] 이에 따라 저온 보호막, 즉 제 3 보호막의 상부 층의 막질을 변경하여 게이트절연막과 제 1, 제 3 보호막 사이의 불연속 증착 면 대비 제 3 보호막의 상부 층의 식각률을 증가시킴으로써 마스크 공정의 추가 없이 패드부 콘택홀 내의 언더컷을 개선할 수 있게 되는데, 이를 다음의 본 발명의 제 2, 제 3 실시예를 통해 상세히 설명한다.
- [0093] 도 8은 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 평면도이다.
- [0094] 또한, 도 9는 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기관 일부를 개략적으로 나타내는 단면도로서, 상기 도 8에 도시된 어레이 기관의 A-A' 선, B-B' 선 및 C-C' 선에 따라 절단한 단면을 개략적으로 나타내고 있다.
- [0095] 이때, 전술한 바와 같이 도면에는 설명의 편의를 위해 화소부와 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 나타내고 있으며, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN 개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.
- [0096] 상기 도면들에 도시된 바와 같이, 본 발명의 제 2 실시예에 따른 어레이 기관(210)에는 상기 어레이 기관(210) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(216)과 데이터라인(217)이 형성되어 있다. 또한, 상기 게이트라인(216)과 데이터라인(217)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화

소영역 내에는 프린지 필드를 발생시켜 액정분자를 구동시키는 공통전극(208)과 다수의 슬릿(218s)을 가진 화소 전극(218)이 형성되어 있다.

- [0097] 상기 박막 트랜지스터는 상기 게이트라인(216)에 연결된 게이트전극(221), 상기 데이터라인(217)에 연결된 소오스전극(222) 및 상기 화소전극(218)에 전기적으로 접속된 드레인전극(223)으로 구성되어 있다. 또한, 상기 박막 트랜지스터는 상기 게이트전극(221)과 소오스/드레인전극(222, 223) 사이의 절연을 위한 게이트절연막(215a) 및 상기 게이트전극(221)에 공급되는 게이트 전압에 의해 상기 소오스전극(222)과 드레인전극(223) 간에 전도채널을 형성하는 액티브층(224)을 포함한다.
- [0098] 이때, 상기 액티브층(224)의 소오스/드레인영역은 오믹-콘택층(225n)을 통해 상기 소오스/드레인전극(222, 223)과 오믹-콘택을 형성하게 된다.
- [0099] 그리고, 상기 소오스전극(222)의 일부는 일 방향으로 연장되어 상기 데이터라인(217)에 연결되며, 상기 드레인전극(223)의 일부는 화소영역 쪽으로 연장되어 제 1 보호막(215b)과 제 2 보호막(215c) 및 제 3 보호막(215d)에 형성된 제 1 콘택홀(240a)을 통해 상기 화소전극(218)에 전기적으로 접속하게 된다.
- [0100] 이때, 상기 본 발명의 제 2 실시예의 경우에는 상기 액티브패턴(224)과 데이터 배선, 즉 소오스전극(222)과 드레인전극(223) 및 데이터라인(217)을 동일한 마스크 공정을 통해 동시에 패터닝함으로써 한번의 마스크 공정을 감소시킬 수 있게 된다. 이에 따라 상기 액티브패턴(224)과 소오스/드레인전극(222, 223)은 실질적으로 동일한 형태로 패터닝되게 되며, 상기 데이터라인(217) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 비정질 실리콘 박막패턴(220') 및 n+ 비정질 실리콘 박막패턴(225')이 형성되게 되나, 본 발명이 이에 한정되는 것은 아니다.
- [0101] 전술한 바와 같이 상기 화소영역 내에는 프린지 필드를 발생시키기 위해 공통전극(208)과 화소전극(218)이 형성되어 있는데, 이때 상기 공통전극(208)은 박막 트랜지스터 영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성될 수 있으며, 상기 화소전극(218)은 화소영역 내에 박스 형태로 형성되는 동시에 각각의 화소영역 내에서 다수의 슬릿(218s)을 가지도록 형성될 수 있다.
- [0102] 다만, 본 발명에 이에 한정되는 것은 아니며, 본 발명은 공통전극(208)과 다수의 슬릿(218s)을 가진 화소전극(218)을 통해 화소영역 내에 프린지 필드를 발생시켜 액정분자를 구동시키는 경우라면 어떠한 공통전극(208)과 화소전극(218)의 구조이라도 적용 가능하다. 또한, 본 발명은 화소전극과 다수의 슬릿을 가진 공통전극을 통해 화소영역 내에 프린지 필드를 발생시켜 액정분자를 구동시키는 경우에도 적용 가능하다.
- [0103] 한편, 상기 어레이 기판(210)의 가장자리 영역에는 상기 게이트라인(216)과 데이터라인(217)에 각각 전기적으로 접속하는 게이트패드전극(226p)과 데이터패드전극(227p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(216)과 데이터라인(217)에 전달하게 된다.
- [0104] 즉, 상기 게이트라인(216)과 데이터라인(217)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(216p)과 데이터패드라인(217p)에 연결되며, 상기 게이트패드라인(216p)과 데이터패드라인(217p)은 상기 게이트패드라인(216p)과 데이터패드라인(217p)에 각각 전기적으로 접속된 게이트패드전극(226p)과 데이터패드전극(227p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.
- [0105] 이때, 상기 데이터패드라인(217p)은 제 2 콘택홀(240b)을 통해 상기 데이터패드전극(227p)과 전기적으로 접속하게 되며, 상기 게이트패드라인(216p)은 제 3 콘택홀(240c)을 통해 상기 게이트패드전극(226p)과 전기적으로 접속하게 된다.
- [0106] 이때, 상기 본 발명의 제 2 실시예에 따른 데이터패드라인(217p)은 상기 게이트패드라인(216p)과 동일한 마스크 공정을 통해 동일한 층에 형성되는 것을 특징으로 하나, 본 발명이 이에 한정되는 것은 아니다.
- [0107] 이와 같이 구성된 상기 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치는 저소비 전력을 구현하기 위해 상기 제 2 보호막(215c)으로 포토 아크릴과 같은 유기절연막을 사용하는 경우 그 상부의 제 3 보호막(215d)은 선행 공정, 즉 포토 아크릴의 경화 공정보다 낮은 공정온도, 일 예로 230℃ 이하의 온도에서 진행되게 된다.
- [0108] 이 경우 기존에는 패드부 콘택홀 형성 시 패드부 콘택홀 내에 언더컷이 형성되는 문제가 발생하는데, 본 발명의 제 2 실시예의 경우에는 제 3 보호막(215d)의 상부 층의 막질을 변경하여 게이트절연막(215a)과 제 1, 제 3 보호막(215b, 215d) 사이의 불연속 증착 면 대비 제 3 보호막(215d)의 상부 층의 식각률을 증가시킴으로써 마스크

공정의 추가 없이 패드부 콘택홀(240b, 240c) 내의 언더컷을 개선할 수 있게 된다.

- [0109] 도 10은 상기 도 9에 도시된 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치에 있어, 패드부의 일부를 개략적으로 나타내는 단면도로써, 콘택홀을 형성하는 과정에서의 게이트/데이터패드부의 단면을 나타내고 있다.
- [0110] 또한, 도 11은 상기 도 10에 도시된 패드부의 일부를 개략적으로 나타내는 주사전자현미경 사진이다.
- [0111] 상기 도 10 및 도 11을 참조하면, 제 3 보호막(215d)을 저온에서 증착하는 경우에는 Si-N의 결합비가 낮아 다공성의 성질을 가지게 되며, 특히 상기 제 3 보호막(215d)의 상부 층(215d")을 하부 층(215d')에 비해 더욱 다공성을 가지게 증착하는 경우에는 게이트절연막(215a)과 제 1 보호막(215b) 및 제 3 보호막(215d)을 일괄 건식각 하더라도 상기 게이트절연막(215a)과 제 1, 제 3 보호막(215b, 215d) 사이의 불연속 증착 면 대비 제 3 보호막(215d)의 상부 층(215d")의 식각률이 더욱 크기 때문에 정 방향의 테이퍼를 가진 패드부 콘택홀(240b, 240c)을 형성할 수 있게 된다.
- [0112] 참고로, 도면부호 PR은 패드부 콘택홀(240b, 240c)을 형성하기 위한 포토레지스트 패턴을 나타낸다.
- [0113] 도 12는 저온 보호막의 증착 조건에 따른 Si-N 및 Si-H 결합기의 비율을 나타내는 그래프로써, 적외선분광분석법(infrared spectroscopic analysis; FT-IR)을 이용하여 분석한 결과를 나타내고 있다.
- [0114] 이때, 상기 도 12에 도시된 PAS1, PAS2, PAS3, Porous PAS1 및 Porous PAS2는 Si-H/Si-N의 결합기의 비율, 즉 가스 비율을 점차적으로 증가시키며 증착한 보호막을 나타내고 있으며, 일 예로 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고 N₂ 가스의 유량을 100%에서 100% 미만으로 줄일 수 있다.
- [0115] 상기 도 12를 참조하면, 저온 보호막의 증착 조건에 따른 특성 변화를 확인해본 결과 증착 조건에 따른 저온 보호막의 특성에 차이가 있음을 알 수 있다.
- [0116] 즉, 상기 PAS1, PAS2 및 PAS3은 Si-N/Si-N의 결합기의 비율이 1일 때 상기 Si-H/Si-N의 결합기의 비율이 0.5 ~ 0.8로 나타나며, 상기 Porous PAS1 및 Porous PAS2는 상기 Si-H/Si-N의 결합기의 비율이 1 이상으로 나타나고 있다. FT-IR 분석 결과 Si-H와 Si-N의 결합기의 비율이 1:2 수준에서 1:1 수준으로 변화되는 것을 알 수 있다.
- [0117] 이와 같이 계면이 취약한 게이트절연막과 제 1, 제 3 보호막 사이의 불연속 증착 면 대비 제 3 보호막의 상부 층의 상대적인 Si-N 결합을 감소시켜 막질을 (상기 제 3 보호막의 하부 층에 비해 더욱) 다공성을 가지도록 증착 함으로써 정 방향의 테이퍼를 가진 패드부 콘택홀을 형성할 수 있게 된다. 이때, 일 예로 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고 N₂ 가스의 유량을 100%에서 100% 미만으로 줄일 수 있으며, 상기 제 3 보호막의 총 두께에 대한 상기 제 3 보호막의 상부 층의 두께는 5% ~ 20% 정도로 할 수 있다.
- [0118] 이 경우 상기 제 3 보호막의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상인 박막으로 할 수 있다.
- [0119] 참고로, Si-H, Si-N 및 N-H의 결합 해리 에너지는 각각 84 ~ 104Kcal/mol, 87 ~ 111Kcal/mol 및 92Kcal/mol이다.
- [0120] 이하, 상기의 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0121] 도 13a 내지 도 13e는 상기 도 8에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도이다.
- [0122] 도 14a 내지 도 14f는 상기 도 9에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 단면도로써, 좌측에는 화소부의 어레이 기관을 제조하는 공정을 나타내며 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기관을 제조하는 공정을 나타내고 있다.
- [0123] 도 13a 및 도 14a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기관(210)의 화소부에 게이트전극(221)과 게이트라인(216)을 형성하며, 상기 어레이 기관(210)의 게이트패드부 및 데이터패드부에 각각 게이트패드라인(216p) 및 데이터패드라인(217p)을 형성한다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 데이터패드라인(217p)은 상기 게이트전극(221)과 게이트라인(216) 및 게이트패드라인(216p)과는 다른 마스크 공정을 통해 형성할 수 있다.
- [0124] 이때, 상기 게이트전극(221), 게이트라인(216), 게이트패드라인(216p) 및 데이터패드라인(217p)은 제 1 도전막을 상기 어레이 기관(210) 전면에 증착한 후 포토리소그래피 공정(제 1 마스크 공정)을 통해 선택적으로 패터닝하여 형성하게 된다.

- [0125] 여기서, 상기 제 1 도전막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0126] 다음으로, 도 13b 및 도 14b에 도시된 바와 같이, 상기 게이트전극(221), 게이트라인(216), 게이트패드라인(216p) 및 데이터패드라인(217p)이 형성된 어레이 기판(210) 전면에 게이트절연막(215a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한다.
- [0127] 이때, 상기 제 2 도전막은 소오스전극과 드레인전극 및 데이터라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 2 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0128] 이후, 포토리소그래피 공정(제 2 마스크 공정)을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 상기 어레이 기판(210)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브층(224)을 형성하는 한편, 상기 액티브층(224) 상부에 상기 제 2 도전막으로 이루어진 소오스전극(222)과 드레인전극(223)을 형성한다.
- [0129] 이때, 상기 제 2 마스크 공정을 통해 상기 어레이 기판(210)의 데이터라인 영역에 상기 제 2 도전막으로 이루어진 데이터라인(217)을 형성하게 된다.
- [0130] 상기 액티브층(224) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브층(224)의 소오스/드레인 영역과 상기 소오스/드레인전극(222, 223) 사이를 오믹-콘택시키는 오믹-콘택층(225n)이 형성되게 된다. 또한, 상기 액티브층(224)과 소오스/드레인전극(222, 223)은 실질적으로 동일한 형태로 패터닝되게 되며, 상기 데이터라인(217) 하부에는 상기 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 비정질 실리콘 박막패턴(220') 및 n+ 비정질 실리콘 박막패턴(225')이 형성되게 된다.
- [0131] 이때, 상기 본 발명의 제 2 실시예의 경우에는 상기 액티브층(224)과 데이터 배선, 즉 소오스전극(222)과 드레인전극(223) 및 데이터라인(217)을 동일한 마스크 공정을 통해 동시에 패터닝함으로써 한번의 마스크 공정을 감소시킬 수 있게 된다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 액티브층(224)과 데이터 배선은 2번의 마스크 공정을 통해 개별적으로 형성할 수도 있다.
- [0132] 다음으로, 도 14c에 도시된 바와 같이, 상기 액티브층(224)과 소오스/드레인전극(222, 223) 및 데이터라인(217)이 형성된 어레이 기판(210) 전면에 제 1 보호막(215b) 및 제 2 보호막(215c)을 형성한다.
- [0133] 이때, 상기 제 1 보호막(215b)은 실리콘질화막, 실리콘산화막과 같은 무기절연막으로 형성할 수 있으며, 상기 제 2 보호막(215c)은 아크릴레이트, 폴리이미드, 에폭시 등의 성분이 포함된 포토 아크릴과 같은 유기절연막으로 형성할 수 있다.
- [0134] 그리고, 포토리소그래피 공정(제 3 마스크 공정)을 통해 상기 유기절연막을 노광 및 현상하여 선택적으로 제거함으로써 상기 드레인전극(223)의 상부 일부, 즉 콘택영역 및 데이터패드부와 게이트패드부 전체를 노출시킨다.
- [0135] 이후, 일 예로 230℃ 내외의 온도에서 경화 공정을 진행하여 상기 유기절연막인 제 2 보호막(215b)을 경화시킨다.
- [0136] 다음으로, 도 13c 및 도 14d에 도시된 바와 같이, 상기 제 2 보호막(215c)이 형성된 어레이 기판(210) 전면에서 제 3 도전막을 형성한 후, 포토리소그래피 공정(제 4 마스크 공정)을 통해 선택적으로 제거함으로써 상기 어레이 기판(210)의 화소부에 상기 제 3 도전막으로 이루어진 공통전극(208)을 형성한다.
- [0137] 이때, 상기 제 3 도전막은 공통전극(208)을 형성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질로 형성할 수 있다.
- [0138] 그리고, 상기 공통전극(208)은 상기 드레인전극(223)과 (후에 형성될) 화소전극이 접속될 수 있도록 상기 드레인전극(223)과 화소전극 사이의 콘택영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 공통전극(208)은 각 화소영역 내에 박스 형태로 형성될 수도 있다.
- [0139] 다음으로, 도 13d 및 도 14e에 도시된 바와 같이, 상기 공통전극(208)이 형성된 어레이 기판(210) 전면에서 제 3 보호막(215d)을 형성한다.
- [0140] 이때, 상기 제 3 보호막(215d)은 실리콘질화막, 실리콘산화막과 같은 무기절연막으로 형성할 수 있으며, 그 하

부의 제 2 보호막(215c)을 유기절연막으로 형성하는 경우 상기 제 3 보호막(215d)은 선행 공정, 즉 상기 제 2 보호막(215c)의 경화 공정보다 낮은 공정온도, 일 예로 230℃ 이하에서 진행하게 된다.

- [0141] 특히, 상기 본 발명의 제 2 실시예의 경우에는 상기 제 3 보호막(215d)의 상부 층을 하부 층에 비해 더욱 다공성을 가지게 증착하게 되는데, 일 예로 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고 N₂ 가스의 유량을 100%에서 100% 미만으로 줄일 수 있으며, 상기 제 3 보호막(215d)의 총 두께(~ 2000Å)에 대한 상기 제 3 보호막(215d)의 상부 층의 두께(~ 200Å)는 5% ~ 20% 정도로 할 수 있다.
- [0142] 즉, 상기 제 3 보호막(215d)을 증착할 때 계면이 취약한 게이트절연막(215a)과 제 1, 제 3 보호막(215b, 215d) 사이의 불연속 증착 면 대비 제 3 보호막(215d)의 상부 층의 상대적인 Si-N 결합을 감소시켜 막질을 (상기 제 3 보호막(215d)의 하부 층에 비해 더욱) 다공성을 가지도록 증착하게 된다.
- [0143] 이 경우 상기 제 3 보호막(215d)의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상인 박막으로 할 수 있다.
- [0144] 이후, 포토리소그래피 공정(제 5 마스크 공정)을 통해 상기 제 3 보호막(215d)과 제 1 보호막(215b) 및 게이트 절연막(215a)을 선택적으로 제거함으로써 상기 드레인전극(223)의 일부를 노출시키는 제 1 콘택홀(240a)을 형성하는 한편, 상기 어레이 기판(210)의 데이터패드부 및 게이트패드부에 각각 상기 데이터패드라인(217p) 및 게이트패드라인(216p)의 일부를 노출시키는 제 2 콘택홀(240b) 및 제 3 콘택홀(240c)을 형성한다.
- [0145] 이때, 전술한 바와 같이 상기 제 3 보호막(215d)의 상부 층을 하부 층에 비해 더욱 다공성을 가지게 증착하는 경우에는 상기 게이트절연막(215a)과 제 1 보호막(215b) 및 제 3 보호막(215d)을 일괄 건식각하더라도 상기 게이트절연막(215a)과 제 1, 제 3 보호막(215b, 215d) 사이의 불연속 증착 면 대비 상기 제 3 보호막(215d)의 상부 층의 식각률이 더욱 크기 때문에 정 방향의 테이퍼를 가진 패드부 콘택홀, 즉 제 2 콘택홀(240b) 및 제 3 콘택홀(240c)을 형성할 수 있게 된다.
- [0146] 다음으로, 도 13e 및 도 14f에 도시된 바와 같이, 상기 제 3 보호막(215d)이 형성된 어레이 기판(210) 전면에 투명한 도전물질로 이루어진 제 4 도전막을 형성한 후, 포토리소그래피 공정(제 6 마스크 공정)을 이용하여 선택적으로 패터닝함으로써 상기 어레이 기판(210)의 화소영역에 상기 제 1 콘택홀(240a)을 통해 상기 드레인전극(223)과 전기적으로 접속하는 다수의 슬릿(218s)을 가진 화소전극(218)을 형성한다.
- [0147] 이때, 상기 제 6 마스크공정을 이용하여 상기 제 4 도전막을 선택적으로 패터닝함으로써 상기 데이터패드부 및 게이트패드부에 각각 상기 제 2 콘택홀(240b) 및 제 3 콘택홀(240c)을 통해 상기 데이터패드라인(217p) 및 게이트패드라인(216p)에 전기적으로 접속하는 데이터패드전극(227p) 및 게이트패드전극(226p)을 형성하게 된다.
- [0148] 한편, 상기 본 발명의 제 1, 제 2 실시예의 프린지 필드형 액정표시장치는 하부에 공통전극이 형성되고 상부에 화소전극이 형성된 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 하부에 화소전극이 형성되고 상부에 공통전극이 형성되는 경우에도 적용 가능하며, 이를 도면을 참조하여 상세히 설명한다.
- [0149] 도 15는 본 발명의 제 3 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도이다.
- [0150] 또한, 도 16은 본 발명의 제 2 실시예에 따른 프린지 필드형 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 단면도로서, 상기 도 15에 도시된 어레이 기판의 A-A'선, B-B선 및 C-C선에 따라 절단한 단면을 개략적으로 나타내고 있다.
- [0151] 이때, 전술한 바와 같이 도면에는 설명의 편의를 위해 화소부와 데이터패드부 및 게이트패드부를 포함하는 하나의 화소를 나타내고 있으며, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN 개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.
- [0152] 상기 도면들에 도시된 바와 같이, 본 발명의 제 3 실시예에 따른 어레이 기판(310)에는 상기 어레이 기판(310) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(316)과 데이터라인(317)이 형성되어 있다. 또한, 상기 게이트라인(316)과 데이터라인(317)의 교차영역에는 스위칭소자인 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 프린지 필드를 발생시켜 액정분자를 구동시키는 화소전극(318)과 다수의 슬릿(308s)을 가진 공통전극(308)이 형성되어 있다.
- [0153] 상기 박막 트랜지스터는 상기 게이트라인(316)에 연결된 게이트전극(321), 상기 데이터라인(317)에 연결된 소오스전극(322) 및 상기 화소전극(318)에 전기적으로 접속된 드레인전극(323)으로 구성되어 있다. 또한, 상기 박막

트랜지스터는 상기 게이트전극(321)과 소오스/드레인전극(322, 323) 사이의 절연을 위한 게이트절연막(315a) 및 상기 게이트전극(321)에 공급되는 게이트 전압에 의해 상기 소오스전극(322)과 드레인전극(323) 간에 전도채널을 형성하는 액티브층(324)을 포함한다.

- [0154] 이때, 상기 액티브층(324)의 소오스/드레인영역은 오믹-콘택층(325n)을 통해 상기 소오스/드레인전극(322, 323)과 오믹-콘택을 형성하게 된다.
- [0155] 그리고, 상기 소오스전극(322)의 일부는 일 방향으로 연장되어 상기 데이터라인(317)에 연결되며, 상기 드레인전극(323)의 일부는 화소영역 쪽으로 연장되어 제 1 보호막(315b)과 제 2 보호막(315c)에 형성된 제 1 콘택홀(340a)을 통해 상기 화소전극(318)에 전기적으로 접속하게 된다.
- [0156] 이때, 상기 본 발명의 제 3 실시예의 경우에는 전술한 본 발명의 제 2 실시예와 동일하게 상기 액티브패턴(324)과 데이터 배선, 즉 소오스전극(322)과 드레인전극(323) 및 데이터라인(317)을 동일한 마스크 공정을 통해 동시에 패터닝함으로써 한번의 마스크 공정을 감소시킬 수 있게 된다. 이에 따라 상기 액티브패턴(324)과 소오스/드레인전극(322, 323)은 실질적으로 동일한 형태로 패터닝되게 되며, 상기 데이터라인(317) 하부에는 각각 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 비정질 실리콘 박막패턴(320') 및 n+ 비정질 실리콘 박막패턴(325')이 형성되게 되나, 본 발명이 이에 한정되는 것은 아니다.
- [0157] 전술한 바와 같이 상기 화소영역 내에는 프린지 필드를 발생시키기 위해 공통전극(308)과 화소전극(318)이 형성되어 있는데, 이때 상기 화소전극(318)은 화소영역 내에 박스 형태로 형성될 수 있으며, 상기 공통전극(308)은 박막 트랜지스터 영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성되는 동시에 각각의 화소영역 내에서 다수의 슬릿(308s)을 가지도록 형성될 수 있다.
- [0158] 한편, 상기 어레이 기관(310)의 가장자리 영역에는 상기 게이트라인(316)과 데이터라인(317)에 각각 전기적으로 접속하는 게이트패드전극(326p)과 데이터패드전극(327p)이 형성되어 있으며, 외부의 구동회로부(미도시)로부터 인가 받은 주사신호와 데이터신호를 각각 상기 게이트라인(316)과 데이터라인(317)에 전달하게 된다.
- [0159] 즉, 상기 게이트라인(316)과 데이터라인(317)은 구동회로부 쪽으로 연장되어 각각 해당하는 게이트패드라인(316p)과 데이터패드라인(317p)에 연결되며, 상기 게이트패드라인(316p)과 데이터패드라인(317p)은 상기 게이트패드라인(316p)과 데이터패드라인(317p)에 각각 전기적으로 접속된 게이트패드전극(326p)과 데이터패드전극(327p)을 통해 구동회로부로부터 각각 주사신호와 데이터신호를 인가 받게 된다.
- [0160] 이때, 상기 데이터패드라인(317p)은 제 2 콘택홀(340b)을 통해 상기 데이터패드전극(327p)과 전기적으로 접속하게 되며, 상기 게이트패드라인(316p)은 제 3 콘택홀(340c)을 통해 상기 게이트패드전극(326p)과 전기적으로 접속하게 된다.
- [0161] 이때, 상기 본 발명의 제 3 실시예에 따른 데이터패드라인(317p)은 상기 게이트패드라인(316p)과 동일한 마스크 공정을 통해 동일한 층에 형성되는 것을 특징으로 하나, 본 발명이 이에 한정되는 것은 아니다.
- [0162] 이와 같이 구성된 상기 본 발명의 제 3 실시예에 따른 프린지 필드형 액정표시장치는 저소비 전력을 구현하기 위해 상기 제 2 보호막(315c)으로 포토 아크릴과 같은 유기절연막을 사용하는 경우 그 상부의 제 3 보호막(315d)은 선행 공정, 즉 포토 아크릴의 경화 공정보다 낮은 공정온도, 일 예로 230℃ 이하의 온도에서 진행되게 된다.
- [0163] 이 경우 기존에는 패드부 콘택홀 형성 시 패드부 콘택홀 내에 언더컷이 형성되는 문제가 발생하는데, 본 발명의 제 3 실시예의 경우에는 전술한 본 발명의 제 2 실시예와 동일하게 제 3 보호막(315d)의 상부 층의 막질을 변경하여 게이트절연막(315a)과 제 1, 제 3 보호막(315b, 315d) 사이의 불연속 증착 면 대비 제 3 보호막(315d)의 상부 층의 식각률을 증가시킴으로써 마스크 공정의 추가 없이 패드부 콘택홀(340b, 340c) 내의 언더컷을 개선할 수 있게 된다.
- [0164] 이하, 상기의 본 발명의 제 3 실시예에 따른 프린지 필드형 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.
- [0165] 도 17a 내지 도 17f는 상기 도 15에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 평면도이다.
- [0166] 도 18a 내지 도 18f는 상기 도 16에 도시된 어레이 기관의 제조공정을 순차적으로 나타내는 단면도로서, 좌측에는 화소부의 어레이 기관을 제조하는 공정을 나타내며 우측에는 차례대로 데이터패드부와 게이트패드부의 어레이 기관을 제조하는 공정을 나타내고 있다.

- [0167] 도 17a 및 도 18a에 도시된 바와 같이, 유리와 같은 투명한 절연물질로 이루어진 어레이 기관(310)의 화소부에 게이트전극(321)과 게이트라인(316)을 형성하며, 상기 어레이 기관(310)의 게이트패드부 및 데이터패드부에 각각 게이트패드라인(316p) 및 데이터패드라인(317p)을 형성한다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 데이터패드라인(317p)은 상기 게이트전극(321)과 게이트라인(316) 및 게이트패드라인(316p)과는 다른 마스크 공정을 통해 형성할 수 있다.
- [0168] 이때, 상기 게이트전극(321), 게이트라인(316), 게이트패드라인(316p) 및 데이터패드라인(317p)은 제 1 도전막을 상기 어레이 기관(310) 전면에 증착한 후 포토리소그래피 공정(제 1 마스크 공정)을 통해 선택적으로 패터닝하여 형성하게 된다.
- [0169] 여기서, 상기 제 1 도전막은 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 1 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0170] 다음으로, 도 17b 및 도 18b에 도시된 바와 같이, 상기 게이트전극(321), 게이트라인(316), 게이트패드라인(316p) 및 데이터패드라인(317p)이 형성된 어레이 기관(310) 전면에 게이트절연막(315a), 비정질 실리콘 박막, n+ 비정질 실리콘 박막 및 제 2 도전막을 형성한다.
- [0171] 이때, 상기 제 2 도전막은 소오스전극과 드레인전극 및 데이터라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 크롬, 몰리브덴 및 몰리브덴 합금 등과 같은 저저항 불투명 도전물질로 형성할 수 있다. 또한, 상기 제 2 도전막은 상기 저저항 도전물질이 2가지 이상 적층된 다층구조로 형성할 수 있다.
- [0172] 이후, 포토리소그래피 공정(제 2 마스크 공정)을 통해 상기 비정질 실리콘 박막과 n+ 비정질 실리콘 박막 및 제 2 도전막을 선택적으로 제거함으로써 상기 어레이 기관(310)의 화소부에 상기 비정질 실리콘 박막으로 이루어진 액티브층(324)을 형성하는 한편, 상기 액티브층(324) 상부에 상기 제 2 도전막으로 이루어진 소오스전극(322)과 드레인전극(323)을 형성한다.
- [0173] 이때, 상기 제 2 마스크 공정을 통해 상기 어레이 기관(310)의 데이터라인 영역에 상기 제 2 도전막으로 이루어진 데이터라인(317)을 형성하게 된다.
- [0174] 상기 액티브층(324) 상부에는 상기 n+ 비정질 실리콘 박막으로 이루어지며 상기 액티브층(324)의 소오스/드레인 영역과 상기 소오스/드레인전극(322, 323) 사이를 오믹-콘택시키는 오믹-콘택층(325n)이 형성되게 된다. 또한, 상기 액티브패턴(324)과 소오스/드레인전극(322, 323)은 실질적으로 동일한 형태로 패터닝되게 되며, 상기 데이터라인(317) 하부에는 상기 비정질 실리콘 박막 및 n+ 비정질 실리콘 박막으로 이루어진 비정질 실리콘 박막패턴(320') 및 n+ 비정질 실리콘 박막패턴(325')이 형성되게 된다.
- [0175] 이때, 상기 본 발명의 제 3 실시예의 경우에는 상기 액티브패턴(324)과 데이터 배선, 즉 소오스전극(322)과 드레인전극(323) 및 데이터라인(317)을 동일한 마스크 공정을 통해 동시에 패터닝함으로써 한번의 마스크 공정을 감소시킬 수 있게 된다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 액티브패턴(324)과 데이터 배선은 2번의 마스크 공정을 통해 개별적으로 형성할 수도 있다.
- [0176] 다음으로, 도 17c 및 도 18c에 도시된 바와 같이, 상기 액티브층(324)과 소오스/드레인전극(322, 323) 및 데이터라인(317)이 형성된 어레이 기관(310) 전면에 제 1 보호막(315b) 및 제 2 보호막(315c)을 형성한다.
- [0177] 이때, 상기 제 1 보호막(315b)은 실리콘질화막, 실리콘산화막과 같은 무기절연막으로 형성할 수 있으며, 상기 제 2 보호막(315c)은 아크릴레이트, 폴리이미드, 에폭시 등의 성분이 포함된 포토 아크릴과 같은 유기절연막으로 형성할 수 있다.
- [0178] 그리고, 포토리소그래피 공정(제 3 마스크 공정)을 통해 상기 유기절연막을 노광 및 현상하여 선택적으로 제거함으로써 상기 드레인전극(323)의 상부 일부, 즉 콘택영역 및 데이터패드부와 게이트패드부 전체를 노출시킨다.
- [0179] 이후, 일 예로 230℃ 내외의 온도에서 경화 공정을 진행하여 상기 유기절연막인 제 2 보호막(315b)을 경화시킨 다음 상기 화소부의 제 1 보호막(315b)을 선택적으로 제거하여 상기 드레인전극(323)의 일부를 노출시키는 제 1 콘택홀(340a)을 형성한다.
- [0180] 다음으로, 도 17d 및 도 17d에 도시된 바와 같이, 상기 제 3 보호막(215c)이 형성된 어레이 기관(310) 전면에 제 3 도전막을 형성한 후, 포토리소그래피 공정(제 4 마스크 공정)을 통해 선택적으로 제거함으로써 상기 어레이 기관(310)의 화소영역에 상기 제 3 도전막으로 이루어지며, 상기 제 1 콘택홀(340a)을 통해 상기 드레인전극

(323)과 전기적으로 접속하는 박스 형태의 화소전극(318)을 형성한다.

- [0181] 이때, 상기 제 3 도전막은 화소전극(318)을 형성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질로 형성할 수 있다.
- [0182] 다음으로, 도 17e 및 도 18e에 도시된 바와 같이, 상기 화소전극(318)이 형성된 어레이 기관(310) 전면에서 제 3 보호막(315d)을 형성한다.
- [0183] 이때, 상기 제 3 보호막(315d)은 실리콘질화막, 실리콘산화막과 같은 무기절연막으로 형성할 수 있으며, 그 하부의 제 2 보호막(315c)을 유기절연막으로 형성하는 경우 상기 제 3 보호막(315d)은 선행 공정, 즉 상기 제 2 보호막(315c)의 경화 공정보다 낮은 공정온도, 일 예로 230℃ 이하에서 진행하게 된다.
- [0184] 특히, 상기 본 발명의 제 3 실시예의 경우에는 전술한 본 발명의 제 2 실시예와 동일하게 상기 제 3 보호막(315d)의 상부 층을 하부 층에 비해 더욱 다공성을 가지게 증착하게 되는데, 일 예로 SiH₄ 가스 대비 NH₃ 가스의 비율을 1:3에서 1:4 이상으로 증가시키고 N₂ 가스의 유량을 100%에서 100% 미만으로 줄일 수 있으며, 상기 제 3 보호막(315d)의 총 두께(~ 2000Å)에 대한 상기 제 3 보호막(315d)의 상부 층의 두께(~ 200Å)는 5% ~ 20% 정도로 할 수 있다.
- [0185] 즉, 상기 제 3 보호막(315d)을 증착할 때 계면이 취약한 게이트절연막(315a)과 제 1, 제 3 보호막(315b, 315d) 사이의 불연속 증착 면 대비 제 3 보호막(315d)의 상부 층의 상대적인 Si-N 결합을 감소시켜 막질(상기 제 3 보호막(315d)의 하부 층에 비해 더욱) 다공성을 가지도록 증착하게 된다.
- [0186] 이 경우 상기 제 3 보호막(315d)의 상부 층은 Si-H/Si-N의 결합기의 비율이 80% 이상인 박막으로 할 수 있다.
- [0187] 이후, 포토리소그래피 공정(제 5 마스크 공정)을 통해 상기 제 3 보호막(315d)과 제 1 보호막(315b) 및 게이트절연막(315a)을 선택적으로 제거함으로써 상기 어레이 기관(310)의 데이터패드부 및 게이트패드부에 각각 상기 데이터패드라인(317p) 및 게이트패드라인(316p)의 일부를 노출시키는 제 2 콘택홀(340b) 및 제 3 콘택홀(340c)을 형성한다.
- [0188] 이때, 전술한 바와 같이 상기 제 3 보호막(315d)의 상부 층을 하부 층에 비해 더욱 다공성을 가지게 증착하는 경우에는 상기 게이트절연막(315a)과 제 1 보호막(315b) 및 제 3 보호막(315d)을 일괄 건식각하더라도 상기 게이트절연막(315a)과 제 1, 제 3 보호막(315b, 315d) 사이의 불연속 증착 면 대비 상기 제 3 보호막(315d)의 상부 층의 식각률이 더욱 크기 때문에 정 방향의 테이퍼를 가진 패드부 콘택홀, 즉 제 2 콘택홀(340b) 및 제 3 콘택홀(340c)을 형성할 수 있게 된다.
- [0189] 다음으로, 도 17f 및 도 18f에 도시된 바와 같이, 상기 제 3 보호막(315d)이 형성된 어레이 기관(310) 전면에서 투명한 도전물질로 이루어진 제 4 도전막을 형성한 후, 포토리소그래피 공정(제 6 마스크 공정)을 이용하여 선택적으로 패터닝함으로써 상기 어레이 기관(310)의 화소부에 상기 제 4 도전막으로 이루어지며, 다수의 슬릿(308s)을 가진 공통전극(308)을 형성한다.
- [0190] 이때, 상기 제 4 도전막은 공통전극(308)을 형성하기 위해 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투과율이 뛰어난 투명한 도전물질로 형성할 수 있다.
- [0191] 그리고, 상기 공통전극(308)은 박막 트랜지스터 영역을 제외한 화소부 전체에 걸쳐 단일패턴으로 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 상기 공통전극(308)은 각 화소영역 내에 다수의 슬릿(308s)을 가진 박스 형태로 형성될 수도 있다.
- [0192] 이때, 상기 제 6 마스크공정을 이용하여 상기 제 4 도전막을 선택적으로 패터닝함으로써 상기 데이터패드부 및 게이트패드부에 각각 상기 제 2 콘택홀(340b) 및 제 3 콘택홀(340c)을 통해 상기 데이터패드라인(317p) 및 게이트패드라인(316p)에 전기적으로 접속하는 데이터패드전극(327p) 및 게이트패드전극(326p)을 형성하게 된다.
- [0193] 이와 같이 구성된 상기 본 발명의 제 1, 제 2, 제 3 실시예의 어레이 기관은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러필터 기관과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기관에는 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.
- [0194] 이때, 상기 컬러필터 기관과 어레이 기관의 합착은 상기 컬러필터 기관 또는 어레이 기관에 형성된 합착키(alignment key)를 통해 이루어진다.
- [0195] 상기 본 발명의 제 1, 제 2, 제 3 실시예의 프린지 필드형 액정표시장치는 액티브층으로 비정질 실리콘 박막을

이용한 비정질 실리콘 박막 트랜지스터를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본 발명은 상기 액티브층으로 다결정 실리콘 박막을 이용한 다결정 실리콘 박막 트랜지스터 및 산화물을 이용한 산화물 박막 트랜지스터에도 적용된다.

[0196] 또한, 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 일 예로 구동 트랜지스터에 유기전계발광소자(Organic Light Emitting Diodes; OLED)가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

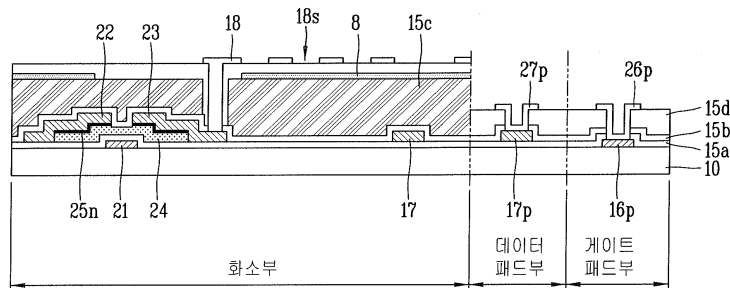
[0197] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

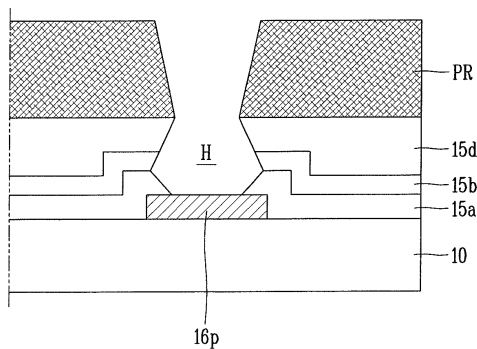
- | | | |
|--------|--------------------------|--------------------------|
| [0198] | 108,208,308 : 공통전극 | 110,210,310 : 어레이 기판 |
| | 116,216,316 : 게이트라인 | 116p,216p,316p : 게이트패드라인 |
| | 117,217,317 : 데이터라인 | 117p,217p,317p : 데이터패드라인 |
| | 118,218,318 : 화소전극 | 118s,218s,308s : 슬릿 |
| | 121,221,321 : 게이트전극 | 122,222,322 : 소오스전극 |
| | 123,223,323 : 드레인전극 | 124,224,324 : 액티브층 |
| | 126p,226p,326p : 게이트패드전극 | 127p,227p,327p : 데이터패드전극 |

도면

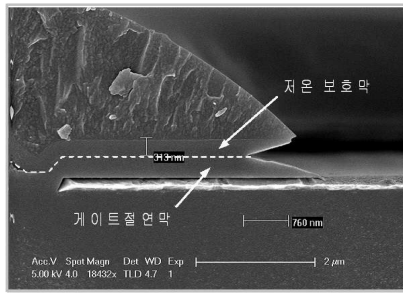
도면1



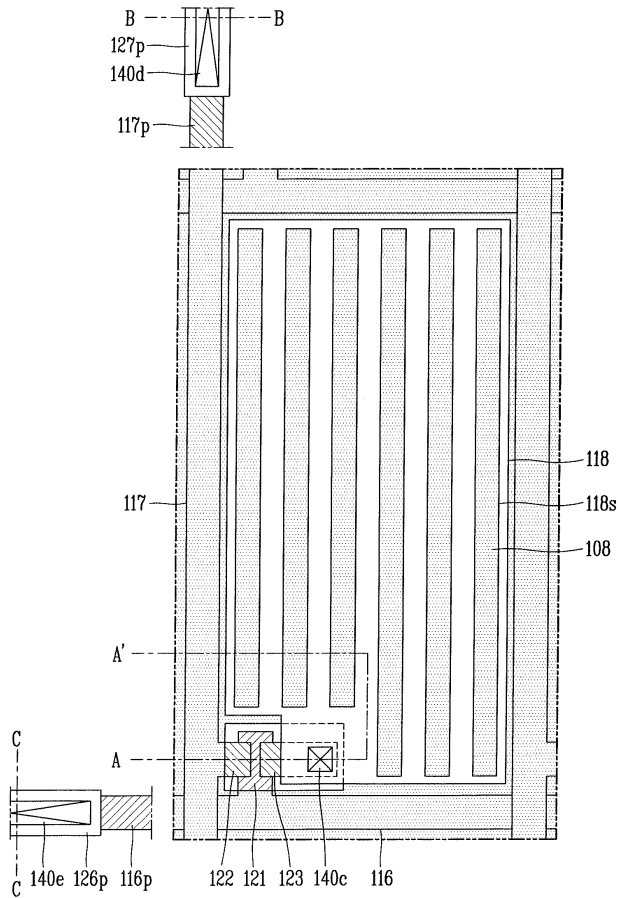
도면2



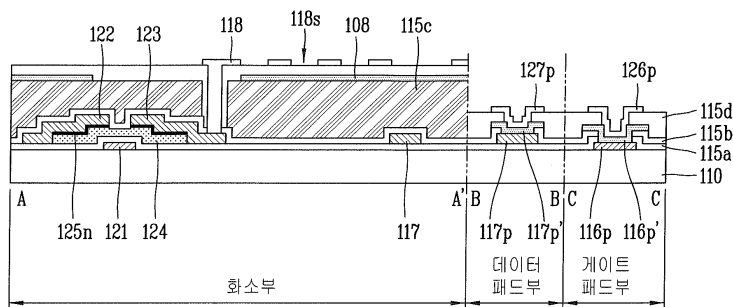
도면3



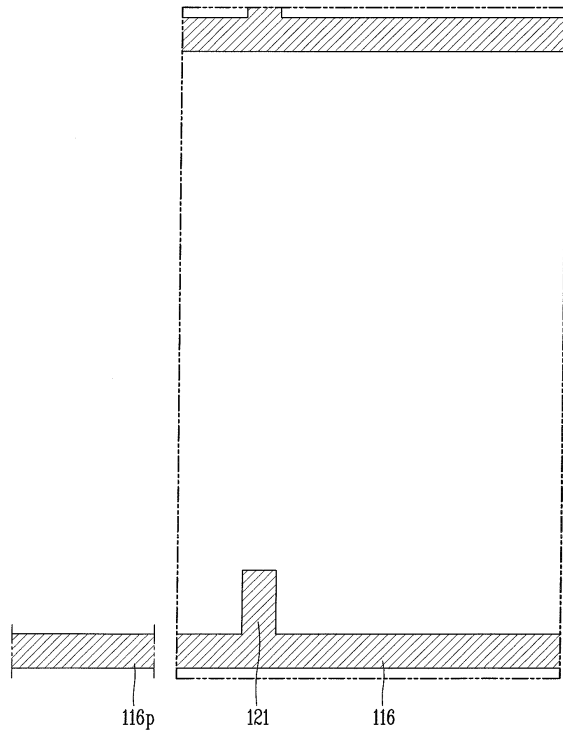
도면4



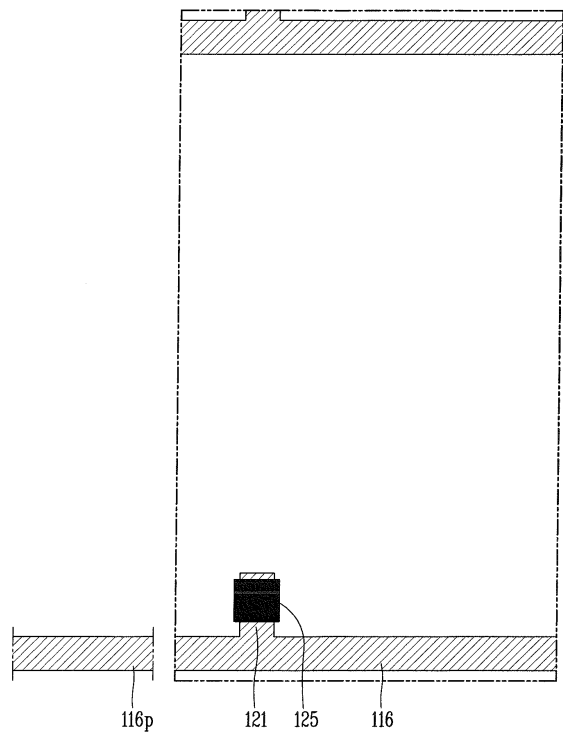
도면5



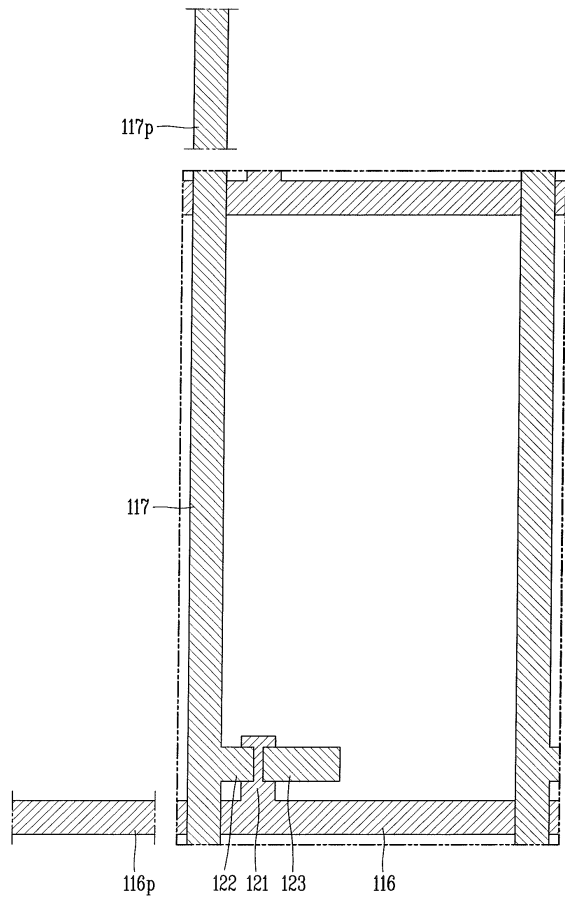
도면6a



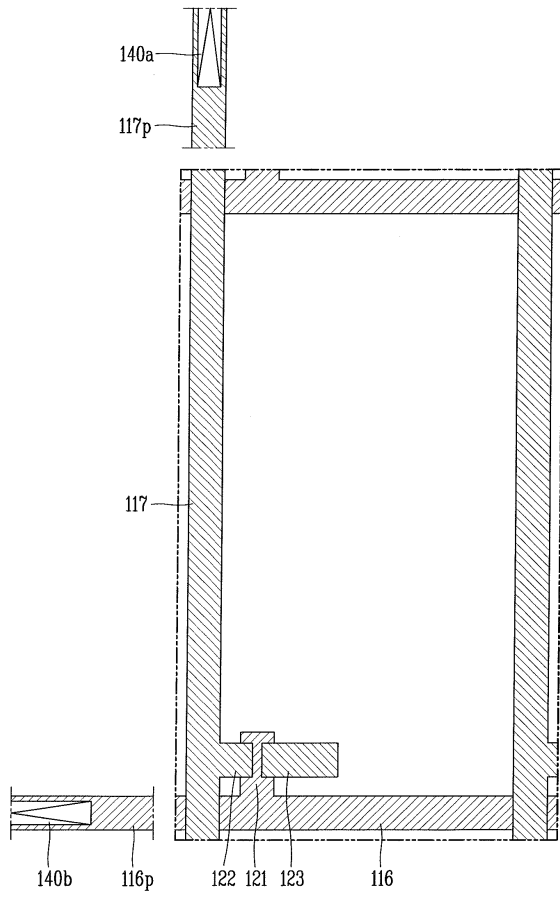
도면6b



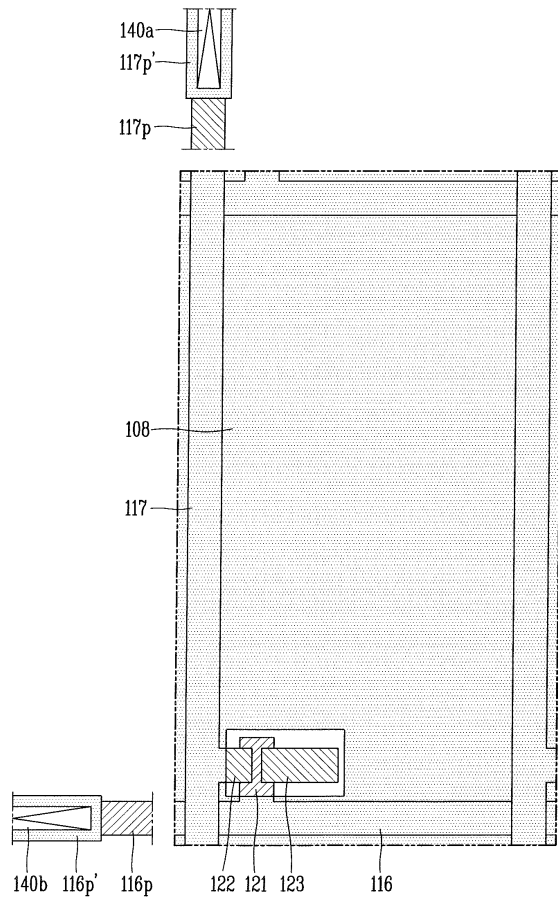
도면6c



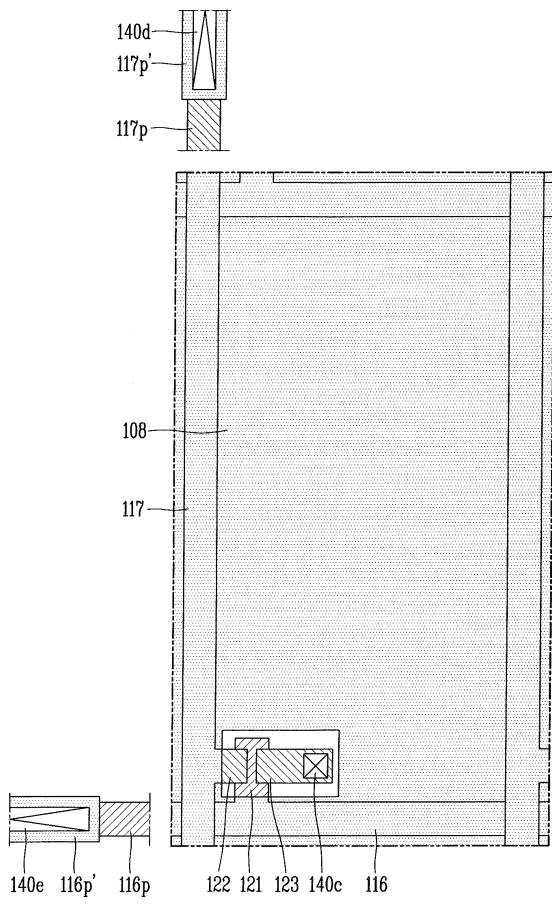
도면6d



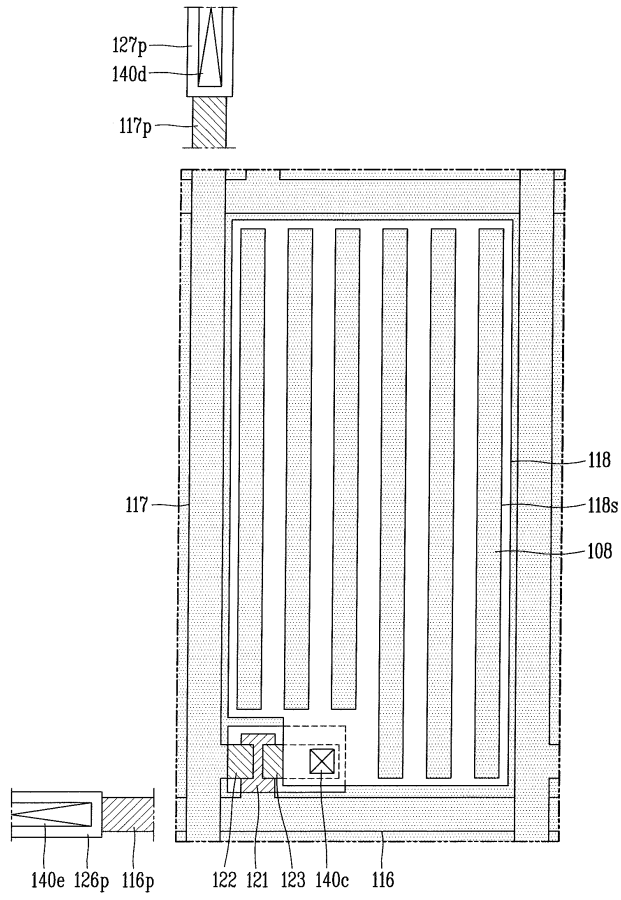
도면6e



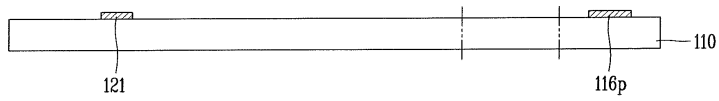
도면6f



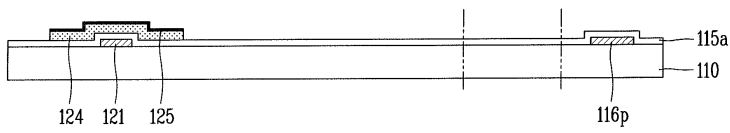
도면6g



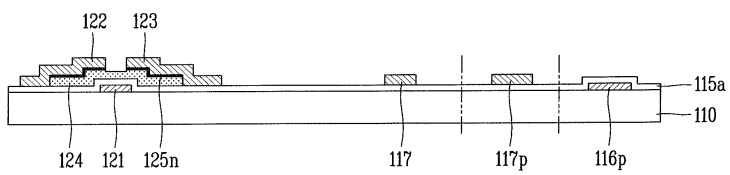
도면7a



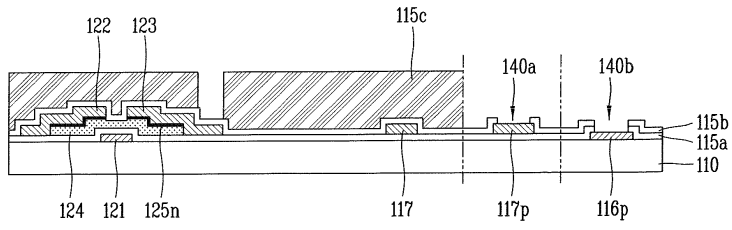
도면7b



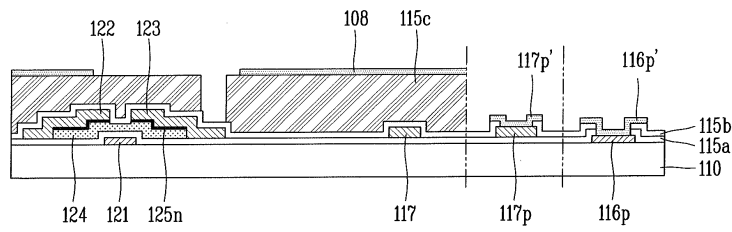
도면7c



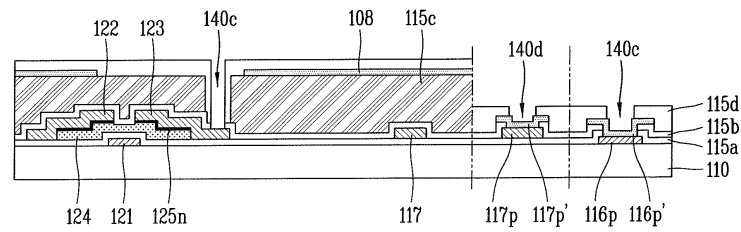
도면7d



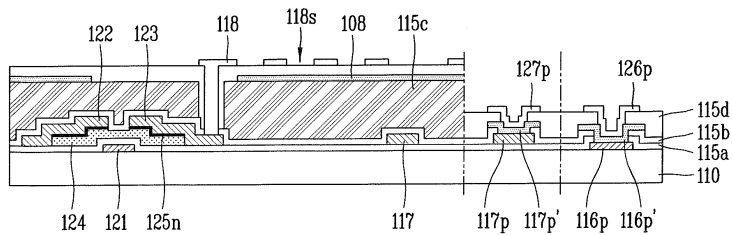
도면7e



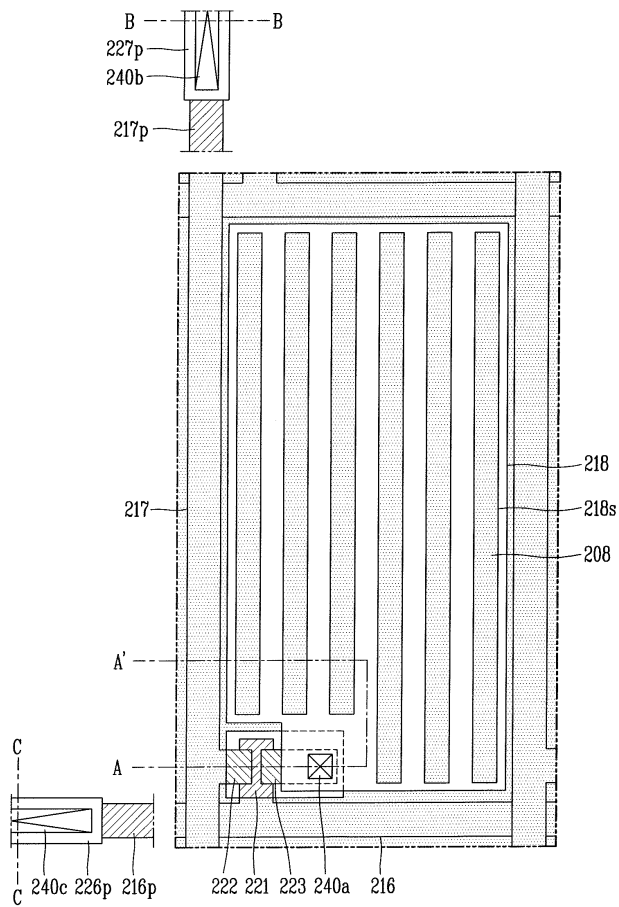
도면7f



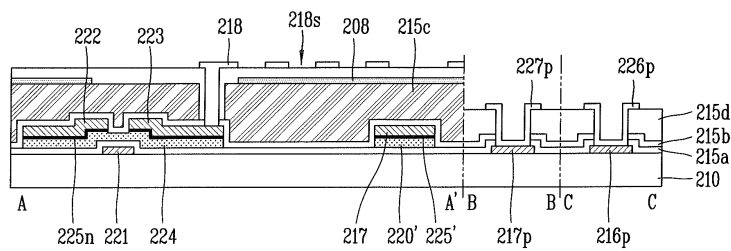
도면7g



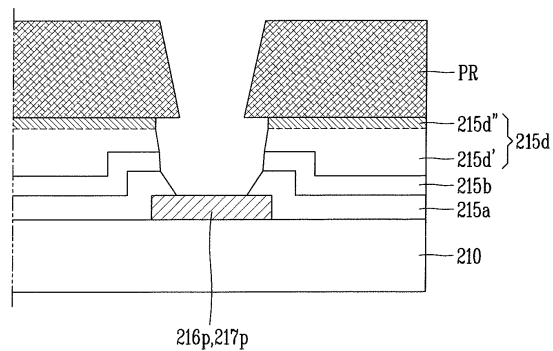
도면8



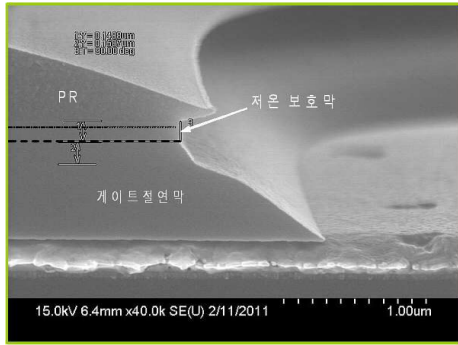
도면9



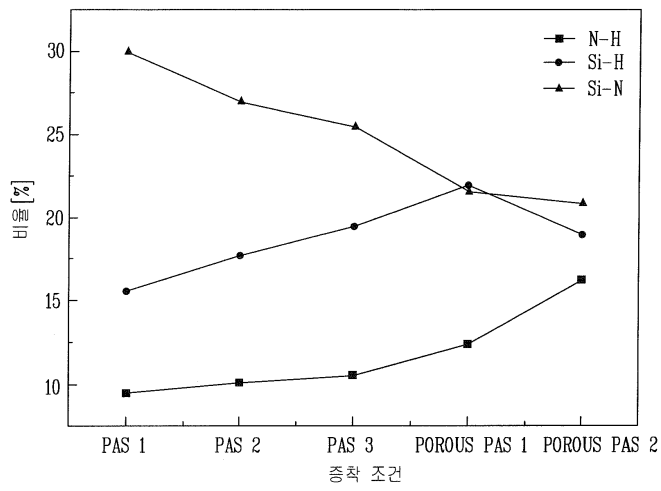
도면10



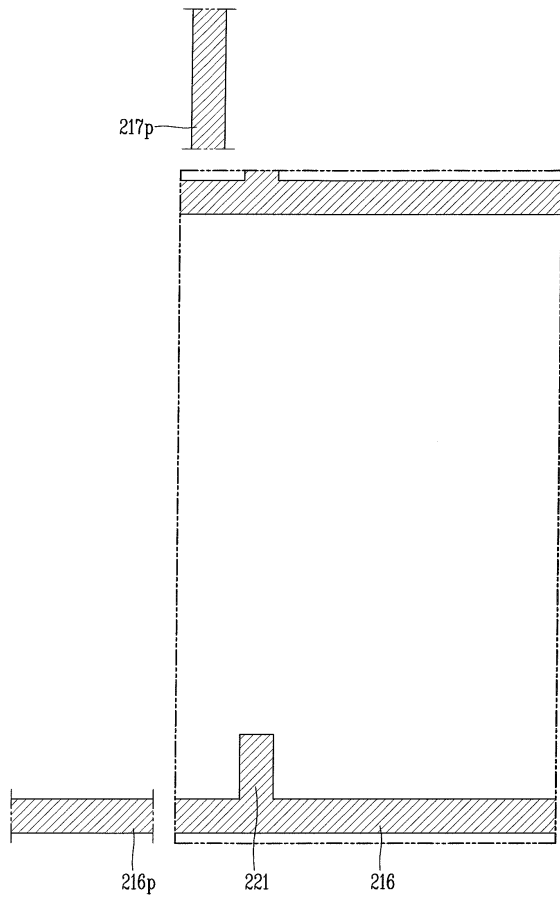
도면11



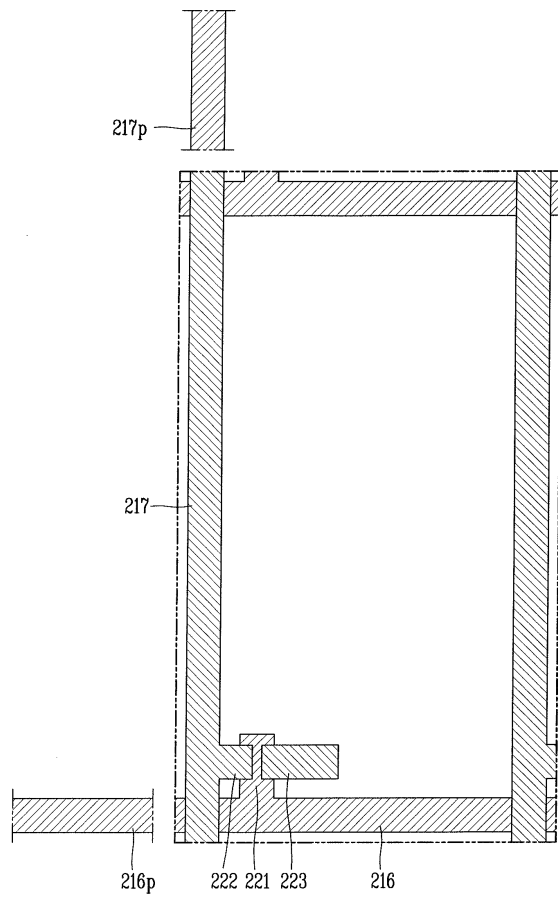
도면12



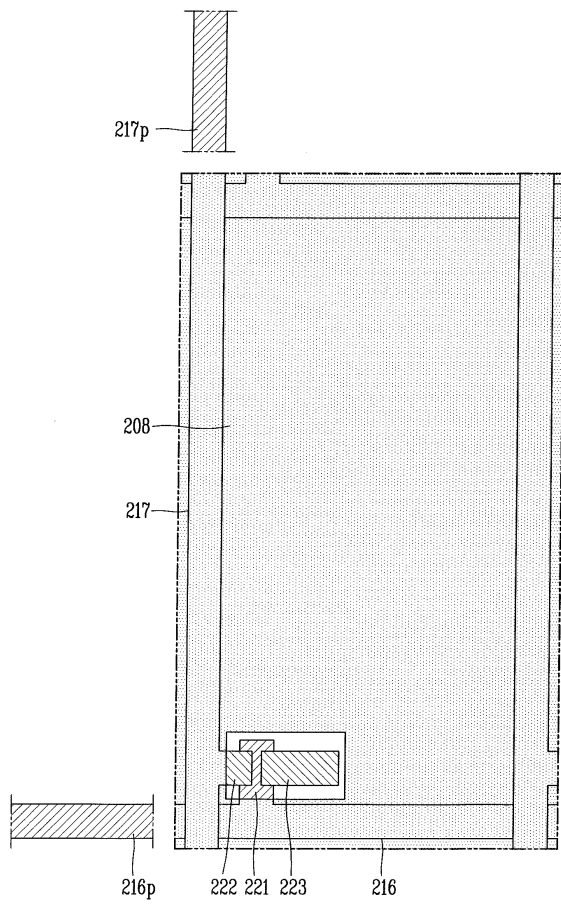
도면13a



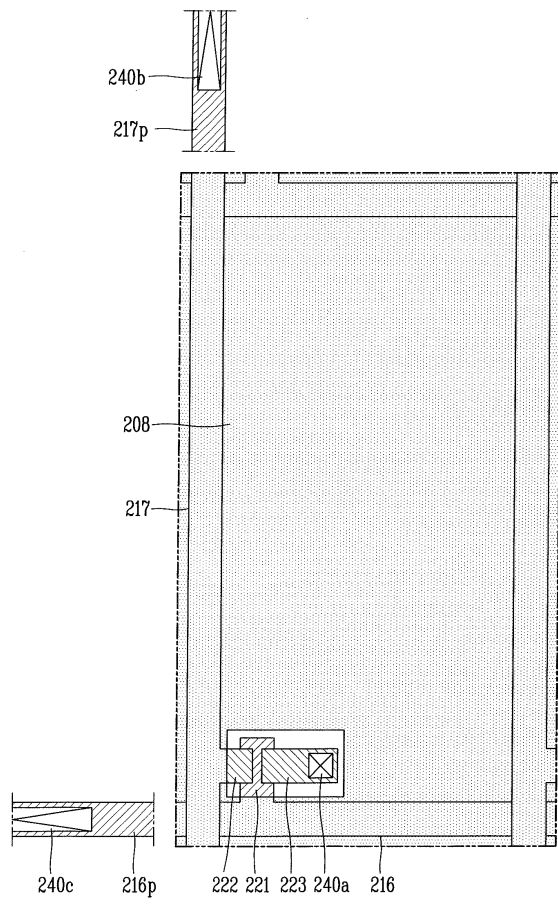
도면13b



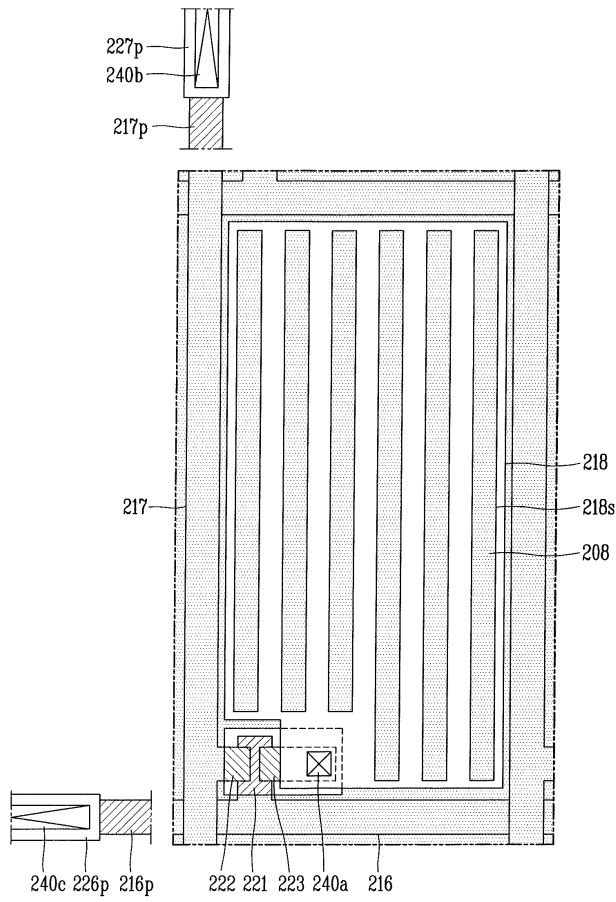
도면13c



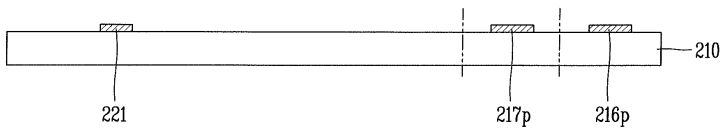
도면13d



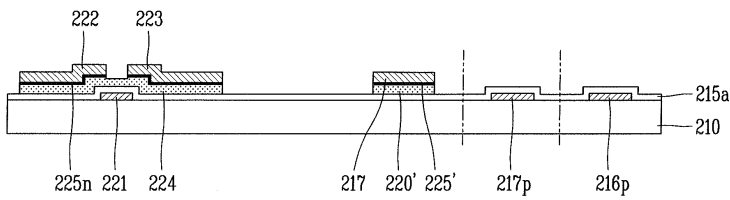
도면13e



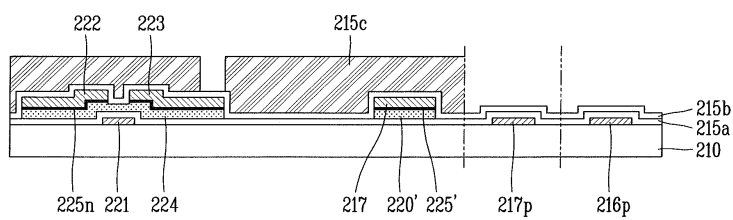
도면14a



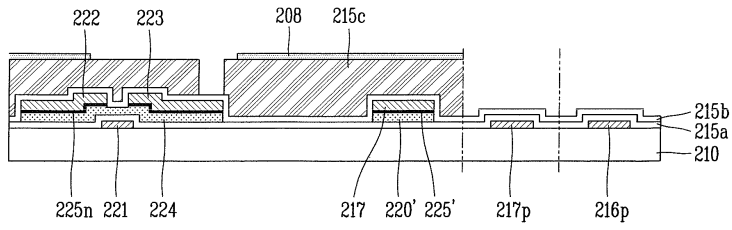
도면14b



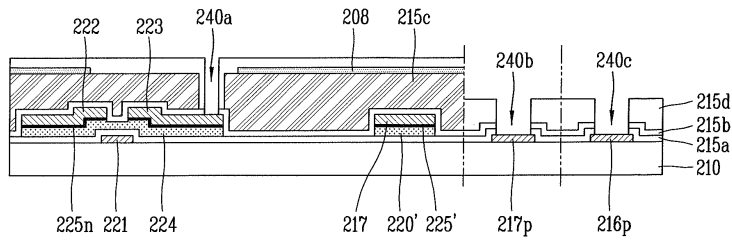
도면14c



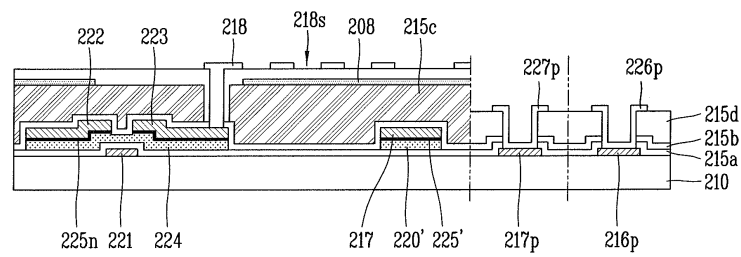
도면14d



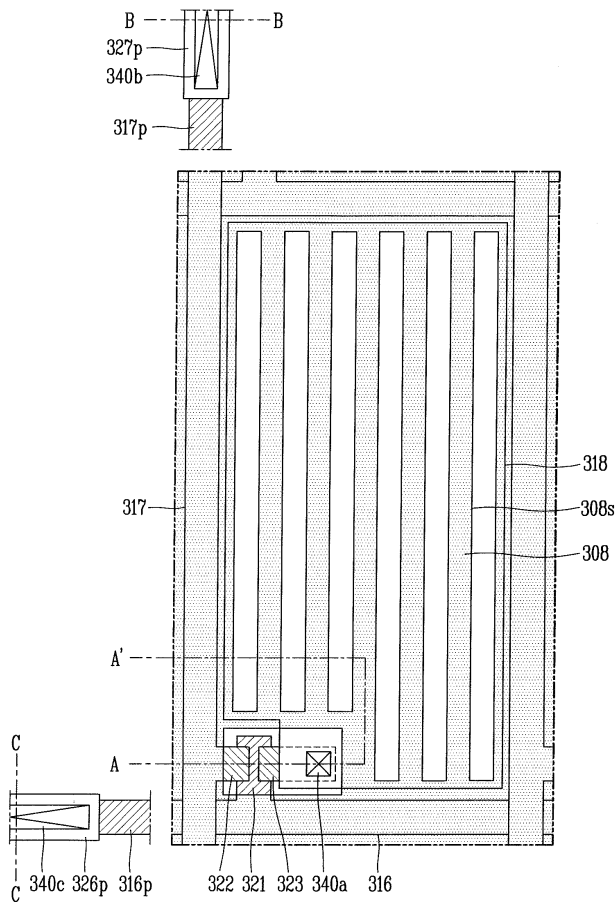
도면14e



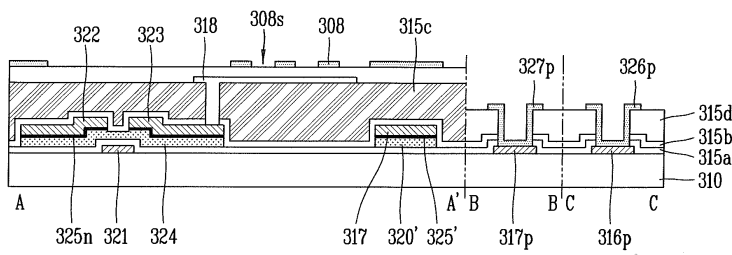
도면14f



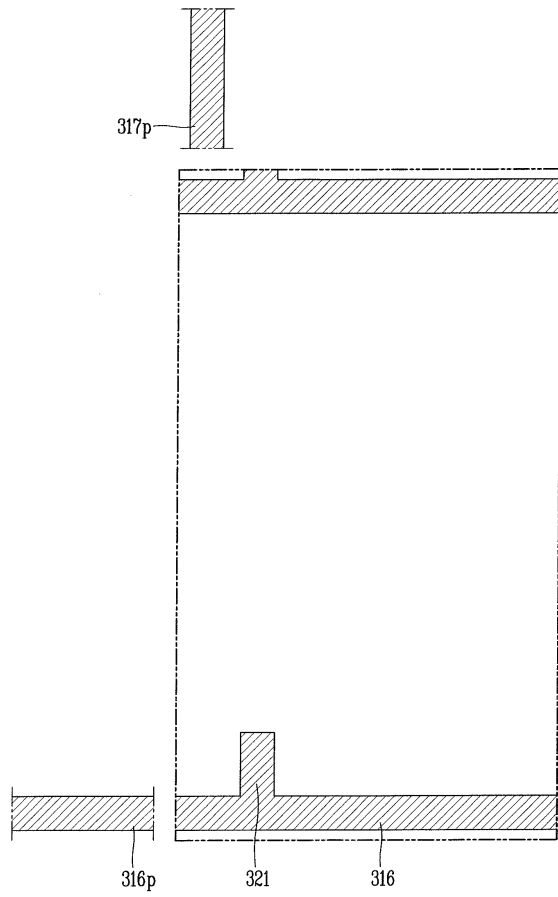
도면15



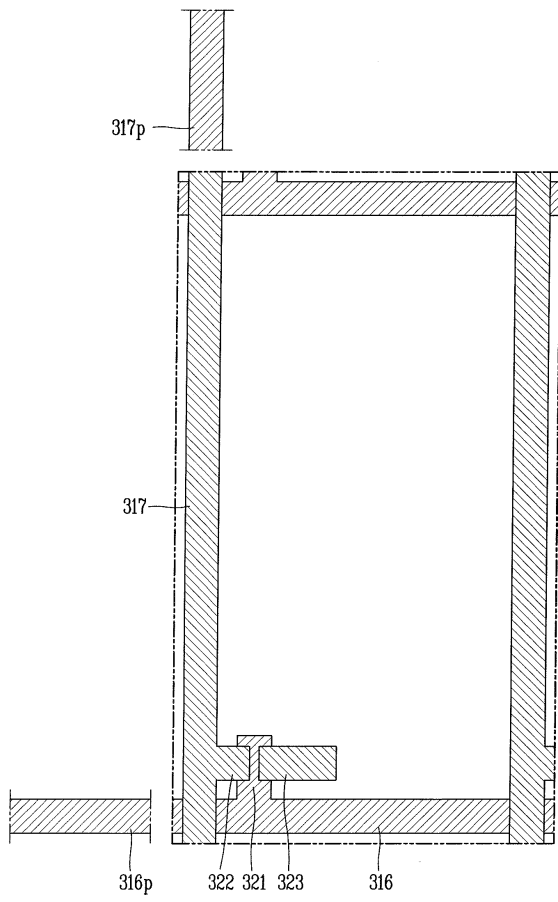
도면16



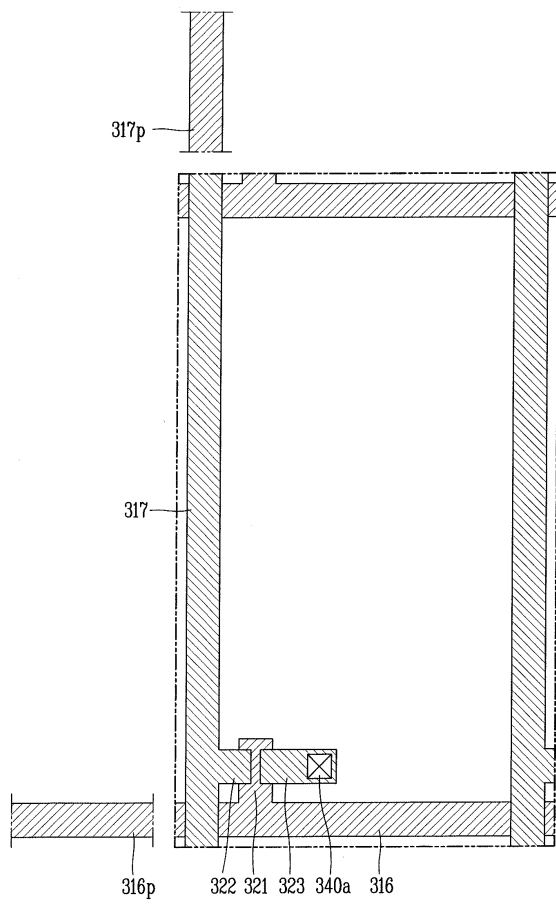
도면17a



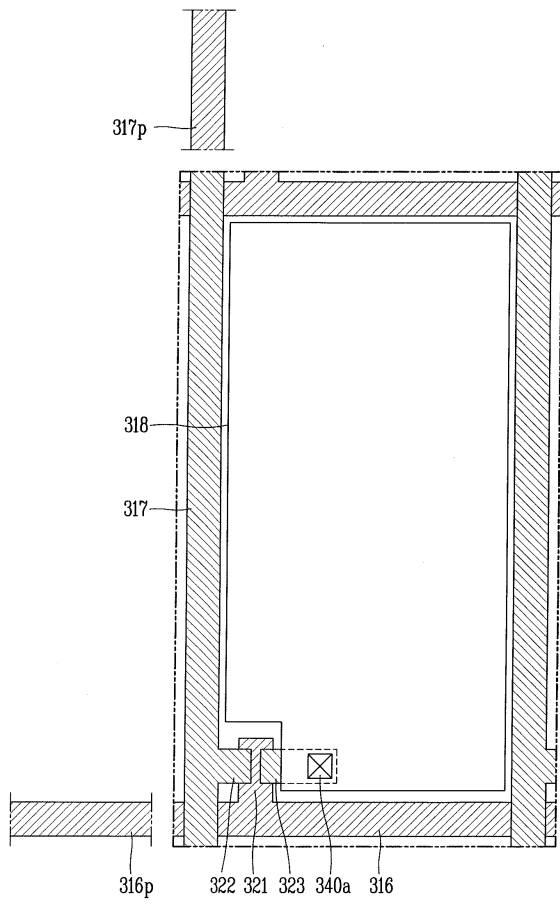
도면17b



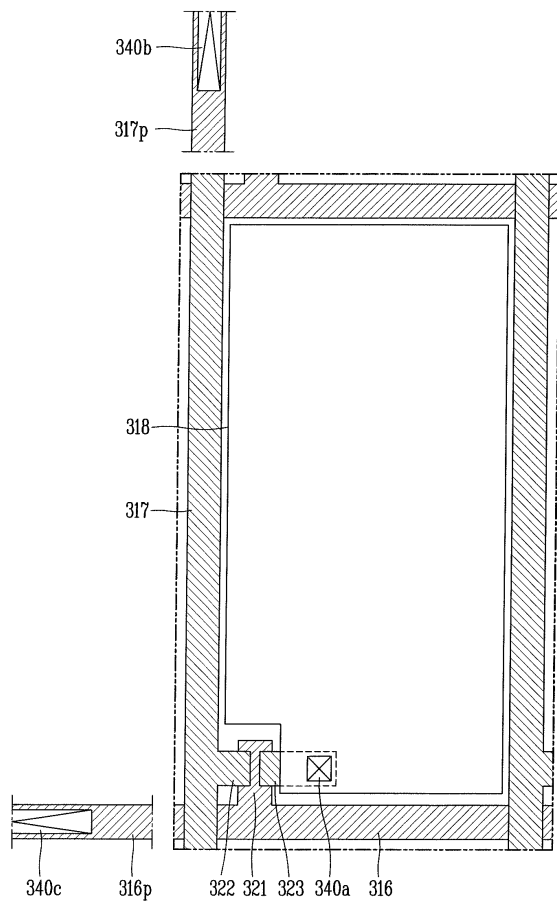
도면17c



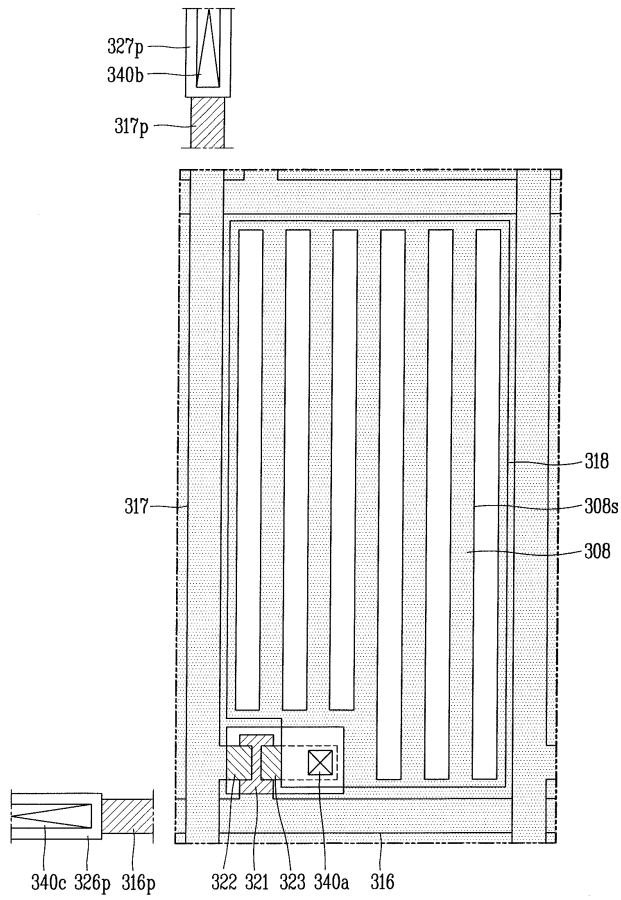
도면17d



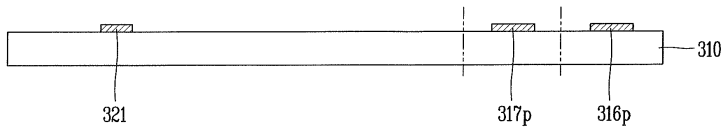
도면17e



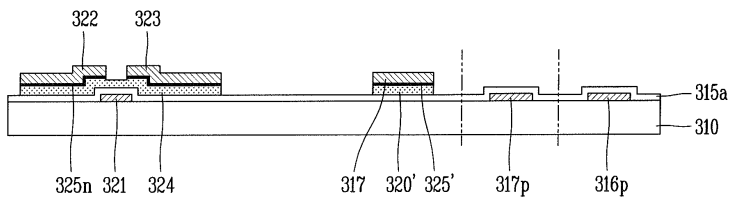
도면17f



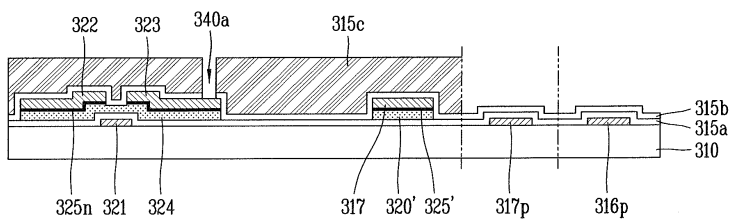
도면18a



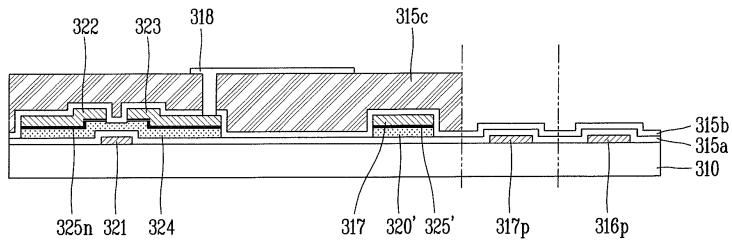
도면18b



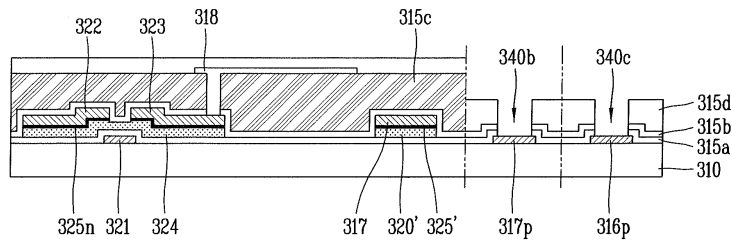
도면18c



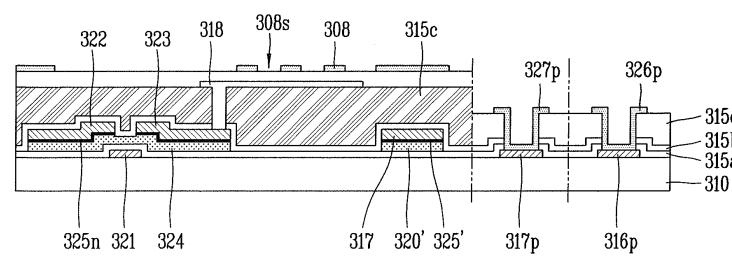
도면18d



도면18e



도면18f



专利名称(译)	FRINGE FIELD SWITCHING液晶显示装置及其制造方法		
公开(公告)号	KR101916949B1	公开(公告)日	2018-11-09
申请号	KR1020110114159	申请日	2011-11-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NAM KYOUNG JIN 남경진 PARK SEUNG RYULL 박승렬 SON KYUNG MO 손경모 LEE JI HYE 이지혜		
发明人	남경진 박승렬 손경모 이지혜		
IPC分类号	G02F1/1368 G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136227 G02F2001/133357 G02F2001/134372 G02F2201/50 G02F2202/022 H01L27/124 H01L27/1248 H01L27/1259		
其他公开文献	KR1020130049104A		
外部链接	Espacenet		

摘要(译)

用途：提供一种边缘场切换液晶显示装置及其制造方法，以提高低温保护层上部对栅极绝缘层与保护层之间不连续沉积表面的蚀刻速率，并且改善焊盘部分的接触孔中的切口。组成：使用第四掩模工艺在第一保护层(215b)和下栅极绝缘层(215a)上执行干蚀刻工艺。通过第七掩模工艺蚀刻第三保护层(215d)以形成焊盘接触孔。通过改变第三保护层的上部的层特性，增加下部栅极绝缘层，第一保护层和第三保护层中的第三保护层的上部对不连续的沉积表面的蚀刻速率。

