



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월23일
(11) 등록번호 10-1910401
(24) 등록일자 2018년10월16일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2011-0117502
(22) 출원일자 2011년11월11일
심사청구일자 2016년10월28일
(65) 공개번호 10-2013-0052190
(43) 공개일자 2013년05월22일
(56) 선행기술조사문헌
KR1020110079459 A*
KR1020040098545 A*
KR1020090049659 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조영직
경기도 파주시 월롱면 엘씨디로 201 103동 1521호
(덕은리, 정다운마을)
진현철
경기도 파주시 쇄재로 30, 704동 405호 (금촌동, 서원마을)
정영민
경기도 파주시 금바위로 47 201동 1002호 (와동동, 가람마을8단지동문굿모닝힐아파트)
(74) 대리인
특허법인에이트

전체 청구항 수 : 총 12 항

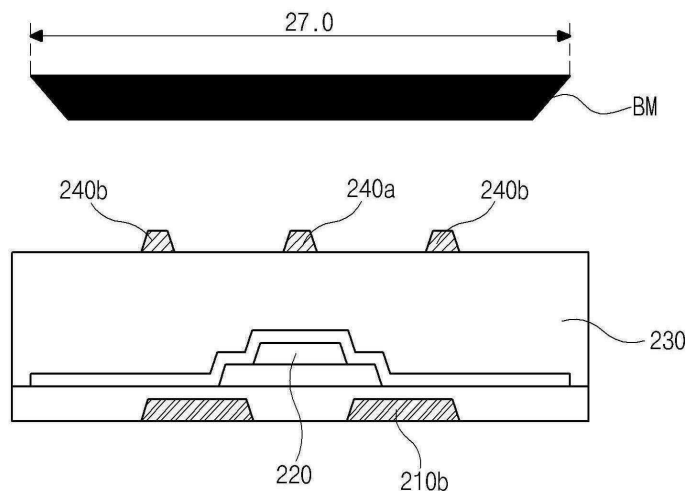
심사관 : 박정근

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 보호층을 사이에 두고 상기 다수의 데이터 배선 중 제 M-2 번째 데이터 배선과 대응되어 제 1 상부 공통전극이 형성되고, 상기 제 M-2 번째 데이터 배선 하부 양측에는 제 1 하부 공통전극 또는 제 2 하부 공통전극이 형성되며, 상기 제 1 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 넓은 제 1 폭이거나 상기 데이터 배선의 폭보다 좁은 제 2 폭이고, 상기 제 1 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 M-2 번째 데이터 배선 하부 양측에는 제 1 하부 공통전극이 형성되고, 상기 제 1 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 M-2 번째 데이터 배선 하부 양측에는 제 2 하부 공통전극이 형성되는 것을 특징으로 하며, 그 결과액정패널 내의 공통전압 편차 및 수평 크로스토크를 감소시킬 수 있다.

대표도 - 도9



명세서

청구범위

청구항 1

영상을 표시하는 액정패널과, 다수의 수평라인 및 다수의 수직라인을 따라 배치된 다수의 부화소영역을 정의하는 상기 수평라인 방향으로 연장된 다수의 게이트 배선 및 상기 수직라인 방향으로 연장된 다수의 데이터 배선을 포함하며,

보호층을 사이에 두고 상기 다수의 데이터 배선 중 제 M-2 번째 데이터 배선과 대응되어 제 x 번째 수평라인 및 제 x+1 번째 수평라인 각각에 제 1 상부 공통전극이 형성되고, 상기 제 M-2 번째 데이터 배선 하부 양측에는 상기 제 x 번째 수평라인에 제 1 하부 공통전극이 형성되고 상기 제 x+1 번째 수평라인에 제 2 하부 공통전극이 형성되며,

상기 제 x 번째 수평라인의 상기 제 1 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 넓은 제 1 폭이고, 상기 제 x 번째 수평라인의 상기 제 1 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 좁은 제 2 폭이고,

상기 제 1 하부 공통전극의 폭은 상기 제 2 하부 공통전극의 폭과 다른 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서,

상기 제 1 하부 공통전극은 상기 제 1 폭보다 좁게 형성되며,

상기 제 2 하부 공통전극은 상기 제 2 폭보다 넓게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 3

제2항에 있어서,

상기 제 x 번째 수평라인의 상기 제 1 상부 공통전극을 가리는 블랙매트릭스는 제 3 폭을 가지며,

상기 제 x+1 번째 수평라인의 상기 제 1 상부 공통전극을 가리는 블랙매트릭스는 상기 제 3 폭보다 넓은 제 4 폭을 가지는 것을 특징으로 하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 제 x+1 번째 수평라인의 상기 제 1 상부 공통전극을 가리며 상기 제 3 폭과 상기 제 4 폭 사이의 폭을 가지는 블랙매트릭스를 어레이 기판 상에 형성하는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서,

상기 제 1 상부 공통전극에는 제 1 극성의 공통전압이 인가되고,

상기 제 1 하부 공통전극 및 제 2 하부 공통전극에는 각각 제 1 극성의 공통전압 및 제 2 극성의 공통전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서,

보호층을 사이에 두고 상기 다수의 데이터 배선 중 제 M-1 번째 데이터 배선과 대응되어 제 x 번째 수평라인 및 제 x+1 번째 수평라인 각각에 제 2 상부 공통전극이 형성되고, 상기 제 M-1 번째 데이터 배선 하부 양측에는 상기 제 x+1 번째 수평라인에 상기 제 1 하부 공통전극이 형성되고 상기 제 x 번째 수평라인에 상기 제 2 하부 공통전극이 형성되며,

상기 x+1 번째 수평라인의 상기 제 2 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 넓은 제 1 폭이고, 상기 x 번째 수평라인의 상기 제 2 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 좁은 제 2 폭이고,

상기 제 M-1 번째 데이터 배선 하부 양측에 형성된 제 2 하부 공통전극의 폭은 상기 제 M-1 번째 데이터 배선 하부 양측에 형성된 제 1 하부 공통전극의 폭과 다른 것을 특징으로 하는 액정표시장치.

청구항 7

제6항에 있어서,

상기 제 M-1 번째 데이터 배선 하부 양측에 형성된 상기 제 2 하부 공통전극은 상기 제 1 폭보다 좁게 형성되며,

상기 제 M-1 번째 데이터 배선 하부 양측에 형성된 상기 제 1 하부 공통전극은 상기 제 2 폭보다 넓게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 제 x+1 번째 수평라인의 상기 제 2 상부 공통전극을 가리는 블랙매트릭스는 제 3 폭을 가지며,

상기 제 x 번째 수평라인의 상기 제 2 상부 공통전극을 가리는 블랙매트릭스는 상기 제 3 폭보다 넓은 제 4 폭을 가지는 것을 특징으로 하는 액정표시장치.

청구항 9

제8항에 있어서,

상기 제 x 번째 수평라인의 상기 제 2 상부 공통전극을 가리며 상기 제 3 폭과 상기 제 4 폭 사이의 폭을 가지는 블랙매트릭스를 어레이 기판 상에 형성하는 것을 특징으로 하는 액정표시장치.

청구항 10

제6항에 있어서,

상기 제 2 상부 공통전극에는 제 2 극성의 공통전압이 인가되고,

상기 제 M-1 번째 데이터 배선 하부 양측에 형성된 상기 제 1 하부 공통전극 및 제 2 하부 공통전극에는 각각 제 1 극성의 공통전압 및 제 2 극성의 공통전압이 인가되는 것을 특징으로 하는 액정표시장치.

청구항 11

제1항에 있어서,

상기 다수의 데이터 배선은, 상기 제 M-2 번째 데이터 배선을 포함하는 다수의 제 1 데이터 배선과, 제 M-1 번

제 데이터 배선을 포함하며 상기 다수의 제 1 데이터 배선과 교대로 배치된 다수의 제 2 데이터 배선을 포함하고,

상기 제 x 번째 수평라인에는 제 1,2 부화소영역이 교대로 배치되고,

상기 제 x+1 번째 수평라인에는 제 3,4 부화소영역이 교대로 배치되며,

상기 제 1,2 부화소영역 각각은 상기 제 1 데이터 배선의 양측에 연결되고 제 N,N-1 번째 게이트 배선에 연결되며,

상기 제 3,4 부화소영역 각각은 상기 2 데이터 배선의 양측에 연결되고 제 N+1,N번째 게이트 배선에 연결되는 액정표시장치.

청구항 12

제11항에 있어서,

상기 제 x 번째 수평라인에는 제 1 공통전압 배선을 통해 제 1 공통전압이 인가되고,

상기 제 x+1 번째 수평라인에는 제 2 공통전압 배선을 통해 제 1 공통전압과 반대되는 극성의 제 2 공통전압이 인가되는

액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 공통전극 배위 구조를 적용하여 액정패널 내의 공통전압 편차 및 수평 크로스토크를 감소시키는 액정표시장치에 관한 것이다.

배경 기술

[0002] 최근 정보화 사회가 발전함에 따라 디스플레이 분야에 대한 요구도 다양한 형태로 증가하고 있으며, 이에 부응하여 박형화, 경량화, 저소비 전력화 등의 특징을 지닌 여러 평판 표시 장치(Flat Panel Display device), 예를 들어, 액정표시장치(Liquid Crystal Display device), 플라즈마표시장치(Plasma Display Panel device), 전기발광표시장치(Electro Luminescent Display device) 등이 연구되고 있다.

[0003] 이 중에서 액정표시장치는 현재 가장 널리 사용되는 평판 표시 장치 중 하나이며, 화소전극과 공통전극 등이 형성되는 두 기판과, 두 기판 사이의 액정층을 포함한다.

[0004] 이러한 액정표시장치는, 전극에 인가된 전압에 의해 생성된 전기장에 따라 액정층의 액정분자들의 배향을 결정하고, 입사광의 편광을 제어하여 영상을 표시한다.

[0005] 그리고, 액정표시장치는 동화상 표시에 유리하고 높은 콘트라스트비(contrast ratio)로 인하여 기존의 음극선관(Cathode Ray Tube)을 대체하면서 이동 단말기의 표시장치(노트북 모니터 등)뿐만 아니라 컴퓨터의 모니터, 텔레비전 등으로 다양하게 이용되고 있다.

[0006] 도1은 수평 크로스토크 발생을 테스트하기 위한 테스트 영상 패턴을 도시한 도면이고, 도2는 테스트 영상 패턴 구현 시 종래의 액정패널에서의 구동을 설명하기 위해 참조되는 도면이다.

[0007] 도1에 도시한 바와 같이, 수평 크로스토크 발생을 테스트하기 위한 테스트 영상 패턴은 가운데 부분에서 화이트를 나타내고, 나머지 부분에서 그레이(기준 그레이)를 나타내는 영상 패턴이다.

[0008] 도2에 도시한 바와 같이, 종래의 액정패널은, 다수의 부화소영역을 포함한다. 이때, 다수의 부화소영역은, 예를 들어, 적, 녹, 청 부화소영역일 수 있으며, 그러한 적, 녹, 청 부화소영역이 가로방향(수평방향) 및 세로방향

(수직방향)으로 순차적으로 배치될 수 있다.

- [0009] 그리고, 다수의 부화소영역에는 다수의 게이트 배선(G_n , G_{n+1} , G_{n+2} , G_{n+3} ,) 및 다수의 데이터 배선(D_{m-3} , D_{m-2} , D_{m-1} , D_m , D_{m+1} , D_{m+2} , D_{m+3} ,)에 연결되는 박막트랜지스터 등이 형성될 수 있다.
- [0010] 이러한 박막트랜지스터는 각 게이트 배선을 통해 전달되는 게이트 신호에 응답하여 턴-온(Turn-On)되고, 턴-온(Turn-On) 시간 동안에 각 데이터 배선을 통해 데이터 신호를 액정커패시터에 공급할 수 있다.
- [0011] 이와 같은, 박막트랜지스터는 제 1 박막트랜지스터와 제 2 박막트랜지스터로 구분될 수 있다.
- [0012] 여기서, 제 1 박막트랜지스터는 하부의 게이트 배선 및 좌측의 데이터 배선과 연결되고, 제 2 박막트랜지스터는 상부의 게이트 배선 및 좌측의 데이터 배선과 연결된다.
- [0013] 예를 들어, 제 N 번째 게이트 배선(G_n)과 연결되는 제 1 박막트랜지스터는, 좌측의 데이터 배선(D_{m-3} , D_{m-1} , D_{m+1} ,)과 연결된다.
- [0014] 그리고, 제 N 번째 게이트 배선(G_n)과 연결되는 제 2 박막트랜지스터는, 좌측의 데이터 배선(D_{m-2} , D_m , D_{m+2} ,)과 연결된다.
- [0015] 다시 말해서, 제 N 번째 게이트 배선(G_n)에는 수평방향(게이트 배선이 연장되는 방향)으로 제 1 박막트랜지스터 및 제 2 박막트랜지스터가 지그재그형태로 연결되어 있다.
- [0016] 도3은 테스트 영상 패턴 구현 시 종래의 액정패널로 인가되는 데이터 신호 및 공통전압의 타이밍도를 도시한 도면이고, 도4는 종래의 액정패널에서 테스트 영상 패턴 구현 시 발생하는 수평 크로스토크를 설명하기 위해 참조되는 도면이다.
- [0017] 도3에 도시한 바와 같이, 테스트 영상 패턴 구현 시 종래의 액정패널로 인가되는 데이터 신호는 한 수평주기마다 극성을 바꾸면서 인가된다.
- [0018] 예를 들어, 제 M 번째 데이터 배선(D_m) 및 제 M+1 번째 데이터 배선(D_{m+1})을 통해 인가되는 데이터 신호의 극성은 한 수평주기마다 정극성(+) 및 부극성(-)이 교대가 된다.
- [0019] 한편, 제 M 번째 데이터 배선(D_m) 및 제 M+1 번째 데이터 배선(D_{m+1})을 통해 인가되는 데이터 신호는 테스트 영상 패턴 중 화이트가 나타나게 되는 부분에 인가되는 데이터 신호를 의미한다.
- [0020] 먼저, 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호를 살펴보면, t_1 시간 이전에는 그레이(기준 그레이)에 대응되는 전압레벨이 되고, t_1 시간부터 일정시간 동안 화이트에 해당하는 전압레벨이 된다. 그리고, 일정시간 후에 다시 그레이(기준 그레이)에 대응되는 전압레벨이 된다.
- [0021] 여기서, t_1 시간은 제 N 번째 게이트 배선(G_n)에 연결되는 트랜지스터가 턴-온(Turn-On)되는 시간을 의미하고, 일정시간이란 테스트 영상 패턴 중 화이트가 나타나게 되는 부분에 대응되는 부화소영역과 연결되는 게이트 배선들의 턴-온(Turn-On)을 모두 합친 시간에 해당한다.
- [0022] 도3에서 각 데이터 배선을 통해 화이트에 해당하는 전압레벨이 인가되는 횟수는 모두 여섯 번이므로, 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호가 화이트 레벨에 해당하는 전압레벨이 되는 전체시간인 일정시간은 $t_1 \times 6$ 이 된다.
- [0023] 따라서, 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호를 살펴보면, t_1 시간 이전에는 그레이에 대응되는 전압레벨이 되고, t_1 시간부터 t_1 의 6배의 시간 동안 화이트에 해당하는 전압레벨이 된다. 그리고, $t_1 \times 6$ 시간 후에 다시 그레이에 대응되는 전압레벨이 된다.
- [0024] 한편, 제 M 번째 데이터 배선(D_m) 및 제 M+1 번째 데이터 배선(D_{m+1})을 통해 테스트 영상 패턴 중 화이트가 나타나게 되는 부분에 데이터 신호가 인가될 수 있다.
- [0025] 그리고, 제 M+1 번째 데이터 배선(D_{m+1})을 통해 인가되는 데이터 신호를 살펴보면, t_2 시간 이전에는 그레이에 대응되는 전압레벨이 되고, t_2 시간부터 일정시간($t_2 \times 6$) 동안 화이트에 해당하는 전압레벨이 된다. 그리고, 일정시간 후에 다시 그레이에 대응되는 전압레벨이 된다.
- [0026] 여기서, t_2 시간은 제 N+1 번째 게이트 배선(G_{n+1})에 연결되는 트랜지스터가 턴-온(Turn-On)되는 시간을 의미한다.

- [0027] 한편, 종래의 액정패널에는 제 1 공통전압 배선(Vcom1) 및 제 2 공통전압 배선(Vcom2)을 통해 각각 상이한 극성의 공통전압이 전달된다.
- [0028] 이하에서는 종래의 액정패널에서 테스트 영상 패턴 구현 시 발생하는 수평 크로스토크에 대하여 설명하기로 한다.
- [0029] 도2를 살펴보면, 제 N 번째 게이트 배선(Gn) 및 제 M 번째 데이터 배선(Dm)에 연결되는 제 2 박막트랜지스터가 턴-온(Turn-On)되는 경우에, 제 M 번째 데이터 배선(Dm)을 통해 제 2 박막트랜지스터로 인가되는 데이터 신호는, 화이트에 해당하는 전압레벨이 된다.
- [0030] 그때, 인접하는 데이터 배선들간의 극성이 상쇄되지 않기 때문에 제 1 공통전압 배선(Vcom1) 및 제 2 공통전압 배선(Vcom2)을 통해 인가되는 제 1 공통전압 및 제 2 공통전압의 리플이 심화된다.
- [0031] 그에 따라 제 N 번째 게이트 배선(Gn)과 연결되는 부화소영역에서는 제 1 공통전압 및 제 2 공통전압의 리플에 의하여 화소전압의 전압레벨 값이 바뀌게 된다.
- [0032] 결과적으로 정극성(+)의 데이터 신호가 인가되던 부화소영역의 화소전압의 전압레벨이 낮아져서, 원래 구현하려던 그레이(기준 그레이)보다 어두운 다크 그레이(DG)가 된다.
- [0033] 반면에, 부극성(-)의 데이터 신호가 인가되던 부화소영역의 화소전압의 전압레벨이 낮아져서, 원래 구현하려던 그레이(기준 그레이)보다 그레이(기준 그레이)보다 밝은 라이트 그레이(LG)가 된다.
- [0034] 그리고, 제 N+1 번째 게이트 배선(Gn+1) 및 제 M+1 번째 데이터 배선(Dm+1)에 연결되는 제 1 박막트랜지스터가 턴-온(Turn-On)되는 경우에, 제 M+1 번째 데이터 배선(Dm+1)을 통해 제 1 박막트랜지스터로 인가되는 데이터 신호는, 화이트에 해당하는 전압레벨이 된다.
- [0035] 그에 따라 제 N+1 번째 게이트 배선(Gn+1)과 연결되는 부화소영역에서는 제 1 공통전압 및 제 2 공통전압의 리플에 의하여 화소전압의 전압레벨 값이 바뀌게 된다.
- [0036] 결과적으로 정극성(+)의 데이터 신호가 인가되던 부화소영역의 화소전압의 전압레벨이 높아져서, 원래 구현하려던 그레이(기준 그레이)보다 그레이(기준 그레이)보다 밝은 라이트 그레이(LG)가 된다.
- [0037] 반면에, 부극성(-)의 데이터 신호가 인가되던 부화소영역의 화소전압의 전압레벨이 높아져서, 원래 구현하려던 그레이(기준 그레이)보다 그레이(기준 그레이)보다 어두운 다크 그레이(DG)가 된다.
- [0038] 결과적으로 제 N 번째 게이트 배선(Gn) 및 제 1 공통전압 배선(Vcom1)과 연결되는 부화소영역들로 구성되는 라인(제 1 라인)은 기준 그레이보다 밝은 그레이로 표시된다.
- [0039] 그리고, 제 N+1 번째 게이트 배선(Gn+1) 및 제 2 공통전압 배선(Vcom2)과 연결되는 부화소영역들로 구성되는 라인(제 2 라인)은 모든 부화소영역이 기준 그레이를 구현하는 것과 동일하게 기준 그레이로 표시된다.
- [0040] 또한, 제 N+1 번째 게이트 배선(Gn+1) 및 제 1 공통전압 배선(Vcom1)과 연결되는 부화소영역들로 구성되는 라인(제 3 라인)은 기준 그레이보다 어두운 그레이로 표시된다.
- [0041] 따라서, 종래의 액정패널에서 테스트 영상 패턴 구현 시 도4에 도시한 바와 같이, 데이터 배선을 통해 인가되는 데이터 신호가 그레이에서 화이트로 바뀌는 경계부분(A)에서 수평 크로스토크가 발생하게 된다.

발명의 내용

해결하려는 과제

- [0042] 본 발명은, 상기와 같은 문제점을 해결하기 위한 것으로, 공통전극 메쉬 구조를 적용하여 액정패널 내의 공통전압 편차 및 수평 크로스토크를 감소시키는 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0043] 상기한 바와 같은 목적을 달성하기 위한 액정표시장치는, 영상을 표시하는 액정패널과, 서로 교차하여 다수의 부화소영역을 정의하는 다수의 게이트 배선 및 다수의 데이터 배선과, 상기 다수의 부화소영역 각각에 형성되는

제 1 내지 제 4 박막트랜지스터를 포함하며, 보호층을 사이에 두고 상기 다수의 데이터 배선 중 제 M-2 번째 데이터 배선과 대응되어 제 1 상부 공통전극이 형성되고, 상기 제 M-2 번째 데이터 배선 하부 양측에는 제 1 하부 공통전극 또는 제 2 하부 공통전극이 형성되며, 상기 제 1 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 넓은 제 1 폭이거나 상기 데이터 배선의 폭보다 좁은 제 2 폭이고, 상기 제 1 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 M-2 번째 데이터 배선 하부 양측에는 제 1 하부 공통전극이 형성되고, 상기 제 1 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 M-2 번째 데이터 배선 하부 양측에는 제 2 하부 공통전극이 형성될 수 있다.

[0044] 여기서, 상기 제 1 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 1 하부 공통전극은 상기 제 1 폭보다 좁게 형성되며, 상기 제 1 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 2 하부 공통전극은 상기 제 2 폭보다 넓게 형성되는 것이 바람직하다.

[0045] 그리고, 상기 제 1 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 1 상부 공통전극을 가리는 블랙매트릭스는 제 3 폭을 가지며, 상기 제 1 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 1 상부 공통전극을 가리는 블랙매트릭스는 상기 제 3 폭보다 넓은 제 4 폭을 가질 수 있다.

[0046] 또한, 상기 제 1 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 3 폭과 상기 제 4 폭 사이의 폭을 가지는 블랙매트릭스를 어레이 기판 상에 형성할 수도 있다.

[0047] 그리고, 상기 제 1 상부 공통전극에는 제 1 극성의 공통전압이 인가되고, 상기 제 1 하부 공통전극 및 제 2 하부 공통전극에는 각각 제 1 극성의 공통전압 및 제 2 극성의 공통전압이 인가될 수 있다.

[0048] 한편, 보호층을 사이에 두고 상기 다수의 데이터 배선 중 제 M-1 번째 데이터 배선과 대응되어 제 2 상부 공통전극이 형성되고, 상기 제 M-1 번째 데이터 배선 하부 양측에는 제 1 하부 공통전극 또는 제 2 하부 공통전극이 형성되며, 상기 제 2 상부 공통전극의 폭은 상기 데이터 배선의 폭보다 넓은 제 1 폭이거나 상기 데이터 배선의 폭보다 좁은 제 2 폭이고, 상기 제 2 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 M-1 번째 데이터 배선 하부 양측에는 제 2 하부 공통전극이 형성되고, 상기 제 2 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 M-1 번째 데이터 배선 하부 양측에는 제 1 하부 공통전극이 형성될 수 있다.

[0049] 여기서, 상기 제 2 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 2 하부 공통전극은 상기 제 1 폭보다 좁게 형성되며, 상기 제 2 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 1 하부 공통전극은 상기 제 2 폭보다 넓게 형성되는 것이 바람직하다.

[0050] 그리고, 상기 제 2 상부 공통전극의 폭이 상기 제 1 폭인 경우에 상기 제 1 상부 공통전극을 가리는 블랙매트릭스는 제 3 폭을 가지며, 상기 제 2 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 1 상부 공통전극을 가리는 블랙매트릭스는 상기 제 3 폭보다 넓은 제 4 폭을 가질 수 있다.

[0051] 또한, 상기 제 2 상부 공통전극의 폭이 상기 제 2 폭인 경우에 상기 제 3 폭과 상기 제 4 폭 사이의 폭을 가지는 블랙매트릭스를 어레이 기판 상에 형성할 수 있다.

[0052] 그리고, 상기 제 2 상부 공통전극에는 제 2 극성의 공통전압이 인가되고, 상기 제 1 하부 공통전극 및 제 2 하부 공통전극에는 각각 제 1 극성의 공통전압 및 제 2 극성의 공통전압이 인가되는 것이 바람직하다.

발명의 효과

[0053] 이상 설명한 바와 같이, 본 발명에 따른 액정표시장치에서는, 데이터 배선에 대응되는 상부 및 하부 공통전극의 폭을 변경함에 따라 공통전극 메쉬 구조를 적용할 수 있다. 그 결과, 액정패널 내의 공통전압 편차 및 수평 크로스토크를 감소시킬 수 있다.

도면의 간단한 설명

[0054] 도1은 수평 크로스토크 발생을 테스트하기 위한 테스트 영상 패턴을 도시한 도면이다.

도2는 테스트 영상 패턴 구현 시 종래의 액정패널에서의 구동을 설명하기 위해 참조되는 도면이다.

도3은 테스트 영상 패턴 구현 시 종래의 액정패널로 인가되는 데이터 신호 및 공통전압의 타이밍도를 도시한 도

면이다.

도4는 종래의 액정패널에서 테스트 영상 패턴 구현 시 발생하는 수평 크로스토크를 설명하기 위해 참조되는 도면이다.

도5는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이다.

도6은 본 발명의 제 1 실시예에 따른 액정패널을 개략적으로 도시한 도면이다.

도7은 테스트 영상 패턴 구현 시 본 발명의 제 1 실시예에 따른 액정패널에서의 구동을 설명하기 위해 참조되는 도면이다.

도8은 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 VIII-VIII을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

도9는 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 IX-IX을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

도10은 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 X-X를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

도11은 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 XI-XI을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

도12는 본 발명의 제 3 실시예에 따른 액정패널에서 도7를 절단선 IX-IX을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0055] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0056] 도5는 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 도면이고, 도6은 본 발명의 제 1 실시예에 따른 액정패널을 개략적으로 도시한 도면이다.
- [0057] 도5에 도시한 바와 같이, 본 발명에 따른 액정표시장치(100)는, 액정패널(110)과 소스 드라이버(120), 게이트 드라이버(130)와, 소스 드라이버(120) 및 게이트 드라이버(130) 각각의 구동 타이밍을 제어하기 위한 타이밍 제어부(140) 등을 포함할 수 있다.
- [0058] 액정패널(110)은, 다수의 게이트 배선(GL) 및 다수의 데이터 배선(DL)이 서로 교차하여 정의되는 다수의 부화소 영역(SP)을 포함할 수 있으며, 다수의 부화소영역(SP)은, 예를 들어, 적, 녹, 청 부화소영역(SP)일 수 있으며, 가로방향(수평방향)으로 순차적으로 배치될 수 있다.
- [0059] 그리고, 다수의 부화소영역(SP)에는 게이트 배선(GL) 및 데이터 배선(DL)에 연결되는 박막트랜지스터(T), 박막트랜지스터(T)에 연결되는 스토리지 커패시터(Cst) 및 액정커패시터(C1c)가 형성될 수 있다.
- [0060] 이러한 박막트랜지스터는 각각의 게이트 배선을 통해 전달되는 게이트 신호에 응답하여 턴-온(Turn-On)되고, 턴-온(Turn-On) 시간 동안에 각각의 데이터 배선을 통해 데이터 신호를 액정커패시터(C1c)에 공급할 수 있다.
- [0061] 박막트랜지스터(T)는 게이트 배선(GL)을 통해 게이트 신호, 즉 게이트 하이 전압(VGH)을 공급 받는 경우 턴-온(Turn-On)됨에 따라 데이터 배선(DL)을 통해 데이터 신호를 액정커패시터(C1c)에 공급하며, 게이트 배선(GL)을 통해 게이트 로우 전압(VGL)을 공급 받는 경우 턴-오프(Turn-Off)된다.
- [0062] 액정커패시터(C1c)는 등가적으로 캐패시터로 표현되며, 액정을 사이에 두고 대면하는 공통 전극(미도시)과 박막트랜지스터(T)에 접속된 화소전극(미도시)으로 구성된다.
- [0063] 이러한 액정커패시터(C1c)는 박막트랜지스터(T)를 통해 충전되는 데이터 신호에 따라 액정의 배열 상태가 가변하여 광 투과율을 조절함으로써 계조를 구현하게 된다.
- [0064] 그리고, 스토리지 캐패시터(Cst)는, 액정커패시터(C1c)에 충전된 데이터 신호를 다음 프레임까지 유지시키는 역할을 한다.

- [0065] 도6에 도시한 바와 같이, 본 발명에 따른 액정패널(110)에서의 다수의 부화소영역(SP)에는 다수의 게이트 배선(G_{n-1} , G_n , G_{n+1} , G_{n+2} , G_{n+3} ,) 및 다수의 데이터 배선(D_{m-3} , D_{m-2} , D_{m-1} , D_m , D_{m+1} , D_{m+2} , D_{m+3} ,)에 연결되는 박막트랜지스터(T)가 형성되어 있다.
- [0066] 본 발명에 따른 액정패널(110)에서의 박막트랜지스터는, 제 1 박막트랜지스터 내지 제 4 박막트랜지스터로 구분될 수 있다.
- [0067] 여기서, 제 1 박막트랜지스터는 하부의 게이트 배선 및 우측의 데이터 배선과 연결되고, 제 2 박막트랜지스터는 상부의 게이트 배선 및 좌측의 데이터 배선과 연결될 수 있다.
- [0068] 그리고, 제 3 박막트랜지스터는 하부의 게이트 배선 및 좌측의 데이터 배선과 연결되고, 제 4 박막트랜지스터는 상부의 게이트 배선 및 우측의 데이터 배선과 연결될 수 있다.
- [0069] 예를 들어, 제 1 박막트랜지스터는, 제 N 번째 게이트 배선(G_n) 및 제 M-2 번째 데이터 배선(D_{m-2})과 연결될 수 있고, 제 2 박막트랜지스터는, 제 N-1 번째 게이트 배선(G_{n-1}) 및 제 M-2 번째 데이터 배선(D_{m-2})과 연결될 수 있다.
- [0070] 제 3 박막트랜지스터는, 제 N+1 번째 게이트 배선(G_{n+1}) 및 제 M-3 번째 데이터 배선(D_{m-3})과 연결될 수 있고, 제 4 박막트랜지스터는, 제 N 번째 게이트 배선(G_n) 및 제 M-1 번째 데이터 배선(D_{m-1})과 연결될 수 있다.
- [0071] 본 발명에 따른 액정패널에서의 박막트랜지스터의 배치를 좀 더 자세히 설명하면, 제 x 번째 수평라인에서는 제 1 박막트랜지스터와 연결되는 제 1 부화소영역(SP1) 및 제 2 박막트랜지스터와 연결되는 제 2 부화소영역(SP2)이 수평방향(게이트 배선이 연장되는 방향)으로 반복적으로 형성되어 있다.
- [0072] 그리고, 제 x+1 번째 수평라인에서는 제 3 박막트랜지스터와 연결되는 제 3 부화소영역(SP3) 및 제 4 박막트랜지스터와 연결되는 제 4 부화소영역(SP4)이 수평방향(게이트 배선이 연장되는 방향)으로 반복적으로 형성되어 있다.
- [0073] 한편, 제 y 번째 수직라인에서는 제 1 박막트랜지스터와 연결되는 제 1 부화소영역(SP1) 및 제 3 박막트랜지스터와 연결되는 제 3 부화소영역(SP3)이 수직방향(데이터 배선이 연장되는 방향)으로 반복적으로 형성되어 있다.
- [0074] 그리고, 제 y+1 번째 수직라인에서는 제 2 박막트랜지스터와 연결되는 제 2 부화소영역(SP2) 및 제 4 박막트랜지스터와 연결되는 제 4 부화소영역(SP4)이 수직방향(데이터 배선이 연장되는 방향)으로 반복적으로 형성되어 있다.
- [0075] 결국 본 발명에 따른 액정패널에서는 제 1 내지 제 4 부화소영역(SP1~SP4)을 포함하는 부화소그룹이 하나의 배치단위(B)가 되어 수평방향(게이트 배선이 연장되는 방향) 또는 수직방향(데이터 배선이 연장되는 방향)으로 반복적으로 형성되어 있다. 이와 같은 구조를 N-inversion 구조라고 할 수 있다.
- [0076] 이하에서는 테스트 영상 패턴 구현 시 본 발명에 따른 액정패널로 인가되는 데이터 신호 및 제 1 및 제 2 공통전압에 대해서 살펴보기로 한다.
- [0077] 다수의 데이터 배선(D_{m-3} , D_{m-2} , D_{m-1} , D_m , D_{m+1} , D_{m+2} , D_{m+3} ,)을 통해 테스트 영상 패턴 구현 시 인가되는 데이터 신호는 한 프레임동안에 동일한 극성을 가질 수 있다.
- [0078] 예를 들어, 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호의 극성은 정극성(+)이고, 제 M+1 번째 데이터 배선(D_{m+1})을 통해 인가되는 데이터 신호의 극성은 부극성(-)이 된다.
- [0079] 한편, 제 M 번째 데이터 배선(D_m) 및 제 M+1 번째 데이터 배선(D_{m+1})을 통해 테스트 영상 패턴 중 화이트가 나타나게 되는 부분에 데이터 신호가 인가될 수 있다.
- [0080] 이를 자세히 살펴보면, 제 N 번째 게이트 배선(G_n)에 연결되는 트랜지스터가 턴-온(Turn-On)되는 시간(제 N 스위칭시간)까지 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호는 그레이(기준 그레이)에 대응되는 전압레벨일 수 있다.
- [0081] 그리고, 제 N+1 번째 게이트 배선(G_{n+1})에 연결되는 트랜지스터가 턴-온(Turn-On)되는 시간(제 N+1 스위칭시간)부터 일정시간 동안에 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호는 화이트에 대응되는 전압레벨일 수 있다.

- [0082] 그리고, 일정시간 후에 제 M 번째 데이터 배선(Dm)을 통해 인가되는 데이터 신호는 다시 그레이(기준 그레이)에 대응되는 전압레벨이 된다.
- [0083] 여기서, 일정시간이란 테스트 영상 패턴 중 화이트가 나타나게 되는 부분에 대응되는 부화소영역들과 연결되는 게이트 배선들의 턴-온(Turn-On)을 모두 합친 시간에 해당한다.
- [0084] 화이트에 해당하는 전압레벨이 인가되는 횟수는 모두 여섯 번이므로, 일정시간은 제 M 번째 데이터 배선(Dm)을 통해 인가되는 데이터 신호가 화이트 레벨에 해당하는 전압레벨이 되는 전체시간으로서, 예를 들어, 제 N 스위칭시간*6시간이 될 수 있다.
- [0085] 따라서, 제 M 번째 데이터 배선(Dm)을 통해 인가되는 데이터 신호는, 제 N 스위칭시간 이전에 그레이에 대응되는 전압레벨이 되고($t < \text{제 N 스위칭시간}$), 제 N 스위칭시간부터 제 N 스위칭시간*6시간 동안 화이트에 해당하는 전압레벨이 될 수 있다. ($\text{제 N 스위칭시간} < t < \text{제 N 스위칭시간} * 6$)
- [0086] 그리고, 제 N 스위칭시간*6시간 후에 다시 그레이에 대응되는 전압레벨이 된다. ($\text{제 N 스위칭시간} * 6 < t$)
- [0087] 그리고, 제 M+1 번째 데이터 배선(Dm+1)을 통해 인가되는 데이터 신호는, 제 N+1 스위칭시간 이전에 그레이에 대응되는 전압레벨이 되고($t < \text{제 N+1 스위칭시간}$), 제 N+1 스위칭시간부터 제 N+1 스위칭시간*6시간 동안 화이트에 해당하는 전압레벨이 될 수 있다. ($\text{제 N+1 스위칭시간} < t < \text{제 N+1 스위칭시간} * 6$)
- [0088] 그리고, 제 N+1 스위칭시간*6시간 후에 다시 그레이에 대응되는 전압레벨이 될 수 있다. ($\text{제 N+1 스위칭시간} * 6 < t$)
- [0089] 한편, 본 발명에 따른 액정패널에는 제 1 공통전압 배선(Vcom1) 및 제 2 공통전압 배선(Vcom2)을 통해 각각 상이한 극성의 공통전압이 전달된다.
- [0090] 예를 들어, 제 1 공통전압 배선(Vcom1)을 통해 인가되는 제 1 공통전압의 극성은 부극성(-)이고, 제 2 공통전압 배선(Vcom2)을 통해 인가되는 제 2 공통전압의 극성은 정극성(+)일 수 있다.
- [0091] 그리고, 제 1 공통전압 배선(Vcom1)과 연결되는 부화소영역에 인가되는 데이터 신호의 극성은 부극성(-)이고, 제 2 공통전압 배선(Vcom2)과 연결되는 부화소영역에 인가되는 데이터 신호의 극성은 정극성(+)일 수 있다.
- [0092] 다시 도5를 살펴보면, 소스 드라이버(120)는 액정패널(110)로 데이터 신호를 공급하는 적어도 하나의 드라이버 IC(미도시)를 포함할 수 있다.
- [0093] 소스 드라이버(120)는 타이밍 제어부(140)로부터 전달 받은 다수의 데이터 제어 신호 및 영상 신호를 이용하여 데이터 신호를 생성하고, 생성한 데이터 신호를 다수의 데이터 배선(DL)을 통해 액정패널(110)로 공급한다.
- [0094] 게이트 드라이버(130)는 GIP(Gate In Panel)방식 등으로 형성될 수 있으며, 타이밍 제어부(140)로부터 전달 받은 다수의 게이트 제어신호를 이용하여 게이트신호를 생성하고, 생성된 게이트신호를 다수의 게이트 배선(GL)을 통해 액정패널(110)로 공급할 수 있다.
- [0095] 다시 말해서, 게이트 드라이버(130)는 게이트 스타트 신호(GSP) 및 게이트 클럭 신호(GCLK) 등에 의해 게이트 신호의 출력 타이밍이 결정되고, 해당 타이밍에 순차적으로 게이트 신호를 다수의 게이트 배선(GL)을 통해 액정패널(110)로 공급할 수 있다.
- [0096] 타이밍 제어부(140)는 그래픽 카드와 같은 시스템으로부터 수직동기신호(VSY), 수평동기신호(HSY), 데이터 인에이블 신호(DE) 등과 같은 다수의 제어신호를 전달 받아 게이트 드라이버(130) 및 소스 드라이버(120)의 동작 타이밍을 제어하기 위한 다수의 게이트 제어신호, 다수의 데이터제어신호를 각각 생성하여 해당 드라이버로 공급할 수 있다.
- [0097] 예를 들어, 타이밍 제어부(140)는, 소스 스타트 펄스(SSP), 소스 쉬프트 클럭(SSC), 소스 출력 인에이블(SOE) 등과 같은 다수의 데이터 제어신호 등을 생성하여 소스 드라이버(120)의 적어도 하나의 드라이버 IC로 공급할 수 있다.
- [0098] 그리고, 타이밍 제어부(140)는 다수의 데이터 제어신호와 함께 영상 신호(RGB)를 소스 드라이버(120)에 공급하여 소스 드라이버(120)가 영상 신호(RGB) 및 다수의 데이터 제어신호를 이용하여 데이터 신호를 생성하고, 생성된 데이터 신호를 액정패널(110)의 다수의 데이터배선(DL)에 공급하도록 제어할 수 있다.

- [0099] 도7은 테스트 영상 패턴 구현 시 본 발명의 제 1 실시예에 따른 액정패널에서의 구동을 설명하기 위해 참조되는 도면이다. 도6을 참조하여 설명한다.
- [0100] 도7에 도시한 바와 같이, 제 N+1 번째 게이트 배선(G_{n+1}) 및 제 M 번째 데이터 배선(D_m)에 연결되는 제 2 박막 트랜지스터가 턴-온(Turn-On)되는 경우에, 제 M 번째 데이터 배선(D_m)을 통해 제 2 박막트랜지스터로 인가되는 데이터 신호는 화이트에 해당하는 전압레벨이 된다.
- [0101] 그때, 인접하는 데이터 배선들간의 극성이 상쇄되지 않기 때문에 제 1 공통전압 배선(V_{com1}) 및 제 2 공통전압 배선(V_{com2})을 통해 인가되는 제 1 공통전압 및 제 2 공통전압의 리플이 심화된다.
- [0102] 그에 따라 제 N+1 번째 게이트 배선(G_{n+1})과 연결되는 부화소영역(제 2 및 제 3 부화소영역)에서는 제 1 공통전압 및 제 2 공통전압의 리플에 의하여 화소전압의 전압레벨 값이 바뀌게 된다.
- [0103] 결과적으로 정극성(+)의 데이터 신호가 인가되던 제 2 부화소영역(SP2)의 화소전압의 전압레벨이 낮아져서, 제 2 부화소영역(SP2)에서 구현되는 그레이는 원래의 그레이(기준 그레이)보다 어두운 다크 그레이(DG)가 된다.
- [0104] 반면에, 부극성(-)의 데이터 신호가 인가되던 제 3 부화소영역(SP3)의 화소전압의 전압레벨이 낮아져서, 제 3 부화소영역(SP3)에서 구현되는 그레이는 원래의 그레이(기준 그레이)보다 밝은 라이트 그레이(LG)가 된다.
- [0105] 그리고, 제 N 번째 게이트 배선(G_n) 및 제 M+1 번째 데이터 배선(D_{m+1})에 연결되는 제 4 박막트랜지스터가 턴-온(Turn-On)되는 경우에, 제 M+1 번째 데이터 배선(D_{m+1})을 통해 제 4 박막트랜지스터로 인가되는 데이터 신호는, 화이트에 해당하는 전압레벨이 된다.
- [0106] 이 경우에도 마찬가지로, 인접하는 데이터 배선들간의 극성이 상쇄되지 않기 때문에 제 1 공통전압 배선(V_{com1}) 및 제 2 공통전압 배선(V_{com2})을 통해 인가되는 제 1 공통전압 및 제 2 공통전압의 리플이 심화된다.
- [0107] 그에 따라 제 N 번째 게이트 배선(G_n)과 연결되는 부화소영역(제 1 및 제 4 부화소영역)에서는 제 1 공통전압 및 제 2 공통전압의 리플에 의하여 화소전압의 전압레벨 값이 바뀌게 된다.
- [0108] 결과적으로 정극성(+)의 데이터 신호가 인가되던 제 1 부화소영역(SP1)의 화소전압의 전압레벨이 높아져서, 제 1 부화소영역(SP1)에서 구현되는 그레이는 원래의 그레이(기준 그레이)보다 밝은 라이트 그레이(LG)가 된다.
- [0109] 반면에, 부극성(-)의 데이터 신호가 인가되던 제 4 부화소영역(SP4)의 화소전압의 전압레벨이 높아져서, 제 4 부화소영역(SP4)에서 구현되는 그레이는 원래의 그레이(기준 그레이)보다 어두운 다크 그레이(DG)가 된다.
- [0110] 이를 다시 라인별로 살펴보면, 먼저, 제 N-1 번째 게이트 배선 및 제 2 공통전압 배선(V_{com2})과 연결되는 제 2 부화소영역에서 구현되는 그레이는 기준 그레이이고, 제 N 번째 게이트 배선(G_n) 및 제 2 공통전압 배선(V_{com2})과 연결되는 제 1 부화소영역(SP1)에서 구현되는 그레이는 기준 그레이보다 밝은 라이트 그레이(LG)가 된다.
- [0111] 그 결과 제 N 번째 게이트 배선(G_n) 및 제 2 공통전압 배선(V_{com2})과 연결되는 제 1 부화소영역(SP1)을 포함하는 제 1 라인은 전체적으로 기준 그레이보다 밝은 그레이로 표시된다.
- [0112] 다음으로, 제 N 번째 게이트 배선(G_n)과 연결되는 제 4 부화소영역(SP4)에서 구현되는 그레이는 기준 그레이보다 어두운 다크 그레이(DG)이고, 제 N+1 번째 게이트 배선(G_{n+1}) 및 제 1 공통전압 배선(V_{com1})과 연결되는 제 3 부화소영역(SP3)에서 구현되는 그레이는 기준 그레이보다 밝은 라이트 그레이(LG)이다.
- [0113] 그 결과 제 N 번째 게이트 배선(G_n) 및 제 N+1 번째 게이트 배선(G_{n+1})과 각각 연결되는 제 3 부화소영역(SP3) 및 제 4 부화소영역(SP4)을 포함하는 라인(제 2 라인)은 전체적으로 기준 그레이로 표시된다.
- [0114] 또한, 제 N+1 번째 게이트 배선(G_{n+1}) 및 제 2 공통전압 배선(V_{com2})과 연결되는 제 2 부화소영역(SP2)에서 구현되는 그레이는 기준 그레이보다 어두운 다크 그레이(DG)이고, 제 N+2 번째 게이트 배선(G_{n+2}) 및 제 2 공통전압 배선(V_{com2})과 연결되는 제 1 부화소영역(SP1)에서 구현되는 그레이는 기준 그레이이다.
- [0115] 따라서, 제 N+1 번째 게이트 배선(G_{n+1}) 및 제 N+2 번째 게이트 배선(G_{n+2})과 각각 연결되는 제 3 부화소영역(SP3) 및 제 4 부화소영역(SP4)을 포함하는 라인(제 3 라인)은 기준 그레이보다 어두운 그레이로 표시된다.
- [0116] 따라서, 본 발명에 따른 액정패널에서 테스트 영상 패턴 구현 시 도7에 도시한 바와 같이, 데이터 배선을 통해 인가되는 데이터 신호가 그레이에서 화이트로 바뀌는 경계부분(도3의 A)에서 수평 크로스토크가 발생하게 된다.
- [0117] 즉, 본 발명의 제 1 실시예에 따른 액정패널에서는 수평 크로스토크 최소화를 위해 N-inversion 구조를 적용하

였으나, 본 발명의 제 1 실시예에 따른 액정패널에서 공통전극 메쉬 구조가 적용되지 못하여 여전히 수평 크로스토크가 발생하는 문제점이 존재한다.

- [0118] 이하에서는 본 발명의 제 2 실시예에 따른 액정패널에서 공통전극 메쉬 구조를 적용하기 위하여 데이터 배선에 대응되는 상부 및 하부 공통전극의 폭 변경구조에 대해 설명하기로 한다.
- [0119] 도8은 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 VIII-VIII을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이고, 도9는 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 IX-IX을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이며, 도10은 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 X-X를 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이고, 도11은 본 발명의 제 2 실시예에 따른 액정패널에서 도7를 절단선 XI-XI을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면이다. 도7를 참조하여 설명한다.
- [0120] 도8에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정패널이 있어서, 데이터 배선(220)의 상부에는 보호층(230)을 사이에 두고 이격하여 데이터 배선(220)에 대응되도록 제 1 상부 공통전극(240a)이 형성되고, 데이터 배선(220) 하부 양측에는 제 1 하부 공통전극(210a)이 형성된다.
- [0121] 여기서, 제 1 상부 공통전극(240a)의 폭은 데이터 배선(220)의 폭보다 넓게 형성될 수 있으며, 데이터 배선(220)은 제 M-2 번째 데이터 배선(Dm-2)일 수 있다.
- [0122] 이와 같은, 제 1 상부 공통전극(240a) 및 제 1 하부 공통전극(210a)은 동일하게 Cu, Ti, Cr, Al, Mo, Ta, Al 합금 등과 같은 금속 물질(불투명 물질)로 구성될 수 있다.
- [0123] 이때, 제 M-2 번째 데이터 배선(Dm-2)을 통해 인가되는 데이터 신호의 극성은 정극성(+)이므로, 제 1 상부 공통전극(240a) 및 제 1 하부 공통전극(210a)으로 정극성(+)의 공통전압이 인가될 수 있다.
- [0124] 그리고, 데이터 배선(220) 등의 비표시영역을 가리도록 블랙매트릭스(BM)가 형성되며, 이때 블랙매트릭스(BM)의 폭은 제 1 상부 공통전극(240a) 및 제 1 하부 공통전극(210a)을 전부 가릴 수 있도록 제 3 폭으로 설정될 수 있다.
- [0125] 한편, 도9에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정패널이 있어서, 데이터 배선(220)의 상부에는 보호층(230)을 사이에 두고 이격하여 데이터 배선(220)에 대응되도록 제 1 상부 공통전극(240a)이 형성되고, 데이터 배선(220) 하부 양측에는 제 2 하부 공통전극(210b)이 형성된다.
- [0126] 여기서, 제 1 상부 공통전극(240a)의 좌우에는 제 1 상부 공통전극(240a)과 이격하여 제 2 상부 공통전극(240b)이 형성될 수 있다. 그리고, 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b)의 폭은 데이터 배선(220)의 폭보다 좁게 형성될 수 있다.
- [0127] 이와 같은, 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 그리고 제 2 하부 공통전극(210b)은 동일하게 Cu, Ti, Cr, Al, Mo, Ta, Al 합금 등과 같은 금속 물질(불투명 물질)로 구성될 수 있다.
- [0128] 이때, 제 M-3 번째 데이터 배선(Dm-3) 및 제 M-1 번째 데이터 배선(Dm-1)을 통해 인가되는 데이터 신호의 극성은 부극성(-)이므로, 제 2 상부 공통전극(240b) 및 제 2 하부 공통전극(210b)으로 부극성(-)의 공통전압이 인가될 수 있다.
- [0129] 그리고, 제 1 상부 공통전극(240a)으로는 정극성(+)의 공통전압이 인가될 수 있다.
- [0130] 마찬가지로, 데이터 배선(220) 등의 비표시영역을 가리도록 블랙매트릭스(BM)가 형성되며, 이때 블랙매트릭스(BM)의 폭은 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 그리고 제 2 하부 공통전극(210b)을 전부 가릴 수 있도록 설정될 수 있다.
- [0131] 이때, 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 사이가 오픈되기 때문에 데이터 배선(220) 부근에서의 빛이 오픈영역으로 새어나갈 수 있다.
- [0132] 따라서, 블랙매트릭스(BM)의 폭은 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 그리고 제 2 하부 공통전극(210b)을 전부 가리는 폭보다 더 넓게 제 4 폭으로 설정되는 것이 바람직하다.

- [0133] 다시 말해서, 본 발명의 제 2 실시예에 따른 액정패널에서는 수직방향(데이터 배선이 연장되는 방향)으로 데이터 배선(220)에 대응되는 제 1 상부 공통전극(240a)의 폭이 데이터 배선(220) 보다 넓어졌다가 작아졌다가 변경될 수 있다.
- [0134] 또한, 제 1 상부 공통전극(240a)의 폭에 따라 하부 공통전극의 폭도 달라질 수 있다.
- [0135] 예를 들어, 제 1 상부 공통전극(240a)의 폭이 데이터 배선(220)의 폭보다 넓은 경우에는 제 1 하부 공통전극(210a)의 폭은 좁게 설정되고, 제 1 상부 공통전극(240a)의 폭이 데이터 배선(220)의 폭보다 좁은 경우에는 제 2 하부 공통전극(210b)의 폭은 넓게 설정될 수 있다.
- [0136] 그리고, 도10에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정패널이 있어서, 데이터 배선(220)의 상부에는 보호층(230)을 사이에 두고 이격하여 데이터 배선(220)에 대응되도록 제 2 상부 공통전극(240b)이 형성되고, 데이터 배선(220) 하부 양측에는 제 1 하부 공통전극(210a)이 형성된다.
- [0137] 여기서, 제 2 상부 공통전극(240b)의 좌우에는 제 2 상부 공통전극(240b)과 이격하여 제 1 상부 공통전극(240a)가 형성될 수 있다. 그리고, 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b)의 폭은 데이터 배선(220)의 폭보다 좁게 형성될 수 있다.
- [0138] 이와 같은, 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 그리고 제 2 하부 공통전극(210b)은 동일하게 Cu, Ti, Cr, Al, Mo, Ta, Al 합금 등과 같은 금속 물질(불투명 물질)로 구성될 수 있다.
- [0139] 이때, 제 M-2 번째 데이터 배선(D_{m-2}) 및 제 M 번째 데이터 배선(D_m)을 통해 인가되는 데이터 신호의 극성은 정극성(+)이므로, 제 1 상부 공통전극(240a) 및 제 1 하부 공통전극(210a)으로 정극성(+)의 공통전압이 인가될 수 있다.
- [0140] 그리고, 제 2 상부 공통전극(240b)으로는 부극성(-)의 공통전압이 인가될 수 있다.
- [0141] 마찬가지로, 데이터 배선(220) 등의 비표시영역을 가리도록 블랙매트릭스(BM)가 형성되며, 이때 블랙매트릭스(BM)의 폭은 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 그리고 제 1 하부 공통전극(210a)을 전부 가릴 수 있도록 설정될 수 있다.
- [0142] 이때, 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 사이가 오픈되기 때문에 데이터 배선(220) 부근에서의 빛이 오픈영역으로 새어나갈 수 있다.
- [0143] 따라서, 블랙매트릭스(BM)의 폭은 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 그리고 제 2 하부 공통전극(210b)를 전부 가리는 폭보다 더 넓게 제 4 폭으로 설정되는 것이 바람직하다.
- [0144] 한편, 도11에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정패널이 있어서, 데이터 배선(220)의 상부에는 보호층(230)을 사이에 두고 이격하여 데이터 배선(220)에 대응되도록 제 2 상부 공통전극(240b)이 형성되고, 데이터 배선(220) 하부 양측에는 제 2 하부 공통전극(210b)이 형성된다.
- [0145] 여기서, 제 2 상부 공통전극(240b)의 폭은 데이터 배선(220)의 폭보다 넓게 형성될 수 있으며, 데이터 배선(220)은 제 M-1 번째 데이터 배선(D_{m-1})일 수 있다.
- [0146] 이와 같은, 제 2 상부 공통전극(240b) 및 제 2 하부 공통전극(210b)은 동일하게 Cu, Ti, Cr, Al, Mo, Ta, Al 합금 등과 같은 금속 물질(불투명 물질)로 구성될 수 있다.
- [0147] 이때, 제 M-1 번째 데이터 배선(D_{m-1})을 통해 인가되는 데이터 신호의 극성은 부극성(-)이므로, 제 2 상부 공통전극(240b) 및 제 2 하부 공통전극(210b)으로 부극성(-)의 공통전압이 인가될 수 있다.
- [0148] 그리고, 데이터 배선(220) 등의 비표시영역을 가리도록 블랙매트릭스(BM)가 형성되며, 이때 블랙매트릭스(BM)의 폭은 제 2 상부 공통전극(240b) 및 제 2 하부 공통전극(210b)을 전부 가릴 수 있도록 제 3 폭으로 설정될 수 있다.
- [0149] 이와 같이 본 발명의 제 2 실시예에 따른 액정패널에서는 데이터 배선(220)에 대응되는 공통전극과 부화소영역

에 형성되는 공통전극이 상이한 공통전극일 수 있으며, 그 결과 공통전극 메쉬 구조가 적용될 수 있다.

[0150] 따라서, 본 발명의 제 2 실시예에 따른 액정패널에서는 공통전극 메쉬 구조가 적용되어 인접하는 데이터 배선들 간의 극성이 상쇄되지 않아 발생하는 공통전압의 리플이 개선될 수 있다.

[0151] 그리하여 공통전압의 리플에 따른 수평 크로스토크 발생을 개선할 수 있다.

[0152] 도12는 본 발명의 제 3 실시예에 따른 액정패널에서 도7를 절단선 IX-IX을 따라 절단한 부분에 대한 단면도를 개략적으로 도시한 도면으로, 도9 및 도10에서의 블랙매트릭스를 변형하는 실시예를 설명하기 위해 참조되는 도면이다.

[0153] 도9 및 도10에서의 블랙매트릭스(BM)의 폭은 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 등을 전부 가리는 폭보다 더 넓게 설정된다.

[0154] 그 결과 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 사이의 오픈영역으로 빛이 새는 것을 방지할 수 있지만, 개구율이 감소하는 문제점이 발생할 수 있다.

[0155] 따라서, 도12에 도시한 바와 같이, 본 발명의 제 3 실시예에 따른 액정패널에서는 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b)이 형성되는 부분에 대응되는 블랙매트릭스(BOT)를 어레이 기판 상에 형성할 수 있다.

[0156] 어레이 기판 상에 블랙매트릭스(BOT)를 형성하게 되면 제 1 상부 공통전극(240a) 및 제 2 상부 공통전극(240b) 사이의 오픈영역으로 새어나가는 빛을 바로 차단하기 때문에 도9 및 도10에서의 블랙매트릭스(BM)에 비해 그 폭을 감소시킬 수 있다. (제 3 폭<블랙매트릭스(BOT)의 폭<제 4 폭)

[0157] 그에 따라 본 발명의 제 3 실시예에 따른 액정패널에서는 개구율을 개선할 수 있다.

[0158] 이상과 같은 본 발명의 실시예는 예시적인 것에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지를 벗어나지 않는 범위 내에서 자유로운 변형이 가능하다. 따라서, 본 발명의 보호범위는 첨부된 특허청구범위 및 이와 균등한 범위 내에서의 본 발명의 변형을 포함한다.

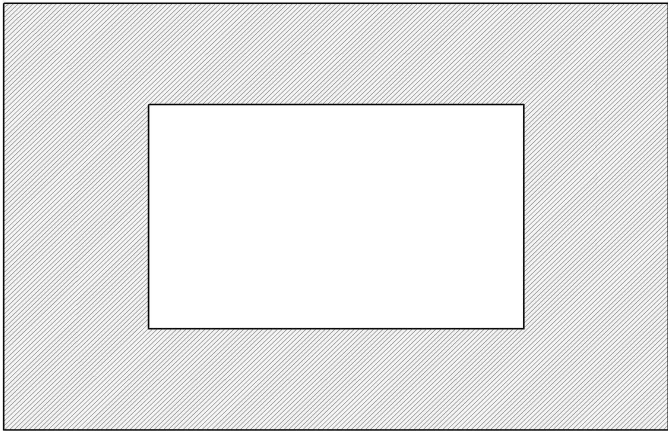
부호의 설명

[0159]

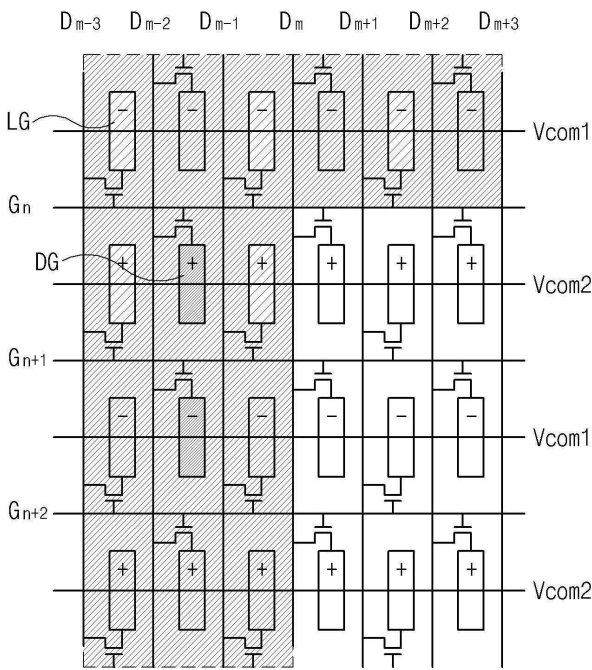
100: 액정표시장치	110: 액정패널
120: 소스 드라이버	130: 게이트 드라이버
140: 타이밍 제어부	

도면

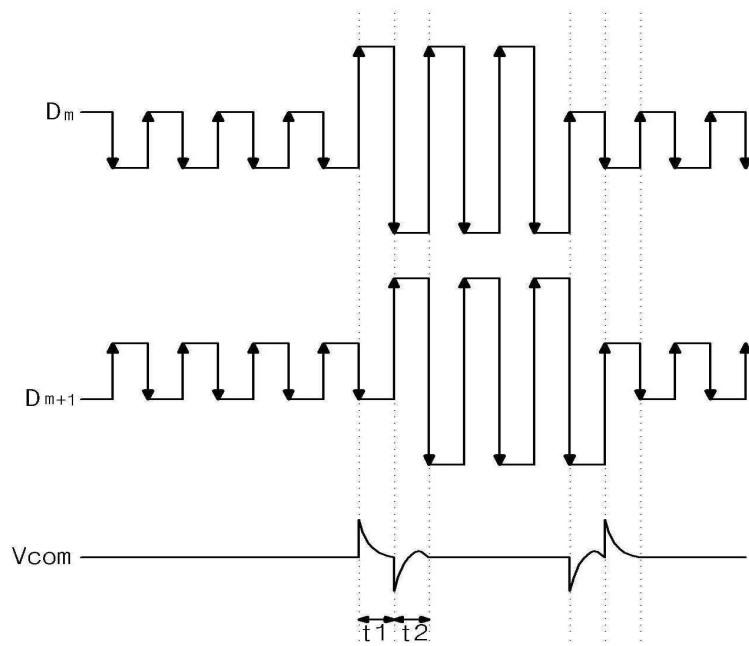
도면1



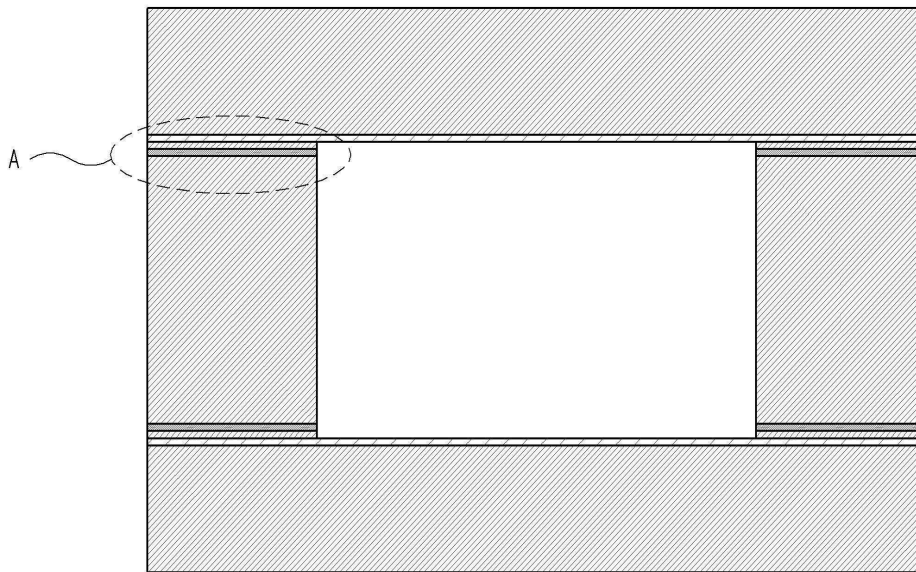
도면2



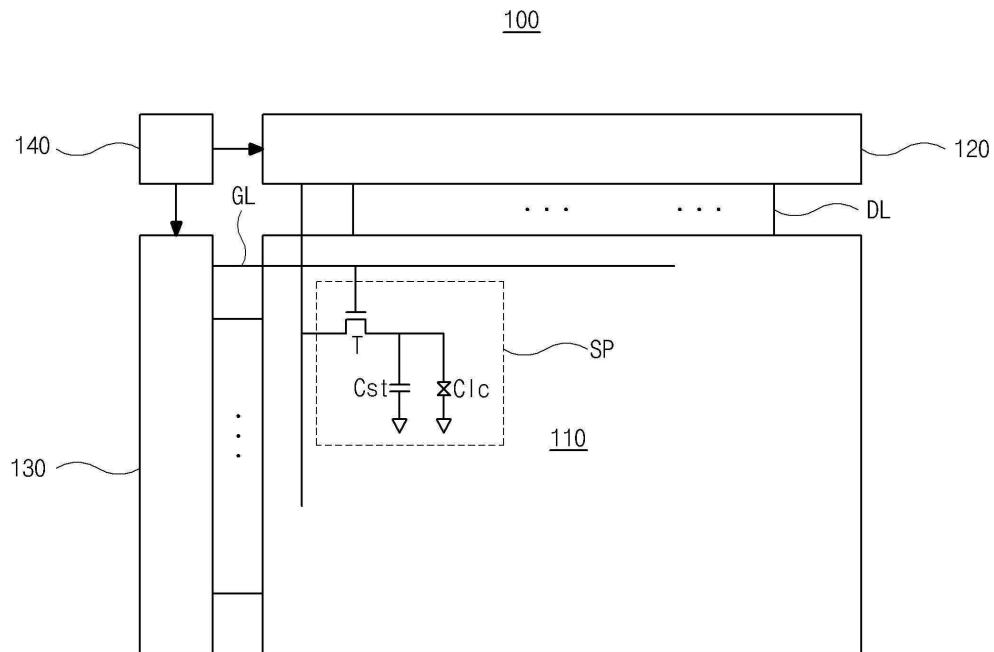
도면3



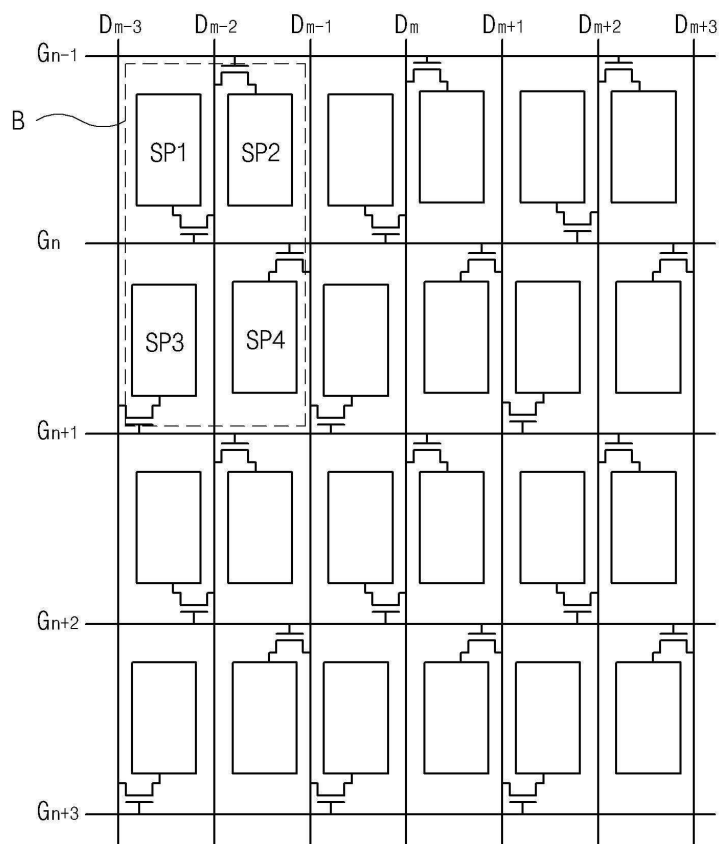
도면4



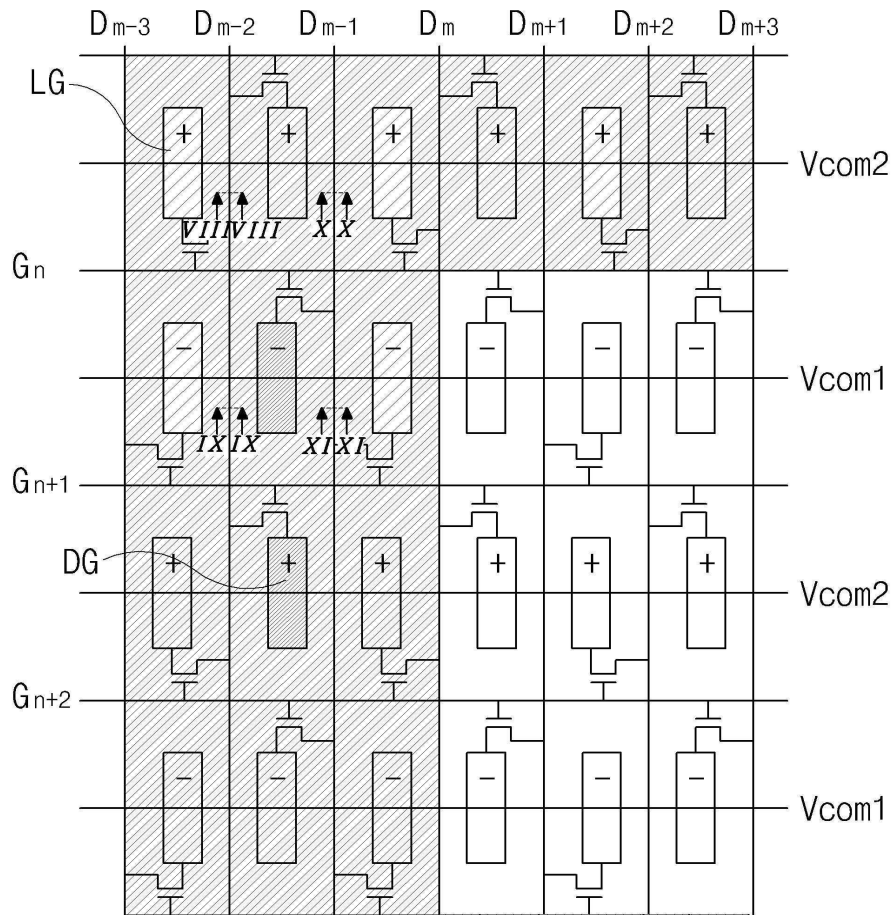
도면5



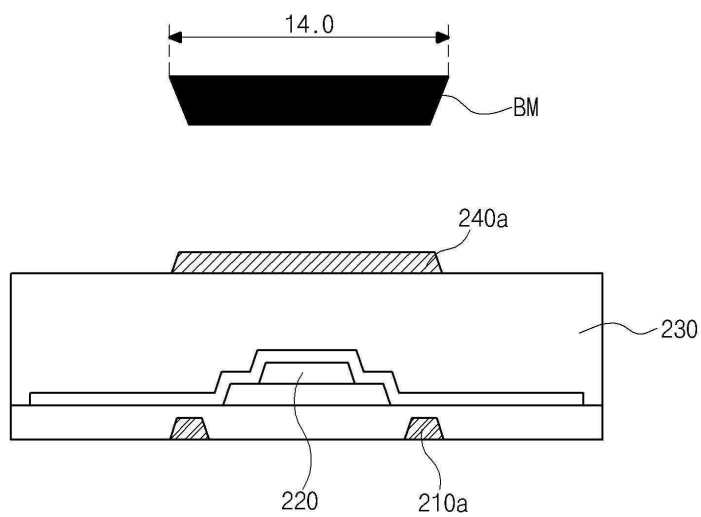
도면6



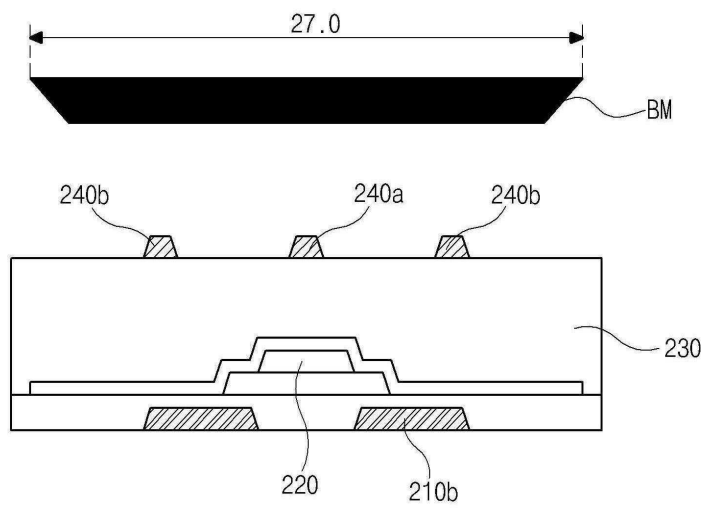
도면7



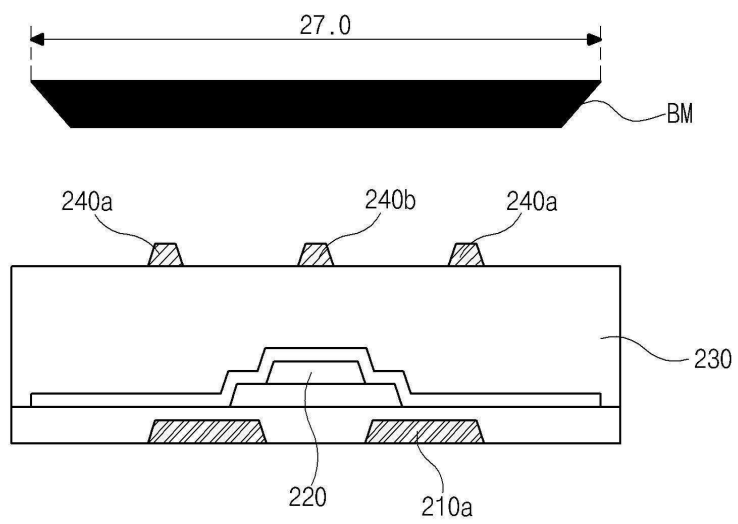
도면8



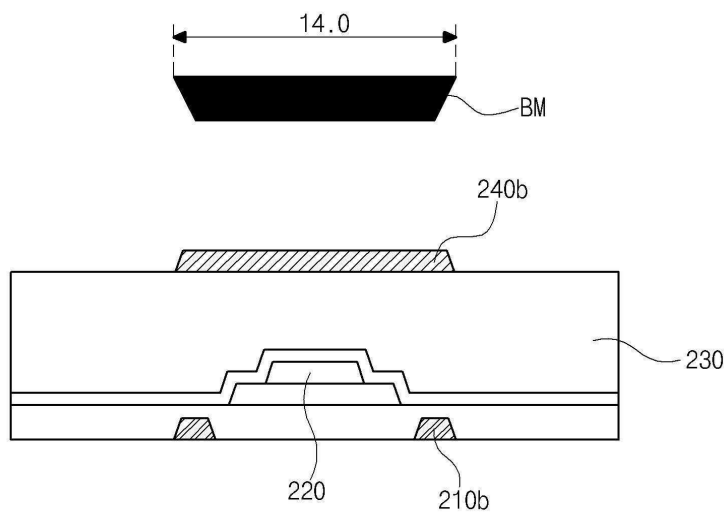
도면9



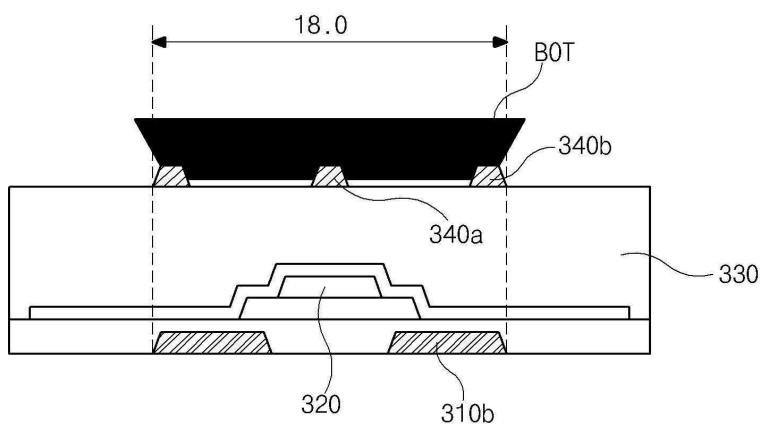
도면10



도면11



도면12



专利名称(译)	液晶显示装置		
公开(公告)号	KR101910401B1	公开(公告)日	2018-10-23
申请号	KR1020110117502	申请日	2011-11-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JO YOUNG JIK 조영직 JIN HYUN CHEOL 진현철 JEONG YOUNG MIN 정영민		
发明人	조영직 진현철 정영민		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1362 G02F1/1335		
CPC分类号	G02F1/134309 G02F1/136286 G02F1/136204 G02F1/133512 G02F2001/134318		
其他公开文献	KR1020130052190A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示器，通过改变上下电极的宽度来固定公共电极网结构。结构：第一上公共电极（240a）的宽度第一宽度大于宽度数据线（220）或第二宽度的宽度小于数据线的宽度。如果第一上公共电极的宽度是第一宽度，则在M-2数据线的下部的两个部分处形成第一下公共电极。如果第一上公共电极的宽度是第二宽度，则在M-2数据线的下部的两个部分处形成第二下公共电极（210b）。

