



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월10일  
(11) 등록번호 10-1885926  
(24) 등록일자 2018년07월31일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)  
(21) 출원번호 10-2011-0061968  
(22) 출원일자 2011년06월24일  
심사청구일자 2016년06월01일  
(65) 공개번호 10-2013-0001071  
(43) 공개일자 2013년01월03일  
(56) 선행기술조사문헌  
JP2009086576 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
김대규  
경상북도 구미시 고아읍 들성로 121, 원호푸르지오 109동 801호  
박경호  
경상북도 구미시 인동46길 6, 부영6단지 603동 202호 (구평동)  
(74) 대리인  
특허법인 대아

전체 청구항 수 : 총 11 항

심사관 : 한상일

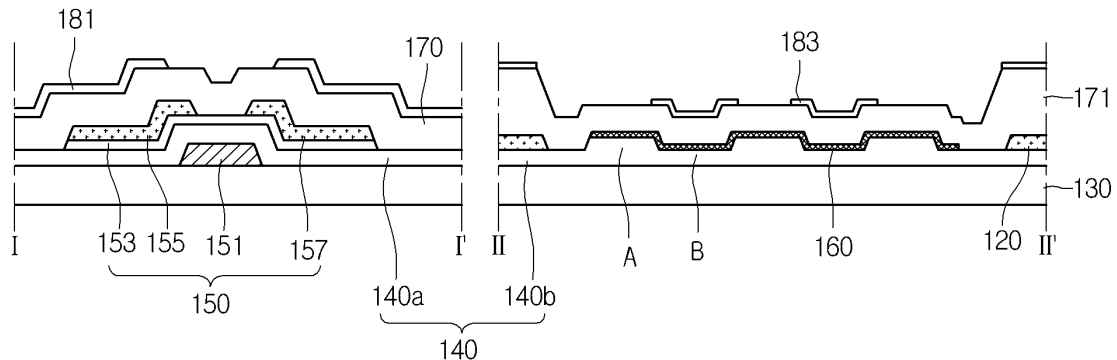
(54) 발명의 명칭 액정표시장치 및 그의 제조방법

(57) 요약

액정표시장치가 개시된다.

본 발명의 실시예에 따른 액정표시장치는 서로 교차되어 화소영역을 정의하는 게이트라인 및 데이터라인과, 상기 게이트라인 및 데이터라인의 교차부에 형성되어 게이트 전극, 게이트 절연층, 반도체층, 소스 및 드레인 전극을 구비한 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 전기적으로 접속된 화소전극과, 상기 박막트랜지스터, 상기 게이트라인 및 데이터라인 상에 형성된 제1 보호층과, 상기 화소전극과 대응되는 영역에 형성되고 상기 제1 보호층 보다 작은 두께를 갖는 제2 보호층 및 상기 제1 및 제2 보호층 상에 각각 형성된 공통전압 배선 및 공통전극을 포함하고, 상기 게이트 절연층은 다수의 단차부 및 홈부를 구비한다.

대 표 도 - 도2



## 명세서

### 청구범위

#### 청구항 1

서로 교차되어 화소영역을 정의하는 게이트라인 및 데이터라인;

상기 게이트라인 및 데이터라인의 교차부에 형성되어 게이트 전극, 게이트 절연층, 반도체층, 소스 및 드레인 전극을 구비한 박막트랜지스터;

상기 박막트랜지스터의 드레인 전극과 전기적으로 접속된 화소전극;

상기 박막트랜지스터, 상기 게이트라인 및 데이터라인 상에 형성된 제1 보호층;

상기 화소전극과 대응되는 영역에 형성되고 상기 제1 보호층 보다 작은 두께를 갖는 제2 보호층; 및

상기 제1 및 제2 보호층 상에 각각 형성된 공통전압 배선 및 공통전극;을 포함하고,

상기 게이트 절연층은 다수의 단차부 및 홈부를 구비하고,

상기 화소전극은 상기 게이트 절연층 상에서 상기 다수의 단차부 및 홈부에 대응되게 형성되는 것을 특징으로 하는 액정표시장치.

#### 청구항 2

제1 항에 있어서,

상기 공통전극은 상기 제2 보호층 상에서 상기 게이트 절연층의 홈부에 대응되도록 형성되는 것을 특징으로 하는 액정표시장치.

#### 청구항 3

제1 항에 있어서,

상기 공통전압 배선 및 공통전극은 전기적으로 접속되는 것을 특징으로 하는 액정표시장치.

#### 청구항 4

삭제

#### 청구항 5

제1 항에 있어서,

상기 제1 및 제2 보호층은 동일층에 형성되는 것을 특징으로 하는 액정표시장치.

#### 청구항 6

제1 항에 있어서,

상기 제2 보호층은 상기 게이트 절연층의 다수의 단차부 및 홈부에 대응되는 요철구조를 포함하는 것을 특징으로 하는 액정표시장치.

#### 청구항 7

베이스 기판 상에 게이트 전극, 게이트라인 및 게이트 패드가 형성되는 단계;

상기 게이트 전극, 상기 게이트라인 및 상기 게이트 패드를 포함하는 상기 베이스 기판 상에 다수의 단차부 및 홈부를 구비한 게이트 절연막이 형성되는 단계;

상기 게이트 절연막 상에 반도체 패턴과 화소전극을 순차적으로 형성하는 단계;

상기 반도체 패턴을 포함하는 게이트 절연막 상에 소스 및 드레인 전극과 데이터라인을 형성하는 단계;  
 상기 데이터라인과 대응되는 제1 보호층을 형성함과 동시에 상기 화소전극 상에 제2 보호층을 형성하는 단계;  
 및  
 상기 제1 및 제2 보호층 각각에 공통전압 배선 및 공통전극을 형성하는 단계;를 포함하고,  
 상기 게이트 절연막은 상기 베이스 기판 상에 절연물질을 도포한 후 포토 공정을 통해 패터닝하여 상기 다수의 단차부 및 홈부를 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항 8

제7 항에 있어서,  
 상기 공통전극은 상기 제2 보호층 상에서 상기 게이트 절연막의 홈부에 대응되도록 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항 9

제7 항에 있어서,  
 상기 공통전압 배선 및 공통전극은 전기적으로 접속되는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항 10

제7 항에 있어서,  
 상기 화소전극은 상기 게이트 절연막 상에서 상기 다수의 단차부 및 홈부에 대응되게 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항 11

제7 항에 있어서,  
 상기 제1 및 제2 보호층은 동일층에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

#### 청구항 12

제7 항에 있어서,  
 상기 제2 보호층은 상기 게이트 절연막의 다수의 단차부 및 홈부에 대응되는 요철구조를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 소비전력을 줄일 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

#### 배경 기술

[0002] 액정표시장치(liquid crystal display device)는 경량, 박형, 저소비전력 구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세이다. 이러한 추세에 따라, 상기 액정표시장치는 사무자동화 기기, 오디오/비디오 기기 등에 이용되고 있다.

[0003] 액정표시장치는 인가 전압에 따라 액체에 결정의 중간 상태 물질인 액정(liquid crystal)의 광투과도가 변화하는 특성을 이용하여, 전기 신호를 시각 정보로 변화시켜 영상을 표시한다. 통상의 액정표시장치는 전극이 구비된 두 개의 기판과 두 기판 사이에 개재된 액정층으로 구성된다. 이와 같은 액정표시장치는 동일한 화면 크기를 가지는 다른 액정표시장치에 비하여 무게가 가볍고 부피가 작으며 작은 전력으로 동작한다.

[0004] 액정표시장치는 후면의 광원에서 발생한 빛을 전면에 있는 액정표시패널의 각 화소가 일종의 광 스위치 역할을 하여 선택적으로 투과시킴으로 인하여 화상을 디스플레이 하는 장치이다. 즉, 종래의 음극선관(CRT:Cathode Ray Tube)이 전자선의 세기를 조절하여 휘도를 제어하는데 반하여, 액정표시장치는 광원에서 발생한 광의 세기를 제

어하여 화면이 디스플레이 된다.

- [0005] 이상에서와 같은 액정표시장치의 액정표시패널은 컬러필터가 형성된 컬러필터 기관(상부기관)과 박막트랜지스터(TFT:Thin Film Transistor)가 형성된 박막트랜지스터 기관(하부기관)이 액정층을 사이에 두고 합착된 구조로 이루어진다.
- [0006] 일반적인 액정표시패널의 박막트랜지스터 기관은 게이트라인과 데이터라인이 교차되고, 상기 게이트라인과 데이터라인의 교차영역에 박막트랜지스터(TFT)가 형성된다.
- [0007] 박막트랜지스터는 게이트 절연막을 사이에 두고 게이트 전극, 소스/드레인 전극을 포함하고, 드레인 전극은 화소전극과 전기적으로 연결된다.
- [0008] 소스/드레인 전극 및 화소전극을 포함한 게이트 절연막 상에 보호층이 형성되고, 보호층 상에 공통전극 배선 및 공통전극 패턴이 형성된다.
- [0009] 이상에서와 같이, 일반적인 횡전계 방식의 액정표시장치에 포함된 박막트랜지스터 기관에는 게이트라인 및 데이터라인 상에 공통전극 배선이 형성되고 화소전극 상에 공통전극 패턴이 형성된다.
- [0010] 그러나, 일반적인 액정표시장치는 게이트라인 및 데이터라인과 공통전극 배선 사이에서 기생 캐패시턴스가 형성되어 수직 크로스토크가 발생하여 화질이 저하되는 문제가 있었다.
- [0011] 또한, 일반적인 액정표시장치는 보호층의 두께를 크게 설계하는 경우, 기생캐패시턴스를 줄일 수 있으나 화소전극과 공통전극 패턴 사이의 간격이 증가하여 스토리지 용량 저하에 의해 소비전력이 증가하는 문제가 있었다.
- [0012] 여기서, WVGA 급 고해상도 모델에서는 화소의 크기가 작아져 화소전극과 공통전극 패턴 사이의 스토리지 용량이 크게 저하될 수 있다.

## 발명의 내용

### 해결하려는 과제

- [0013] 본 발명은 액정의 응답속도를 향상시켜 소비전력을 줄일 수 있는 액정표시장치 및 그 제조방법을 제공함에 그 목적이 있다.

### 과제의 해결 수단

- [0014] 본 발명의 실시예에 따른 액정표시장치는 서로 교차되어 화소영역을 정의하는 게이트라인 및 데이터라인과, 상기 게이트라인 및 데이터라인의 교차부에 형성되어 게이트 전극, 게이트 절연층, 반도체층, 소스 및 드레인 전극을 구비한 박막트랜지스터와, 상기 박막트랜지스터의 드레인 전극과 전기적으로 접속된 화소전극과, 상기 박막트랜지스터, 상기 게이트라인 및 데이터라인 상에 형성된 제1 보호층과, 상기 화소전극과 대응되는 영역에 형성되고 상기 제1 보호층 보다 작은 두께를 갖는 제2 보호층 및 상기 제1 및 제2 보호층 상에 각각 형성된 공통전압 배선 및 공통전극을 포함하고, 상기 게이트 절연층은 다수의 단차부 및 홈부를 구비한다.
- [0015] 본 발명의 실시예에 따른 액정표시장치의 제조방법은 베이스 기관 상에 게이트 전극, 게이트라인 및 게이트 패드가 형성되는 단계와, 상기 게이트 전극, 상기 게이트라인 및 상기 게이트 패드를 포함하는 상기 베이스 기관 상에 다수의 단차부 및 홈부를 구비한 게이트 절연막이 형성되는 단계와, 상기 게이트 절연막 상에 반도체 패턴과 화소전극을 순차적으로 형성하는 단계와, 상기 반도체 패턴을 포함하는 게이트 절연막 상에 소스 및 드레인 전극과 데이터라인을 형성하는 단계와, 상기 데이터라인과 대응되는 제1 보호층을 형성함과 동시에 상기 화소전극 상에 제2 보호층을 형성하는 단계 및 상기 제1 및 제2 보호층 각각에 공통전압 배선 및 공통전극을 형성하는 단계를 포함하고, 상기 게이트 절연막은 상기 베이스 기관 상에 절연물질을 도포한 후 포토 공정을 통해 패터닝하여 상기 다수의 단차부 및 홈부를 형성하는 단계를 더 포함한다.

### 발명의 효과

- [0016] 본 발명의 액정표시장치 및 그의 제조방법은 화소전극 하부에 요철부를 형성하여 요철부 상에 형성된 화소전극과 공통전극 간의 간격을 줄여 상기 화소전극과 공통전극 사이의 스토리지 용량(Cst)을 증가시킬 수 있다.
- [0017] 또한, 본 발명은 화소전극과 공통전극 사이의 간격을 줄여 상기 화소전극과 공통전극 사이에 동일한 구동전압을 인가하더라도 상기 화소전극과 공통전극 사이의 유효전압의 크기가 커져서 유전율이 낮은 액정의 사용을 가능하게 한다.

게 할 수 있다.

[0018] 이와 더불어, 본 발명은 유전율이 낮은 액정을 사용하여 액정의 응답속도를 향상시켜 소비전력을 줄일 수 있다.

### 도면의 간단한 설명

[0019] 도 1은 본 발명의 실시예에 따른 박막트랜지스터 기관의 단위 화소를 도시한 평면도이다.

도 2는 도 1의 I ~ I', II ~ II'라인을 따라 절단한 박막트랜지스터 기관을 도시한 단면도이다.

도 3a 내지 도 3i는 본 발명의 실시예에 따른 박막트랜지스터 기관의 제조방법을 도시한 단면도이다.

도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터 기관을 도시한 단면도이다.

도 5는 종래의 액정표시장치와 본 발명의 액정표시장치에서 전압과 투과율에 따른 관계를 나타낸 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부한 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하도록 한다.

[0021] 도 1은 본 발명의 일 실시예에 따른 박막트랜지스터 기관의 단위 화소를 도시한 평면도이고, 도 2는 도 1의 I ~ I', II ~ II'라인을 따라 절단한 박막트랜지스터 기관을 도시한 단면도이다.

[0022] 도 1 및 도 2에 도시된 바와 같이, 본 발명의 실시예에 따른 박막트랜지스터 기관은 복수의 게이트라인(110)과, 복수의 데이터라인(120)이 서로 교차하여 화소 영역을 정의하고, 상기 게이트라인(110)과 데이터라인(120)의 교차부에 액정 셀을 구동하기 위한 박막트랜지스터(TFT, 150)가 형성된다.

[0023] 도면에 도시되지 않았지만, 게이트라인(110)의 일측에는 게이트라인(110)과 전기적으로 연결된 게이트 패드가 형성되고, 데이터라인(120)의 일측에는 데이터라인(120)과 전기적으로 연결된 데이터 패드가 형성된다.

[0024] 상기 화소영역에 구비된 박막트랜지스터(150)는 베이스 기관(130) 상에 형성된 게이트 전극(151)과, 상기 게이트 전극(151) 및 베이스 기관(130) 상에 형성된 제1 게이트 절연막(140a)과, 상기 제1 게이트 절연막(140a) 상에 형성된 반도체 패턴(153)과, 상기 반도체패턴(153) 상에 형성된 소스/드레인 전극(155, 157)을 포함한다.

[0025] 상기 소스/드레인 전극(155, 157)을 포함하여 제1 게이트 절연막(140a) 상에는 제1 보호층(170)이 형성되고, 상기 제1 보호층(170) 상에는 공통전극 배선(181)이 형성된다.

[0026] 상기 박막트랜지스터(150)의 드레인 전극(157)은 화소영역의 화소전극(160)과 전기적으로 연결된다.

[0027] 상기 화소영역 중 영상이 표시되는 표시영역은 베이스 기관(130)과, 상기 베이스 기관(130) 상에 형성된 제2 게이트 절연막(140b)과, 상기 제2 게이트 절연막(140b) 상에 형성된 화소전극(160)과, 상기 화소전극(160) 상에 형성된 제2 보호층(171) 및 상기 제2 보호층(171) 상에 형성된 공통전극(183)을 포함한다.

[0028] 상기 공통전극(183)은 상기 공통전극 배선(181)과 전기적으로 연결될 수 있다.

[0029] 상기 화소전극(160) 상에는 하프 톤 마스크(Half Tone Mask)를 이용한 포토리소그래피 공정을 통해 상기 화소전극(160)과 대응되는 부분과 데이터라인(120)과 대응되는 부분에서 두께가 상이한 제2 보호층(171)이 형성된다.

[0030] 상기 제2 게이트 절연막(140b)은 상기 제1 게이트 절연막(140a)과 함께 게이트 절연막(140)을 구성한다.

[0031] 상기 제2 게이트 절연막(140b)은 단차부(A)와 상기 단차부(A) 사이에 형성된 홈부(B)를 포함한다. 상기 단차부(A) 및 홈부(B)를 포함한 제2 게이트 절연막(140b)은 마스크를 이용한 포토 공정을 통해 형성된다.

[0032] 이러한 단차부(A) 및 홈부(B)를 구비한 제2 게이트 절연막(140b) 상에 화소전극(160)이 형성된다.

[0033] 상기 화소전극(160) 상에 형성된 제2 보호층(171)도 상기 제2 게이트 절연막(140b)의 단차부(A) 및 홈부(B)와 대응되는 요철구조를 포함할 수 있다.

[0034] 이때, 상기 공통전극(183)은 상기 제2 게이트 절연막(140b)의 단차부(A) 사이의 홈부(B)와 대응되게 상기 제2 보호층(183) 상에 형성된다.

[0035] 따라서, 상기 제2 게이트 절연막(140b)의 단차부(A) 상에 형성된 화소전극(160)과 상기 홈부(B)와 대응되게 제2 보호층(183) 상에 형성된 공통전극(183) 간의 간격이 줄어들게 된다. 이로 인해, 상기 공통전극(183)과 화소전극(160) 사이의 스토리지 용량이 증가한다.

- [0036] 상기 공통전극(183)과 화소전극(160) 사이의 간격이 줄어들면, 상기 공통전극(183)과 화소전극(160)으로 제공되는 전압의 레벨을 줄여 기존과 동일하게 공통전극(183)과 화소전극(160) 사이에 위치하는 액정의 구동이 가능해진다.
- [0037] 이와 같이, 본 발명은 상기 공통전극(183)과 화소전극(160)으로 제공되는 전압의 레벨을 줄여 액정을 구동하기 때문에 소비전력이 절감될 수 있다.
- [0038] 이와 더불어, 본 발명은 유전율(또는 회전점도)이 낮은 액정을 사용하더라도 공통전극(183)과 화소전극(160) 사이의 간격이 줄어들기 때문에 기존과 동일한 구동전압이 공통전극(183)과 화소전극(160)에 제공되더라도 상기 유전율이 낮은 액정을 충분히 구동시킬 수 있다.
- [0039] 이때, 유전율이 낮은 액정은 회전점도가 낮기 때문에 액정의 응답속도를 향상시킬 수 있다.
- [0040] 따라서, 본 발명은 상기 유전율이 낮은 액정을 사용함에 따라 액정의 응답속도를 향상시킬 수 있다.
- [0041] 도 3a 내지 도 3i는 본 발명의 실시예에 따른 박막트랜지스터 기판의 제조방법을 도시한 단면도이다.
- [0042] 도 3a를 참조하면, 베이스 기판(130) 상에 금속층을 증착하고 마스크를 이용한 포토공정을 통해 게이트 전극(151)이 형성된다.
- [0043] 여기서, 금속층은 알루미늄(Al), 알루미늄 합금(AlNd), 텅스텐(W), 크롬(Cr), 몰리브덴(Mo) 등의 단일 금속이나 알루미늄(Al)/크롬(Cr)(또는 몰리브덴(Mo)) 등을 포함하는 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 금속을 포함한다.
- [0044] 도면에 도시되지 않았지만, 베이스 기판(130)에는 상기 게이트 전극(151)이 형성됨과 동시에 게이트라인 및 게이트 패드가 동시에 형성된다.
- [0045] 도 3b를 참조하면, 게이트 전극(151)을 포함한 베이스 기판(130) 상에 게이트 절연막(140)이 형성된다. 상기 게이트 절연막(140)은 산화실리콘(SiO<sub>2</sub>) 또는 질화실리콘(SiNx)으로 형성될 수 있다.
- [0046] 이어, 마스크를 이용한 포토 공정을 진행하여 도 3c에 도시된 바와 같이, 단차부(A) 및 홈부(B)를 구비한 제2 게이트 절연막(140b)이 형성된다.
- [0047] 도 3d에 도시된 바와 같이, 게이트 절연막(140)이 형성된 베이스 기판(130) 상에 반도체층을 형성하고 마스크를 이용한 포토 공정을 통해 상기 게이트 전극(151)과 대응되는 반도체 패턴(153)이 형성된다.
- [0048] 도 3e를 참조하면, 상기 반도체 패턴(153)이 형성된 베이스 기판(130) 상에 금속층을 형성하고 마스크를 이용한 포토 공정을 통해 화소영역에 화소전극(160)이 형성된다.
- [0049] 상기 화소전극(160)은 상기 단차부(A) 및 홈부(B)를 갖는 제2 게이트 절연막(140b) 상에 형성된다.
- [0050] 도 3f를 참조하면, 화소전극(160)이 형성된 베이스 기판(130) 상에 금속층을 형성하고, 마스크를 이용한 포토 공정을 통해 반도체 패턴(153) 상에 소스 및 드레인 전극(155, 157)이 형성되고, 화소영역 주변에 데이터라인(120)이 형성된다.
- [0051] 도 3g 및 도 3h를 참조하면, 반도체 패턴(153), 소스 및 드레인 전극(155, 157), 데이터라인(120) 및 화소전극(160)을 포함하는 베이스 기판(130) 상에 일정 두께의 보호층(170)을 적층한다. 이어 하프 톤 마스크를 이용한 포토 공정으로 화소전극(160)과 대응되는 영역에 제2 보호층(171)이 형성된다.
- [0052] 상기 제2 보호층(171)은 화소전극(160)과 대응되는 영역으로 상기 화소전극(160)과 대응되지 않는 영역에 형성된 제1 보호층(170)보다 작은 두께를 갖는다.
- [0053] 상기 제2 보호층(171)은 상기 데이터라인(120)과 대응되는 영역에서 상기 화소전극(160)과 대응되는 영역에 비해 두껍게 형성된다.
- [0054] 이는 데이터라인(120)과 후술되는 공통전극 배선 사이에서 일정한 캐패시턴스가 유지되도록 하기 위함이다.
- [0055] 도면에는 도시되지 않았지만, 제2 보호층(171)이 형성됨과 동시에 게이트 패드 및 데이터 패드에 컨택홀이 형성될 수 있다. 또한, 제2 보호층(171)이 형성됨과 동시에 드레인 전극(157) 및 화소전극(160)을 연결하기 위한 컨택홀이 형성될 수 있다.
- [0056] 도 3i를 참조하면, 제1 및 제2 보호층(170, 171) 상에 금속층을 형성하고, 마스크를 이용한 포토 공정으로 공통



전극 배선(181)과, 상기 화소전극(160)과 대응되는 영역에 공통전극(183)이 형성된다.

[0057] 이때, 상기 공통전극(183)은 상기 제2 게이트 절연막(140b)의 홈부(B)와 대응되게 형성된다.

[0058] 따라서, 상기 화소전극(160)과 상기 공통전극(183) 사이의 간격이 줄어들게 되고 스토리지 용량이 증가하게 된다.

[0059] 또한, 상기 공통전극(183)과 화소전극(160) 사이의 간격이 줄어들면, 상기 공통전극(183)과 화소전극(160)으로 제공되는 전압의 레벨을 줄여 기존과 동일하게 공통전극(183)과 화소전극(160) 사이에 위치하는 액정의 구동이 가능해진다.

[0060] 이와 같이, 본 발명은 상기 공통전극(183)과 화소전극(160)으로 제공되는 전압의 레벨을 줄여 액정을 구동하기 때문에 소비전력을 절감할 수 있다.

[0061] 이와 더불어, 본 발명은 유전율(또는 회전점도)이 낮은 액정을 사용하더라도 공통전극(183)과 화소전극(160) 사이의 간격이 줄어들기 때문에 기존과 동일한 구동전압이 공통전극(183)과 화소전극(160)에 제공되더라도 상기 유전율이 낮은 액정을 충분히 구동시킬 수 있다.

[0062] 따라서, 본 발명은 화소전극(160)과 공통전극 패턴(183) 사이의 간격을 줄여 유전율이 낮은 액정을 사용하여 액정의 응답속도를 향상시킬 수 있다.

[0063] 도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터 기판을 도시한 단면도이다.

[0064] 도 4에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 박막트랜지스터 기판은 수직으로 교차하는 게이트라인(도 1의 110) 및 데이터라인(120)과, 상기 게이트라인(도 1의 110)과 데이터라인(120)의 교차부에 형성된 박막트랜지스터(150)를 포함한다.

[0065] 상기 박막트랜지스터(150)는 베이스 기판(130) 상에 형성된 게이트 전극(151)과, 상기 게이트 전극(151) 및 베이스 기판(130) 상에 형성된 게이트 절연막(240)과, 상기 게이트 절연막(240) 상에 형성된 반도체 패턴(153)과, 상기 반도체패턴(153) 상에 형성된 소스/드레인 전극(155, 157)을 포함한다.

[0066] 상기 소스/드레인 전극(155, 157)을 포함하여 게이트 절연막(240) 상에는 제1 보호층(170)이 형성되고, 상기 제1 보호층(170) 상에는 공통전극 배선(181)이 형성된다.

[0067] 또한, 본 발명의 다른 실시예에 따른 박막트랜지스터 기판은 베이스 기판(130) 상에 형성된 게이트 절연층(240)과, 상기 게이트 절연층(240) 상에 형성된 다수의 단차부(300)와 상기 단차부(300) 상에 형성되어 상기 박막트랜지스터(150)의 드레인 전극(157)과 전기적으로 접속되는 화소전극(260)을 더 포함한다.

[0068] 상기 베이스 기판(130)과 상기 게이트 절연층(240) 간의 접합력을 향상시키기 위해 상기 단차부(300)는 유기절연물질로 이루어질 수 있다.

[0069] 상기 단차부(300)는 유기절연물질 예를 들어 포토아크릴(photo acryl) 또는 벤조사이클로부텐(BCB)을 베이스 기판(130) 상에 도포하여 마스크를 이용한 포토 공정을 통해 패터닝되어 상기 게이트 절연층(240) 상에 형성된다.

[0070] 상기 화소전극(260) 상에는 상기 제1 보호층(170)과 두께가 상이한 제2 보호층(271)이 형성되고, 상기 제2 보호층(271) 상에는 공통전극(283)이 형성된다.

[0071] 상기 공통전극(283)은 상기 공통전극 배선(181)과 전기적으로 연결될 수 있다.

[0072] 이때, 상기 공통전극(283)은 상기 단차부(300) 사이에 구비된 홈부와 대응되도록 상기 제2 보호층(271) 상에 형성된다.

[0073] 따라서, 상기 단차부(300) 상에 형성된 화소전극(260)과 상기 홈부와 대응되게 제2 보호층(271) 상에 형성된 공통전극(283) 간의 간격이 줄어들게 된다. 이로 인해, 상기 공통전극(283)과 화소전극(260) 사이의 스토리지 용량이 증가한다.

[0074] 상기 공통전극(283)과 화소전극(260) 사이의 간격이 줄어들면, 상기 공통전극(283)과 화소전극(260)으로 제공되는 전압의 레벨을 줄여 기존과 동일하게 공통전극(283)과 화소전극(260) 사이에 위치하는 액정의 구동이 가능해진다.

[0075] 이와 같이, 본 발명은 상기 공통전극(283)과 화소전극(260)으로 제공되는 전압의 레벨을 줄여 액정을 구동하기 때문에 소비전력이 절감될 수 있다.

- [0076] 이와 더불어, 본 발명은 유전율(또는 회전점도)이 낮은 액정을 사용하더라도 공통전극(283)과 화소전극(260) 사이의 간격이 줄어들기 때문에 기존과 동일한 구동전압이 공통전극(283)과 화소전극(260)에 제공되더라도 상기 유전율이 낮은 액정을 충분히 구동시킬 수 있다.
- [0077] 이때, 유전율이 낮은 액정은 회전점도가 낮기 때문에 액정의 응답속도를 향상시킬 수 있다.
- [0078] 따라서, 본 발명은 상기 유전율이 낮은 액정을 사용함에 따라 액정의 응답속도를 향상시킬 수 있다.
- [0079] 도 5는 종래의 액정표시장치와 본 발명의 액정표시장치에서 전압과 투과율에 따른 관계를 나타낸 도면이다.
- [0080] 도 5를 참조하면, 종래의 액정표시장치는 화소전극과 공통전극 사이에 인가되는 구동전압이 4V인 경우에 80의 투과율을 갖는다.
- [0081] 이에 반해, 게이트 절연층 상에 단차부 및 홈부를 구비하고 보호층의 두께가 종래의 액정표시장치와 동일한 본 발명의 액정표시장치(1)는 구동전압이 4V인 경우에 95의 투과율을 갖는다.
- [0082] 또한, 게이트 절연층 상에 단차부 및 홈부를 구비하고 보호층의 두께를 종래의 액정표시장치 보다 얇게 한 본 발명의 액정표시장치(2)는 구동전압이 4V인 경우에 100의 투과율을 갖는다.
- [0083] 이와 같이, 본 발명은 게이트 절연층 상에 단차부 및 홈부를 구비하고 보호층의 두께를 줄이게 되면 화소전극과 공통전극 사이의 간격을 줄일 수 있어 종래의 액정표시장치와 동일한 구동전압을 인가하더라도 높은 투과율을 얻을 수 있다.

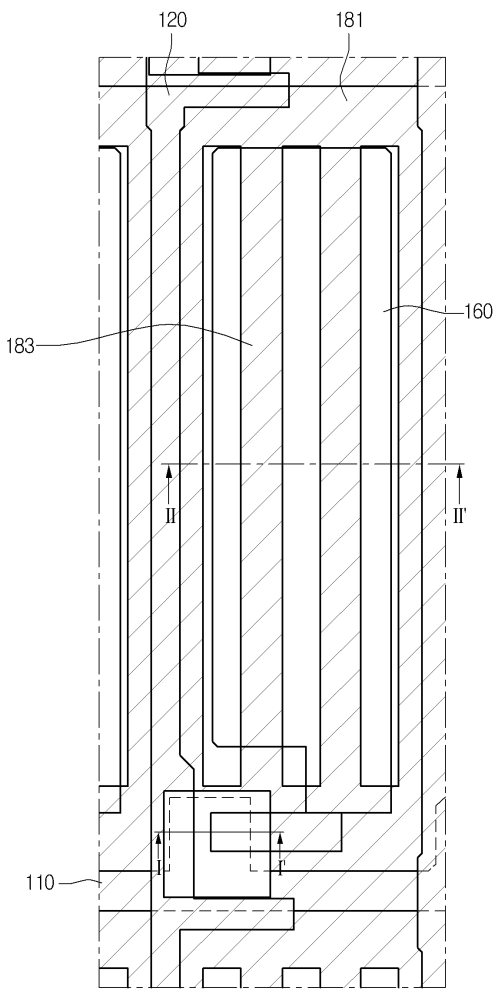
### 부호의 설명

- |        |                  |                   |
|--------|------------------|-------------------|
| [0084] | 110: 게이트라인       | 120: 데이터라인        |
|        | 130: 베이스기관       | 140, 240: 게이트 절연층 |
|        | 140a: 제1 게이트 절연층 | 140b: 제2 게이트 절연층  |
|        | 150: 박막트랜지스터     | 151: 게이트 전극       |
|        | 153: 반도체 패턴      | 155: 소스 전극        |
|        | 157: 드레인 전극      | 160, 260: 화소전극    |
|        | 170: 제1 보호층      | 171, 271: 제2 보호층  |
|        | 181: 공통전압 배선     | 183, 283: 공통전극    |
|        | 300: 단차부         |                   |

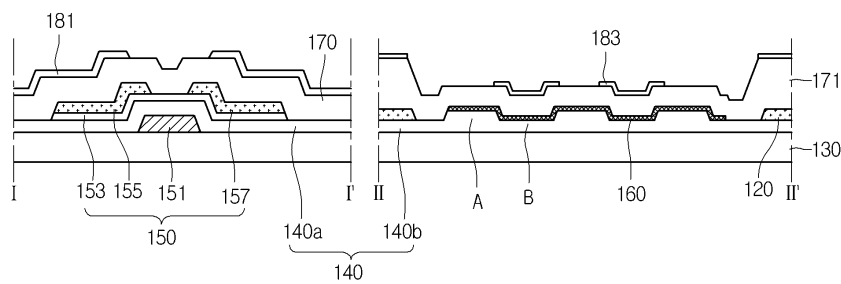


도면

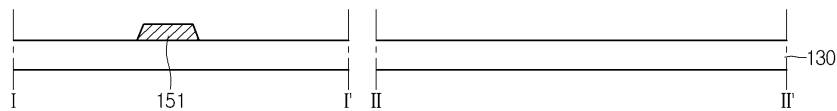
도면1



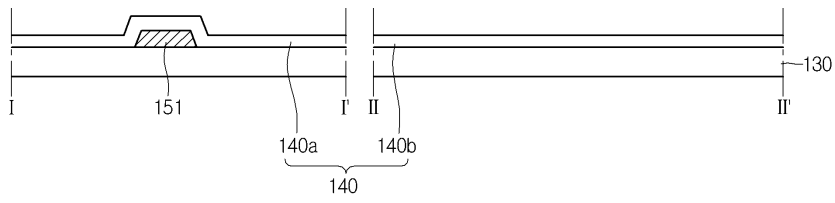
도면2



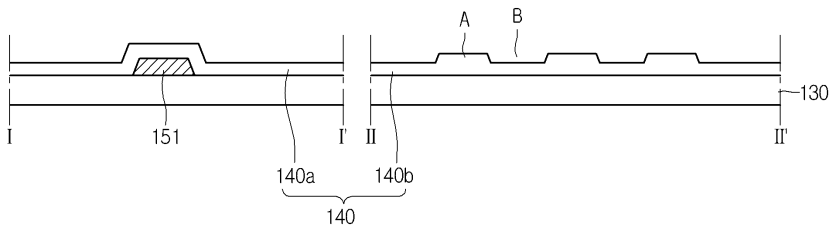
도면3a



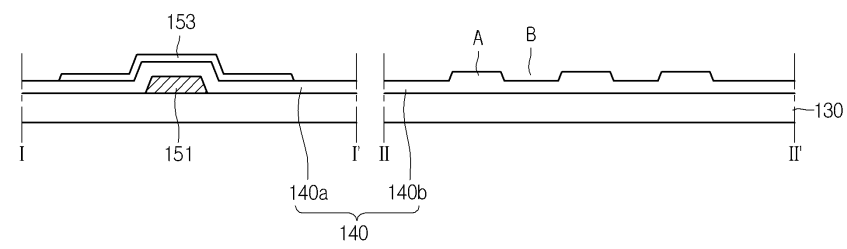
도면3b



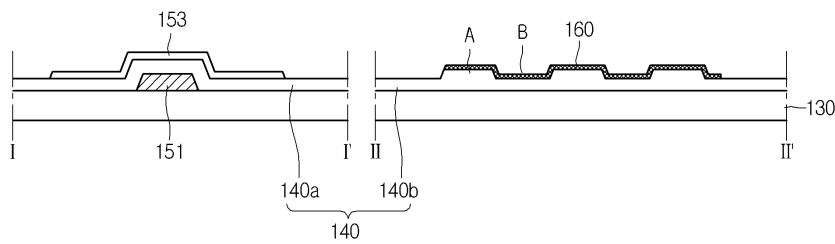
도면3c



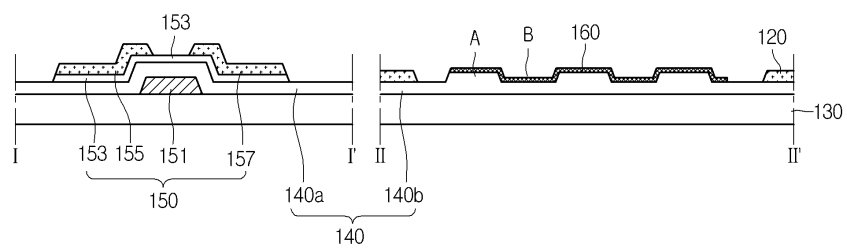
도면3d



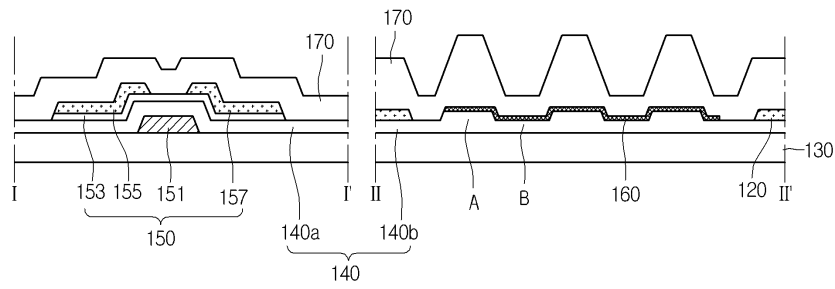
도면3e



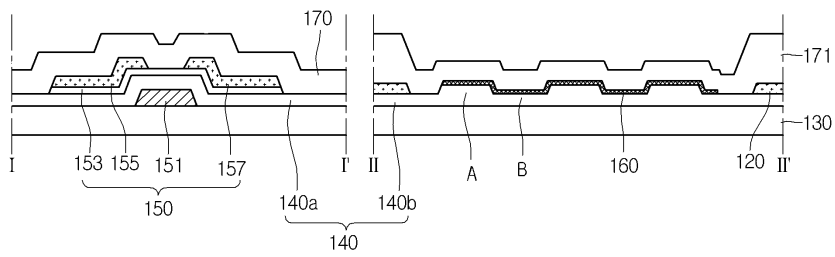
도면3f



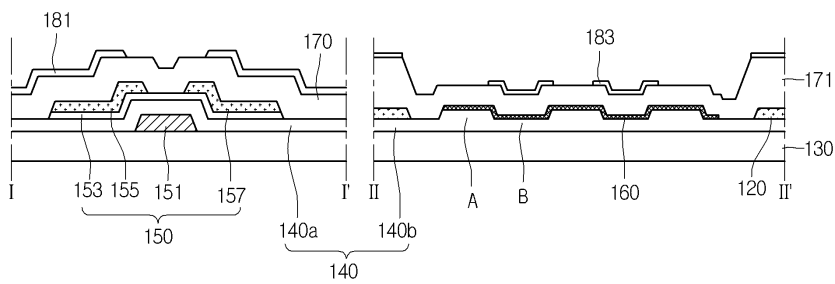
도면3g



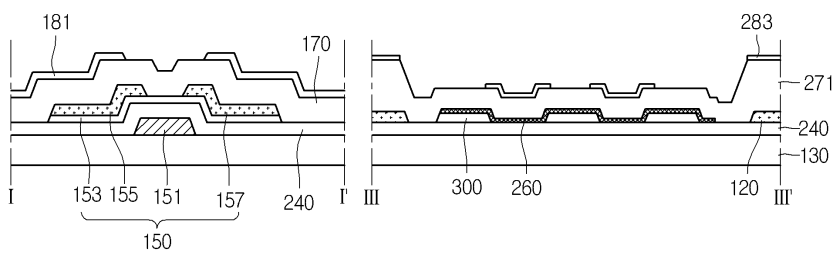
도면3h



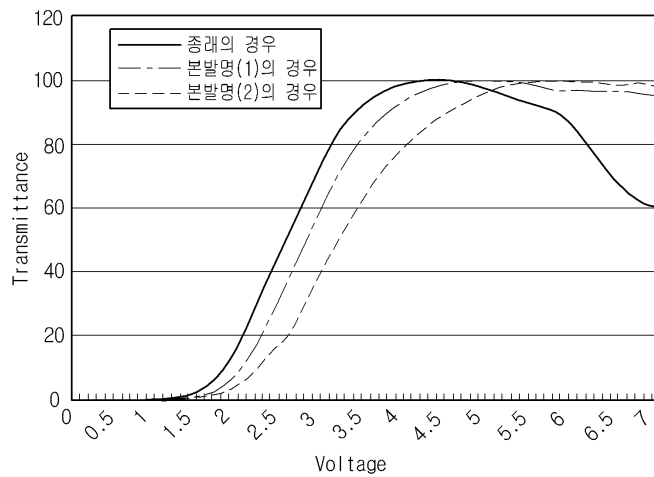
도면3i



도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 8, 2줄

【변경전】

상기 게이트 절연층의

【변경후】

상기 게이트 절연막의

【직권보정 2】

【보정항목】 청구범위

【보정세부항목】 청구항 12, 2줄

【변경전】

상기 게이트 절연층의

【변경후】

상기 게이트 절연막의

【직권보정 3】

【보정항목】 청구범위

【보정세부항목】 청구항 10, 2줄

【변경전】

상기 게이트 절연층 상에서

【변경후】

상기 게이트 절연막 상에서

The figure consists of two cross-sectional views, I-I' and II-II', of a semiconductor device.   
 View I-I' (left) shows a substrate 140 with a first layer 150 and a second layer 170. The first layer 150 contains regions 151, 153, 155, and 157. A third layer 181 is on top of 170, and a fourth layer 170 is on top of 181. A hatched region 140a is shown in the substrate 140.   
 View II-II' (right) shows a substrate 140 with a first layer 160 and a second layer 171. The first layer 160 contains regions A and B. A third layer 183 is on top of 171, and a fourth layer 171 is on top of 183. A hatched region 140b is shown in the substrate 140.