



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월28일
(11) 등록번호 10-1858250
(24) 등록일자 2018년05월09일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1333 (2006.01)
G02F 1/1337 (2006.01) G02F 1/1368 (2006.01)
H01L 27/12 (2006.01)

(21) 출원번호 10-2010-0103104

(22) 출원일자 2010년10월21일

심사청구일자 2015년10월12일

(65) 공개번호 10-2012-0041590

(43) 공개일자 2012년05월02일

(56) 선행기술조사문헌

KR1020000050882 A*

KR1020050097175 A*

KR1020000025567 A*

KR1020050113072 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김용일

충청남도 당진시 송악읍 여망길 19-4 (청금리)

김정오

서울특별시 강서구 공항대로 382, 우장산롯데낙천
대APT 306-902 (화곡동)

(74) 대리인

특허법인 대아

전체 청구항 수 : 총 18 항

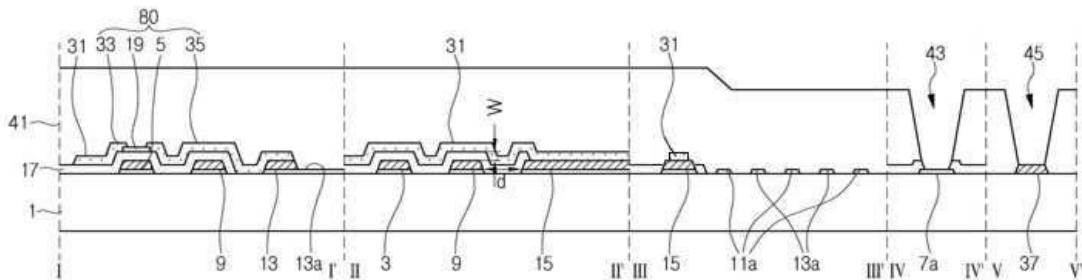
심사관 : 한상일

(54) 발명의 명칭 액정표시장치 및 그 제조 방법

(57) 요약

실시예에 따른 액정표시장치는, 기판 상의 게이트 라인; 게이트 라인과 평행한 공통 라인; 게이트 라인 및 공통 라인 상의 게이트 절연층; 게이트 절연층 상에 게이트 라인과 교차하는 데이터 라인; 게이트 라인과 데이터 라인 과 연결된 박막 트랜지스터; 공통 라인과 이격되고 데이터 라인과 연결된 형성된 더미 패턴; 공통 라인에 연결된 복수의 공통 전극들; 및 공통 전극들과 교대로 배치된 복수의 화소 전극들을 포함한다.

대표도



명세서

청구범위

청구항 1

기관 상의 게이트 라인;

상기 게이트 라인과 평행한 공통 라인;

상기 게이트 라인 및 상기 공통 라인 상의 게이트 절연층;

상기 게이트 절연층 상에 상기 게이트 라인과 교차하는 데이터 라인;

상기 게이트 라인과 상기 데이터 라인과 연결된 박막 트랜지스터;

상기 공통 라인과 이격되고 상기 데이터 라인과 연결된 더미 패턴;

상기 공통 라인에 연결된 복수의 공통 전극들; 및

상기 공통 전극들과 교대로 배치된 복수의 화소 전극들을 포함하며,

상기 게이트 라인, 상기 더미 패턴, 상기 화소 전극들 및 상기 공통 전극들은 동일층에 배치되며, 상기 더미 패턴은 상기 데이터 라인보다 큰 폭을 갖고,

상기 더미 패턴은 상기 데이터 라인에 직접 접촉되는 액정표시장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 게이트 라인의 끝단에 게이트 패드를 더 포함하는 액정표시장치.

청구항 4

제3항에 있어서,

상기 게이트 패드는 상기 게이트 라인과 동일층에 배치하는 액정표시장치.

청구항 5

제3항에 있어서,

상기 화소 전극들, 상기 공통 전극들 및 상기 게이트 패드는 투명한 도전막을 포함하는 액정표시장치.

청구항 6

제1항에 있어서,

상기 게이트 라인, 상기 공통 라인 및 상기 더미 패턴은 투명한 도전막 및 제1 금속막을 포함하는 액정표시장치.

청구항 7

제1항에 있어서,

상기 데이터 라인의 끝단에 데이터 패드를 더 포함하는 액정표시장치.

청구항 8

제7항에 있어서,

상기 박막 트랜지스터는 게이트 전극, 액티브 패턴, 소오스 전극 및 드레인 전극을 포함하는 액정표시장치.

청구항 9

제8항에 있어서,

상기 액티브 패턴은 상기 게이트 전극에 대응하는 상기 게이트 절연층 상에 배치되는 액정표시장치.

청구항 10

제8항에 있어서,

상기 드레인 전극은 상기 화소 전극들에 전기적으로 연결되는 액정표시장치.

청구항 11

제10항에 있어서,

상기 드레인 전극에 연결되는 상기 화소 전극들 각각의 에지 영역은 투명한 도전막 및 제1 금속막을 포함하는 액정표시장치.

청구항 12

제11항에 있어서,

상기 드레인 전극은 상기 제1 금속막 상에 배치되는 액정표시장치.

청구항 13

제8항에 있어서,

상기 드레인 전극은 상기 공통 라인과 오버랩되는 액정표시장치.

청구항 14

제1항에 있어서,

상기 더미 패턴과 상기 공통 라인 사이의 거리는 상기 공통 라인 상의 상기 게이트 절연층의 두께의 1배 내지 3배인 액정표시장치.

청구항 15

제1항에 있어서,

상기 더미 패턴은 상기 데이터 라인의 길이 방향을 따라 배치되는 액정표시장치.

청구항 16

삭제

청구항 17

제1항에 있어서,

상기 화소 전극들과 상기 공통 전극들 상의 패시베이션층을 더 포함하는 액정표시장치.

청구항 18

기관 상의 게이트 라인;

상기 게이트 라인과 평행한 공통 라인;

상기 게이트 라인 및 상기 공통 라인 상의 게이트 절연층;

상기 게이트 절연층 상에 상기 게이트 라인과 교차하는 데이터 라인;
 상기 게이트 라인과 상기 데이터 라인과 연결된 박막 트랜지스터; 및
 상기 공통 라인과 이격되고 상기 데이터 라인과 접촉 형성된 더미 패턴
 을 포함하고,
 상기 더미 패턴은 상기 공통 라인과 동일한 층에 상기 데이터 라인의 길이 방향을 따라 배치되며,
 상기 게이트 라인, 상기 더미 패턴, 화소 전극들 및 공통 전극들은 동일층에 배치되며, 상기 더미 패턴은 상기
 데이터 라인보다 큰 폭을 갖고,
 상기 더미 패턴은 상기 데이터 라인에 직접 접촉되는 액정표시장치.

청구항 19

기판 상에 투명한 도전막과 제1 금속층을 포함하는 게이트 라인, 게이트 전극, 공통 라인, 더미 패턴, 복수의
 화소 전극들 및 복수의 공통 전극들을 형성하는 단계;
 상기 더미 패턴과 상기 화소 전극들 및 공통 전극들을 제외한 상기 기판 상에 게이트 절연층을 형성하는 단계;
 상기 게이트 전극에 대응하는 상기 게이트 절연층 상에 액티브 패턴을 형성하는 단계; 및
 제2 금속층을 포함하는 데이터 라인, 소오스 전극 및 드레인 전극을 형성하고, 상기 투명한 도전막을 포함하는
 상기 화소 전극들과 상기 공통 전극들을 형성하는 단계를 포함하고,
 상기 더미 패턴은 상기 공통 라인과 이격되고, 상기 데이터 라인과 접촉 형성되고,
 상기 게이트 라인, 상기 더미 패턴, 상기 화소 전극들 및 상기 공통 전극들은 동일층에 배치되며, 상기 더미 패
 턴은 상기 데이터 라인보다 큰 폭을 갖고,
 상기 더미 패턴은 상기 데이터 라인에 직접 접촉되는 액정표시장치의 제조 방법.

청구항 20

제19항에 있어서,
 상기 화소 전극들 및 상기 공통 전극들 상에 패시베이션층을 형성하는 단계를 포함하는 액정표시장치의 제조 방
 법.

발명의 설명

기술 분야

[0001] 실시예는 액정표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 정보를 표시하여 주는 표시장치가 활발히 개발되고 있다. 표시장치는 액정표시장치, 플라즈마 표시장치, 유기전
 계발광 표시장치, 전계방출 표시장치 등을 포함한다.

[0003] 이 중에서, 액정표시장치는 풀컬러 구현, 고휘도, 저 소비전력 및 경량 박형과 같은 장점을 가지고 있어, 표시
 장치의 주류로 각광받고 있다.

[0004] 일반적으로 액정표시장치는 시야각이 비교적 좋지 못하다는 단점이 있다. 이러한 단점을 해결하기 위해 횡전계
 방식(in-plane switching mode) 액정표시장치가 개발되었다.

[0005] 도 1은 종래의 횡전계 방식 액정표시장치를 도시한 평면도이고, 도 2는 도 1의 A-A' 라인을 따라 절단한 단면도
 이며, 도 3은 도 1의 B-B' 라인을 따라 절단한 단면도이다.

[0006] 도 1 내지 도 3을 참조하면, 종래의 횡전계 방식 액정표시장치는 어레이 기판(100), 컬러필터 기판(200) 및 이

들 기관들(100, 200) 사이에 배치된 액정층(300)을 포함한다.

- [0007] 상기 어레이 기관(100)은 제1 기관(101) 상에 게이트 라인(103)과 공통 라인(107)이 형성되고, 그 위에 게이트 절연층(109)이 형성된다.
- [0008] 상기 게이트 절연층(109) 상에 채널층(111)과 오믹 콘택층(113)을 포함하는 액티브층(115)을 형성하고, 상기 게이트 라인(103)과 교차하는 데이터 라인(117)이 형성된다. 상기 데이터 라인(117)과 함께 상기 액티브층(115) 상에 소오스 전극(119)과 드레인 전극(121)이 형성된다.
- [0009] 상기 게이트 라인(103)과 상기 데이터 라인(117)의 교차에 의해 픽셀이 정의된다.
- [0010] 상기 게이트 전극(105), 상기 액티브층(115), 상기 소오스(119) 및 드레인 전극(121)에 의해 박막 트랜지스터(123)가 형성된다.
- [0011] 상기 데이터 라인(117)을 포함하는 상기 제1 기관(101) 상에 패시베이션층(125)이 형성된다. 상기 패시베이션층(125)에는 상기 드레인 전극(121)이 노출되도록 제1 콘택홀(140)과 상기 공통 라인(107)이 노출되도록 제2 콘택홀(150)이 형성된다.
- [0012] 상기 제1 콘택홀(140)을 통해 화소 전극(127)이 상기 드레인 전극(121)과 연결되고, 상기 제2 콘택홀(150)을 통해 상기 공통 전극(129)이 상기 공통 라인(107)과 연결된다. 상기 화소 전극(127)은 공통 전극(129)과 교대로 배치된다.
- [0013] 상기 컬러필터 기관(200)은 상기 어레이 기관(100)에 정의된 픽셀 사이의 영역에 대응하도록 블랙 매트릭스(203)가 제2 기관(201) 상에 형성되고, 상기 픽셀에 대응하는 상기 제2 기관(201) 상에 컬러필터(205)가 형성된다.
- [0014] 이와 같이 구성된 종래의 액정표시장치에서, 상기 게이트 라인(203)으로 공급된 게이트 신호에 대한 응답으로 상기 박막 트랜지스터(123)가 턴온되면, 데이터 라인(117)으로 공급된 데이터 전압이 상기 박막 트랜지스터(123)를 경유하여 상기 화소 전극(127)으로 공급된다. 한편, 상기 공통 라인(107)으로 공급된 공통 전압은 상기 공통 전극(129)으로 공급된다. 따라서, 상기 어레이 기관(100)의 동일층에 형성된 상기 화소 전극(127)과 상기 공통 전극(129)으로 각각 공급된 데이터 전압과 공통 전압에 의해 횡전계가 발생되고, 이러한 횡전계에 의해 상기 액정층(300)의 액정 분자들이 변위되어 상기 어레이 기관(100)의 배면에 배치된 백라이트 유닛(미도시)에서 제공된 광의 투과량이 조절되어 영상이 표시된다.
- [0015] 종래의 액정표시장치는 상기 공통 라인(107)이 상기 데이터 라인(117)과 중첩되도록 배치된다. 상기 데이터 라인(117)과 상기 공통 라인(107) 사이의 상기 게이트 절연층(109)에 의해 기생 캐패시턴스(Cpara)가 형성된다. 이러한 기생 캐패시턴스(Cpara)에 의해 상기 데이터 라인(117)으로 공급된 데이터 전압이 지연되는 데이터 지연 현상이 발생한다. 이러한 데이터 지연 현상은 대형 패널 사이즈일수록 더욱 심각한 문제로 대두되고 있다. 아울러, 이러한 데이터 지연 현상은 수직/수평 크로스토크를 야기하여 화질 불량에의 원인이 되기도 한다.
- [0016] 한편, 종래의 액정표시장치는 마스크 수를 줄이기 위해, 액티브층(115)과 데이터 라인(117)을 함께 형성한다. 이러한 경우, 데이터 라인(117)을 따라 데이터 라인(117)의 하부에 액티브층(115)이 형성된다.
- [0017] 이러한 경우, 상기 어레이 기관(100)의 배면에서 제공된 광에 의해 데이터 라인(117)의 하부에 형성된 액티브층(115)에서 광 전류(photo current)가 발생하게 된다. 이러한 광 전류에 의한 전류 누설로 인해, 잔상과 박막 트랜지스터의 오동작을 야기하는 문제가 있다.

발명의 내용

해결하려는 과제

- [0018] 실시예는 데이터 지연 현상을 방지하는 액정표시장치 및 그 제조 방법을 제공한다.
- [0019] 실시예는 광 전류에 의한 전류 누설을 방지하는 액정표시장치 및 그 제조 방법을 제공한다.
- [0020] 실시예는 데이터 라인의 전도성을 강화한 액정표시장치 및 그 제조 방법을 제공한다.
- [0021] 실시예는 액정 배향의 신뢰성을 향상시킨 액정표시장치 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0022] 실시예에 따른 액정표시장치는, 기판 상의 게이트 라인; 상기 게이트 라인과 평행한 공통 라인; 상기 게이트 라인 및 상기 공통 라인 상의 게이트 절연층; 상기 게이트 절연층 상에 상기 게이트 라인과 교차하는 데이터 라인; 상기 게이트 라인과 상기 데이터 라인에 연결된 박막 트랜지스터; 상기 공통 라인에 이격되고 상기 데이터 라인에 연결된 형성된 더미 패턴; 상기 공통 라인에 연결된 복수의 공통 전극들; 및 상기 공통 전극들과 교대로 배치된 복수의 화소 전극들을 포함한다.

[0023] 실시예에 따른 액정표시장치는, 기판 상의 게이트 라인; 상기 게이트 라인과 평행한 공통 라인; 상기 게이트 라인 및 상기 공통 라인 상의 게이트 절연층; 상기 게이트 절연층 상에 상기 게이트 라인과 교차하는 데이터 라인; 상기 게이트 라인과 상기 데이터 라인에 연결된 박막 트랜지스터; 및 상기 공통 라인에 이격되고 상기 데이터 라인에 접촉 형성된 더미 패턴을 포함하고, 상기 더미 패턴은 상기 공통 라인에 동일한 층에 상기 데이터 라인의 길이 방향을 따라 배치된다.

[0024] 실시예에 따른 액정표시장치의 제조 방법은, 기판 상에 투명한 도전막과 제1 금속층을 포함하는 게이트 라인, 게이트 전극, 더미 패턴, 복수의 화소 전극들 및 복수의 공통 전극들을 형성하는 단계; 상기 더미 패턴과 상기 화소 전극들 및 공통 전극들을 제외한 상기 기판 상에 게이트 절연층을 형성하는 단계; 상기 게이트 전극에 대응하는 상기 게이트 절연층 상에 액티브 패턴을 형성하는 단계; 및 제2 금속층을 포함하는 데이터 라인, 소오스 전극 및 드레인 전극을 형성하고, 상기 도전막을 포함하는 상기 화소 전극들과 상기 공통 전극들을 형성하는 단계를 포함하고, 상기 더미 패턴은 상기 공통 라인에 이격되고, 상기 데이터 라인에 접촉 형성된다.

발명의 효과

[0025] 실시예는 데이터 지연 현상을 방지할 수 있다.

[0026] 실시예는 광 전류에 의한 전류 누설을 방지할 수 있다.

[0027] 실시예는 데이터 라인의 전도성을 강화할 수 있다.

[0028] 실시예는 액정 배향의 신뢰성을 향상시킬 수 있다.

도면의 간단한 설명

[0029] 도 1은 종래의 횡전계 방식 액정표시장치를 도시한 평면도.

도 2는 도 1의 A-A' 라인을 따라 절단한 단면도.

도 3은 도 1의 B-B' 라인을 따라 절단한 단면도.

도 4는 실시예에 따른 액정표시장치를 도시한 평면도.

도 5는 도 4의 액정표시장치를 도시한 단면도.

도 6 내지 도 9는 실시예에 따른 액정표시장치의 제조 공정을 도시한 도면.

도 10 내지 도 13은 도 7에 도시된 액티브 패턴을 형성하는 공정을 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0030] 도 4는 실시예에 따른 액정표시장치를 도시한 평면도이고, 도 5는 도 4의 액정표시장치를 도시한 단면도이다.

[0031] 도 4 및 도 5를 참고하면, 기판(1) 상에 게이트 라인(3), 게이트 전극(5), 더미 패턴(15), 공통 라인(9), 다수의 화소 전극들(13a), 다수의 공통 전극들(11a) 및 게이트 패드(7a)를 배치한다. 상기 게이트 라인(3), 상기 게이트 전극(5), 상기 더미 패턴(15), 상기 공통 라인(9), 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 상기 게이트 패드(7a) 모두는 동일층에 형성될 수 있다.

[0032] 상기 게이트 전극(5)은 상기 게이트 라인(3)으로부터 상기 공통 라인(9)으로 돌출 형성될 수 있다. 상기 게이트 패드(7a)는 상기 게이트 라인(3)의 끝단에 형성될 수 있다. 상기 게이트 패드(7a)는 외부의 회로부에 연결하기 위한 접점 역할을 한다. 상기 회로부에서 제공된 게이트 신호는 상기 게이트 패드(7a)를 통해 상기 게이트 라인(3)으로 공급될 수 있다.

[0033] 상기 공통 라인(9)은 상기 게이트 라인(3)에 인접하도록 형성되고 상기 게이트 라인(3)과 평행하게 형성될 수 있다. 상기 공통 라인(9)은 상기 게이트 전극(5)에 대응하기 위해 상기 게이트 전극(5)에 인접한 영역에 오목한

홈을 가질 수 있다. 따라서, 상기 게이트 전극(5)이 상기 공통 라인(9)의 오목한 홈으로 돌출 형성됨에 따라, 상기 게이트 라인(3)과 상기 공통 라인(9)의 전체 폭을 일정하게 유지하고 가능한 한 전체 폭을 줄일 수 있다.

- [0034] 상기 공통 전극들(11a)은 상기 게이트 라인(3)의 수직 방향으로 상기 공통 라인(9)으로부터 연장 형성될 수 있다. 또한 상기 공통 전극들(11a)은 상기 게이트 라인(3)에 대해 경사진 방향으로 상기 공통 라인(9)으로부터 연장 형성될 수도 있다. 상기 공통 전극들(11a)이 형성된 방향성에 대해서는 한정하지 않는다.
- [0035] 상기 더미 패턴(15)과 상기 화소 전극들(13a)은 상기 공통 라인(9)으로부터 소정 거리(d)로 이격되어 형성될 수 있다. 상기 거리의 최적화에 대해서는 나중에 설명하기로 한다.
- [0036] 상기 게이트 라인(3), 상기 게이트 전극(5) 및 상기 더미 패턴(15)은 투명한 도전막과 그 위에 형성된 제1 금속막을 포함할 수 있다. 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 게이트 패드(7a)는 투명한 도전막만을 포함할 수 있다.
- [0037] 따라서, 상기 공통 전극들(11a)과 상기 화소 전극들(13a)은 광이 투과될 수 있게 되어, 픽셀의 개구율을 확보할 수 있다.
- [0038] 상기 기판(1) 상에 게이트 절연층(17)을 형성하고, 상기 게이트 전극(5)에 대응하는 상기 게이트 절연층(17) 상에 액티브 패턴(19)을 배치한다.
- [0039] 상기 게이트 절연층(17)은 상기 더미 패턴(15), 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 게이트 패드(7a) 상에는 형성되지 않는다. 다시 말해, 상기 게이트 절연층(17)은 상기 더미 패턴(15), 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 상기 게이트 패드(7a)를 제외한 상기 기판(1)의 전 영역에 형성될 수 있다.
- [0040] 상기 더미 패턴(15) 상에 상기 게이트 절연층(17)을 형성하지 않는 이유는 나중에 형성될 데이터 라인(31)을 상기 더미 패턴(15)에 직접 접촉 형성시키기 위함이다.
- [0041] 상기 화소 전극들(13a)과 상기 공통 전극들(11a) 상에 상기 게이트 절연층(17)을 형성하지 않는 이유는 나중에 데이터 라인(31)의 형성을 위한 식각 공정시에 상기 화소 전극들(13a)과 상기 공통 전극들(11a)의 상기 제1 금속막을 제거하기 위함이다.
- [0042] 상기 게이트 패드(7a) 상에 게이트 절연층(17)을 형성하지 않는 이유는 외부의 회로부와 전기적인 접점을 위해 오픈시켜야 하기 때문이다. 물론 상기 게이트 패드(7a) 상에는 게이트 절연층(17)을 형성하고 나중에 패시베이션층(41)에 게이트 콘택홀(43)을 형성할 때 게이트 패드(7a) 상의 게이트 절연층(17)을 제거할 수도 있다. 따라서, 게이트 패드(7a) 상에 게이트 절연층(17)을 형성할지 아니면 형성하지 않을지에 대해서는 한정하지 않는다.
- [0043] 상기 액티브 패턴(19)은 상기 게이트 전극(5) 상에 한정되어 형성될 수 있다. 따라서, 상기 액티브 패턴(19)이 상기 더미 패턴(15) 상에 형성되지 않음에 주목할 필요가 있다. 상기 더미 패턴(15)은 나중에 데이터 패턴과 접촉 연결되는데, 상기 더미 패턴(15)과 상기 데이터 패턴 사이에 액티브 패턴(19)이 형성되지 않게 되어 액티브 패턴(19)으로 인한 광 전류가 생성되지 않게 된다. 이에 따라 박막 트랜지스터의 누설 전류를 최소화하여 박막 트랜지스터의 오동작이나 화질 불량을 방지할 수 있다.
- [0044] 한편, 앞서 상기 더미 패턴(15)과 상기 공통 라인(9) 사이의 거리(d)를 언급한바 있다. 상기 공통 라인(9) 상에 형성된 게이트 절연층(17)의 두께를 w하고 할 때, 상기 더미 패턴(15)과 상기 공통 라인(9) 사이의 거리(d)는 다음과 같은 범위로 정의될 수 있다.
- [0045] $1 \leq d/w \leq 3$
- [0046] 다시 말해, 상기 더미 패턴(15)과 상기 공통 라인(9) 사이의 거리(d)는 상기 공통 라인(9) 상의 게이트 절연층(17)의 두께(w)의 1배 내지 3배 범위일 수 있다.
- [0047] 즉, 상기 더미 패턴(15)은 상기 공통 라인(9) 상의 게이트 절연층(17)의 두께(w)의 1배 내지 3배 범위 내에서 상기 공통 라인(9)과 이격되도록 배치될 수 있다.
- [0048] 상기 거리(d)가 상기 두께(w)의 1배 이하인 경우, 상기 더미 패턴(15)과 상기 공통 라인(9) 사이가 너무 가까워 상기 더미 패턴(15)과 상기 공통 라인(9) 간에 전기적인 쇼트 가능성이 있다. 상기 거리(d)가 상기 두께(w)의 3배 이상인 경우, 상기 더미 패턴(15)의 사이즈가 줄어들게 되고 이는 곧 상기 데이터 라인(31)과의 접촉 면적을 감소시키게 되어, 데이터 지연을 원천적으로 차단하지 못하게 될 수 있다.

- [0049] 상기 기판(1) 상에 데이터 라인(31), 소오스 전극(33), 드레인 전극(35) 및 데이터 패드(37)를 배치한다. 상기 데이터 라인(31), 상기 소오스 전극(33), 상기 드레인 전극(35) 및 상기 데이터 패드(37)는 동일층에 형성될 수 있다.
- [0050] 상기 데이터 라인(31)은 상기 게이트 라인(3) 및 상기 공통 라인(9)과 교차하도록 배치되고, 상기 더미 패턴(15)과 적어도 직접 접촉 형성될 수 있다. 상기 더미 패턴(15)은 상기 데이터 라인(31)의 길이 방향을 따라 형성되므로, 상기 데이터 라인(31) 또한 상기 더미 패턴(15)의 길이 방향을 따라 접촉 형성될 수 있다. 상기 데이터 라인(31)은 상기 게이트 절연층(17)을 관통하여 상기 더미 패턴(15)에 접촉 형성될 수 있다.
- [0051] 상기 더미 패턴(15)이 최대한 상기 데이터 라인(31)에 접촉되도록 하기 위해 상기 더미 패턴(15)은 적어도 상기 데이터 라인(31)보다 큰 폭을 가질 수 있다.
- [0052] 이와 같이 상기 데이터 라인(31)이 상기 더미 패턴(15)과 직접 접촉 형성됨으로써, 상기 데이터 라인(31)과 상기 더미 패턴(15) 사이에 기생 캐패시턴스가 존재하지 않아 데이터 지연 현상을 원천적으로 차단할 수 있다.
- [0053] 상기 소오스 전극(33)은 상기 데이터 라인(31)으로부터 상기 게이트 전극(5)으로 연장 형성되고, 상기 액티브 패턴(19)의 에지 영역 상에 형성될 수 있다.
- [0054] 상기 드레인 전극(35)은 상기 액티브 패턴(19) 상에서 상기 소오스 전극(33)과 이격되고 상기 액티브 패턴(19)의 또 다른 에지 영역 상에 형성되고, 상기 공통 라인(9)과 오버랩되도록 형성되고, 상기 화소 전극들(13a)에 전기적으로 연결될 수 있다. 상기 드레인 전극(35)은 상기 화소 전극들(13a)의 에지 영역들의 상기 제1 금속막 상에 형성될 수 있다.
- [0055] 상기 드레인 전극(35)과 상기 공통 라인(9) 사이의 오버랩 면적에 의해 스토리지 캐패시턴스의 용량이 결정될 수 있다. 바람직하게 상기 드레인 전극(35)의 전 영역은 모두 상기 공통 라인(9)과 오버랩될 수 있다.
- [0056] 상기 드레인 전극(35)과 상기 공통 라인(9)은 그 사이에 배치된 게이트 절연층(17)을 매개로 하여 데이터 전압을 1 프레임 동안 저장하는 스토리지 캐패시턴스가 형성될 수 있다.
- [0057] 상기 드레인 전극(35)과 연결되는 상기 화소 전극들(13a)의 에지 영역들은 상기 도전막과 상기 제1 금속막을 포함할 수 있다. 상기 드레인 전극(35)은 상기 제1 금속막 상에 형성될 수 있다.
- [0058] 상기 데이터 패드(37)는 상기 데이터 라인(31)의 끝단에 형성될 수 있다.
- [0059] 상기 게이트 전극(5), 상기 액티브 패턴(19), 상기 소오스 전극(33) 및 상기 드레인 전극(35)에 의해 박막 트랜지스터가 형성될 수 있다. 상기 게이트 라인(3)은 상기 박막 트랜지스터의 상기 게이트 전극(5)에 전기적으로 연결되고, 상기 데이터 라인(31)은 상기 박막 트랜지스터의 소오스 전극(33)에 전기적으로 연결되며, 상기 화소 전극들(13a)은 상기 박막 트랜지스터의 드레인 전극(35)에 전기적으로 연결될 수 있다.
- [0060] 상기 기판(1) 상에 패시베이션층(41)을 형성하고, 게이트 콘택홀(43)과 데이터 콘택홀(45)을 형성한다. 상기 게이트 콘택홀(43)은 상기 도전막을 포함하는 상기 게이트 패드(7a)를 노출시키기 위해 형성되고, 상기 데이터 콘택홀(45)은 상기 제2 금속막을 포함하는 상기 데이터 패드(37)를 노출시키기 위해 형성될 수 있다.
- [0061] 상기 화소 전극들(13a)과 상기 공통 전극들(11a)이 상기 패시베이션층(41) 상에 형성되지 않고, 상기 패시베이션층(41)이 상기 화소 전극들(13a)과 상기 공통 전극들(11a) 상에 형성됨으로써, 상기 패시베이션층(41)의 상면은 평평하게 유지된다. 따라서, 이후 공정인 러빙 공정시 일정한 방향으로 러빙되어, 액정 분자들의 프리틸트 각을 일정하게 유지할 수 있어 액정의 정확한 구동에 의해 화질이 향상될 수 있다.
- [0062] 도 6 내지 도 9는 실시예에 따른 액정표시장치의 제조 공정을 도시한 도면이다.
- [0063] 도 6a 및 도 6b를 참고하면, 기판(1) 상에 게이트 라인(3), 게이트 전극(5), 공통 라인(9), 다수의 화소 전극들(13), 다수의 공통 전극들(11), 더미 패턴(15) 및 게이트 패드(7)를 형성한다.
- [0064] 게이트 전극(5)은 상기 게이트 라인(3)으로부터 공통 라인(9)에 인접하도록 돌출되어 형성될 수 있다. 상기 게이트 라인(3)의 끝단에는 상기 게이트 패드(7)가 형성될 수 있다.
- [0065] 상기 게이트 라인(3)과 상기 게이트 전극(5)과 인접하여 상기 공통 라인(9)이 형성될 수 있다. 상기 공통 라인(9)과 상기 게이트 라인(3) 또는 상기 게이트 전극(5)과의 전기적인 쇼트를 방지하기 위해 상기 공통 라인(9)은 상기 게이트 라인(3)과 상기 게이트 전극(5)과 이격된다.

- [0066] 상기 게이트 라인(3), 상기 게이트 전극(5) 및 상기 공통 라인(9)은 각각 비교적 넓은 폭을 가지고 있어, 이들의 넓은 폭에 의해 픽셀의 개구율이 작아질 수 있다. 이러한 문제를 해결하기 위해, 상기 게이트 전극(5)에 인접하는 상기 공통 라인(9)은 오목한 홈을 가지게 되어 상기 게이트 전극(5)에 인접하지 않은 상기 공통 라인(9)보다 작은 폭을 가지게 된다. 이와 같은 구조에 의해 상기 게이트 라인(3)과 상기 공통 라인(9)의 전체 폭은 일정하게 유지될 수 있다. 만일 게이트 전극(5)에 인접한 공통 라인(9)에 오목한 홈이 형성되지 않는 경우, 상기 공통 라인(9)에 인접하도록 돌출된 게이트 라인(3)으로 인해, 상기 게이트 라인(3)은 상기 공통 라인(9)으로부터 적어도 상기 돌출된 게이트 전극(5)의 길이만큼 이격되어야 하므로, 상기 공통 라인(9)과 상기 게이트 라인(3)의 전체 폭은 상당히 넓게 된다. 이러한 경우, 픽셀의 개구율은 이와 같이 상당히 넓은 공통 라인(9)과 게이트 라인(3)의 전체 폭으로 인해 현저하게 줄어들게 된다.
- [0067] 상기 공통 전극들(11)은 상기 공통 라인(9)으로부터 연장 형성될 수 있다. 도면에는 3개의 공통 전극들(11)이 도시되고 있지만, 픽셀의 개구율과 설계 규정을 고려하여 3개 이상의 공통 전극들(11)이 하나의 픽셀에 형성될 수도 있다.
- [0068] 상기 화소 전극들(13)은 상기 공통 전극들(11)과 교대로 이격되어 형성될 수 있다.
- [0069] 실시예에서는 게이트 라인(3)이 형성될 때, 화소 전극들(13)과 공통 전극들(11)이 기판(1) 상에 직접 그리고 동시에 형성될 수 있다. 따라서, 화소 전극들(13)과 공통 전극들(11)을 별도로 형성하는 공정이 필요하지 않게 되어, 공정 수와 공정 시간이 줄어들게 된다.
- [0070] 상기 더미 패턴(15)은 후 공정에 의해 형성될 데이터 라인(31)과 중첩되는 위치에 형성될 수 있다. 실시예에서는 데이터 라인(31)이 상기 더미 패턴(15)에 직접적인 접촉으로 형성될 수 있다. 이에 따라, 데이터 라인(31)의 저항이 감소되고 종래에 데이터 라인(31)과 공통 라인(9) 사이에 존재하는 기생 캐패시턴스가 제거되어, 데이터 지연 현상을 원천적으로 차단하여 수직/수평 크로스토크를 방지하는 한편 대형 패널에서도 데이터 지연없이 안정적인 데이터 공급이 가능해진다. 또한, 데이터 라인(31)과 더미 패턴(15) 사이에 후공정에 의해 형성될 어떠한 액티브 패턴도 형성되지 않게 되어 광전류에 의한 전류 누설을 최소화할 수 있다. 이와 관련된 구체적인 설명은 나중에 상세히 하기로 한다.
- [0071] 구체적인 공정을 설명하면, 기판(1) 상에 투명한 도전막과 제1 금속막을 순차적으로 한다. 상기 도전막은 예를 들면, ITO, IZO, ITZO, GZO(Ga-ZnO), AZO(Al-ZnO), AGZO(Al-Ga-ZnO), IGZO(In-Ga-ZnO), IrOx, RuOx 및 RuOx/ITO으로 이루어지는 그룹 중에서 선택적으로 적어도 하나를 포함할 수 있다.
- [0072] 상기 제1 금속막은 예를 들면, Au, Ti, Ni, Cu, Al, Cr, Ag, Pt, W, Pd, Ir, Ru, Zn, Hr 및 Co으로 이루어지는 그룹에서 선택된 적어도 하나를 포함할 수 있다. 상기 제1 금속막은 이들 금속 물질들로 이루어진 단일층이나 멀티층을 포함할 수 있다.
- [0073] 이어서, 상기 도전막과 상기 제1 금속막을 대상으로 세정 공정, 노광 공정, 현상 공정 및 식각 공정을 순차적으로 수행하여, 상기 게이트 라인(3), 상기 게이트 전극(5), 상기 공통 라인(9), 상기 화소 전극들(13), 상기 공통 전극들(11), 상기 더미 패턴(15) 및 상기 게이트 패드(7)를 형성할 수 있다. 상기 게이트 라인(3), 상기 게이트 전극(5), 상기 공통 라인(9), 상기 화소 전극들(13), 상기 공통 전극들(11), 상기 더미 패턴(15) 및 상기 게이트 패드(7) 각각은 상기 도전막과 상기 제1 금속막을 포함할 수 있다.
- [0074] 도 7a 및 도 7b를 참고하면, 상기 게이트 라인(3)을 적어도 포함하는 상기 기판(1) 상에 게이트 절연층(17)과 액티브 패턴(19)을 형성한다.
- [0075] 상기 게이트 절연층(17)은 상기 더미 패턴(15), 게이트 패드(7), 상기 화소 전극들(13) 및 상기 공통 전극들(11)을 제외한 상기 기판(1) 상의 모든 영역에 형성될 수 있다.
- [0076] 상기 더미 패턴(15)은 바람직하게는 상기 게이트 절연층(17)에 의해 모두 노출될 수 있다. 또는 상기 더미 패턴(15)은 상기 게이트 절연층(17)에 의해 상기 더미 패턴(15)의 전체 사이즈의 70%가 노출될 수 있다. 이를 정리하면, 상기 더미 패턴(15)은 상기 게이트 절연층(17)에 의해 상기 더미 패턴(15)의 전체 사이즈의 70% 내지 100%의 범위로 노출될 수 있다.
- [0077] 상기 화소 전극들(13)은 상기 게이트 절연층(17)에 의해 모두 노출될 수 있다.
- [0078] 상기 공통 전극들(11)은 상기 공통 라인(9)으로부터 연장 형성되는데, 상기 게이트 절연층(17)에 의해 모두 노출될 수도 있고 그렇지 않을 수도 있다. 상기 공통 전극들(11)이 상기 게이트 절연층(17)에 의해 보다 많이 노

출될수록 픽셀의 개구율은 확대될 수 있다.

- [0079] 만일 상기 게이트 절연층(17)에 의해 상기 공통라인의 일부 영역까지 노출되는 경우, 후공정에 의해 상기 공통라인(9)에 증착되도록 형성될 드레인 전극(35)이 상기 공통 라인(9)과 전기적인 쇼트가 발생될 가능성이 있다. 따라서, 상기 게이트 절연층(17)에 의해 상기 공통 라인(9)은 노출되지 않는 것이 바람직하다.
- [0080] 결국, 상기 게이트 절연층(17)에 의해 상기 공통 전극들(11)은 모두 노출될 수 있지만, 상기 공통 라인(9)은 노출되지 않는 것이 바람직하다.
- [0081] 상기 게이트 절연층(17)에 의해 상기 더미 패턴(15), 상기 게이트 패드(7), 상기 화소 전극들(13) 및 상기 공통 전극들(11)이 노출될 수 있다.
- [0082] 상기 액티브 패턴(19)은 상기 게이트 전극(5)에 대응하는 상기 게이트 절연층(17) 상에 형성될 수 있다. 상기 액티브 패턴(19)은 상기 게이트 전극(5)의 면적보다 적어도 작은 면적을 가질 수 있다.
- [0083] 구체적인 공정을 도 10 내지 도 13을 참고하여 설명한다.
- [0084] 도 10을 참고하면, 상기 기판(1) 상에 게이트 절연막(17a), 제1 액티브막(19a) 및 감광성 막(21)을 순차적으로 형성한다. 상기 게이트 절연막(17a)은 SiO_2 , Si_3N_4 , Al_2O_3 및 TiO_2 으로 이루어지는 그룹 중에서 선택된 적어도 하나를 포함할 수 있다. 제1 액티브막(19a)은 비정질 실리콘으로 이루어지는 채널막과 비정질 실리콘에 불순물들 주입하여 형성된 오믹콘택막을 포함할 수 있다. 상기 감광성 막(21)은 광에 반응하는 포토 레지스트를 포함할 수 있다.
- [0085] 상기 기판(1) 상에 하프톤 마스크(23)를 얼라인한다. 상기 하프톤 마스크(23)는 차단 패턴(23a), 회절 패턴(23b) 및 투과 패턴(23c)을 포함할 수 있다. 상기 차단 패턴(23a)은 광을 차단시켜 출사시키지 못하게 하고, 상기 회절 패턴(23b)은 광을 회절시켜 서로 간섭되도록 하여 광 에너지를 줄이게 되며, 상기 투과 패턴(23c)은 광을 그대로 모두 출사시키게 된다.
- [0086] 상기 하프톤 마스크(23)를 향해 노광 공정을 이용하여 광을 조사한다. 이러한 경우, 상기 하프톤 마스크(23)의 상기 차단 패턴(23a)으로 입사된 광은 출사되지 못하게 되어, 상기 차단 패턴(23a)에 대응하는 상기 기판(1)의 영역에는 어떠한 광도 조사되지 않은 미감광 영역이 된다. 상기 회절 패턴(23b)으로 입사된 광은 그 에너지가 줄어든 상태로 상기 회절 패턴(23b)에 대응하는 상기 기판(1)의 영역으로 조사된다. 이에 따라, 상기 회절 패턴(23b)에 대응하는 상기 기판(1)의 영역은 반감광 영역이 된다. 상기 투과 패턴(23c)으로 입사된 광은 그대로 상기 투과 패턴(23c)에 대응하는 상기 기판(1)의 영역으로 조사된다. 이에 따라, 상기 투과 패턴(23c)에 대응하는 상기 기판(1)의 영역은 감광 영역이 된다.
- [0087] 도 11을 참고하면, 노광 공정 후 현상 공정을 이용하여 상기 기판(1)을 현상하면, 상기 기판(1)의 미감광 영역의 감광성 막(21)은 어떠한 변화도 없이 그대로 존재하는 제1 감광성 패턴(21a)이 형성되고, 상기 기판(1)의 반감광 영역의 감광성 막(21)은 상기 감광성 막(21)의 반 정도의 두께로 줄어드는 제2 감광성 패턴(21b)이 형성되며, 상기 기판(1)의 감광 영역의 감광성 막(21)은 상기 제1 액티브막(19a)이 노출되도록 상기 제1 액티브막(19a) 상의 상기 감광성 막(21)이 모두 제거된다.
- [0088] 도 12를 참고하면, 상기 제1 및 제2 감광성 패턴들(21a, 21b)을 마스크로 하여 식각 공정을 수행하여 상기 제1 및 제2 감광성 패턴들(21a, 21b)이 없는 상기 기판(1)의 영역 상에 있는 제1 액티브막(19a)과 게이트 절연막(17a)이 순차적으로 제거된다. 상기 식각 공정은 습식 식각 공정이나 건식 식각 공정을 포함할 수 있다. 상기 제1 액티브막(19a)과 상기 게이트 절연막(17a)은 서로 상이한 물질들로 이루어져, 동일한 식각 용액 또는 식각 가스에 의해 한번에 일괄적으로 제거될 수 없으므로, 상기 제1 액티브막(19a)과 상기 게이트 절연막(17a)은 서로 상이한 식각 공정들에 의해 제거될 수 있다. 만일 동일한 식각 용액이나 식각 가스에 의해 식각 공정이 가능하다면, 상기 제1 액티브막(19a)과 상기 게이트 절연막(17a)은 단일 식각 공정에 의해 한번에 일괄적으로 제거될 수도 있다. 상기 제1 액티브막(19a)로부터 제거되고 남은 액티브막은 제2 액티브막(19b)이 된다.
- [0089] 상기 제1 액티브막(19a)과 상기 게이트 절연막(17a)의 제거로 인해 상기 게이트 절연막(17a) 하부에 형성된 상기 더미 패턴(15), 상기 게이트 패드(7), 상기 화소 전극들(13) 및 상기 공통 전극들(11)이 노출될 수 있다.
- [0090] 도 13을 참고하면, 애싱(ashing) 공정을 수행하여, 상기 제1 및 제2 감광성 패턴들(21a, 21b)을 그 상부 표면으로부터 순차적으로 제거한다. 이러한 애싱 공정은 상기 제2 감광성 패턴(21b)이 모두 제거되어 상기 제2 감광성 패턴(21b)의 하부에 형성된 상기 제2 액티브막(19b)이 노출될때까지 지속될 수 있다.

- [0091] 그 결과, 상기 제2 감광성 패턴(21b)은 모두 제거되고, 상기 제1 감광성 패턴(21a)은 그 두께가 줄어든 제3 감광성 패턴(21c)이 될 수 있다.
- [0092] 상기 제3 감광성 패턴(21c)을 마스크로 하여 상기 제2 액티브막(19b)을 제거할 수 있는 식각 공정을 수행한다. 따라서, 상기 제2 감광성 패턴(21b)의 하부에 형성된 상기 제2 액티브막(19b)은 모두 제거되지만, 상기 제3 감광성 패턴(21c)은 마스크의 역할을 하게 되어 상기 제3 감광성 패턴(21c)의 하부에 형성된 상기 제2 액티브막(19b)은 그대로 존재하여 액티브 패턴(19)이 된다.
- [0093] 이후, 남아 있는 상기 제3 감광성 패턴(21c)은 스트립 공정을 이용하여 제거할 수 있다.
- [0094] 도 8a 및 도 8b를 참고하면, 상기 게이트 절연층(17)을 포함하는 상기 기판(1) 상에 데이터 라인(31), 소오스 전극(33), 드레인 전극(35) 및 데이터 패드(37)를 형성한다.
- [0095] 상기 데이터 라인(31)은 상기 게이트 라인(3) 및 상기 공통 라인(9)과 교차하도록 배치될 수 있다. 상기 데이터 라인(31)은 상기 더미 패턴(15)을 따라 중첩되도록 배치될 수 있다. 상기 더미 패턴(15)은 상기 게이트 절연층(17)에 의해 노출되므로, 상기 데이터 라인(31)에 직접 접촉하여 전기적으로 연결될 수 있다. 다시 말해, 상기 데이터 라인(31)과 상기 더미 패턴(15) 사이에는 어떠한 층도 게재되지 않고 상기 게이트 라인(3)과 상기 더미 패턴(15)만이 직접 접촉 형성될 수 있다.
- [0096] 상기 소오스 전극(33)은 상기 데이터 라인(31)으로부터 상기 게이트 전극(5)으로 연장 형성될 수 있다. 상기 소오스 전극(33)은 적어도 상기 액티브 패턴(19)의 에지 영역 상에 접촉 형성될 수 있다. 상기 드레인 전극(35)은 상기 액티브 패턴(19) 상에서 상기 소오스 전극(33)과 이격되는 한편 상기 화소 전극들(13a)에 전기적으로 연결된다.
- [0097] 상기 데이터 패드(37)는 상기 기판(1) 상에 직접 형성되는 한편, 상기 데이터 라인(31)의 끝단에 형성될 수 있다.
- [0098] 상기 게이트 전극(5), 상기 액티브 패턴(19), 상기 소오스 전극(33) 및 상기 드레인 전극(35)에 의해 박막 트랜지스터가 형성될 수 있다.
- [0099] 상기 데이터 라인(31), 상기 소오스 전극(33), 상기 드레인 전극(35) 상기 데이터 패드(37)는 각각 제2 금속막으로부터 형성될 수 있다. 상기 제2 금속막은 상기 제1 금속막과 동일한 물질을 가질 수도 있고 상이한 물질을 가질 수도 있다.
- [0100] 상기 제2 금속막은 예를 들면, Au, Ti, Ni, Cu, Al, Cr, Ag, Pt, W, Pd, Ir, Ru, Zn, Hr 및 Co으로 이루어지는 그룹에서 선택된 적어도 하나를 포함할 수 있다. 상기 제2 금속막은 이들 금속 물질들로 이루어진 단일층이나 멀티층을 포함할 수 있다.
- [0101] 상기 화소 전극들(13a)과 상기 공통 전극들(11a)은 상기 도전막만을 포함할 수 있다. 이는 상기 데이터 라인(31), 상기 소오스 전극(33), 상기 드레인 전극(35) 상기 데이터 패드(37)를 형성할 때, 상기 도전막 상에 형성된 상기 제1 금속막이 제거됨으로써, 상기 화소 전극들(13a)과 상기 공통 전극들(11a)은 상기 도전막만을 포함하게 된다.
- [0102] 또한, 상기 게이트 패드(7a) 또한 상기 도전막만을 포함할 수 있다. 상기 게이트 패드(7)는 상기 데이터 라인(31), 상기 소오스 전극(33), 상기 드레인 전극(35) 상기 데이터 패드(37)를 형성할 때, 상기 도전막 상에 형성된 상기 제1 금속막이 제거됨으로써, 상기 게이트 패드(7a)는 상기 도전막만을 포함하게 된다.
- [0103] 구체적인 공정을 설명하면, 상기 기판(1) 상에 제2 금속막을 형성한다. 상기 제2 금속막을 대상으로 세정 공정, 노광 공정, 현상 공정 및 식각 공정을 순차적으로 수행하여, 상기 데이터 라인(31), 상기 소오스 전극(33), 상기 드레인 전극(35) 및 상기 데이터 패드(37)를 형성할 수 있다.
- [0104] 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 상기 게이트 패드(7) 상에 형성된 제2 금속막을 식각 공정을 이용하여 제거할 때, 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 상기 게이트 패드(7)의 제1 금속막 또한 제거함으로써, 상기 화소 전극들(13a), 상기 공통 전극들(11a) 및 상기 게이트 패드(7a)는 상기 도전막만을 포함하게 된다.
- [0105] 이와 같이, 상기 화소 전극들(13a)과 상기 공통 전극들(11a)이 투명한 도전막으로 형성됨으로써, 상기 기판(1)의 배면에 설치된 백라이트 유닛으로부터 제공된 광이 화소 전극들(13a)과 공통 전극들(11a)을 투과하여 전방으

로 진행할 수 있다.

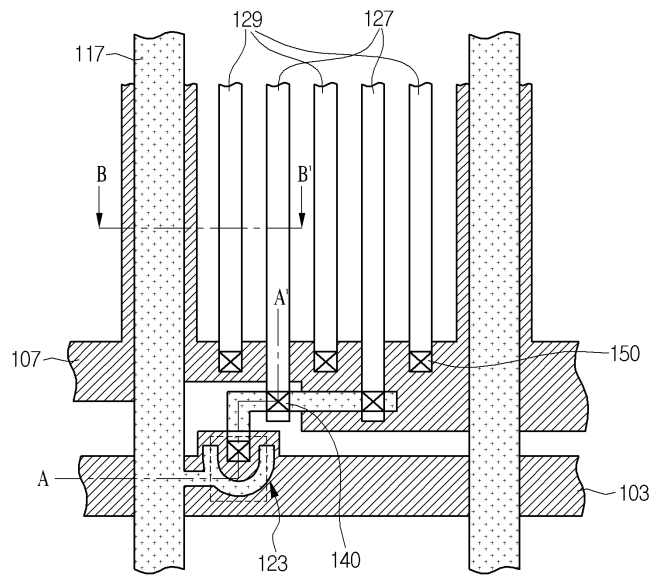
- [0106] 상기 데이터 라인(31)과 상기 더미 패턴(15)은 직접 접촉 형성되어, 상기 데이터 라인(31)과 상기 더미 패턴(15) 사이에 어떠한 게이트 절연층(17)도 형성되지 않게 된다. 따라서, 상기 데이터 라인(31)과 상기 더미 패턴(15) 사이에 어떠한 기생 캐패시턴스도 존재하지 않게 된다. 그러므로, 기생 캐패시턴스로 인한 데이터 지연 현상을 원천적으로 차단하여 수직/수평 크로스토크를 방지하여 줄 수 있다. 아울러, 대형 패널에서도 전 영역에 걸쳐 균일한 데이터 전압을 공급하여 줄 수 있어, 안정적인 구동과 함께 화질 향상을 기대할 수 있다.
- [0107] 게다가, 데이터 라인(31)뿐만 아니라 더미 패턴(15) 또한 도전성을 가지게 되므로, 상기 더미패턴에 접하는 데이터 라인(31)의 경우, 상기 더미 패턴(15)과의 접촉으로 인해 데이터 라인(31)과 더미패턴의 단위 면적이 상기 더미 패턴(15)의 면적만큼 확대되어 내부 저항을 획기적으로 줄여주어 데이터 전압의 지연을 원천적으로 방지하여 줄 수 있다.
- [0108] 또한, 상기 액티브 패턴(19)이 상기 소오스 전극(33)과 상기 드레인 전극(35) 사이에만 형성되고, 그 이외에는 기판(1)의 어떠한 영역에도 형성되지 않는다. 따라서, 상기 데이터 라인(31)과 상기 더미 패턴(15) 사이에 액티브 패턴(19)이 형성되지 않게 되어, 상기 데이터 라인(31)과 상기 더미 패턴(15) 사이에서 상기 백라이트 유닛으로부터 광으로 인한 광 전류가 발생되지 않게 되어, 광 전류로 인한 전류 누설을 최소화할 수 있다.
- [0109] 도 9a 및 도 9b를 참조하면, 상기 기판(1) 상에 패시베이션층(41)을 형성하고 패터닝하여 상기 도전막을 포함하는 상기 게이트 패드(7a)를 노출시키는 게이트 콘택홀(43)과 상기 제2 금속막을 포함하는 데이터 패드(37)를 노출시키는 데이터 콘택홀(45)이 형성될 수 있다.
- [0110] 상기 픽셀에는 상기 공통 전극들(11a)과 상기 화소 전극들(13a)이 상기 기판(1) 상에 직접 형성되고, 그 위에 패시베이션층(41)이 형성됨으로써, 상기 공통 전극들(11a)과 상기 화소 전극들(13a)은 상기 패시베이션층(41)에 의해 외부에 노출되지 않게 되어 상기 공통 전극과 상기 화소 전극들(13a)이 공중 중에 이물질에 의해 오염되는 것을 방지할 수 있다. 또한, 상기 픽셀에 형성된 패시베이션층(41)의 상면이 평평한 면을 가지게 됨으로써, 후 공정인 러빙 공정시 일정한 방향으로 러빙되어 액정 분자들이 일정한 프리틸트각으로 설정되어 액정의 정확한 구동에 의해 화질이 향상될 수 있다.

부호의 설명

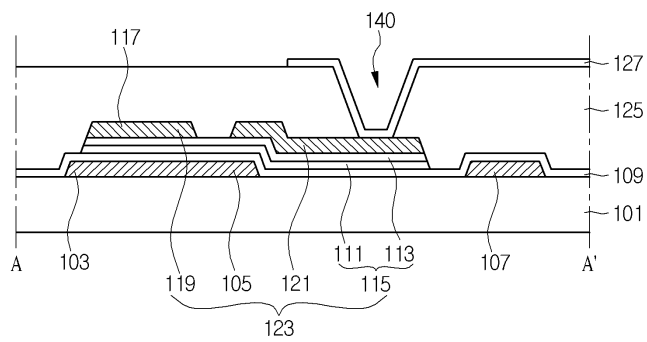
- [0111]
- | | |
|-----------------------|----------------|
| 1: 기판 | 3: 게이트 라인 |
| 5: 게이트 전극 | 7, 7a: 게이트 패드 |
| 9: 공통 라인 | 11, 11a: 공통 전극 |
| 13, 13a: 화소 전극 | 15: 더미 패턴 |
| 17: 게이트 절연층 | 17a: 게이트 절연막 |
| 19: 액티브 패턴 | 19a: 제1 액티브막 |
| 19b: 제2 액티브막 | 21: 감광성 막 |
| 21a, 21b, 21c: 감광성 패턴 | 23: 하프톤 마스크 |
| 23a: 차단 패턴 | 23b: 회절 패턴 |
| 23c: 투과 패턴 | 31: 데이터 라인 |
| 33: 소오스 전극 | 35: 드레인 전극 |
| 37: 데이터 패드 | 41: 패시베이션층 |
| 43: 게이트 콘택홀 | 45: 데이터 콘택홀 |

도면

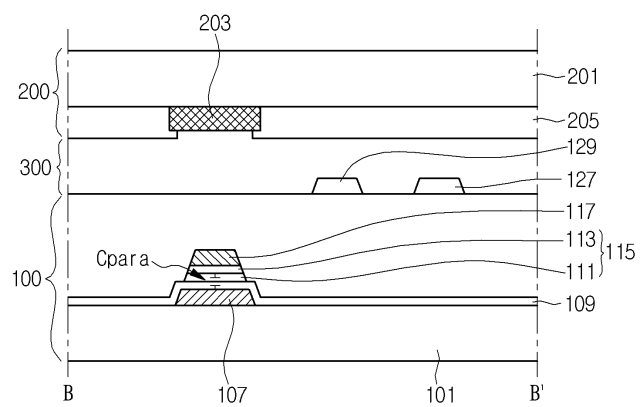
도면1



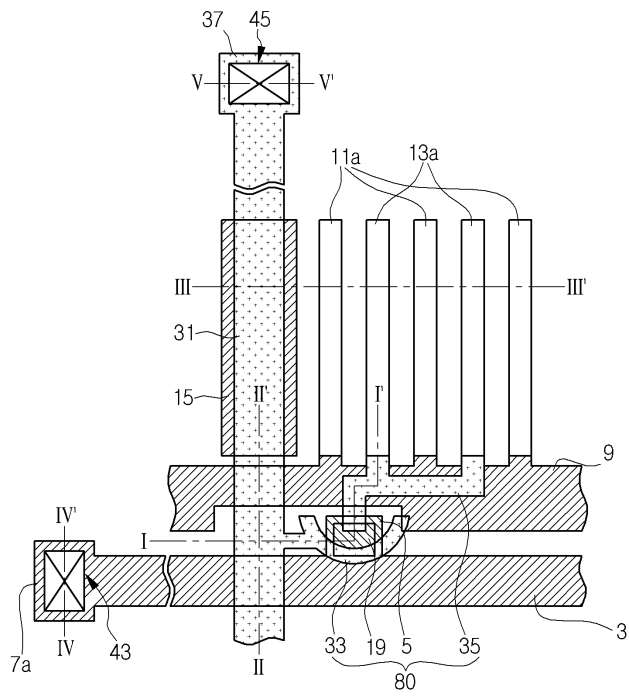
도면2



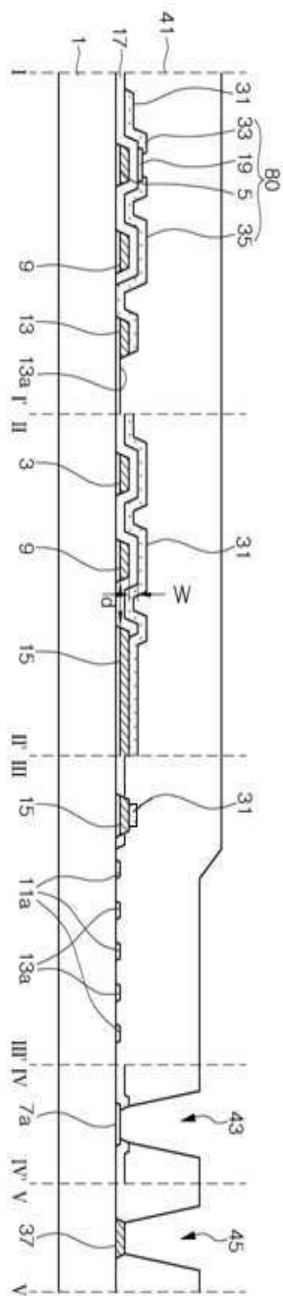
도면3



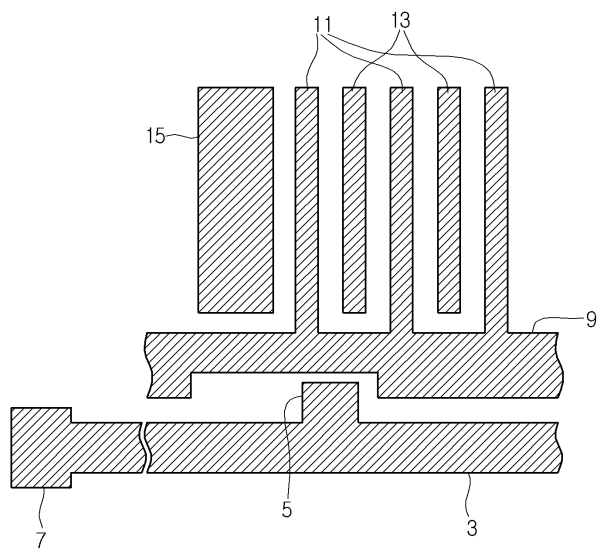
도면4



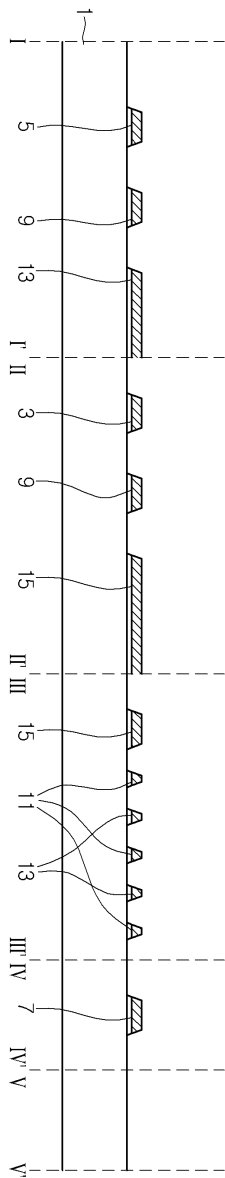
도면5



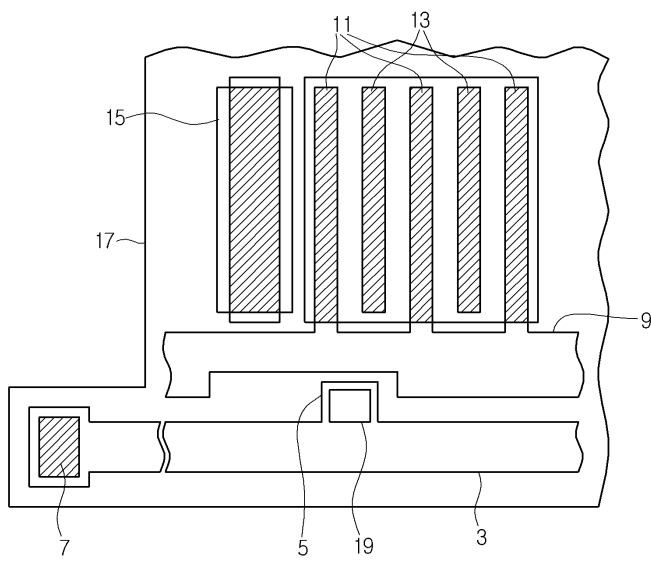
도면6a



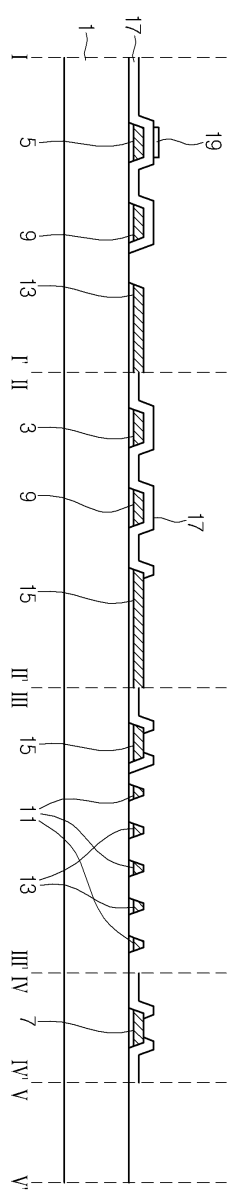
도면6b



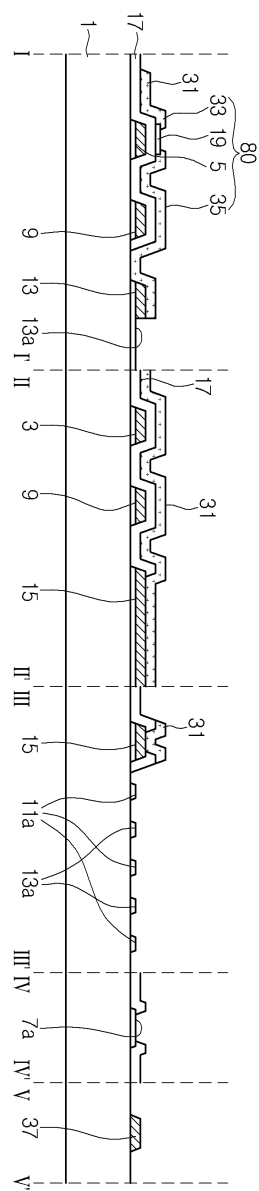
도면7a



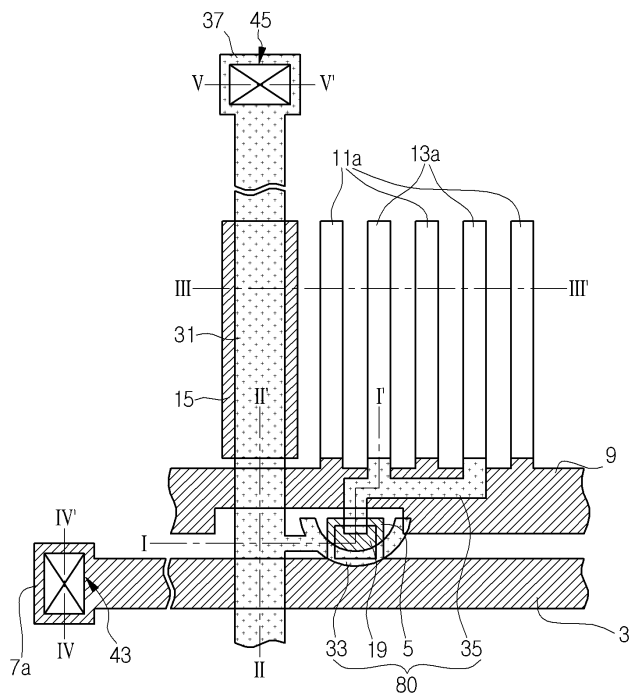
도면7b



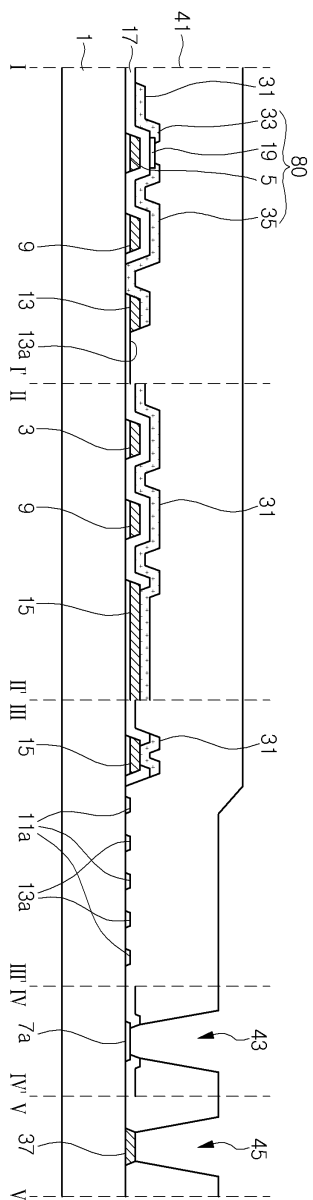
도면8b



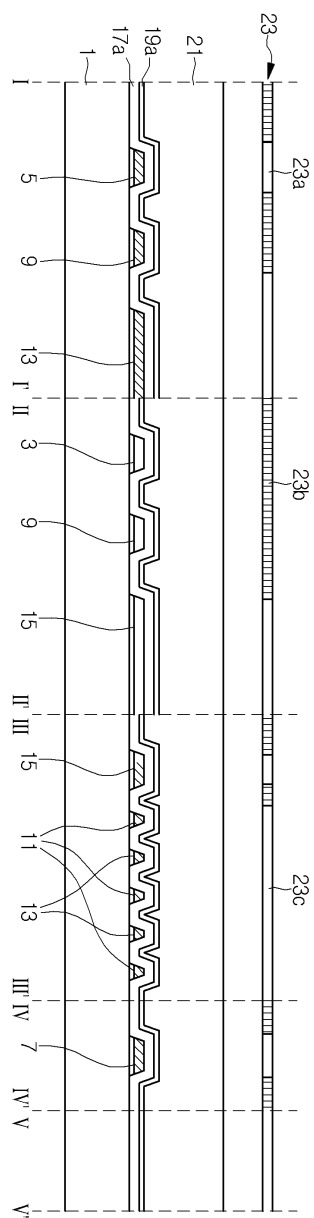
도면9a



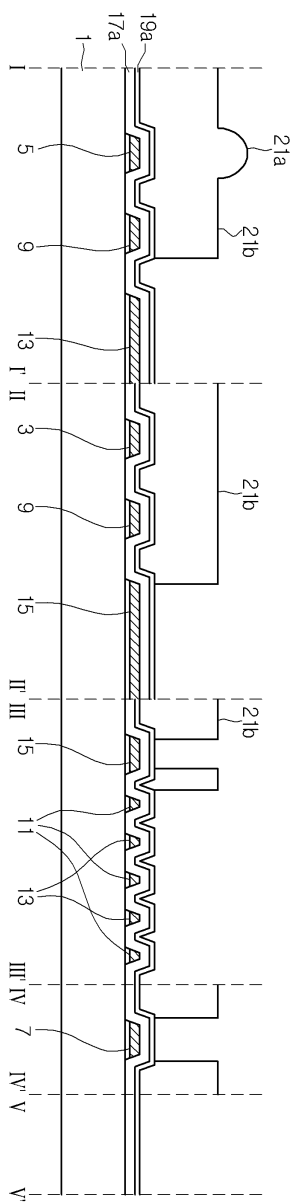
도면9b



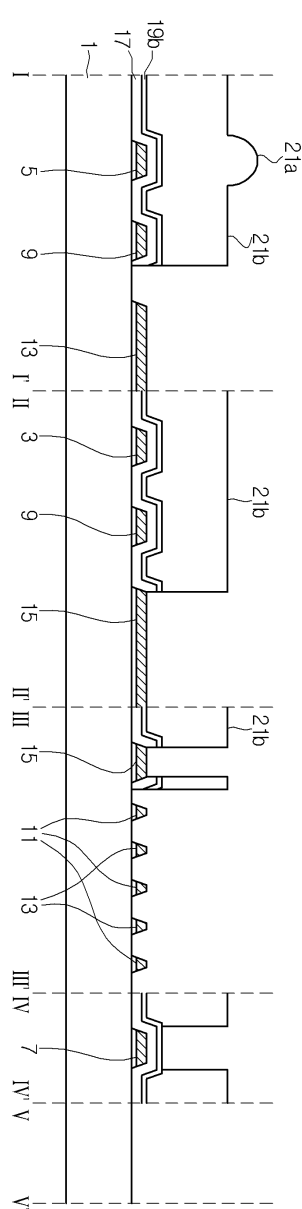
도면10



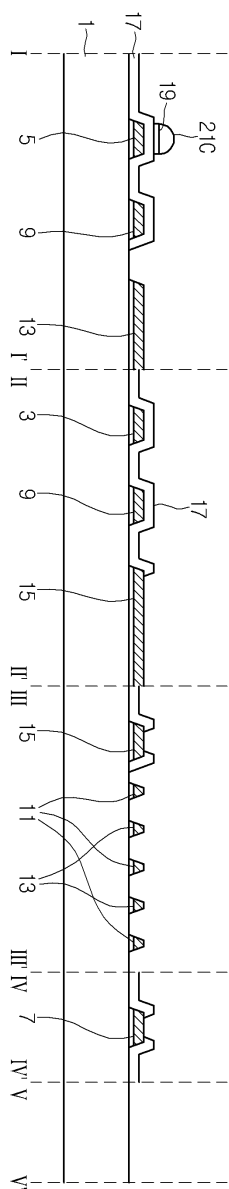
도면11



도면12



도면13



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 18, 10-11줄

【변경전】

상기 화소 전극들 및 상기 공통 전극들은

【변경후】

화소 전극들 및 공통 전극들은

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR101858250B1	公开(公告)日	2018-06-28
申请号	KR1020100103104	申请日	2010-10-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YONG IL 김용일 KIM JEONG OH 김정오		
发明人	김용일 김정오		
IPC分类号	G02F1/1343 G02F1/1333 G02F1/1337 G02F1/1368 H01L27/12		
CPC分类号	G02F1/1343 G02F1/1368 G02F1/133345 G02F1/133753 G02F1/133784 H01L27/1288 G02F2203/22 G02F1/134363 G02F1/136286 G02F2001/13629		
其他公开文献	KR1020120041590A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置及其制造方法，以防止由于光学电流引起的电流泄漏。组成：虚设图案（15）与公共线（9）分离。虚设图案连接到数据线（31）。多个公共电极（11a）连接到公共线。替代地布置像素电极（13,13a）和公共电极。数据线直接接触虚设图案。通过消除数据线和虚设图案之间的寄生电容来防止数据延迟。

