



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월27일
(11) 등록번호 10-1842715
(24) 등록일자 2018년03월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0048288
(22) 출원일자 2011년05월23일
심사청구일자 2016년05월04일
(65) 공개번호 10-2012-0130398
(43) 공개일자 2012년12월03일
(56) 선행기술조사문헌
KR1020070000546 A*
(뒷면에 계속)

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
송인덕
경상북도 구미시 고아읍 문장로26길 11, 대우아파트 106동 1305호
(74) 대리인
특허법인 대아

전체 청구항 수 : 총 10 항

심사관 : 고연화

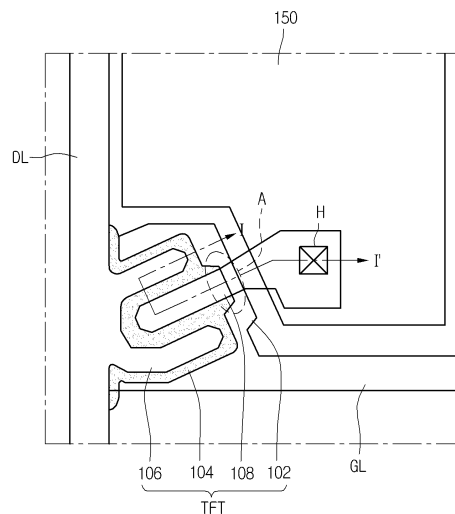
(54) 발명의 명칭 박막트랜지스터 및 이를 구비한 액정표시장치

(57) 요약

박막트랜지스터 및 이를 구비한 액정표시장치가 개시된다.

본 발명의 실시예에 따른 박막트랜지스터는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터에 있어서, 상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 드레인 전극과 일부 중첩되는 부분에서 돌출된 돌출부를 구비한다.

대표도 - 도2



(56) 선행기술조사문헌

KR100743101 B1*

KR1020060079034 A*

KR1020100038886 A

KR1020090011285 A

KR1020080072378 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터에 있어서,

상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고, 상기 드레인 전극과 드레인 전극의 일부분에서 중첩되고, 상기 중첩되는 부분에서 돌출된 돌출부를 구비하는 것을 특징으로 하는 박막트랜지스터.

청구항 2

제1 항에 있어서,

상기 반도체층의 돌출부는 사진 식각 공정 동안 발생하는 정렬 오차에 의해 상기 박막트랜지스터의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 돌출되는 것을 특징으로 하는 박막트랜지스터.

청구항 3

제1 항에 있어서,

상기 돌출부를 구비한 반도체층 및 소스 전극은 아일랜드 형상으로 형성되는 것을 특징으로 하는 박막트랜지스터.

청구항 4

제3 항에 있어서,

상기 반도체층의 돌출부는 상기 소스 전극 방향으로 연장된 드레인 전극과 반대 방향으로 돌출되는 것을 특징으로 하는 박막트랜지스터.

청구항 5

게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터에 있어서,

상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 소스 전극 보다 큰 구조의 아일랜드 형상으로 이루어지고,

상기 반도체층은 사진 식각 공정 동안 발생하는 정렬 오차에 의해 상기 박막트랜지스터의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 상기 소스 전극보다 큰 구조를 갖는 것을 특징으로 하는 박막트랜지스터.

청구항 6

삭제

청구항 7

게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 구비한 박막트랜지스터와, 상기 게이트 전극과 전기적으로 접속된 게이트라인 및 상기 소스 전극과 접속된 데이터라인을 구비한 액정표시패널;

상기 게이트라인으로 스캔신호를 공급하기 위한 게이트 드라이버; 및

상기 데이터라인으로 데이터 전압을 공급하기 위한 데이터 드라이버;를 포함하고,

상기 박막트랜지스터의 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고, 상기

드레인 전극과 드레인 전극의 일부분에서 중첩되고, 상기 중첩되는 부분에서 돌출된 돌출부를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 8

제7 항에 있어서,

상기 반도체층의 돌출부는 사진 식각 공정 동안 발생하는 정렬 오차에 의해 상기 박막트랜지스터의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 돌출되는 것을 특징으로 하는 액정표시장치.

청구항 9

제7 항에 있어서,

상기 돌출부를 구비한 반도체층 및 소스 전극은 아일랜드 형상으로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 10

제9 항에 있어서,

상기 반도체층의 돌출부는 상기 소스 전극 방향으로 연장된 드레인 전극과 반대 방향으로 돌출되는 것을 특징으로 하는 액정표시장치.

청구항 11

게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 게이트 전극과 접속된 게이트라인 및 상기 소스 전극과 접속된 데이터라인을 구비한 액정표시패널;

상기 게이트라인으로 스캔신호를 공급하기 위한 게이트 드라이버; 및

상기 데이터라인으로 데이터 전압을 공급하기 위한 데이터 드라이버;를 포함하고,

상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 소스 전극 보다 큰 구조의 아일랜드 형상으로 이루어지고,

상기 반도체층은 사진 식각 공정 동안 발생하는 정렬 오차에 의해 상기 박막트랜지스터의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 상기 소스 전극보다 큰 구조를 갖는 것을 특징으로 하는 액정표시장치.

청구항 12

삭제

발명의 설명

기술 분야

[0001] 본 발명은 박막트랜지스터에 관한 것으로, 특히 제품의 신뢰성을 향상시킬 수 있는 박막트랜지스터 및 이를 구비한 액정표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로 사용되고 있는 표시장치들 중의 하나인 CRT(Cathode Ray Tube)는 TV를 비롯해서 계측기기, 정보 단말 기기 등의 모니터에 주로 이용되고 있으나, CRT의 자체 무게와 크기로 인해 전자 제품의 소형화, 경량화의 요구에 적극적으로 대응할 수 없었다.

[0003] 따라서, 각종 전자제품이 소형, 경량화되는 추세에서 CRT는 무게나 크기 등에 있어서 일정한 한계를 가지고 있으며, 이를 대체할 것으로 예상되는 것으로는 전계광학적인 효과를 이용한 액정표시장치(Liquid Crystal Display:LCD), 가스 방전을 이용한 플라즈마 표시소자(PDP:Plasma Display Panel) 및 전계 발광 효과를 이용한 EL 표시소자(ELD:Electro Luminescence Display) 등이 있으며, 그 중에서 액정표시소자에 대한 연구가 활발히 진행되고 있다.

- [0004] 이와 같이 CRT를 대체하기 위해서 소형, 경량화 및 저소비전력 등의 장점을 갖는 액정표시장치가 활발하게 개발되어 왔고, 최근에는 평판 표시장치로서의 역할을 충분히 수행할 수 있을 정도로 개발되어 랩탑형 컴퓨터의 모니터뿐만 아니라 데스크탑형 컴퓨터의 모니터 및 대형 정보 표시장치 등에 사용되고 있어 액정표시장치의 수요는 계속적으로 증가되고 있는 실정이다.
- [0005] 일반적인 액정표시장치는 화소전극과 공통전극이 각각 구비된 두 기판과 그 사이에 형성된 유전율 이방성(dielectric anisotropy)을 갖는 액정층을 포함한다. 화소전극은 매트릭스의 형태로 배열되어 있고 박막트랜지스터(TFT) 등 스위칭 소자에 연결되어 한 행씩 차례로 데이터 전압을 인가받는다. 상기 공통전극은 기판의 전면에 걸쳐 형성되어 있으며 공통전압을 인가받는다.
- [0006] 상기 화소전극과 공통전극 및 그 사이의 액정층은 액정 축전기를 이루며, 액정 축전기는 이에 연결된 스위칭 소자와 함께 화소를 이루는 기본 단위가 된다.
- [0007] 이러한 액정표시장치에서는 두 전극에 전압을 인가하여 액정층에 전계를 생성하고, 이 전계의 세기를 조절하여 액정층을 통과하는 빛의 투과율을 조절함으로써 원하는 화상을 얻는다. 액정층에 빛을 공급하는 광원은 상기 화소전극이 형성된 기판 하부에 위치한다.
- [0008] 광원의 빛이 반도체층에 조사되면 빛에 의해 여기된 전자에 의해 광 누설 전류가 발생할 수 있다. 특히, 비정질 실리콘을 포함하는 박막트랜지스터(TFT)는 이러한 광 누설전류가 발생하여 오동작을 일으키는 문제가 있다.
- [0009] 상기 반도체층을 게이트 전극 상에 형성하여 게이트 전극이 기판 아래에 위치한 광원의 빛을 차단할 수 있게 하는 이른바 바텀 게이트 구조는 광 누설 전류를 최소화할 수 있는 구조로 널리 사용되고 있다.
- [0010] 한편, 박막트랜지스터(TFT)는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극 등 트랜지스터를 구성하는 요소를 형성하기 위해 포토 마스크를 사용한 사진 식각 공정을 거친다.
- [0011] 상기 사진 식각 공정은 몇 차례에 나뉘어 행하여지므로 각 사진 식각 공정마다 포토 마스크의 정렬 오차가 발생할 수 있다. 이러한 공정 오차는 박막트랜지스터의 반도체층 정렬에 영향을 미치는데, 층간 정렬에 오차가 있으면 반도체층 일부가 게이트 전극 바깥으로 노출되고, 그 노출된 반도체층이 게이트 전극과 드레인 전극 사이의 일부에서 광원의 빛에 조사되어 광 누설전류가 발생하여 박막트랜지스터의 소자 특성이 저하된다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 반도체층의 일부를 돌출되게 형성하여 박막트랜지스터의 소자 특성을 향상시킬 수 있는 액정표시장치를 제공함에 그 목적이 있다.

과제의 해결 수단

- [0013] 본 발명의 제1 실시예에 따른 박막트랜지스터는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터에 있어서, 상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 드레인 전극과 일부 중첩되는 부분에서 돌출된 돌출부를 구비한다.
- [0014] 본 발명의 제2 실시예에 따른 박막트랜지스터는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터에 있어서, 상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 소스 전극 보다 큰 구조의 아일랜드 형상으로 이루어진다.
- [0015] 본 발명의 제1 실시예에 따른 액정표시장치는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기 반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 구비한 박막트랜지스터와, 상기 게이트 전극과 전기적으로 접속된 게이트라인 및 상기 소스 전극과 접속된 데이터라인을 구비한 액정표시패널과, 상기 게이트라인으로 스캔신호를 공급하기 위한 게이트 드라이버 및 상기 데이터라인으로 데이터 전압을 공급하기 위한 데이터 드라이버를 포함하고, 상기 박막트랜지스터의 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 드레인 전극과 일부 중첩되는 부분에서 돌출된 돌출부를 구비한다.
- [0016] 본 발명의 제2 실시예에 따른 액정표시장치는 게이트 전극과, 상기 게이트 전극 상에 형성된 반도체층 및 상기

반도체층 상에 형성되어 일정 간격 이격된 소스 전극 및 드레인 전극을 포함하는 박막트랜지스터와, 상기 게이트 전극과 접속된 게이트라인 및 상기 소스 전극과 접속된 데이터라인을 구비한 액정표시패널과, 상기 게이트라인으로 스캔신호를 공급하기 위한 게이트 드라이버 및 상기 데이터라인으로 데이터 전압을 공급하기 위한 데이터 드라이버를 포함하고, 상기 반도체층은 상기 게이트 전극 상부에서 상기 게이트 전극 바깥으로 노출되지 않고 상기 소스 전극 보다 큰 구조의 아일랜드 형상으로 이루어진다.

발명의 효과

[0017] 본 발명의 실시예에 따른 박막트랜지스터 및 이를 구비한 액정표시장치는 반도체층의 일부를 돌출되게 형성하여 포토 식각 공정 중에 정렬 오차가 발생하더라도 상기 반도체층이 게이트 전극 바깥으로 노출되지 않게 하여 광 누설 전류를 최소화하여 박막트랜지스터의 소자 특성을 향상시킬 수 있다.

도면의 간단한 설명

[0018] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.
 도 2는 도 1의 박막트랜지스터를 개략적으로 나타낸 평면도이다.
 도 3은 도 2의 I ~ I'을 따라 절단한 단면을 나타낸 도면이다.
 도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터를 나타낸 평면도이다.
 도 5는 종래의 박막트랜지스터의 소자 특성 및 본 발명에 따른 박막트랜지스터의 소자 특성을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 설명하기로 한다.

[0020] 도 1은 본 발명의 실시예에 따른 액정표시장치를 나타낸 도면이다.

[0021] 도 1에 도시된 바와 같이, 본 발명의 실시예에 따른 액정표시장치는 화상을 표시하는 액정표시패널(100)과, 상기 액정표시패널(100)의 게이트라인(GL1 ~ GLn)을 구동하는 게이트 드라이버(110)와, 상기 액정표시패널(100)의 데이터라인(DL1 ~ DLm)을 구동하는 데이터 드라이버(120)와, 상기 게이트 드라이버(110) 및 데이터 드라이버(120)를 제어하는 타이밍 컨트롤러(130)와, 상기 액정표시패널(100)로 광을 조사하는 백라이트 유닛(140)을 포함한다.

[0022] 상기 액정표시패널(100)은 두 장의 유리기관 사이에 액정층이 형성되며, 그 하부 유리기관에는 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)이 형성되고, 상기 다수의 게이트라인(GL1 ~ GLn)과 다수의 데이터라인(DL1 ~ DLm)의 교차부에는 박막트랜지스터(TFT)가 형성된다.

[0023] 상기 박막트랜지스터(TFT)는 게이트라인(GL1 ~ GLn)으로부터의 스캔신호에 응답하여 데이터라인(DL1 ~ DLm)으로부터의 데이터를 액정셀(C1c)에 공급한다. 이를 위하여, 상기 박막트랜지스터(TFT)의 게이트 전극은 게이트라인(GL1 ~ GLn)에 접속되며, 소스 전극은 데이터라인(DL1 ~ DLm)에 접속되고, 드레인 전극은 액정셀(C1c)의 화소전극에 접속된다.

[0024] 또한, 상기 액정표시패널(100)의 하부 유리기관에는 액정셀(C1c)의 전압을 유지시키기 위한 스토리지 캐패시터(Cst)가 형성된다. 상기 스토리지 캐패시터(Cst)는 액정셀(C1c)과 전단 게이트라인 사이에 형성될 수도 있으며, 상기 액정셀(C1c)과 별도의 공통라인 사이에 형성될 수도 있다.

[0025] 상기 액정표시패널(100)의 상부 유리기관에는 상기 박막트랜지스터(TFT)가 형성된 각 화소 영역에 대응되는 R, G, B 컬러의 컬러필터와, 이들 각각을 테두리하여 상기 게이트라인(GL1 ~ GLn)과, 데이터라인(DL1 ~ DLm) 및 박막트랜지스터(TFT) 등을 가리는 블랙 매트릭스를 포함한다.

[0026] 상기 게이트 드라이버(110)는 상기 타이밍 컨트롤러(130)로부터의 게이트 제어신호(GCS)에 응답하여, 다수의 게이트라인(GL1 ~ GLn)에 다수의 스캔신호들을 대응되게 공급한다. 이들 다수의 스캔신호들은 다수의 게이트라인(GL1 ~ GLn)이 순차적으로 1 수평동기신호의 기간씩 인에이블 되게 한다. 상기 게이트 드라이버(110)는 다수의 게이트 집적회로를 포함할 수 있다.

[0027] 상기 데이터 드라이버(120)는 상기 타이밍 컨트롤러(130)로부터의 데이터 제어신호(DCS)들에 응답하여, 다수의

게이트라인(GL1 ~ GLn) 중 어느 하나가 인에이블 될 때마다 데이터 전압을 발생하여 상기 액정표시패널(100)의 다수의 데이터라인(DL1 ~ DLm)에 각각 공급한다.

- [0028] 상기 타이밍 컨트롤러(130)는 외부의 시스템(예를 들면, 컴퓨터의 시스템의 그래픽 모듈 또는 텔레비전 수신 시스템의 영상 복조 모듈, 도시하지 않음)으로부터 공급된 동기신호들(Vsync, Hsync)과, 데이터 인에이블(DE) 신호 및 클럭신호(Dclk)를 이용하여 상기 게이트 드라이버(110)를 제어하는 게이트 제어신호(GCS)와 상기 데이터 드라이버(120)를 제어하는 데이터 제어신호(DCS)를 생성한다.
- [0029] 또한, 상기 타이밍 컨트롤러(130)는 외부의 시스템으로부터 입력된 영상 데이터(V-data)를 정렬하여 정렬된 데이터(data)를 상기 데이터 드라이버(120)로 공급한다.
- [0030] 상기 백라이트 유닛(140)은 광을 발생하는 광원과 상기 광원으로부터 입사된 광을 가이드 하여 상기 액정표시패널(100)로 출사시키는 도광판 및 상기 도광판에서 출사된 광의 광학특성을 향상시키기 위한 광학시트류를 포함한다.
- [0031] 한편, 상기 액정표시패널(100)에 구비된 박막트랜지스터(TFT)는 도 2에 도시된 바와 같이, 게이트라인(GL)으로부터 연장된 게이트 전극(102)과, 상기 게이트 전극(102) 상에 형성된 반도체층(104)과, 상기 반도체층(104) 상에 형성되어 상기 데이터라인(DL)으로부터 접속된 소스 전극(106) 및 상기 소스 전극(106)과 일정 간격 이격된 드레인 전극(108)을 구비한다.
- [0032] 상기 박막트랜지스터(TFT)의 드레인 전극(108)은 컨택홀(H)을 통해 화소전극(150)과 전기적으로 접속되고, 상기 게이트 전극(102)을 완전히 가로지르도록(cross-over) 형성될 수 있다.
- [0033] 상기 드레인 전극(108)이 상기 게이트 전극(102)을 완전히 가로지르도록 형성되면 상기 게이트 전극(102)을 형성한 후 드레인 전극(108)을 형성할 때 사진 식각 공정의 마진 및 오버레이(overlay)의 불일치를 고려하더라도 게이트 전극(102)과 드레인 전극(108)이 완전히 중첩된다.
- [0034] 따라서, 게이트 전극(102)과 드레인 전극(108) 사이에서 발생하는 기생용량은 각 화소영역에 대해서 동일한 값을 가질 수 있다.
- [0035] 상기 반도체층(104)은 상기 게이트 전극(102) 상부에서 아일랜드 형상으로 형성되며 상기 드레인 전극(108)과 중첩되는 부분에서 돌출부(A)를 구비한다. 상기 돌출부(A)는 상기 게이트 전극(102) 바깥으로 노출되지 않으며 상기 소스 전극(106) 방향으로 연장된 드레인 전극(108)과 반대 방향으로 연장되어 형성된다.
- [0036] 상기 돌출부(A)는 몇 차례의 사진 식각 공정 동안 상기 반도체층(104)과 상기 소스 전극(106) 간에서 발생할 수 있는 정렬 오차 범위를 확보하도록 형성된다. 상기 돌출부(A)는 상기 사진 식각 공정 중에 발생할 수 있는 정렬 오차에 의해 상기 박막트랜지스터(TFT)의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 돌출될 수 있다.
- [0037] 예를 들어, 상기 돌출부(A)가 상기 반도체층(104)에서 돌출되는 정도는 대략 $3\mu\text{m} \sim 5\mu\text{m}$ 일 수 있다.
- [0038] 상기 소스 전극(106)은 상기 소스 전극(106) 하부에 형성된 반도체층(104)의 바깥으로 노출되지 않으며 상기 반도체층(104)과 대응되도록 아일랜드 형상으로 형성될 수 있다.
- [0039] 상기 반도체층(104)이 상기 박막트랜지스터(TFT)의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 돌출부(A)를 구비함에 따라, 사진 식각 공정 중에서 정렬 오차가 발생하더라도 상기 게이트 전극(102) 바깥으로 노출되지 않기 때문에 광 누설 전류를 최소화할 수 있다.
- [0040] 이러한 박막트랜지스터(TFT)는 액정표시패널(도 1의 100)의 화소 영역뿐 아니라 비표시영역에도 형성될 수 있다. 상기 게이트 드라이버(110) 및 데이터 드라이버(120)는 상기 액정표시패널(100)의 화소영역에 화상을 표시하기 위한 구동신호를 생성하는 회로로 기판 상에 직접 집적될 수 있다.
- [0041] 상기 기판 상에 집적화된 게이트 드라이버(110) 및 데이터 드라이버(120)는 신호 생성을 위한 다수의 스위칭 소자를 포함할 수 있으므로 상기 게이트 드라이버(110) 및 데이터 드라이버(120)에 포함된 스위칭 소자도 상기 액정표시패널(100)의 화소 영역에 구비된 박막트랜지스터(TFT)와 동일한 공정에 의해 형성될 수 있다.
- [0042] 따라서, 공정에 따른 정렬 오차에 의한 광 누설 전류의 영향을 최소화하기 위해 게이트 드라이버(110) 및 데이터 드라이버(120)에 포함된 박막트랜지스터도 상기 액정표시패널(100)의 박막트랜지스터(TFT)와 마찬가지로 돌출부(A)를 갖는 반도체층(104)을 포함하도록 실시될 수 있다.
- [0043] 도 3은 도 2의 I ~ I'을 따라 절단한 단면을 나타낸 도면이다.

- [0044] 도 2 및 도 3에 도시된 바와 같이, 기판(101) 상에 예를 들어, Cu, Al, Mo, MoW, Cr 또는 MoTa 등과 같은 물질로 게이트 메탈층을 형성한 후, 게이트 패터화하여 게이트 전극(102)을 형성하는데, 열처리에 대해 내열성을 보유했기 위하여 MoW로 형성되는 것이 바람직하다. 또한, 도면에 도시되지는 않았으나, 상기 게이트 전극(102)을 형성하는 경우, 상기 게이트 전극(102)과 인접한 위치에 동일한 재료로 캐패시터 전극을 형성할 수도 있다.
- [0045] 상기 게이트 전극(102)을 절연시키기 위하여, 게이트 절연막(103)을 증착하는데, 상기 게이트 절연막(103)은 예를 들어 SiO₂, SiN_x 등으로 구성되는 것이 바람직하다.
- [0046] 상기 게이트 절연막(103) 상에는 돌출부(도 2의 A)를 구비한 반도체층(104)이 형성된다. 상기 반도체층(104)은 도핑되지 않은 비정질 실리콘층과 도핑된 비정질 실리콘층으로 구성되며 상기 도핑되지 않은 비정질 실리콘층과 도핑된 비정질 실리콘층은 결정화 단계를 거쳐 다결정 실리콘층으로 결정화되며 활성층으로 작동할 수 있고 특히 도핑되지 않은 비정질 실리콘층은 반도체층(104)의 채널 영역을 구비하게 된다.
- [0047] 상기 반도체층(104) 상에는 Ni, Pd, Au, Sn, Sb, Cr, Mo, Tr, Ru, Rh, Fe, Co, V, Ti, Al, Ag, Cu 및 Pt 중 어느 하나 또는 그 이상으로 구성된 금속층을 형성한 후 패터화하여 소스 전극(106) 및 상기 소스 전극(106)과 일정 간격 이격된 드레인 전극(108)이 형성된다.
- [0048] 상기 소스 전극(106) 및 드레인 전극(108) 상에는 보호층(105)이 형성되고, 상기 보호층(105)은 드레인 전극(108)까지 연장되는 컨택홀(H)이 형성된다. 상기 컨택홀(H)을 포함하는 보호층(105) 상에는 투명도전성 금속으로 구성된 화소전극(150)이 형성된다. 상기 화소전극(150)은 상기 컨택홀(H)을 통해 상기 드레인 전극(108)과 전기적으로 접속된다.
- [0049] 도 4는 본 발명의 다른 실시예에 따른 박막트랜지스터를 나타낸 평면도이다.
- [0050] 도 4에 도시된 바와 같이, 본 발명의 다른 실시예에 따른 박막트랜지스터(TFT)는 게이트라인(GL)으로부터 연장된 게이트 전극(202)과, 상기 게이트 전극(202) 상에 형성된 반도체층(204)과, 상기 반도체층(204) 상에 형성되어 데이터라인(DL)과 접속된 소스 전극(206) 및 상기 소스 전극(206)과 일정 간격 이격된 드레인 전극(208)을 포함한다.
- [0051] 상기 박막트랜지스터(TFT)의 드레인 전극(208)은 컨택홀(H)을 통해 화소전극(150)과 전기적으로 접속되고, 상기 게이트 전극(202)을 완전히 가로지르도록(cross-over) 형성될 수 있다.
- [0052] 상기 반도체층(204)은 상기 게이트 전극(202) 상부에서 아일랜드 형상으로 형성되며 상기 소스 전극(206)도 상기 반도체층(204)과 대응되게 아일랜드 형상으로 형성될 수 있다. 이때, 상기 반도체층(204)은 아일랜드 형상의 소스 전극(206) 보다 큰 구조로 이루어져 있다.
- [0053] 상기 반도체층(204)은 사진 식각 공정 중에 발생할 수 있는 정렬 오차에 의해 상기 박막트랜지스터(TFT)의 폭(W)/채널(L)의 비가 변동되지 않는 범위 내에서 상기 게이트 전극(202) 바깥쪽으로 노출되지 않게 형성된다.
- [0054] 상기 반도체층(204)이 상기 박막트랜지스터(TFT)의 폭(W)/채널(L)의 비가 변동되지 않는 범위 안에서 형성됨에 따라 사진 식각 공정 중에서 정렬 오차가 발생하더라도 상기 게이트 전극(202) 바깥쪽으로 노출되지 않기 때문에 광 누설 전류를 최소화할 수 있다.
- [0055] 도 5는 종래의 박막트랜지스터의 소자 특성 및 본 발명에 따른 박막트랜지스터의 소자 특성을 나타낸 그래프이다.
- [0056] 도 5에 도시된 바와 같이, 돌출부(도 2의 A)를 구비한 반도체층(도 2의 104)을 포함하는 본 발명에 따른 박막트랜지스터의 경우가 종래의 박막트랜지스터에 비해 문턱전압(threshold) 영역에서 드레인 전류(Id)가 상승하는 것을 확인할 수 있다.
- [0057] 즉, 돌출부(도 2의 A)를 구비한 반도체층(도 2의 104)을 포함하는 본 발명에 따른 박막트랜지스터가 종래의 경우보다 광 누설 전류를 최소화하여 제품의 신뢰성을 향상시킬 수 있음을 알 수 있다.
- [0058] 이상에서 살펴본 바와 같이, 본원발명에 따른 박막트랜지스터는 게이트 전극 바깥으로 노출되지 않고 정렬 오차에 의해 폭(W)/채널(L)의 비가 변동되지 않는 돌출부를 갖는 반도체층을 구비하여 광 누설 전류를 최소화하여 제품의 신뢰성을 향상시킬 수 있다.

부호의 설명

- [0059]
- 100:액정표시패널

101:기판

102, 202:게이트 전극

103:게이트 절연막

104, 204:반도체층

105:보호층

106, 206:소스 전극

108, 208:드레인 전극

110:게이트 드라이버

120:데이터 드라이버

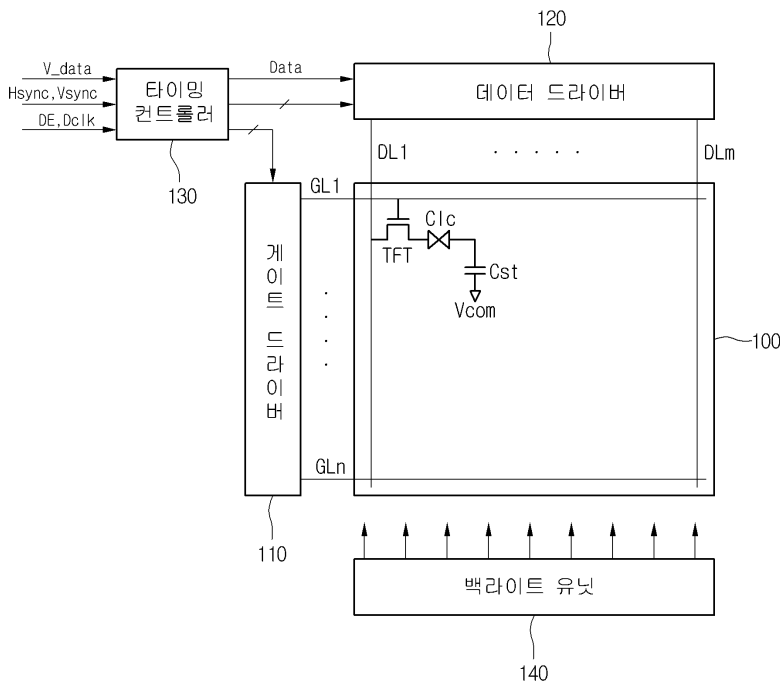
130:타이밍 컨트롤러

140:백라이트 유닛

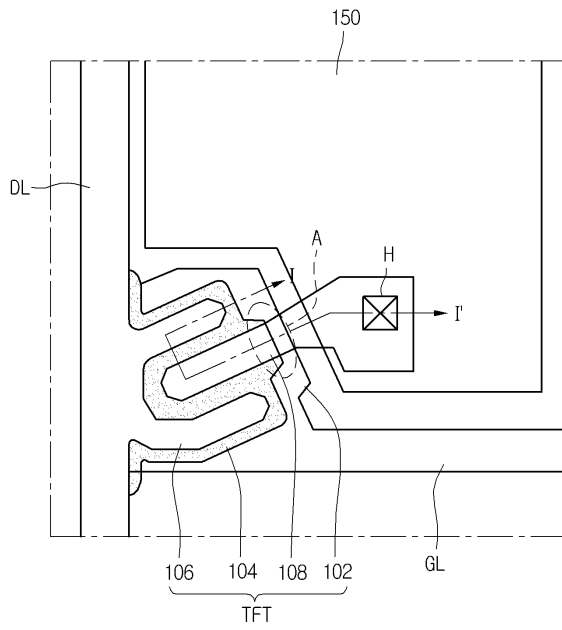
150:화소전극

도면

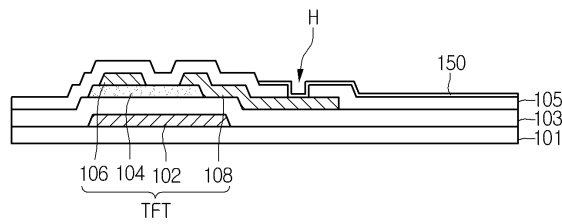
도면1



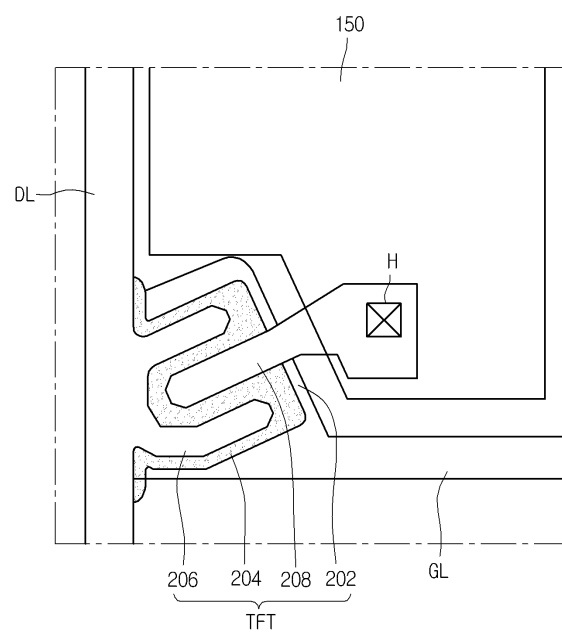
도면2



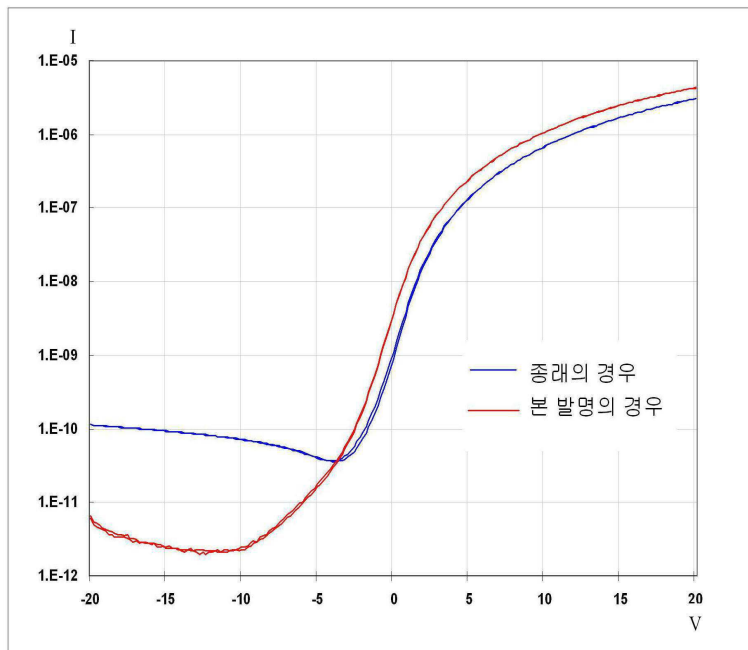
도면3



도면4



도면5



专利名称(译)	薄膜晶体管和具有该薄膜晶体管的液晶显示装置		
公开(公告)号	KR101842715B1	公开(公告)日	2018-03-27
申请号	KR1020110048288	申请日	2011-05-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SONG IN DUK 송인덕		
发明人	송인덕		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	H01L29/78696 G02F1/1368 H01L29/41733		
其他公开文献	KR1020120130398A		
外部链接	Espacenet		

摘要(译)

公开了一种薄膜晶体管和具有该薄膜晶体管的液晶显示装置。根据本发明实施例的薄膜晶体管包括栅电极，形成在栅电极上的半导体层，以及形成在半导体层上并且彼此隔开预定距离的源电极和漏电极，并且从栅电极的一部分突出的突起与漏电极重叠而不暴露于栅电极的外部。

