



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년11월24일
(11) 등록번호 10-1800893
(24) 등록일자 2017년11월17일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2011-0061840
(22) 출원일자 2011년06월24일
심사청구일자 2016년06월07일
(65) 공개번호 10-2013-0000997
(43) 공개일자 2013년01월03일
(56) 선행기술조사문헌
KR1020030083310 A*
KR1020050082488 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김기상
경기도 파주시 책향기로 403 706동 904호 (동패동, 숲속길마을월드메르디앙센트럴파크아파트)
(74) 대리인
특허법인로알

전체 청구항 수 : 총 6 항

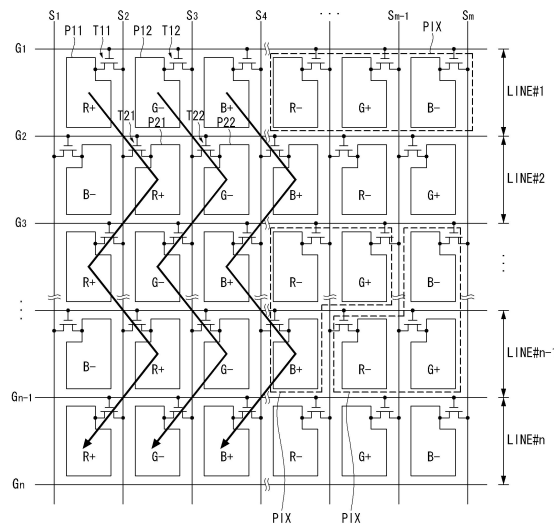
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 제1 극성을 갖는 제1 색의 데이터전압을 제1 데이터라인에 공급하고 제2 극성을 갖는 제2 색의 데이터전압을 제2 데이터라인에 공급하는 데이터 구동회로; 및 상기 제1 및 제2 데이터전압에 동기되는 게이트펄스를 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 포함한다. 상기 픽셀들 각각은 다수의 서브픽셀들을 포함한다. 제1 데이터라인에 지그 재그 형태로 접속된 서브 픽셀들은 상기 1 프레임 기간 동안 상기 제1 데이터라인을 통해 상기 제1 극성을 갖는 제1 색의 데이터 전압을 순차적으로 공급받는다. 상기 제2 데이터라인에 지그 재그 형태로 접속된 서브 픽셀들은 상기 1 프레임기간 동안 상기 제2 데이터라인을 통해 상기 제2 극성을 갖는 제2 색의 데이터 전압들을 순차적으로 공급받는다.

대표도 - 도2



명세서

청구범위

청구항 1

데이터라인들, 상기 데이터라인들과 교차되는 게이트라인들, TFT들, 및 다수의 픽셀들을 포함하는 액정표시패널;

1 프레임 기간 동안, 제1 극성을 갖는 제1 색의 데이터전압을 제1 데이터라인에 공급하고 제2 극성을 갖는 제2 색의 데이터전압을 제2 데이터라인에 공급하는 데이터 구동회로; 및

상기 제1 및 제2 데이터전압에 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 포함하고,

상기 픽셀들 각각은 다수의 서브픽셀들을 포함하고,

상기 제1 데이터라인에 지그 재그 형태로 접속된 서브 픽셀들은 상기 1 프레임 기간 동안 상기 제1 데이터라인을 통해 상기 제1 극성을 갖는 제1 색의 데이터 전압을 순차적으로 공급받고,

상기 제2 데이터라인에 지그 재그 형태로 접속된 서브 픽셀들은 상기 1 프레임기간 동안 상기 제2 데이터라인을 통해 상기 제2 극성을 갖는 제2 색의 데이터 전압을 순차적으로 공급받고,

상기 데이터라인들 중에서 최좌측 데이터라인과 최우측 데이터라인은 상기 데이터 구동회로의 출력 채널들 중 하나의 출력 채널에 공통으로 접속되고,

상기 데이터 구동회로에서 하나의 출력 채널을 통해 상기 최좌측 데이터라인과 상기 최우측 데이터라인에 동일 극성을 갖는 동일 색의 데이터 전압이 공급되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 서브 픽셀들은,

상기 액정표시패널의 제1 표시라인에 배치된 제1 및 제2 서브 픽셀들; 및

상기 액정표시패널의 제2 표시라인에 배치된 제3 및 제4 서브 픽셀들을 포함하고,

상기 TFT들은,

제1 게이트라인으로부터의 제1 게이트펄스에 응답하여 상기 제1 서브 픽셀의 화소 전극을 상기 제1 데이터라인에 접속시키는 제1 TFT;

상기 제1 게이트펄스에 응답하여 상기 제2 서브 픽셀의 화소 전극을 상기 제2 데이터라인에 접속시키는 제2 TFT;

제2 게이트라인으로부터의 제2 게이트펄스에 응답하여 상기 제3 서브 픽셀의 화소 전극을 상기 제1 데이터라인에 접속시키는 제3 TFT; 및

상기 제2 게이트펄스에 응답하여 상기 제4 서브 픽셀의 화소 전극을 상기 제2 데이터라인에 접속시키는 제4 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 TFT와 상기 제1 서브 픽셀의 화소 전극은 상기 제1 데이터라인의 좌측에 배치되고,

상기 제2 TFT와 상기 제2 서브 픽셀의 화소 전극은 상기 제2 데이터라인의 좌측에 배치되고,
 상기 제3 TFT와 상기 제3 서브 픽셀의 화소 전극은 상기 제1 데이터라인의 우측에 배치되며,
 상기 제4 TFT와 상기 제4 서브 픽셀의 화소 전극은 상기 제2 데이터라인의 우측에 배치되는 것을 특징으로 하는
 액정표시장치.

청구항 4

제 2 항에 있어서,
 상기 제1 TFT와 상기 제1 서브 픽셀의 화소 전극은 상기 제1 데이터라인의 우측에 배치되고,
 상기 제2 TFT와 상기 제2 서브 픽셀의 화소 전극은 상기 제2 데이터라인의 우측에 배치되고,
 상기 제3 TFT와 상기 제3 서브 픽셀의 화소 전극은 상기 제1 데이터라인의 좌측에 배치되며,
 상기 제4 TFT와 상기 제4 서브 픽셀의 화소 전극은 상기 제2 데이터라인의 좌측에 배치되는 것을 특징으로 하는
 액정표시장치.

청구항 5

삭제

청구항 6

제 1 항에 있어서,
 상기 제1 데이터라인에 연결된 다수의 서브 픽셀들은 상기 1 프레임 기간 동안 상기 제1 극성을 갖는 제1 색의
 데이터 전압만 공급되고,
 상기 제2 데이터라인에 연결된 다수의 서브 픽셀들은 상기 1 프레임 기간 동안 상기 제2 극성을 갖는 제2 색의
 데이터 전압만 공급되고,
 상기 1 프레임 기간 동안 상기 하나의 출력 채널을 통해 상기 최좌측 데이터라인과 상기 최우측 데이터라인에
 동일 극성을 갖는 동일 색의 데이터 전압만 공급되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,
 상기 데이터 구동회로는 차지 셰어링 없이 데이터 전압을 상기 데이터 라인들에 연속적으로 공급하는 것을 특징
 으로 하는 액정표시장치.

발명의 설명

기술 분야

본 발명은 액정표시장치에 관한 것이다.

배경 기술

액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴
 퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

- [0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.
- [0004] 본원 출원인은 대한민국 특허출원 제10-2002-0021792호(2002. 04. 20), 제10-2002-0021795호(2002. 04. 20), 제10-2002-0070305(2002. 11. 13)호 등을 통해 픽셀 어레이에서 컬럼 방향(또는 수직 라인 방향)을 따라 지그재그 형태로 배열된 액정셀들이 동일한 데이터라인을 공유하도록 컬럼 방향을 따라 배열된 TFT들(Thin Film Transistor)을 지그 재그 형태로 배치한 액정표시장치(이하, "Z 인버전 액정표시장치"라 함)를 제안한 바 있다.
- [0005] Z 인버전 액정표시장치는 컬럼 인버전 타입의 소스 드라이브 IC로부터 출력되는 데이터전압을 액정표시패널의 데이터라인들에 공급하고 액정표시패널의 액정셀들을 도트 인버전으로 구동할 수 있다. 컬럼 인버전 타입의 소스 드라이브 IC들은 이웃하는 데이터라인들에 서로 반대 극성의 데이터전압을 공급하되, 1 프레임 기간 동안 데이터전압의 극성을 유지한다. 도트 인버전에서, 좌우로 이웃하는 액정셀들에 충전되는 데이터전압의 극성이 서로 반대이고 또한, 상하로 이웃하는 액정셀들에 충전되는 데이터전압의 극성이 서로 반대이다.
- [0006] Z 인버전 액정표시장치는 1 프레임기간 동안 소스 드라이브 IC로부터 출력되는 데이터전압의 극성이 동일하게 유지되므로 소스 드라이브 IC의 발열양과 소비전력을 줄일 수 있고, 액정표시패널의 액정셀들에 충전되는 데이터전압의 극성을 도트 인버전 형태로 반전시킴으로써 플리커를 최소화할 수 있는 등의 장점이 많다.
- [0007] 그런데, Z 인버전 액정표시장치는 동일한 데이터라인을 통해 연속으로 공급되는 서브 픽셀 데이터 전압들의 전압차가 커지면 소비 전력 저감 효과가 작아진다. 여기서, 동일한 데이터라인을 통해 연속으로 공급되는 서브 픽셀 데이터 전압들은 서로 다른 색의 데이터전압들을 의미한다. 기존의 Z 인버전 액정표시장치는 적색 데이터 전압과 녹색 데이터전압이 교대로 공급되는 데이터라인들과, 청색 데이터 전압과 녹색 데이터전압이 교대로 공급되는 데이터라인들을 포함한다. 따라서, 이웃하는 픽셀들에서 적색 데이터, 녹색 데이터, 및 청색 데이터의 계조차가 큰 입력 영상 데이터가 Z 인버전 액정표시장치에 입력되면, 소스 드라이브 IC로부터 출력되는 데이터 전압의 스윙폭이 커져 전류 소모가 커지므로 소비 전력과 발열이 증가한다.

발명의 내용

해결하려는 과제

- [0008] 본 발명은 이웃하는 픽셀들에서 서로 다른 색의 데이터들 간에 계조 차가 큰 영상 데이터를 표시할 때에도 소스 드라이브 IC의 소비 전력과 발열을 줄일 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

- [0009] 본 발명의 액정표시장치는 데이터라인들, 상기 데이터라인들과 교차되는 게이트라인들, TFT들, 및 다수의 픽셀들을 포함하는 액정표시패널; 1 프레임 기간 동안, 제1 극성을 갖는 제1 색의 데이터전압을 제1 데이터라인에 공급하고 제2 극성을 갖는 제2 색의 데이터전압을 제2 데이터라인에 공급하는 데이터 구동회로; 및 상기 제1 및 제2 데이터전압에 동기되는 게이트펄스를 상기 게이트라인들에 순차적으로 공급하는 게이트 구동회로를 포함한다. 상기 픽셀들 각각은 다수의 서브픽셀들을 포함한다. 제1 데이터라인에 지그 재그 형태로 접속된 서브 픽셀들은 상기 1 프레임 기간 동안 상기 제1 데이터라인을 통해 상기 제1 극성을 갖는 제1 색의 데이터 전압을 순차적으로 공급받는다. 상기 제2 데이터라인에 지그 재그 형태로 접속된 서브 픽셀들은 상기 1 프레임기간 동안 상기 제2 데이터라인을 통해 상기 제2 극성을 갖는 제2 색의 데이터 전압을 순차적으로 공급받는다.

상기 데이터라인들 중에서 최좌측 데이터라인과 최우측 데이터라인은 상기 데이터 구동회로의 출력 채널들 중 하나의 출력 채널에 공통으로 접속된다. 상기 데이터 구동회로에서 하나의 출력 채널을 통해 상기 최좌측 데이터라인과 상기 최우측 데이터라인에 동일 극성을 갖는 동일 색의 데이터 전압이 공급된다.

발명의 효과

[0010] 본 발명은 하나의 데이터라인에 연결된 서브 픽셀들을 동일한 색의 서브 픽셀들을 배치하고, 1 프레임 기간 동안 그 데이터라인에 동일 극성을 갖는 동일 색의 데이터 전압을 공급하므로 이웃하는 픽셀들에서 서로 다른 색의 데이터들 간에 계조 차가 큰 영상 데이터를 표시할 때에도 데이터 구동회로의 소비 전력과 발열을 최소화할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
 도 2는 도 1에 도시된 픽셀 어레이의 제1 실시예를 보여 주는 도면이다.
 도 3은 좌측 끝에 배치된 데이터라인과 우측 끝에 배치된 데이터라인이 동일한 소스 드라이브 IC에 형성된 하나의 출력 채널에 공통으로 접속된 예를 보여 주는 도면이다.
 도 4는 도 1에 도시된 픽셀 어레이의 제2 실시예를 보여 주는 도면이다.
 도 5는 도 2 및 도 4에 도시된 픽셀 어레이의 데이터라인들에 공급되는 데이터전압을 보여 주는 파형도이다.
 도 6은 도 1에 도시된 픽셀 어레이의 제3 실시예를 보여 주는 도면이다.
 도 7은 도 1에 도시된 픽셀 어레이의 제4 실시예를 보여 주는 도면이다.
 도 8은 도 6 및 도 7에 도시된 픽셀 어레이의 데이터라인들에 공급되는 데이터전압을 보여 주는 파형도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0013] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널, 소스 드라이브 IC(12), 게이트 구동회로(13), 및 타이밍 콘트롤러(11) 등을 포함한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0014] 액정표시패널은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널은 비디오 데이터를 표시하기 위한 픽셀 어레이(10)를 포함한다. 픽셀 어레이(10)는 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 액정셀들을 포함하여 비디오 데이터를 표시한다. 픽셀 어레이(10)는 데이터라인들과 게이트라인들의 교차부마다 형성되는 TFT들과, TFT에 접속된 화소전극을 포함한다. 픽셀 어레이(10)의 TFT들은 컬럼 방향(또는 데이터라인 방향)에서 지그재그 형태로 배치된다. 픽셀 어레이(10)의 액정셀들 각각은 TFT를 통해 데이터전압을 충전하는 화소전극의 전압과, 공통전압이 인가되는 공통전극의 전압 차에 의해 구동되어 빛의 투과량을 조정하여 비디오 데이터의 계조를 표현한다. 픽셀 어레이(10)에서 이웃하는 컬럼들에 배치된 동일 색의 서브 픽셀들은 동일한 데이터라인에 접속된다. 이러한 픽셀 어레이(10)는 도 2, 도 5, 도 6, 도 8 등과 같이 다양한 형태로 구현될 수 있다.

[0015] 액정표시패널의 상부 유리기관 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기관 상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기관 상에 형성된다.

[0016] 액정표시패널의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.

[0017] 본 발명에서 적용 가능한 액정표시패널의 액정모드는 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

[0018] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되어 TAB(Tape Automated Bonding) 공정에

의해 액정표시패널의 하부 유리기관에 접합되고, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널의 하부 유리기관 상에 접착될 수도 있다. 소스 드라이브 IC들(12) 각각의 데이터 출력채널들은 픽셀 어레이(10)의 데이터라인들에 1:1로 접속된다.

[0019] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터를 입력받는다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 아날로그 데이터전압으로 변환하여 데이터 출력채널들을 통해 픽셀 어레이(10)의 데이터라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 이웃한 데이터라인들에 서로 상반된 극성의 데이터전압들을 공급하고, 각각의 데이터라인들에 공급되는 데이터전압의 극성을 1 프레임기간 동안 동일하게 유지한다. 소스 드라이브 IC들(12) 각각은 1 프레임 기간 동안 동일 극성을 유지하는 동일 색의 서브픽셀 데이터 전압들을 동일한 데이터라인에 연속 공급한다. 그리고 소스 드라이브 IC들(12)은 데이터 전압들의 극성을 1 프레임 기간 단위로 반반지킨다. 따라서, 소스 드라이브 IC들(12)은 컬럼 인버전 타입의 소스 드라이브 IC로 구현될 수 있다.

[0020] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터의 게이트 타이밍 제어신호에 응답하여 픽셀 어레이의 게이트 라인들에 게이트펄스(또는 스캔펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP(Tape Carrier Package) 상에 실장되어 TAB 공정에 의해 액정표시패널의 하부 유리기관에 접합되거나, GIP(Gate In Panel) 공정에 의해 픽셀 어레이와 동시에 하부 유리기관 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 픽셀 어레이(10)의 양측에 배치되거나 픽셀 어레이(10)의 일측에 배치될 수 있다.

[0021] 타이밍 콘트롤러(11)는 외부의 호스트 시스템으로부터 입력되는 디지털 비디오 데이터를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관(17)을 통해 연결된다.

[0022] 도 2는 픽셀 어레이(10)의 제1 실시예를 보여 주는 등가 회로도이다.

[0023] 도 2를 참조하면, 픽셀 어레이(10)는 m (m 은 양의 정수) 개의 데이터라인들($S1 \sim Sm$), n (n 은 양의 정수) 개의 게이트라인들($G1 \sim Gn$), 및 다수의 픽셀들을(PIX) 포함한다. 픽셀들(PIX) 각각은 적색 서브 픽셀($R+/R-$), 녹색 서브 픽셀($G+/G-$), 및 청색 서브 픽셀($B+/B-$)을 포함한다. 픽셀들(PIX)은 도 2의 우측 상단과 같이 한 표시라인 내에서 배열된 적색 서브 픽셀($R+/R-$), 녹색 서브 픽셀($G+/G-$), 청색 서브 픽셀($B+/B-$)을 포함하거나, 도 2의 우측 중앙에 위치하는 두 개의 표시 라인들과 같이 이웃하는 2 개의 표시 라인들에 배치된 적색 서브 픽셀($R+/R-$), 녹색 서브 픽셀($G+/G-$), 청색 서브 픽셀($B+/B-$)을 포함할 수 있다. 서브 픽셀의 액정셀은 화소 전극과 TFT를 포함한다. 도 2에서, "R"은 적색 데이터 전압이 충전되는 적색 서브 픽셀의 액정셀이고, "G"는 녹색 데이터 전압이 충전되는 녹색 서브 픽셀의 액정셀이다. "B"는 청색 데이터 전압이 충전되는 청색 서브 픽셀의 액정셀이다. "+"는 정극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미하며, "-"는 부극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미한다.

[0024] 도 2에서, 기수 표시라인들(LINE#1, LINE# $n-1$) 각각은 제1 및 제2 서브 픽셀들을 포함한다. 제1 서브 픽셀은 제1 TFT(T11)와 제1 화소 전극(P11)을 포함한다. 제2 서브 픽셀은 제2 TFT(T12)와 제2 화소 전극(P12)을 포함한다. 우수 표시라인들(LINE#2, LINE# n) 각각은 제3 및 제4 서브 픽셀들을 포함한다. 제3 서브 픽셀은 제3 TFT(T21)와 제3 화소 전극(P21)을 포함한다. 제4 서브 픽셀은 제4 TFT(T22)와 제4 화소 전극(P22)을 포함한다. TFT 각각은 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인으로부터의 데이터전압을 화소 전극에 공급한다. 도 2에서, 화살표는 데이터 전압의 충전 순서를 나타낸다.

[0025] 제1 TFT(T11)는 제 j (j 는 n 이하의 양의 정수) 게이트라인으로부터의 게이트펄스에 응답하여 제 i (i 는 m 이하의 양의 정수) 데이터라인을 통해 공급되는 데이터전압을 제1 화소 전극(P11)에 공급한다. 제1 화소 전극(P11)은 제 i 데이터라인의 좌측에 배치된다. 제1 TFT(T11)의 게이트전극은 제 j 게이트라인에 접속된다. 제1 TFT(T11)의 드레인전극은 제 i 데이터라인에 접속되고, 그 소스전극은 제1 화소전극(P11)에 접속된다.

[0026] 제2 TFT(T12)는 제 j 게이트라인으로부터의 게이트펄스에 응답하여 제 $i+1$ 데이터라인을 통해 공급되는 데이터전압을 제2 화소 전극(P12)에 공급한다. 제2 화소 전극(P12)은 제 $i+1$ 데이터라인의 좌측에 배치된다. 제2 TFT(T12)의 게이트전극은 제 j 게이트라인에 접속된다. 제2 TFT(T12)의 드레인전극은 제 $i+1$ 데이터라인에 접속되고, 그 소스전극은 제2 화소전극(P12)에 접속된다.

- [0027] 제3 TFT(T21)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제3 화소 전극(P21)에 공급한다. 제3 화소 전극(P21)은 제i 데이터라인의 우측에 배치된다. 제3 TFT(T21)의 게이트전극은 제j+1 게이트라인에 접속된다. 제3 TFT(T21)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제3 화소전극(P21)에 접속된다.
- [0028] 제4 TFT(T22)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터전압을 제4 화소 전극(P22)에 공급한다. 제4 화소 전극(P22)은 제i+1 데이터라인의 우측에 배치된다. 제4 TFT(T22)의 게이트전극은 제j+1 게이트라인에 접속된다. 제4 TFT(T22)의 드레인전극은 제i+1 데이터라인에 접속되고, 그 소스전극은 제4 화소전극(P22)에 접속된다.
- [0029] 제1 표시라인(LINE#1)의 제1 서브 픽셀, 그 제1 서브 픽셀의 우측 아래의 대각 방향에 배치된 제2 표시라인(LINE#2)의 제3 서브 픽셀, 그 제3 서브 픽셀의 좌측 아래의 대각 방향에 배치된 제3 표시라인의 제1 서브 픽셀, 그 제1 서브 픽셀의 우측 아래의 대각 방향에 배치된 제4 표시라인의 제3 서브 픽셀은 화살표와 같이 1 프레임 기간 내에서 동일 극성을 갖는 제1 색의 서브 픽셀 데이터 전압들을 연속으로 충전한다. 제1 색은 적색(R), 녹색(G) 및 청색(B) 중 어느 한 색이다. 제1 표시라인(LINE#1)의 제2 서브 픽셀, 그 제2 서브 픽셀의 우측 아래의 대각 방향에 배치된 제2 표시라인(LINE#2)의 제4 서브 픽셀, 그 제4 서브 픽셀의 좌측 아래의 대각 방향에 배치된 제3 표시라인의 제2 서브 픽셀, 그 제2 서브 픽셀의 우측 아래의 대각 방향에 배치된 제4 표시라인의 제4 서브 픽셀은 화살표와 같이 1 프레임 기간 내에서 동일 극성을 갖는 제2 색의 서브 픽셀 데이터 전압들을 연속으로 충전한다. 제2 색은 적색(R), 녹색(G) 및 청색(B) 중 제1 색을 제외한 다른 한 색이다. 따라서, 2 개의 컬럼들 내에서 지그 재그 형태로 배치되고 동일한 데이터라인을 공유하는 액정셀들은 1 프레임 기간 내에서 동등 극성을 갖는 동일 색의 데이터 전압들을 순차적으로 충전한다.
- [0030] 일반적으로, 1 프레임 이미지에서 경계 부분이 아닌 이웃한 픽셀들에서 적색 데이터들은 그 계조 차이가 거의 없다. 마찬가지로, 1 프레임 이미지에서 경계 부분이 아닌 이웃한 픽셀들에서 녹색 데이터들 간에 계조 차이가 거의 없고, 또한, 청색 데이터들 간에 계조 차이가 거의 없다. 도 2와 같은 액정표시패널의 픽셀 어레이(10)에서, 하나의 데이터라인은 동일 색의 서브 픽셀들에 접속된다. 소스 드라이브 IC들(12)은 하나의 데이터라인에 동일 극성을 갖는 동일 색의 데이터전압을 반복 출력한다. 따라서, 본 발명의 액정표시장치는 하나의 데이터라인에 연결된 서브 픽셀들을 동일한 색의 서브 픽셀들을 배치하고, 1 프레임 기간 동안 그 데이터라인에 동일 극성을 갖는 동일 색의 데이터 전압들을 공급하므로 이웃하는 픽셀들에서 서로 다른 색의 데이터들 간에 계조 차가 큰 영상 데이터를 표시할 때에도 소스 드라이브 IC들(12)의 소비 전력과 발열을 최소화할 수 있다.
- [0031] 본 발명은 도 2에서 최좌측에 배치된 제1 데이터라인(S1)과 최우측에 배치된 제m 데이터라인(Sm)을 도 3과 같은 방법을 이용하여 동일한 소스 드라이브 IC에서 하나의 출력 채널에 공통으로 접속시킬 수 있다. 본 발명은 제1 및 제m 데이터라인들(S1, Sm)을 동일한 소스 드라이브 IC에서 동일 출력 채널에 공통으로 접속시킴으로써 소스 드라이브 IC의 출력 채널 수 증가를 방지할 수 있고, 픽셀 어레이의 양측 끝단에 배치된 데이터라인들(S1, Sn)과 다른 데이터라인들의 부하 조건을 동일하게 하여 픽셀 어레이의 양측 끝단에서 휘도가 달라지는 현상을 방지할 수 있다.
- [0032] 도 3은 최좌측 끝단에 배치된 제1 데이터라인(S1)과 최우측 끝단에 배치된 제m 데이터라인(Sm)이 동일한 소스 드라이브 IC(12)에 형성된 하나의 출력 채널에 공통으로 접속된 예를 보여 주는 도면이다.
- [0033] 도 3을 참조하면, 본 발명의 액정표시장치는 제1 데이터라인(S1)과 제m 데이터라인(Sm)을 연결하는 연결라인(111)을 포함한다. 이 액정표시장치에서, 연결라인(111)을 제외한 다른 구성요소들은 전술한 실시예와 실질적으로 동일하므로 전술한 실시예들과 동일한 도면 부호를 붙이고 그에 대한 상세한 설명을 생략하기로 한다.
- [0034] 연결라인(111)은 제1 데이터라인(S1)의 끝단에 형성된 데이터 패드, 그 데이터패드를 통해 데이터전압을 공급하기 위한 제1 소스 드라이브 IC(12)의 제1 출력채널에 연결되는 금속배선이다. 이 연결라인(111)은 액정표시패널의 상단 좌측에 접속되는 TCP(15), 소스 PCB(14), 및 액정표시패널의 상단 우측에 접속된 TCP(15)를 경유하여 제1 데이터라인(S1)과 제m 데이터라인(Sm)을 연결하고 또한, 그 데이터라인들(S1, Sm)을 제1 소스 드라이브 IC(12)의 제1 출력 채널에 공통으로 접속시킨다. 따라서, 제1 소스 드라이브 IC(12)는 제1 출력 채널을 통해 제1 및 제m 데이터라인들(S1, Sm)에 데이터전압을 공급할 수 있다.
- [0035] 도 4는 픽셀 어레이(10)의 제2 실시예를 보여 주는 등가 회로도이다.
- [0036] 도 4를 참조하면, 픽셀 어레이(10)는 m 개의 데이터라인들(S1~Sm), n 개의 게이트라인들(G1~Gn), 및 다수의 픽

셀들(PIX)을 포함한다. 픽셀들(PIX) 각각은 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 및 청색 서브 픽셀(B+/B-)을 포함한다. 픽셀들(PIX)은 한 표시라인 내에서 배열된 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 청색 서브 픽셀(B+/B-)을 포함하거나, 이웃하는 2 개의 표시 라인들에 배치된 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 청색 서브 픽셀(B+/B-)을 포함할 수 있다. 서브 픽셀의 액정셀은 화소 전극과 TFT를 포함한다. 도 4에서, "R"은 적색 데이터 전압이 충전되는 적색 서브 픽셀의 액정셀이고, "G"는 녹색 데이터 전압이 충전되는 녹색 서브 픽셀의 액정셀이다. "B"는 청색 데이터 전압이 충전되는 청색 서브 픽셀의 액정셀이다. "+"는 정극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미하며, "-"는 부극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미한다.

[0037] 도 4에서, 기수 표시라인들(LINE#1, LINE#n-1) 각각은 제1 및 제2 서브 픽셀들을 포함한다. 제1 서브 픽셀은 제1 TFT(T31)와 제1 화소 전극(P31)을 포함한다. 제2 서브 픽셀은 제2 TFT(T32)와 제2 화소 전극(P32)을 포함한다. 우수 표시라인들(LINE#2, LINE#n) 각각은 제3 및 제4 서브 픽셀들을 포함한다. 제3 서브 픽셀은 제3 TFT(T41)와 제3 화소 전극(P41)을 포함한다. 제4 서브 픽셀은 제4 TFT(T42)와 제4 화소 전극(P42)을 포함한다. TFT 각각은 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인으로부터의 데이터전압을 화소 전극에 공급한다. 도 4에서, 화살표는 데이터 전압의 충전 순서를 나타낸다.

[0038] 제1 TFT(T31)는 제j 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제1 화소 전극(P31)에 공급한다. 제1 화소 전극(P31)은 제i 데이터라인의 우측에 배치된다. 제1 TFT(T31)의 게이트전극은 제j 게이트라인에 접속된다. 제1 TFT(T31)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제1 화소전극(P31)에 접속된다.

[0039] 제2 TFT(T32)는 제j 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터전압을 제2 화소 전극(P32)에 공급한다. 제2 화소 전극(P32)은 제i+1 데이터라인의 우측에 배치된다. 제2 TFT(T32)의 게이트전극은 제j 게이트라인에 접속된다. 제2 TFT(T32)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제2 화소전극(P32)에 접속된다.

[0040] 제3 TFT(T41)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제3 화소 전극(P41)에 공급한다. 제3 화소 전극(P41)은 제i 데이터라인의 좌측에 배치된다. 제3 TFT(T41)의 게이트전극은 제j+1 게이트라인에 접속된다. 제3 TFT(T41)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제3 화소전극(P41)에 접속된다.

[0041] 제4 TFT(T42)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터전압을 제4 화소 전극(P42)에 공급한다. 제4 화소 전극(P42)은 제i+1 데이터라인의 좌측에 배치된다. 제4 TFT(T42)의 게이트전극은 제j+1 게이트라인에 접속된다. 제4 TFT(T42)의 드레인전극은 제i+1 데이터라인에 접속되고, 그 소스전극은 제4 화소전극(P42)에 접속된다.

[0042] 제1 표시라인(LINE#1)의 제1 서브 픽셀, 그 제1 서브 픽셀의 좌측 아래의 대각 방향에 배치된 제2 표시라인(LINE#2)의 제3 서브 픽셀, 그 제3 서브 픽셀의 우측 아래의 대각 방향에 배치된 제3 표시라인의 제1 서브 픽셀, 그 제1 서브 픽셀의 좌측 아래의 대각 방향에 배치된 제4 표시라인의 제3 서브 픽셀은 화살표와 같이 1 프레임 기간 내에서 동일 극성을 갖는 제1 색의 서브 픽셀 데이터 전압들을 연속으로 충전한다. 제1 색은 적색(R), 녹색(G) 및 청색(B) 중 어느 한 색이다. 제1 표시라인(LINE#1)의 제2 서브 픽셀, 그 제2 서브 픽셀의 좌측 아래의 대각 방향에 배치된 제2 표시라인(LINE#2)의 제4 서브 픽셀, 그 제4 서브 픽셀의 우측 아래의 대각 방향에 배치된 제3 표시라인의 제2 서브 픽셀, 그 제2 서브 픽셀의 좌측 아래의 대각 방향에 배치된 제4 표시라인의 제4 서브 픽셀은 화살표와 같이 1 프레임 기간 내에서 동일 극성을 갖는 제2 색의 서브 픽셀 데이터 전압들을 연속으로 충전한다. 제2 색은 적색(R), 녹색(G) 및 청색(B) 중 제1 색을 제외한 다른 한 색이다. 따라서, 이웃하는 2 개의 컬럼들 내에서 지그 재그 형태로 배치되고 동일한 데이터라인을 공유하는 액정셀들은 1 프레임 기간 내에서 동일 극성을 갖는 동일 색의 데이터 전압들을 순차적으로 충전한다.

[0043] 일반적으로, 1 프레임 이미지에서 경계 부분이 아닌 이웃한 픽셀들에서 적색 데이터들은 그 계조 차이가 거의 없다. 마찬가지로, 1 프레임 이미지에서 경계 부분이 아닌 이웃한 픽셀들에서 녹색 데이터들 간에 계조 차이가 거의 없고, 또한, 청색 데이터들 간에 계조 차이가 거의 없다. 도 4와 같은 액정표시패널의 픽셀 어레이(10)에서, 하나의 데이터라인은 동일 색의 서브 픽셀들에 접속된다. 소스 드라이브 IC들(12)은 하나의 데이터라인에 동일 극성을 갖는 동일 색의 데이터전압을 반복 출력한다. 따라서, 본 발명의 액정표시장치는 하나의 데이터라인에 연결된 서브 픽셀들을 동일한 색의 서브 픽셀들을 배치하고, 1 프레임 기간 동안 그 데이터라인에 동일 극성을 갖는 동일 색의 데이터 전압들을 공급하므로 이웃하는 픽셀들에서 서로 다른 색의 데이터들 간에 계조 차

가 큰 영상 데이터를 표시할 때에도 소스 드라이브 IC들(12)의 소비 전력과 발열을 최소화할 수 있다.

[0044] 도 5는 도 2 및 도 4에 도시된 픽셀 어레이(10)의 데이터라인들(S1~Sm)에 공급되는 데이터전압을 보여 주는 파형도이다.

[0045] 도 5를 참조하면, 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N(N은 양의 정수) 프레임 기간 동안, 부극성 청색 데이터 전압(B-)을 제1 및 제m 데이터라인들(S1, Sm)에 공급한다. 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N 프레임 기간 동안, 정극성 적색 데이터 전압(R+)을 제2 데이터라인들(S2)에 공급하고, 부극성 녹색 데이터 전압(G-)을 제3 데이터라인들(S3)에 공급한다. 그리고 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N 프레임 기간 동안, 정극성 녹색 데이터 전압(G+)을 제m-1 데이터라인들(Sm-1)에 공급한다. 이어서, 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N+1 프레임 기간에, 데이터전압들(R+/R-, G+/G-, B+/B-)의 극성을 반전시키고 그 극성을 1 프레임 기간 동안 유지한다.

[0046] 게이트 구동회로(13)는 타이밍 컨트롤러(11)의 제어 하에 데이터라인들(S1~Sm)에 공급되는 데이터전압에 동기되는 게이트펄스(또는 스캔펄스)를 게이트라인들(G1~Gn)에 순차적으로 공급한다.

[0047] 한편, 본 발명의 액정표시장치는 데이터라인들(S1~Sm)에 연속으로 공급되는 데이터전압들 사이에서 차지 쉐어링(Charge sharing)을 실시하거나 그렇지 않을 수 있다. 차지 쉐어링은 데이터 전압들 사이의 수평 블랭크 기간(Horizontal blank period) 동안 이웃한 데이터라인들을 단락(short circuit)시켜 점선과 같이 정극성 데이터 전압과 부극성 데이터전압의 평균전압을 데이터라인들에 인가한다. 본 발명은 동일 극성 및 동일 계조의 데이터 전압을 데이터라인에 연속으로 공급하고 또한, 차지 쉐어링을 하지 않을 때 실선과 같이 트랜지션(transition) 횟수를 최소화할 수 있다. 따라서, 본 발명의 액정표시장치는 차지 쉐어링을 실시하지 않을 때 소비전력을 더 줄일 수 있다.

[0048] 도 6은 픽셀 어레이(10)의 제3 실시예를 보여 주는 등가 회로도이다.

[0049] 도 6을 참조하면, 픽셀 어레이(10)는 m 개의 데이터라인들(S1~Sm), n 개의 게이트라인들(G1~Gn), 및 다수의 픽셀들(PIX)을 포함한다. 픽셀들(PIX) 각각은 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 및 청색 서브 픽셀(B+/B-)을 포함한다. 픽셀들(PIX)은 한 표시라인 내에서 배열된 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 청색 서브 픽셀(B+/B-)을 포함하거나, 이웃하는 2 개의 표시 라인들에 배치된 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 청색 서브 픽셀(B+/B-)을 포함할 수 있다. 서브 픽셀의 액정셀은 화소 전극과 TFT를 포함한다. 도 6에서, "R"은 적색 데이터 전압이 충전되는 적색 서브 픽셀의 액정셀이고, "G"는 녹색 데이터 전압이 충전되는 녹색 서브 픽셀의 액정셀이다. "B"는 청색 데이터 전압이 충전되는 청색 서브 픽셀의 액정셀이다. "+"는 정극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미하며, "-"는 부극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미한다.

[0050] 도 6에서, 기수 표시라인들(LINE#1, LINE#n-1) 각각은 제1 및 제2 서브 픽셀들을 포함한다. 제1 서브 픽셀은 제1 TFT(T51)와 제1 화소 전극(P51)을 포함한다. 제2 서브 픽셀은 제2 TFT(T52)와 제2 화소 전극(P52)을 포함한다. 우수 표시라인들(LINE#2, LINE#n) 각각은 제3 및 제4 서브 픽셀들을 포함한다. 제3 서브 픽셀은 제3 TFT(T61)와 제3 화소 전극(P61)을 포함한다. 제4 서브 픽셀은 제4 TFT(T62)와 제4 화소 전극(P62)을 포함한다. TFT 각각은 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인으로부터의 데이터전압을 화소 전극에 공급한다. 도 6에서, 화살표는 데이터 전압의 충전 순서를 나타낸다.

[0051] 제1 TFT(T51)는 제j 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제1 화소 전극(P51)에 공급한다. 제1 화소 전극(P51)은 제i 데이터라인의 우측에 배치된다. 제1 TFT(T51)의 게이트전극은 제j 게이트라인에 접속된다. 제1 TFT(T51)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제1 화소전극(P51)에 접속된다.

[0052] 제2 TFT(T52)는 제j 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터전압을 제2 화소 전극(P52)에 공급한다. 제2 화소 전극(P52)은 제i+1 데이터라인의 우측에 배치된다. 제2 TFT(T52)의 게이트전극은 제j 게이트라인에 접속된다. 제2 TFT(T52)의 드레인전극은 제i+1 데이터라인에 접속되고, 그 소스전극은 제2 화소전극(P52)에 접속된다.

[0053] 제3 TFT(T61)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제3 화소 전극(P61)에 공급한다. 제3 화소 전극(P61)은 제i 데이터라인의 좌측에 배치된다. 제3 TFT(T61)의 게이트전극은 제j+1 게이트라인에 접속된다. 제3 TFT(T61)의 드레인전극은 제i 데이터라인에 접속

되고, 그 소스전극은 제3 화소전극(P61)에 접속된다.

- [0054] 제4 TFT(T62)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터 전압을 제4 화소 전극(P62)에 공급한다. 제4 화소 전극(P62)은 제i+1 데이터라인의 좌측에 배치된다. 제4 TFT(T62)의 게이트전극은 제j+1 게이트라인에 접속된다. 제4 TFT(T62)의 드레인전극은 제i+1 데이터라인에 접속되고, 그 소스전극은 제4 화소전극(P62)에 접속된다.
- [0055] 도 6에 도시된 픽셀 어레이(10)에서 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들(T51~T62), 및 화소 전극들(P51~P62)의 접속 관계는 도 4에 도시된 픽셀 어레이의 그 것들과 실질적으로 동일하고, 서브 픽셀들의 색이 다르다. 따라서, 도 6에 도시된 픽셀 어레이의 구동 방법은 데이터라인들(S1~Sm)에 공급되는 서브 픽셀 데이터의 색과 데이터전압의 극성만 다를 뿐 도 4에 도시된 픽셀 어레이의 구동 방법과 실질적으로 동일하다.
- [0056] 도 7은 픽셀 어레이(10)의 제4 실시예를 보여 주는 등가 회로도이다.
- [0057] 도 7을 참조하면, 픽셀 어레이(10)는 m 개의 데이터라인들(S1~Sm), n 개의 게이트라인들(G1~Gn), 및 다수의 픽셀들을(PIX) 포함한다. 픽셀들(PIX) 각각은 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 및 청색 서브 픽셀(B+/B-)을 포함한다. 픽셀들(PIX)은 한 표시라인 내에서 배열된 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 청색 서브 픽셀(B+/B-)을 포함하거나, 이웃하는 2 개의 표시 라인들에 배치된 적색 서브 픽셀(R+/R-), 녹색 서브 픽셀(G+/G-), 청색 서브 픽셀(B+/B-)을 포함할 수 있다. 서브 픽셀의 액정셀은 화소 전극과 TFT를 포함한다. 도 7에서, "R"은 적색 데이터 전압이 충전되는 적색 서브 픽셀의 액정셀이고, "G"는 녹색 데이터 전압이 충전되는 녹색 서브 픽셀의 액정셀이다. "B"는 청색 데이터 전압이 충전되는 청색 서브 픽셀의 액정셀이다. "+"는 정극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미하며, "-"는 부극성 데이터 전압이 공급되는 서브 픽셀의 액정셀을 의미한다.
- [0058] 도 7에서, 기수 표시라인들(LINE#1, LINE#n-1) 각각은 제1 및 제2 서브 픽셀들을 포함한다. 제1 서브 픽셀은 제1 TFT(T71)와 제1 화소 전극(P71)을 포함한다. 제2 서브 픽셀은 제2 TFT(T72)와 제2 화소 전극(P72)을 포함한다. 우수 표시라인들(LINE#2, LINE#n) 각각은 제3 및 제4 서브 픽셀들을 포함한다. 제3 서브 픽셀은 제3 TFT(T81)와 제3 화소 전극(P81)을 포함한다. 제4 서브 픽셀은 제4 TFT(T82)와 제4 화소 전극(P82)을 포함한다. TFT 각각은 게이트라인으로부터의 게이트펄스에 응답하여 데이터라인으로부터의 데이터전압을 화소 전극에 공급한다. 도 7에서, 화살표는 데이터 전압의 충전 순서를 나타낸다.
- [0059] 제1 TFT(T71)는 제j 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제1 화소 전극(P71)에 공급한다. 제1 화소 전극(P71)은 제i 데이터라인의 좌측에 배치된다. 제1 TFT(T71)의 게이트전극은 제j 게이트라인에 접속된다. 제1 TFT(T71)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제1 화소전극(P71)에 접속된다.
- [0060] 제2 TFT(T72)는 제j 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터전압을 제2 화소 전극(P72)에 공급한다. 제2 화소 전극(P72)은 제i+1 데이터라인의 좌측에 배치된다. 제2 TFT(T72)의 게이트전극은 제j 게이트라인에 접속된다. 제2 TFT(T72)의 드레인전극은 제i+1 데이터라인에 접속되고, 그 소스전극은 제2 화소전극(P72)에 접속된다.
- [0061] 제3 TFT(T81)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i 데이터라인을 통해 공급되는 데이터전압을 제3 화소 전극(P81)에 공급한다. 제3 화소 전극(P81)은 제i 데이터라인의 우측에 배치된다. 제3 TFT(T81)의 게이트전극은 제j+1 게이트라인에 접속된다. 제3 TFT(T81)의 드레인전극은 제i 데이터라인에 접속되고, 그 소스전극은 제3 화소전극(P81)에 접속된다.
- [0062] 제4 TFT(T82)는 제j+1 게이트라인으로부터의 게이트펄스에 응답하여 제i+1 데이터라인을 통해 공급되는 데이터전압을 제4 화소 전극(P82)에 공급한다. 제4 화소 전극(P82)은 제i+1 데이터라인의 우측에 배치된다. 제4 TFT(T82)의 게이트전극은 제j+1 게이트라인에 접속된다. 제4 TFT(T82)의 드레인전극은 제i+1 데이터라인에 접속되고, 그 소스전극은 제4 화소전극(P82)에 접속된다.
- [0063] 도 7에 도시된 픽셀 어레이(10)에서 데이터라인들(S1~Sm), 게이트라인들(G1~Gn), TFT들(T71~T82), 및 화소 전극들(P71~P82)의 접속 관계는 도 2에 도시된 픽셀 어레이의 그 것들과 실질적으로 동일하고, 서브 픽셀들의 색이 다르다. 따라서, 도 7에 도시된 픽셀 어레이의 구동 방법은 데이터라인들(S1~Sm)에 공급되는 서브 픽셀 데이터의 색과 데이터전압의 극성만 다를 뿐 도 2에 도시된 픽셀 어레이의 구동 방법과 실질적으로 동일하다.
- [0064] 도 8은 도 6 및 도 7에 도시된 픽셀 어레이(10)의 데이터라인들(S1~Sm)에 공급되는 데이터전압을 보여 주는 파

형도이다.

[0065] 도 8을 참조하면, 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N 프레임 기간 동안, 정극성 적색 데이터 전압(R+)을 제1 및 제m 데이터라인들(S1, Sm)에 공급한다. 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N 프레임 기간 동안, 부극성 녹색 데이터 전압(G-)을 제2 데이터라인들(S2)에 공급하고, 정극성 청색 데이터 전압(B+)을 제3 데이터라인들(S3)에 공급한다. 그리고 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N 프레임 기간 동안, 부극성 청색 데이터 전압(B-)을 제m-1 데이터라인들(Sm-1)에 공급한다. 이어서, 소스 드라이브 IC(12)는 타이밍 컨트롤러(11)의 제어 하에 제N+1 프레임 기간에, 데이터전압들(R+/R-, G+/G-, B+/B-)의 극성을 반전시키고 그 극성을 1 프레임 기간 동안 유지한다.

[0066] 게이트 구동회로(13)는 타이밍 콘트롤러(11)의 제어 하에 데이터라인들(S1~Sm)에 공급되는 데이터전압에 동기되는 게이트펄스(또는 스캔펄스)를 게이트라인들(G1~Gn)에 순차적으로 공급한다.

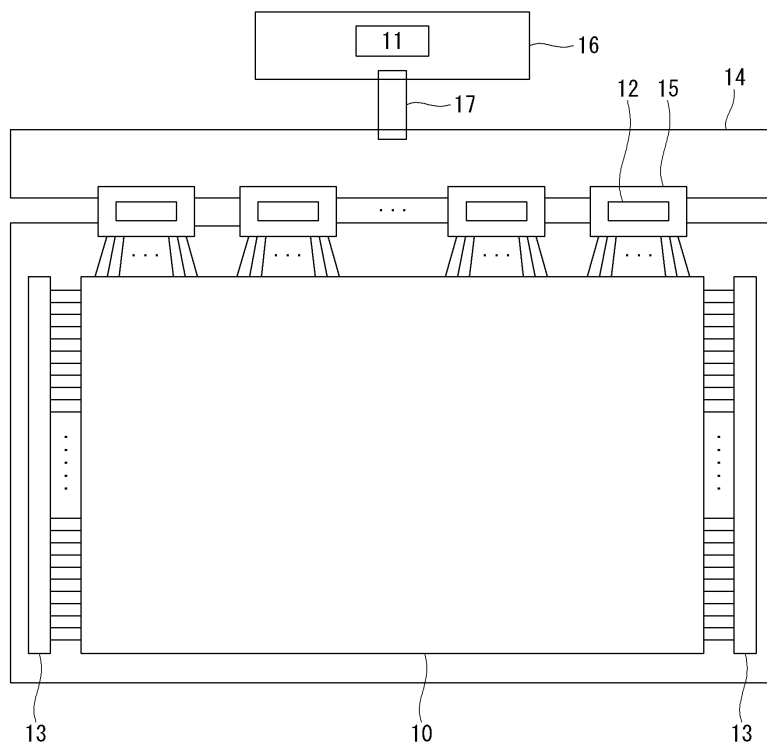
[0067] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

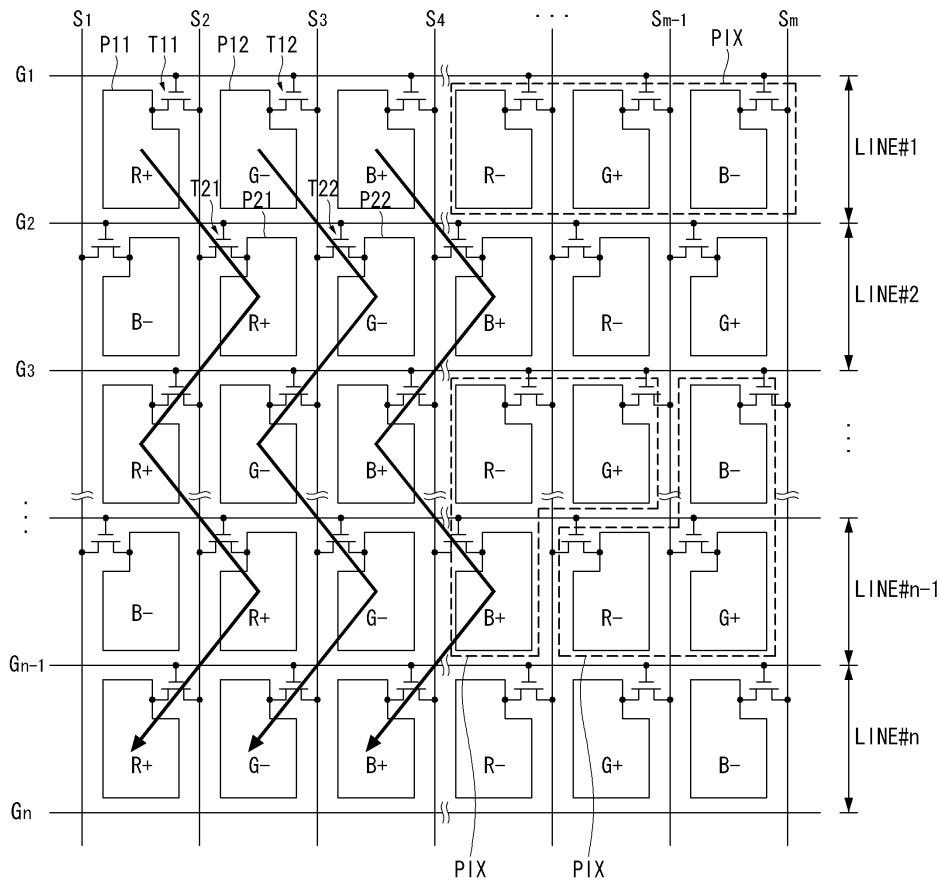
[0068] 10 : 픽셀 어레이 11 : 타이밍 컨트롤러
 12 : 소스 드라이브 IC 13 : 게이트 구동회로

도면

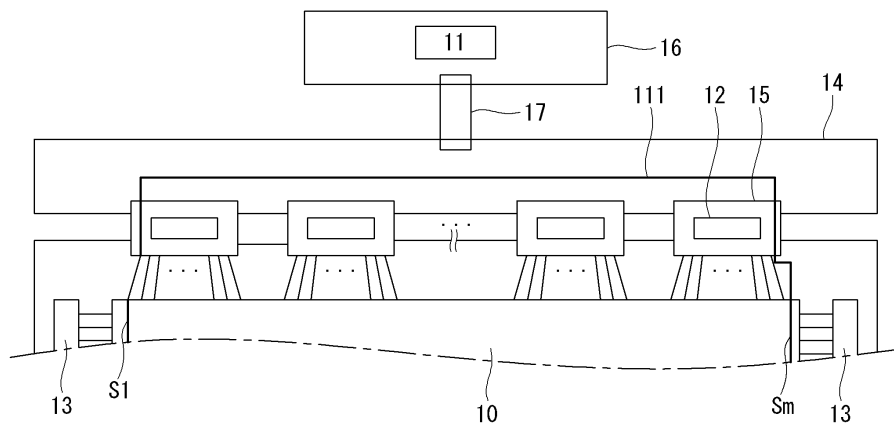
도면1



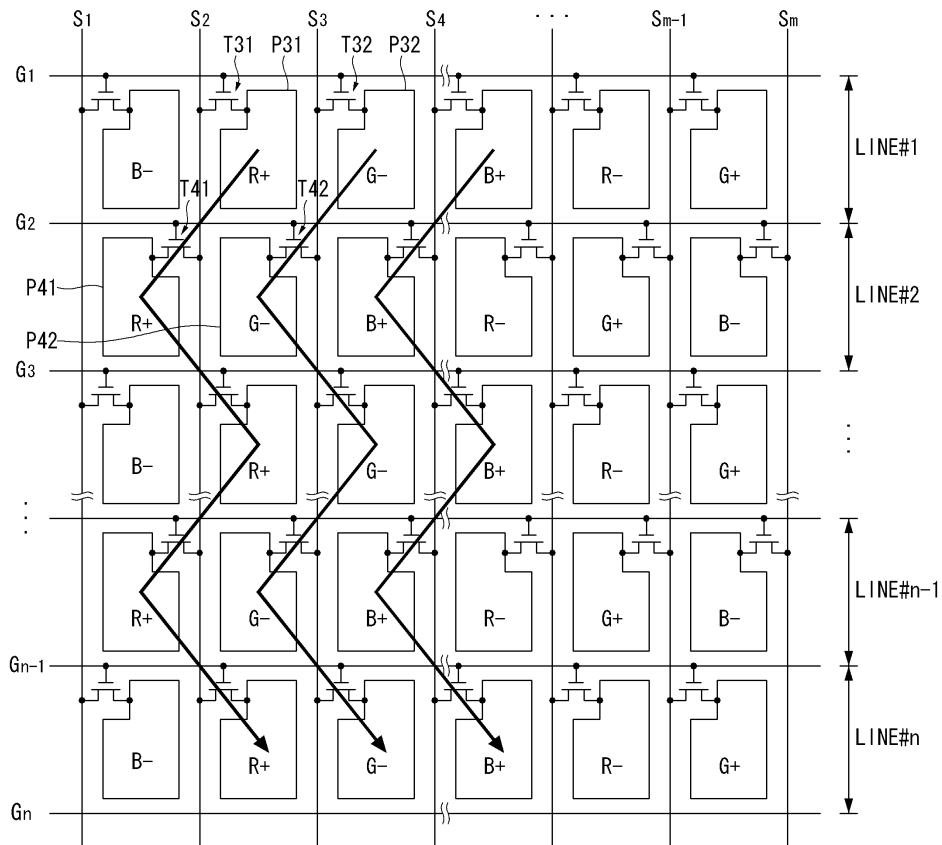
도면2



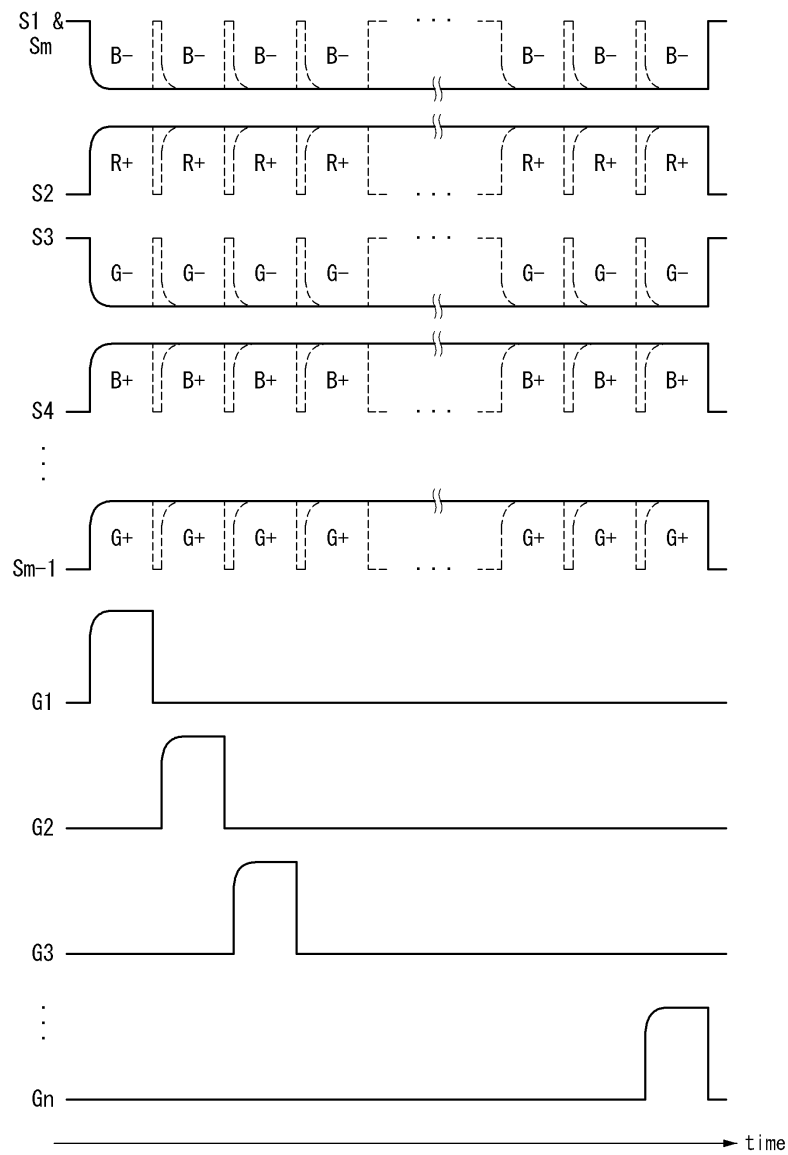
도면3



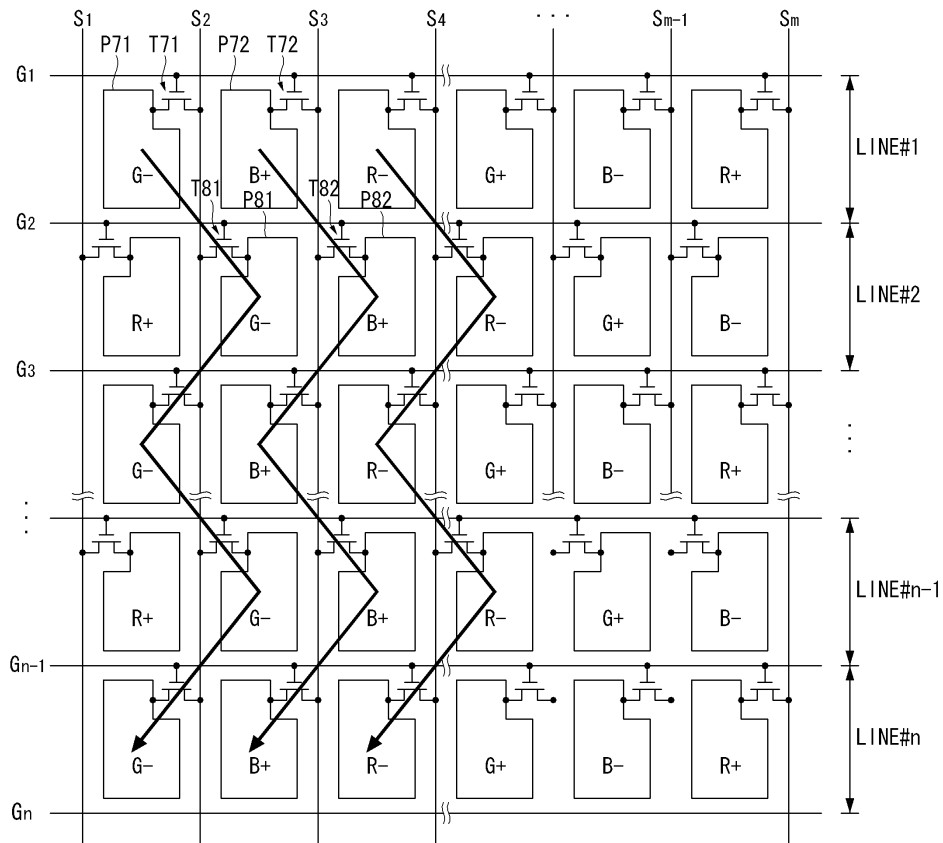
도면4



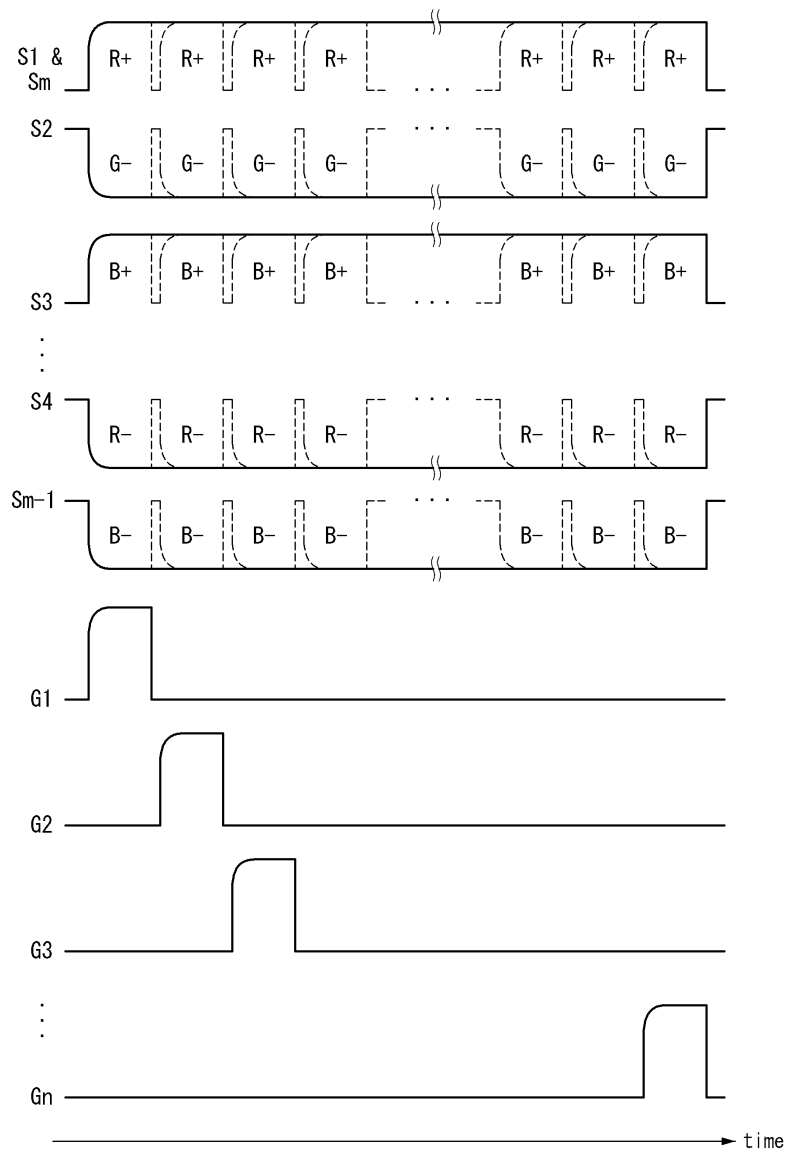
도면5



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR101800893B1	公开(公告)日	2017-11-24
申请号	KR1020110061840	申请日	2011-06-24
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM KI SANG 김기상		
发明人	김기상		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3688 G09G3/3677 G09G3/3648 G02F1/1368 G09G2330/02		
其他公开文献	KR1020130000997A		
外部链接	Espacenet		

摘要(译)

目的：提供液晶显示器，在一个帧周期内为数据线提供与数据线相同颜色和极性的数据电压，从而最大限度地降低数据驱动电路的功耗和发热。组织：每个像素 (PIX) 包括多个子像素 (R+ / R- , G+ / G- , B+ / B-)。连接到第一数据线 (S1) 的Z字形的子像素通过第一数据线连续地接收具有第一极性的第一颜色的数据电压一个帧周期。连接到第二数据线 (S2) 的Z字形的子像素通过第二数据线连续地接收具有第二极性的第二颜色的数据电压一个帧周期。

