



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년10월19일
(11) 등록번호 10-1787598
(24) 등록일자 2017년10월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/133 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2011-0010746
(22) 출원일자 2011년02월07일
심사청구일자 2016년02월03일
(65) 공개번호 10-2012-0090369
(43) 공개일자 2012년08월17일
(56) 선행기술조사문헌
KR1020100070663 A*
KR1020080107148 A
KR1020040010522 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
이창수
충청남도 천안시 서북구 충무로 143-8 101동 110
2호 (쌍용동, 계룡푸른마을아파트)
박기범
충청남도 천안시 동남구 천안대로 483-8 102동
504호 (구성동, 신성미소지움아파트)
(뒷면에 계속)
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 8 항

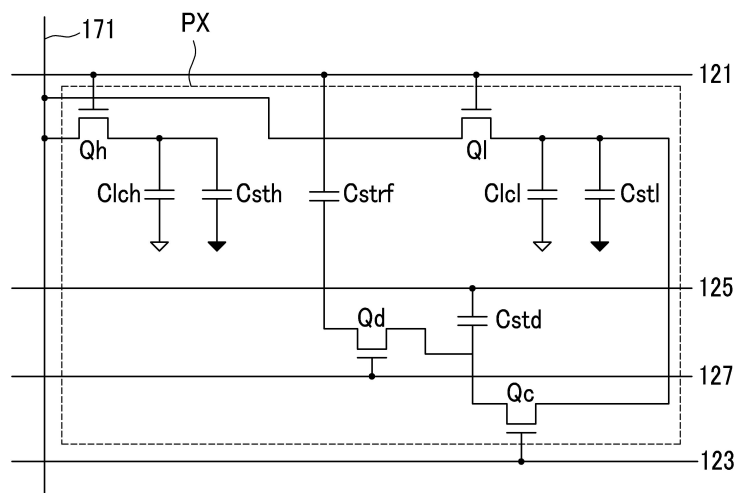
심사관 : 이수한

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있으며, 제1 부화소 전극과 제2 부화소 전극을 포함하는 복수의 화소를 포함하는 액정 표시 장치로서, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제3 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극에 연결되어 있는 제4 박막 트랜지스터, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 연결되어 있는 제1 게이트선, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 연결되어 있는 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 제2 게이트선, 그리고 상기 제4 박막 트랜지스터에 연결되어 있는 제3 게이트선을 포함한다.

대표도 - 도2



(72) 발명자

박윤재

서울특별시 중구 만리재로 185, 104동 903호 (만리
동2가, KCC 파크타운)

이종재

충청남도 아산시 배방읍 배방로 58-10, 중앙하이츠
아파트 104동 1009호

문화식

충청남도 아산시 탕정면 탕정면로 37, 삼성트라팰
리스 301동 1804호

명세서

청구범위

청구항 1

행렬로 배열되어 있으며, 제1 부화소 전극과 제2 부화소 전극을 포함하는 복수의 화소를 포함하는 액정 표시 장치로서,

상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터,

상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터,

상기 제2 부화소 전극에 연결되어 있는 제3 박막 트랜지스터,

상기 제3 박막 트랜지스터의 드레인 전극에 연결되어 있는 제4 박막 트랜지스터,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 연결되어 있는 제1 게이트선,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 연결되어 있는 데이터선,

상기 제3 박막 트랜지스터에 연결되어 있는 제2 게이트선, 그리고

상기 제4 박막 트랜지스터에 연결되어 있는 제3 게이트선을 포함하고,

상기 제4 박막 트랜지스터의 소스 전극은 상기 제3 박막 트랜지스터의 드레인 전극에 연결되고,

상기 제4 박막 트랜지스터의 드레인 전극은 상기 제1 게이트선과 중첩하는 액정 표시 장치.

청구항 2

삭제

청구항 3

제1항에서,

상기 제3 게이트선은 상기 제1 게이트선과 상기 제2 게이트선에 게이트 오프 신호가 인가된 후, 게이트 온 신호가 인가되는 액정 표시 장치.

청구항 4

제3항에서,

상기 제3 게이트선에는 수직 블랭크(vertical blank) 구간에 게이트 온 신호가 인가되는 액정 표시 장치.

청구항 5

제4항에서,

상기 제3 박막 트랜지스터의 드레인 전극과 중첩하는 용량 전극을 더 포함하는 액정 표시 장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

제1항에서,

상기 제3 박막 트랜지스터의 드레인 전극과 중첩하는 용량 전극을 더 포함하는 액정 표시 장치.

청구항 10

제1항에서,

상기 제3 게이트선에는 수직 블랭크(vertical blank) 구간에 게이트 온 신호가 인가되는 액정 표시 장치.

청구항 11

제1항에서,

상기 제1 부화소 전극과 상기 제2 부화소 전극은 복수의 미세 가지부를 포함하며, 상기 미세 가지부의 변의 방향이 서로 다른 복수의 영역을 포함하는 액정 표시 장치.

청구항 12

제11항에서,

상기 미세 가지부의 변은 상기 제1 게이트선과 45° 또는 135° 의 각을 이루는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0004] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0005] 이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 두 개의 부화소로 분할하고 두 부화소의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되었다.

[0006] 이러한 방법으로는 두 부화소에 인가하는 전압을 동일하게 하고 별도의 스위칭 소자 및 축전기를 이용하여 두 부화소 중 하나의 부화소의 전압을 강하시키는 방법이 있다. 이러한 액정 표시 장치에서, 화소 전압이 극성 반전하는 경우, 이전 프레임 동안 충전되었던 화소 전압과 본 프레임 동안 충전되는 화소 전압의 극성 차이로 인해, 감압 축전기의 정전 용량이 변화할 수 있어, 두 개의 부화소 전극 전압을 정확하게 조절하기 어렵다.

[0007] 이처럼, 두 부화소 전극에 충전되는 전압을 정확하게 조절하지 못하고, 이전 프레임 동안 충전된 전압의 영향을 받을 경우, 화질이 저하되게 된다.

발명의 내용

해결하려는 과제

[0008] 본 발명이 이루고자 하는 기술적 과제는 화소 전압을 극성 반전하는 경우에도, 두 개의 부화소 전극의 전압을 정확하게 조절하는 것이다.

과제의 해결 수단

[0009] 본 발명의 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있으며, 제1 부화소 전극과 제2 부화소 전극을 포함하는 복수의 화소를 포함하는 액정 표시 장치로서, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제3 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극에 연결되어 있는 제4 박막 트랜지스터, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 연결되어 있는 제1 게이트선, 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터에 연결되어 있는 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 제2 게이트선, 그리고 상기 제4 박막 트랜지스터에 연결되어 있는 제3 게이트선을 포함한다.

[0010] 상기 제4 박막 트랜지스터의 소스 전극은 상기 제3 박막 트랜지스터의 드레인 전극에 연결되고, 상기 제4 박막 트랜지스터의 드레인 전극은 상기 제1 게이트선과 중첩할 수 있다.

[0011] 상기 제3 게이트선은 상기 제1 게이트선과 상기 제2 게이트선에 게이트 오프 신호가 인가된 후, 게이트 온 신호가 인가될 수 있다.

[0012] 상기 제3 게이트선에는 수직 블랭크(vertical blank) 구간에 게이트 온 신호가 인가될 수 있다.

[0013] 상기 제3 박막 트랜지스터의 드레인 전극과 중첩하는 용량 전극을 더 포함할 수 있다.

[0014] 상기 제1 부화소 전극과 상기 제2 부화소 전극은 복수의 미세 가지부를 포함하며, 상기 미세 가지부의 변의 방향이 서로 다른 복수의 영역을 포함할 수 있다.

[0015] 상기 미세 가지부의 변은 상기 제1 게이트선과 45° 또는 135° 의 각을 이룰 수 있다.

발명의 효과

[0016] 본 발명의 실시예에 따른 액정 표시 장치는 한 프레임이 끝나면 감압 축전기에 충전되어 있던 전하를 모두 방전함으로써, 감압 축전기의 정전 용량은 이전 프레임의 화소 전압의 극성 등에 영향을 받지 않을 수 있다. 이에 따라, 감압 축전기의 정전 용량을 일정하게 조절할 수 있어, 두 개의 부화소 전극의 전압을 정확하게 조절할 수 있어, 측면 시인성을 정면 시인성에 가깝게 할 수 있으며, 화질 저하를 방지할 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에 인가되는 신호를 개략적으로 도시한 도면이다.

도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 구동부의 일부를 개략적으로 도시한 도면이다.

도 5는 본 발명의 한 실시예에 따른 액정 표시판 장치의 배치도이다.

도 6은 도 5를 VI-VI 선을 따라 잘라 도시한 단면도이다.

도 7은 도 4의 액정 표시판 장치의 화소 전극을 도시하는 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0019] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0020] 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 1 및 도 2를 참고하여 설명한다.
- [0021] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0022] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 게조 전압 생성부(800) 및 신호 제어부(600)를 포함한다.
- [0023] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(121, 123, 125, 127, 171)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다.
- [0024] 도 2를 참조하면, 신호선은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(121, 123), 데이터 전압을 전달하는 복수의 데이터선(171) 및 공통 전압(Vcom)을 전달하는 복수의 용량 전극선(capacitor electrode line)(125), 리플레시 신호선(127)을 포함한다. 복수의 게이트선(121, 123), 복수의 용량 전극선(125)과 리플레시 신호선(127)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 복수의 데이터선(171)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0025] 본 실시예에 따른 액정 표시판 조립체는 복수의 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.
- [0026] 각 화소(PX)는 한 쌍의 부화소를 포함하며, 제1 스위칭 소자(Qh), 제2 스위칭 소자(Q1), 제3 스위칭 소자(Qc) 및 제4 스위칭 소자(Qd), 제1 액정 축전기(Clca) 및 제2 액정 축전기(Clcb), 감압 축전기(Cstd) 및 리플레시 축전기(Cstrf)를 포함한다.
- [0027] 제1 스위칭 소자(Qh) 및 제2 스위칭 소자(Q1)는 각각 제1 게이트선(121) 및 데이터선(171)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 게이트선(123)에 연결되어 있다.
- [0028] 제1 스위칭 소자(Qh) 및 제2 스위칭 소자(Q1)는 박막 트랜지스터 표시판에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 제1 게이트선(121)과 연결되어 있고, 입력 단자는 데이터선(171)과 연결되어 있으며, 출력 단자는 제1 액정 축전기(Clch)와 제2 액정 축전기(Clcl)에 연결되어 있다.
- [0029] 제3 스위칭 소자(Qc) 역시 박막 트랜지스터 표시판에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제2 게이트선(123)과 연결되어 있고, 입력 단자는 제2 액정 축전기(Clcl)와 연결되어 있으며, 출력 단자는 감압 축전기(Cstd)와 연결되어 있다.
- [0030] 감압 축전기(Cstd)는 제3 스위칭 소자(Qc)의 출력 단자와 용량 전극선(125)에 연결되어 있으며, 박막 트랜지스터 표시판에 구비된 용량 전극선(125)과 제3 스위칭 소자(Qc)의 출력 전극이 절연체를 사이에 두고 중첩되어 이루어 진다.
- [0031] 제4 스위칭 소자(Qd) 역시 박막 트랜지스터 표시판에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 리플레시 신호선(127)에 연결되어 있고, 입력 단자는 감압 축전기(Cstd)에 연결되어 있고, 출력 단자는 리플레시 축전기(Cstrf)에 연결되어 있다.
- [0032] 리플레시 축전기(Cstrf)는 제4 스위칭 소자(Qd)의 출력 단자와 제1 게이트선(121)에 연결되어 있으며, 제4 스위칭 소자(Qd)의 출력 전극과 제1 게이트선(121)의 일부가 절연체를 사이에 두고 중첩되어 이루어 진다.
- [0033] 다시 도 1을 참고하면, 게조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 게조 전압 또는 한정된 수효

의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. 기준 계조 전압은 공통 전압에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.

- [0034] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(121, 123), 그리고 리플레시 신호선(127)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 인가한다.
- [0035] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(DL)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선(171)에 인가한다. 그러나 계조 전압 생성부(800)가 계조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 원하는 데이터 전압을 생성한다.
- [0036] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- [0037] 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(121, 123, 125, 127, 171) 및 박막 트랜지스터 스위칭 소자(Qh, Ql, Qc, Qd) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- [0038] 그러면, 도 2와 함께 도 3 및 도 4를 참고하여, 본 발명의 실시예에 따른 액정 표시 장치의 구동 방법에 대하여 설명한다. 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치에 인가되는 신호를 개략적으로 도시한 도면이며, 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 게이트 구동부의 일부를 개략적으로 도시한 도면이다.
- [0039] 이제부터 특정 화소 행, 예를 들면 i 번째 행에 초점을 맞추어 설명한다.
- [0040] 도 1과 함께 도 2 및 도 3을 참고하면, i 번째 행의 제1 게이트선(121)에 게이트 온 신호가 인가되면, 턴 온된 제1 스위칭 소자(Qh) 및 제2 스위칭 소자(Ql)를 통해, 제1 액정 축전기(Qlch)와 제2 액정 축전기(Qlcl)에 데이터 신호(Data)가 인가된다. 이 때, 제1 액정 축전기(Qlch)와 제2 액정 축전기(Qlcl)에 인가된 데이터 전압(Vd)은 서로 동일하다. 따라서, 제1 액정 축전기(Qlch)와 제2 액정 축전기(Qlcl)는 공통 전압과 데이터 전압(Vd)의 차이만큼 동일한 값으로 충전된다.
- [0041] 그 후, 제1 게이트선(121)에 인가되는 게이트 신호는 게이트 온 전압에서 게이트 오프 전압으로 바뀌고, 동시에 제2 게이트선(123)에 인가되는 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면, 제1 스위칭 소자(Qh) 및 제2 스위칭 소자(Ql)는 턴 오프되고, 제3 스위칭 소자(Qc)가 턴 온된다. 그러면, 제2 액정 축전기(Clcl)에 충전되어 있던 전하가 감압 축전기(Qstd)로 일부 이동한다. 이에 의하여, 제2 액정 축전기(Clcl)의 충전 전압은 낮아지고 감압 축전기(Cstd)가 충전된다. 제2 액정 축전기(Clcl)의 충전 전압은 감압 축전기(Cstd)의 정전 용량만큼 낮아지므로 제2 액정 축전기(Cstl)의 충전 전압은 제1 액정 축전기(Csth)의 충전 전압보다 낮아진다.
- [0042] 이 때, 제1 액정 축전기(Qlch)와 제2 액정 축전기(Qlcl)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.
- [0043] 이러한 과정이 제1 게이트선(121)과 제2 게이트선(123)에 연결되어 있는 복수의 화소에 모두 진행되고 나면, 복수의 화소에는 모두 데이터 신호(Data)가 인가된다.
- [0044] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 화소(PX)에 데이터 전압(Vd)을 인가하여 한 프레임(frame)의 영상을 표시한다.
- [0045] 한 프레임 영상이 표시된 후, 데이터 신호(Data)가 인가되지 않는 수직 블랭크 구간(V_Blank) 동안 리플레시 신호선(127)에 게이트 온 신호가 인가된다.
- [0046] 리플레시 신호선(127)에 게이트 온 신호가 인가되면, 제4 스위칭 소자(Qd)가 턴온되고, 턴온된 제4 스위칭 소자

(Qd)를 통해, 감압 축전기(Cstd)에 충전되어 있던 전하들은 플로팅 되어 있는 제2 게이트선(123)에 연결되어 있는 리플레시 축전기(Cstrf)로 모두 이동하게 된다.

[0047] 이러한 과정에 의해, 하나의 프레임(1Frame)이 완료 된다. 이처럼, 본 발명의 실시예에 따른 액정 표시 장치는 프레임과 프레임 사이에 감압 축전기(Cstd)에 충전되어 있던 전하를 모두 방전함으로써, 이전 프레임 동안 충전된 전압의 극성과는 상관 없이, 이번 프레임 동안 원하는 크기의 감압 축전기(Cstd) 용량을 정확히 유지할 수 있다. 이에 따라, 감압 축전기(Cstd) 용량 차이에 따른 화질 저하를 방지할 수 있다.

[0048] 도 4를 참고하면, 본 발명의 실시예에 따른 게이트 구동부는 복수의 게이트선(121, 123)에 차례로 게이트 온 신호를 인가하기 위한 제1 구동부(ASG_a)와 리플레시 신호선(127)에 게이트 온 신호를 인가하기 위한 제2 구동부(ASG_b)를 포함한다. 제1 구동부(ASG_a)를 통해 모든 제1 게이트선(121, 123)에 차례로 게이트 온 신호가 인가된 후에, 다음 프레임이 시작되기 전에 제2 구동부(ASG_b)를 통해 리플레시 신호선(127)에 게이트 온 신호를 인가한다. 본 실시예에 따른 액정 표시 장치에는 리플레시 신호선(127)과 리플레시 신호선(127)에 게이트 온 신호를 인가하기 위한 게이트 구동부의 제2 구동부(ASG_b)가 추가되지만, 게이트 신호는 게이트 온/오프 신호에 불과하여, 동작이 간단하여, 제조 비용이 낮다.

[0049] 이제 도 5 내지 도 7을 참고하여 도 2에 도시한 액정 표시 장치의 한 예에 대하여 더욱 상세하게 설명한다.

[0050] 도 5는 본 발명의 한 실시예에 따른 액정 표시판 장치의 배치도이며, 도 6은 도 5를 VI-VI 선을 따라 잘라 도시한 단면도이고, 도 7은 도 4의 액정 표시판 장치의 화소 전극을 도시하는 배치도이다.

[0051] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(도시하지 않음)를 포함한다.

[0052] 먼저 하부 표시판(100)에 대하여 설명한다.

[0053] 절연 기판(110) 위에 복수의 게이트선(gate line)(121, 123), 복수의 용량 전극선(125), 복수의 리플레시 신호선(127)을 포함하는 복수의 게이트 도전체가 형성되어 있다.

[0054] 게이트선(121, 123) 및 리플레시 신호선(127)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 제1 게이트선(121)은 위아래로 돌출한 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)을 포함하고, 제2 게이트선(123)은 위로 돌출한 제3 게이트 전극(124c)을 포함한다. 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)은 서로 연결되어 하나의 돌출부를 이룬다. 리플레시 신호선(127)은 확장된 제4 게이트 전극(124d)을 포함한다.

[0055] 용량 전극선(125)도 주로 가로 방향으로 뻗어 있으며 공통 전압(Vcom) 등의 정해진 전압을 전달한다. 용량 전극선(125)은 위 아래로 돌출한 유지 전극(129), 게이트선(121)과 대략 수직하게 아래로 뻗은 한 쌍의 세로부(128) 및 한 쌍의 세로부(128)의 끝을 서로 연결하는 가로부(127)를 포함한다. 가로부(127)는 아래로 확장된 용량 전극(126)을 포함한다.

[0056] 게이트 도전체(121, 123, 125, 127) 위에는 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

[0057] 게이트 절연막(140) 위에는 비정질 또는 결정질 규소 등으로 만들어질 수 있는 복수의 선형 반도체(151)가 형성되어 있다. 선형 반도체(151)는 주로 세로 방향으로 뻗어 있으며 제1 게이트 전극(124h) 및 제2 게이트 전극(124i)을 향하여 뻗어 나와 있으며 서로 연결되어 있는 제1 반도체(154h) 및 제2 반도체(154i), 그리고 제2 반도체(154i)와 연결된 제3 반도체(154c)를 포함한다. 제3 반도체(154c)는 연장되어 제4 반도체(157)를 이룬다. 제4 반도체(157)는 제4 게이트 전극(124d) 쪽으로 뻗어 있다.

[0058] 선형 반도체(151) 위에는 복수의 선형 저항성 접촉 부재(ohmic contact)(도시하지 않음)가 형성되어 있으며, 제1 반도체(154h) 위에는 제1 저항성 접촉 부재(도시하지 않음)가 형성되어 있고, 제2 반도체(154i), 제3 반도체(154c) 및 제4 반도체(157)위에도 각각 제2 저항성 접촉 부재(164b), 제3 저항성 접촉 부재(도시하지 않음) 및 제3 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 선형 저항성 접촉 부재는 제1 섬형 저항성 접촉 부재와 쌍을 이루어 반도체의 제1 돌출부 위에 배치되어 있는 제1 돌출부(도시하지 않음), 제2 섬형 저항성 접촉 부재와 쌍을 이루어 반도체의 제2 돌출부 위에 배치되어 있는 제2 돌출부(도시하지 않음) 및 제3 섬형 저항성 접촉 부재와 쌍을 이루어 반도체의 제3 돌출부 위에 배치되어 있는 제3 돌출부(도시하지 않음)를 포함한다. 제3 저항성 접촉 부재는 연장되어 제4 저항성 접촉 부재(167)를 이룬다.

[0059] 저항성 접촉 부재(164i, 167) 위에는 복수의 데이터선(data line)(171), 복수의 제1 드레인 전극(175h), 복수

의 제2 드레인 전극(175l), 그리고 복수의 제3 드레인 전극(175c), 복수의 제4 드레인 전극(175d)을 포함하는 데이터 도전체가 형성되어 있다.

- [0060] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 제1 게이트선(121) 제2 게이트선(123), 리플레시 신호선(127)과 교차한다. 각 데이터선(171)은 제1 게이트 전극(124h) 및 제2 게이트 전극(124l)을 향하여 뻗어 함께 'W' 형태를 이루는 제1 소스 전극(173h) 및 제2 소스 전극(173l)을 포함한다.
- [0061] 제1 드레인 전극(175h), 제2 드레인 전극(175l) 및 제3 드레인 전극(175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 드레인 전극(175h) 및 제2 드레인 전극(175l)의 막대형 끝 부분은 제1 소스 전극(173h) 및 제2 소스 전극(173l)으로 일부 둘러싸여 있다. 제2 드레인 전극(175l)의 넓은 한 쪽 끝 부분은 다시 연장되어 'U'자 형태로 굽은 제3 소스 전극(173c)을 이룬다. 제3 드레인 전극(175c)의 확장된 부분(177c)은 용량 전극(126)과 중첩하여 감압 축전기(Cstd)를 이루며, 막대형의 한 쪽 끝 부분은 제3 소스 전극(173c)으로 일부 둘러싸여 있다. 또한, 제3 드레인 전극(175c)의 다른 한 쪽은 확장되어, 제4 소스 전극(173d)을 이룬다. 제4 드레인 전극(175d)의 한 쪽 끝 부분은 제4 소스 전극(173d)을 둘러싸고 있고, 제4 드레인 전극(175d)의 나머지 한 쪽 끝 부분은 제1 게이트선(121)의 확장부와 중첩하여, 리플레시 축전기(Cstrf)를 이룬다.
- [0062] 제1/제2/제3/제4 게이트 전극(124h/124l/124c/124d), 제1/제2/제3/제4 소스 전극(173h/173l/173c/173d) 및 제1/제2/제3/제4 드레인 전극(175h/175l/175c/175d)은 제1/제2/제3/제4 반도체(154h/154l/154c/157)와 함께 하나의 제1/제2/제3/제4 박막 트랜지스터(thin film transistor, TFT)(Qh/Ql/Qc/Qd)를 이루며, 박막 트랜지스터의 채널(channel)은 각 소스 전극(173h/173l/173c/173d)과 각 드레인 전극(175h/175l/175c/175d) 사이의 각 반도체(154h/154l/154c/154d)에 형성된다.
- [0063] 반도체(154h, 154l, 154c, 154d)를 포함하는 선형 반도체(151)는 소스 전극(173h, 173l, 173c, 173d)과 드레인 전극(175h, 175l, 175c, 175d) 사이의 채널 영역을 제외하고는 데이터 도전체(171, 175h, 175l, 175c, 173d, 175d) 및 그 하부의 저항성 접촉 부재(164l, 167)와 실질적으로 동일한 평면 모양을 가진다. 즉, 반도체(154h, 154l, 154c, 154d)를 포함하는 선형 반도체(151)에는 소스 전극(173h, 173l, 173c, 173d)과 드레인 전극(175h, 175l, 175c, 175d) 사이를 비롯하여 데이터 도전체(171, 175h, 175l, 175c, 173d, 175d)에 의해 가리지 않고 노출된 부분이 있다.
- [0064] 데이터 도전체(171, 175h, 175l, 175c, 173d, 175d) 및 노출된 반도체(154h, 154l, 154c, 154d) 부분 위에는 질화규소 또는 산화규소 따위의 무기 절연물로 만들어질 수 있는 하부 보호막(180p)이 형성되어 있다.
- [0065] 하부 보호막(180p) 위에는 색필터(230)가 위치한다. 색필터(230)는 제1 박막 트랜지스터(Qh), 제2 박막 트랜지스터(Ql), 제3 박막 트랜지스터(Qc), 제4 박막 트랜지스터(Qd) 등이 위치하는 곳을 제외한 대부분의 영역에 위치한다. 그러나, 이웃하는 데이터선(171) 사이를 따라서 세로 방향으로 길게 뻗을 수도 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- [0066] 색필터(230)가 위치하지 않는 영역 및 색필터(230)의 일부 위에는 차광 부재(light blocking member)(220)가 위치한다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 차광 부재(220)는 게이트선(121) 및 제2 게이트선(123)을 따라 뻗어 위아래로 확장되어 있으며, 제1 박막 트랜지스터(Qh), 제2 박막 트랜지스터(Ql) 및 제3 박막 트랜지스터(Qc) 등이 위치하는 영역을 덮는 제1 차광 부재(220a)와 데이터선(171)을 따라 뻗어 있는 제2 차광 부재(220b)를 포함한다. 차광 부재(220)의 일부분의 높이는 색필터(230)의 높이보다 낮을 수 있다.
- [0067] 색필터(230) 및 차광 부재(220) 위에는 상부 보호막(180q)이 형성되어 있다. 상부 보호막(180q)은 색필터(230) 및 차광 부재(220)가 들뜨는 것을 방지하고 색필터(230)로부터 유입되는 용제(solvent)와 같은 유기물에 의한 액정층(3)의 오염을 억제하여 화면 구동 시 조래할 수 있는 잔상과 같은 불량을 방지한다.
- [0068] 하부 보호막(180p), 차광 부재(220) 및 상부 보호막(180q)에는 제1 드레인 전극(175h)의 넓은 끝 부분과 제2 드레인 전극(175l)의 넓은 끝 부분을 각각 드러내는 복수의 제1 접촉 구멍(185h) 및 복수의 제2 접촉 구멍(185l)이 형성되어 있다.
- [0069] 상부 보호막(180q) 위에는 복수의 화소 전극(191)이 형성되어 있다.
- [0070] 도 5를 참고하면, 각 화소 전극(191)은 두 게이트선(121, 123)을 사이에 두고 서로 분리되어, 게이트선(121, 123)을 중심으로 화소 영역의 위와 아래에 배치되어 열 방향으로 이웃하는 제1 부화소 전극(191h)과 제2 부화소 전극(191l, 191i)을 포함하며, 제1 부화소 전극(191h) 및 제2 부화소 전극(191l)은 각각 도 7에 도시한 기본 전

극(199) 또는 그 변형을 하나 이상 포함하고 있다.

- [0071] 그러면, 도 7을 참고하여, 기본 전극(199)에 대해 상세히 설명한다.
- [0072] 도 7에 도시한 바와 같이, 기본 전극(199)의 전체적인 모양은 사각형이며 가로 줄기부(193) 및 이와 직교하는 세로 줄기부(192)로 이루어진 십자형 줄기부를 포함한다. 또한 기본 전극(199)은 가로 줄기부(193)와 세로 줄기부(192)에 의해 제1 부영역(Da), 제2 부영역(Db), 제3 부영역(Dc), 그리고 제4 부영역(Dd)으로 나뉘어지며 각 부영역(Da-Dd)은 복수의 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)를 포함한다.
- [0073] 제1 미세 가지부(194a)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 제2 미세 가지부(194b)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 제3 미세 가지부(194c)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 제4 미세 가지부(194d)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다.
- [0074] 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)는 게이트선(121, 123) 또는 가로 줄기부(193)와 대략 45도 또는 135도의 각을 이룬다. 또한 이웃하는 두 부영역(Da, Db, Dc, Dd)의 미세 가지부(194a, 194b, 194c, 194d)는 서로 직교할 수 있다.
- [0075] 미세 가지부(194a, 194b, 194c, 194d)의 폭은 $2.5\mu\text{m}$ 내지 $5.0\mu\text{m}$ 일 수 있고, 한 부영역((Da, Db, Dc, Dd) 내에서 이웃하는 미세 가지부(194a, 194b, 194c, 194d) 사이의 간격은 $2.5\mu\text{m}$ 내지 $5.0\mu\text{m}$ 일 수 있다.
- [0076] 본 발명의 다른 한 실시예에 따르면, 미세 가지부(194a, 194b, 194c, 194d)의 폭은 가로 줄기부(193) 또는 세로 줄기부(192)에 가까울수록 넓어질 수 있으며, 하나의 미세 가지부(194a, 194b, 194c, 194d)에서 폭이 가장 넓은 부분과 가장 좁은 부분의 차이는 $0.2\mu\text{m}$ 내지 $1.5\mu\text{m}$ 일 수 있다.
- [0077] 제1 부화소 전극(191h) 및 제2 부화소 전극(191i)은 외곽을 둘러싸는 외곽 줄기부를 포함하는데, 외곽 줄기부의 세로부는 데이터선(171)을 따라 뻗어 데이터선(171)과 제1 부화소 전극(191h) 및 제2 부화소 전극(191i) 사이의 용량성 결합, 즉 커플링(capacitive coupling)을 방지할 수 있다.
- [0078] 제1 부화소 전극(191h) 및 제2 부화소 전극(191i)은 제1 접촉 구멍(185h) 및 제2 접촉 구멍(185i)을 통하여 각기 제1 드레인 전극(175h) 및 제2 드레인 전극(175i)으로부터 데이터 전압을 인가 받는다. 데이터 전압이 인가된 제1 부화소 전극(191h) 및 제2 부화소 전극(191i)은 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 휘도가 달라진다.
- [0079] 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)의 변은 전기장을 왜곡하여 액정 분자들(31)의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)의 변에 거의 수평하다. 따라서 도 5에 도시한 바와 같이 액정 분자(31)들은 미세 가지부(194a, 194b, 194c, 194d)의 길이 방향에 평행한 방향으로 기울어진다. 한 화소 전극(191)은 미세 가지부(194a, 194b, 194c, 194d)의 길이 방향이 서로 다른 네 개의 부영역(Da-Dd)을 포함하므로 액정 분자(31)가 기울어지는 방향은 대략 네 방향이 되며 액정 분자(31)의 배향 방향이 다른 네 개의 도메인이 액정층(3)에 형성된다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- [0080] 제1 부화소 전극(191h)과 공통 전극(270)은 그 사이의 액정층(3)과 함께 제1 액정 축전기(C1ch)를 이루고, 제2 부화소 전극(191i)과 공통 전극(270)은 그 사이의 액정층(3)과 함께 제2 액정 축전기(C1cl)를 이루어 제1 및 제2 박막 트랜지스터(Qh, Ql)가 턴 오프된 후에도 인가된 전압을 유지한다.
- [0081] 제1 및 제2 부화소 전극(191h, 191i)은 유지 전극(129)을 비롯한 용량 전극선(125)과 중첩하여 제1 및 제2 유지 축전기(Csth, Cstl)를 이루며, 제1 및 제2 유지 축전기(Csth, Cstl)는 각각 제1 및 제2 액정 축전기(C1ch, C1cl)의 전압 유지 능력을 강화한다.
- [0082] 용량 전극(126)과 제3 드레인 전극(175c)의 확장부(177c)는 게이트 절연막(140)과 반도체층(157, 167)을 사이에 두고 서로 중첩하여 감압 축전기(Cstd)를 이룬다. 본 발명의 다른 실시예에서, 감압 축전기(Cstd)를 이루는 용량 전극(126)과 제3 드레인 전극(175c)의 확장부(177c)는 사이에 배치되어 있는 반도체층(157, 167)은 제거될 수 있다.
- [0083] 게이트선(121)의 확장부와 제4 드레인 전극(175d)의 확장된 끝 부분은 게이트 절연막(140)과 반도체층(157,

167)을 사이에 두고 서로 중첩하여 리플레시 축전기(Cstrf)를 이룬다. 본 발명의 다른 실시예에서, 리플레시 축전기(Cstrf)를 이루는 게이트선(121) 용량 전극(126)과 제4 드레인 전극(175d)의 확장된 끝 부분 사이에 배치되어 있는 반도체층(157, 167)은 제거될 수 있다.

[0084] 상부 보호막(180q) 위에는 착색 부재(320)가 형성되어 있다. 착색 부재(320)는 차광 부재(220) 위에 배치된다. 착색 부재(320)는 게이트선(121) 및 제2 게이트선(123)을 따라 뻗어 위아래로 확장되어 있으며, 제1 박막 트랜지스터(Qh), 제2 박막 트랜지스터(Q1) 및 제3 박막 트랜지스터(Qc) 등이 위치하는 영역을 덮는 제1 차광 부재(220a)와 데이터선(171)을 따라 뻗어 있는 제2 차광 부재(220b)를 따라 배치되어 있는 제1 착색 부재(320a) 및 제2 착색 부재(320b)를 포함한다.

[0085] 착색 부재(320a, 320b)는 차광 부재(220)와 색필터(230)의 높이 차이를 보상하여, 색필터(230) 위에 배치되어 있는 액정층과, 차광 부재(220) 위에 배치되어 있는 액정층의 셀 간격을 일정하게 조절하고, 차광 부재(220)의 빛샘 방지 역할을 강화한다. 이처럼, 착색 부재(320a, 320b)는 차광 부재(220)와 색필터(230)의 높이 차이를 보상하기 때문에, 차광 부재(220)와 색필터(230) 사이에 배치되어 있는 액정 분자가 차광 부재(220)와 색필터(230) 사이의 단차에 의해 정확하게 제어되지 않기 때문에 발생하는 화소 전극의 가장자리 부의 빛샘 등을 방지할 수 있다. 또한, 차광 부재(220) 위의 셀 간격을 줄이기 때문에, 평균 셀 간격이 줄어들고 이에 따라, 액정 표시 장치에 사용되는 총 액정 양이 줄 수 있다.

[0086] 화소 전극(191), 노출된 상부 보호막(180q) 및 착색 부재(320a, 320b) 위에는 하부 배향막(도시하지 않음)이 형성되어 있다. 하부 배향막은 수직 배향막일 수 있다.

[0087] 이제 상부 표시판(200)에 대하여 설명한다.

[0088] 절연 기판(210) 위에 공통 전극(270)이 형성되어 있다. 공통 전극(270) 위에는 상부 배향막(도시하지 않음)이 형성되어 있다. 상부 배향막은 수직 배향막일 수 있다.

[0089] 두 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 투과축은 직교하며 이중 한 투과축은 게이트선(121)에 대하여 나란한 것이 바람직하다.

[0090] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다. 따라서 전기장이 없는 상태에서 입사광은 직교 편광자를 통과하지 못하고 차단된다.

[0091] 앞서 설명하였듯이, 데이터 전압이 인가된 제1 부화소 전극(191h) 및 제2 부화소 전극(191i)은 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써, 전기장이 없는 상태에서 두 전극(191, 270)의 표면에 대하여 수직을 이루도록 배향되어 있던 액정층(3)의 액정 분자가 두 전극(191, 270)의 표면에 대하여 수평한 방향을 향해 눕게 되고, 액정 분자의 눕는 정도에 따라 액정층(3)을 통과하는 빛의 휘도가 달라진다.

[0092] 본 발명의 다른 실시예에 따르면, 액정 표시 장치는 두 표시판(100, 200) 사이의 셀 간격을 유지하기 위한 간격재(325)를 더 포함할 수 있고, 간격재(325)는 착색 부재(320a, 320b)와 동시에 동일한 층으로 형성될 수 있다.

[0093] 이처럼, 본 발명의 실시예에 따른 액정 표시 장치에서는, 리플레시 신호선 및 리플레시 축전기를 형성하여, 한 프레임이 끝나면 감압 축전기에 충전되어 있던 전하를 모두 방전함으로써, 감압 축전기의 정전 용량은 이전 프레임의 화소 전압의 극성 등에 영향을 받지 않을 수 있다. 이에 따라, 감압 축전기의 정전 용량을 일정하게 조절할 수 있어, 두 개의 부화소 전극의 전압을 정확하게 조절할 수 있어, 측면 시인성을 정면 시인성에 가깝게 할 수 있으며, 화질 저하를 방지할 수 있다.

[0094] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

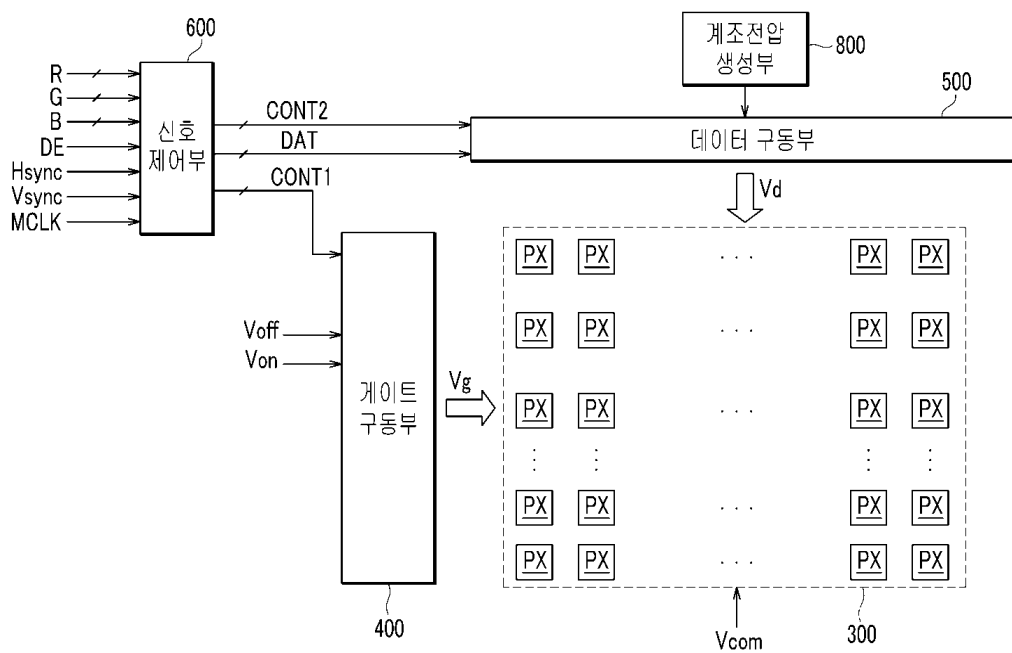
부호의 설명

[0095] 3: 액정층
100, 200: 표시판
121, 123: 게이트선
124h, 124i, 124c, 124d: 게이트 전극

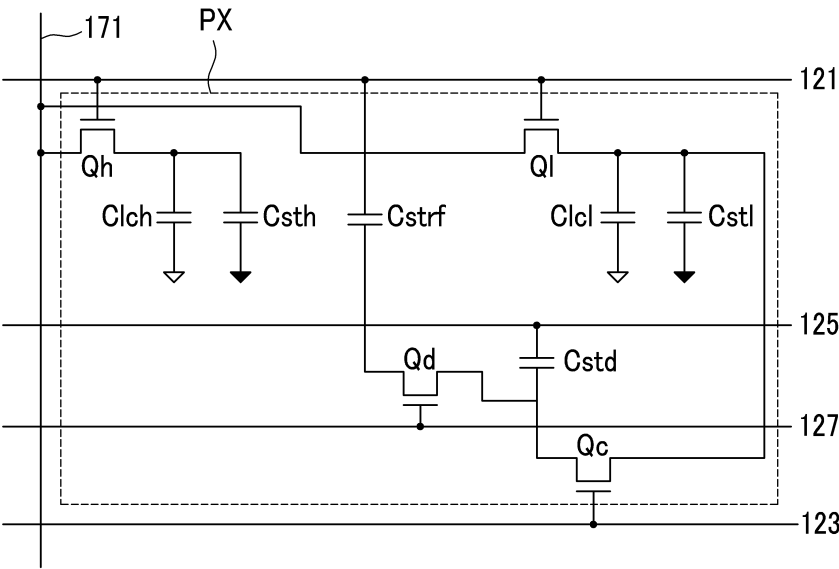
125: 용량 전극선	127: 리플레시 신호선
154h, 154l, 154c, 157c: 반도체	
163a, 165a, 167c: 저항성 접촉 부재	171: 데이터선
173h, 173l, 173c, 173d: 소스 전극	
175h, 175l, 175c, 173d: 드레인 전극	
180: 보호막	185h, 185l: 접촉 구멍
191: 화소 전극	220: 차광 부재
230: 색필터	250: 덮개막
270: 공통 전극	300: 액정 표시판 조립체
400: 게이트 구동부	500: 데이터 구동부
600: 신호 제어부	800: 계조 전압 생성부

도면

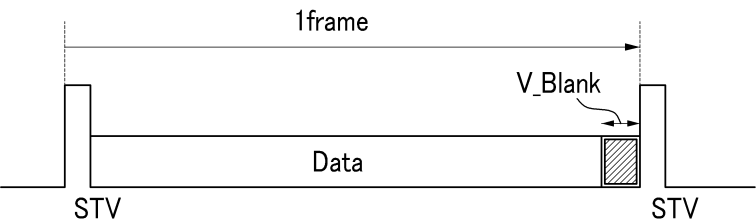
도면1



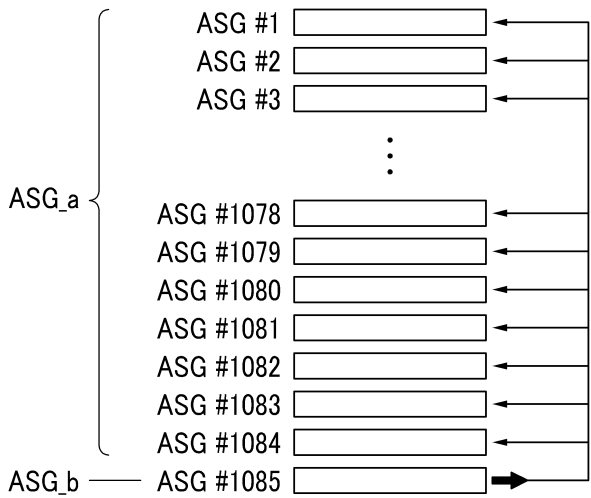
도면2



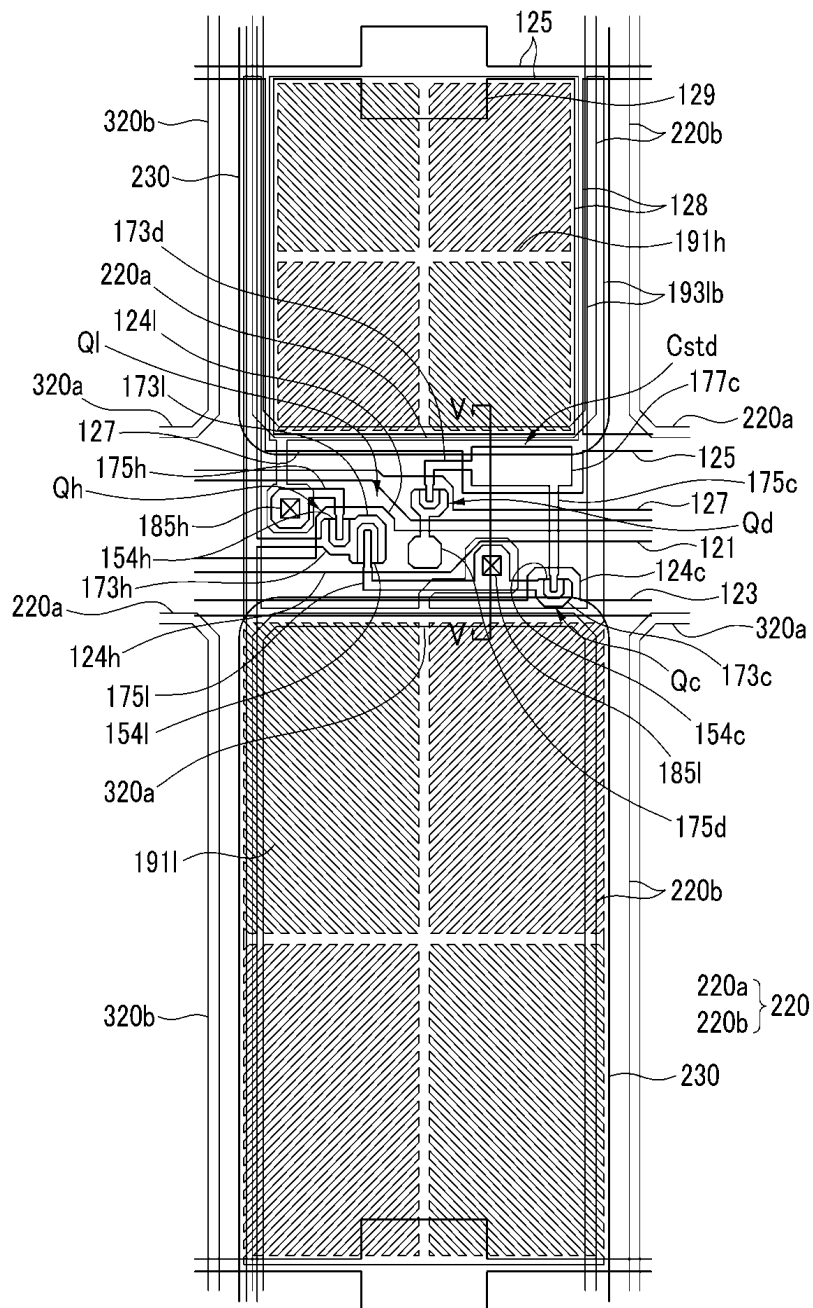
도면3



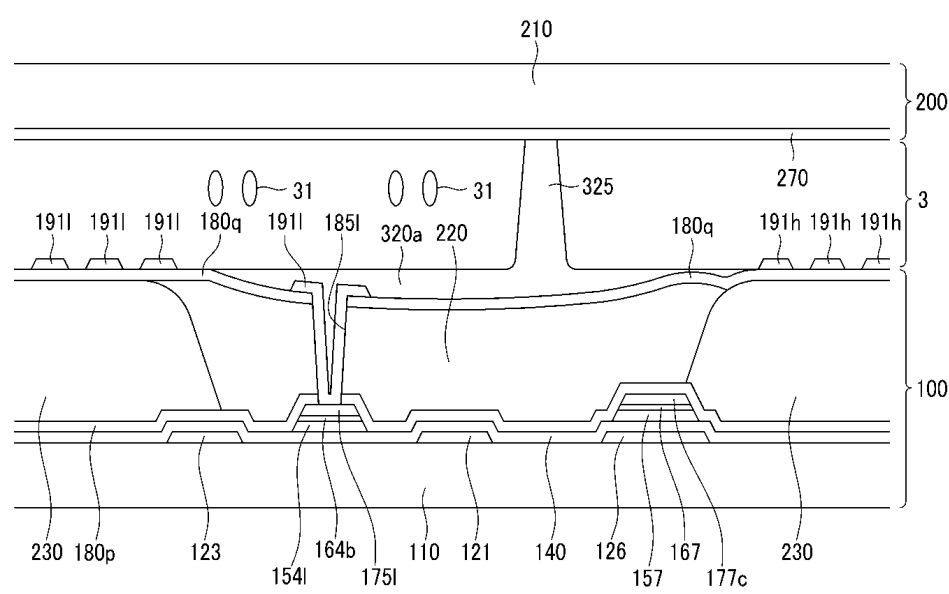
도면4



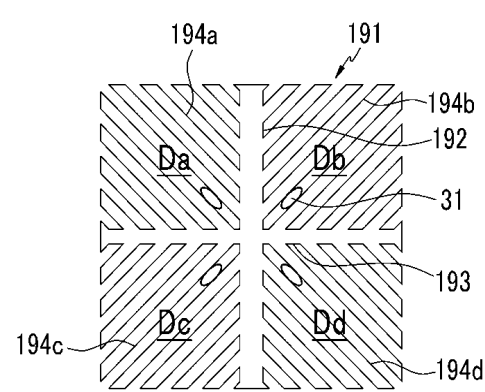
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR101787598B1	公开(公告)日	2017-10-19
申请号	KR1020110010746	申请日	2011-02-07
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE CHANG SOO 이창수 PARK KEE BUM 박기범 PARK YUN JAE 박윤재 LEE JONG JAE 이종재 MOON HOI SIK 문희식		
发明人	이창수 박기범 박윤재 이종재 문희식		
IPC分类号	G02F1/1343 G02F1/133 H01L29/786		
CPC分类号	G02F1/1343 G02F1/136286 H01L29/04 H01L29/786 H01L33/16 H01L29/41733 G02F1/1362 G02F1/13624		
其他公开文献	KR1020120090369A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，用于在像素电压的极性反转时精确调节两个子像素电极的电压。结构：第四薄膜晶体管连接到第三薄膜晶体管的漏极。第一栅极线（121）连接到第一薄膜晶体管和第二薄膜晶体管。数据线（171）连接到第一薄膜晶体管和第二薄膜晶体管。第二栅极线（123）连接到第三薄膜晶体管。第三栅极线连接到第四薄膜晶体管。

