



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월29일
(11) 등록번호 10-1613723
(24) 등록일자 2016년04월12일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2009-0056065
(22) 출원일자 2009년06월23일
심사청구일자 2014년06월10일
(65) 공개번호 10-2010-0137836
(43) 공개일자 2010년12월31일
(56) 선행기술조사문헌
KR1019990087992 A*
KR1020080029759 A*
KR1020080071049 A*
KR1020080091963 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
배진성
대구광역시 달서구 장산남로 33, 롯데캐슬그랜드 103동 1908호 (용산동)
민용기
대구광역시 북구 동천로 156, 103동 1205호 (동천동, 동화골든빌)
(74) 대리인
특허법인로얄
(뒷면에 계속)

전체 청구항 수 : 총 2 항

심사관 : 추장희

(54) 발명의 명칭 **액정표시장치**

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 상부 기관과 하부 기관 사이에 액정층이 형성되고, m(m은 양의 정수)/2 개의 데이터라인들과 2n(n은 양의 정수) 개의 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배치되는 m×n 개의 액정셀들과, 그 액정셀들에 접속된 TFT들을 포함하는 액정표시패널; 극성제어신호에 응답하여 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로; 및 상기 극성제어신호의 위상을 매 프레임기간마다 다르게 제어하는 POL 로직회로를 구비한다. POL 로직회로는 제1 프레임 기간에 제1 극성제어신호를 발생하고, 제2 프레임 기간에 상기 제1 극성제어신호와 위상이 다른 제2 극성제어신호를 발생하고, 제3 프레임 기간에 상기 제1 극성제어신호의 역위상으로 제3 극성제어신호를 발생한다. 다음, 제4 프레임 기간에 상기 제2 극성제어신호의 역위상으로 상기 제4 극성제어신호를 발생한다.

대표도 - 도9

	R	G	B	R	G	B	R	G
1 st frame	+ → -		+ → -		+ → -		+ → -	
	+ → -		+ → -		+ → -		+ → -	
	- ← +		- ← +		- ← +		- ← +	
	- ← +		- ← +		- ← +		- ← +	
2 nd frame	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
3 rd frame	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
4 th frame	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+

(72) 발명자

최병진

경상북도 구미시 도봉로 62, 도량휴먼시아 403동
303호 (도량동)

이동학

경상북도 구미시 3공단2로 209 (진평동, LG 디스플레이1공장)

명세서

청구범위

청구항 1

상부 기관과 하부 기관 사이에 액정층이 형성되고, m (m 은 양의 정수)/2 개의 데이터라인들과 $2n$ (n 은 양의 정수) 개의 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배치되는 $m \times n$ 개의 액정셀들과, 그 액정셀들에 접속된 TFT들을 포함하는 액정표시패널;

극성제어신호에 응답하여 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로;

상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로; 및

제1 프레임 기간에 제1 극성제어신호를 발생하고, 제2 프레임 기간에 상기 제1 극성제어신호와 위상이 다른 제2 극성제어신호를 발생하고, 제3 프레임 기간에 상기 제1 극성제어신호의 역위상으로 제3 극성제어신호를 발생하고, 제4 프레임 기간에 상기 제2 극성제어신호의 역위상으로 제4 극성제어신호를 발생하는 POL 로직회로를 구비하고,

상기 제1 극성제어신호의 논리는 1/2 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리, 1 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리의 순서로 반전되고,

상기 제2 극성제어신호의 논리는 상기 1/2 수평기간의 제1 논리, 상기 1 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리, 상기 1 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리의 순서로 반전되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 액정셀들은,

기수 데이터라인의 좌측에 배치된 제1 액정셀, 상기 기수 데이터라인의 우측에 배치된 제2 액정셀, 우수 데이터라인의 좌측에 배치된 제3 액정셀, 및 상기 우수 데이터라인의 우측에 배치된 제4 액정셀을 구비하고,

상기 TFT들은,

기수 게이트라인에 공급되는 제1 게이트펄스에 응답하여 상기 기수 데이터라인으로부터의 데이터전압을 상기 제1 액정셀의 화소전극에 공급하는 제1 TFT, 우수 게이트라인에 공급되는 제2 게이트펄스에 응답하여 상기 기수 데이터라인으로부터의 데이터전압을 상기 제2 액정셀의 화소전극에 공급하는 제2 TFT, 상기 제2 게이트펄스에 응답하여 상기 우수 데이터라인으로부터의 데이터전압을 상기 제3 액정셀의 화소전극에 공급되는 제3 TFT, 및 상기 제1 게이트펄스에 응답하여 상기 우수 데이터라인으로부터의 데이터전압을 상기 제4 액정셀의 화소전극에 공급하는 제4 TFT를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 데이터라인들의 개수를 줄이고 표시품질을 높일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 이 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 직류 읍셋 성분을 감소시키고 액정의 열화를 줄이기 위하여, 이웃한 액정셀들 사이에서 극성이 반전되고 프레임기간 단위로 극성이 반전되는 인버전 방식(Inversion)으로 구동되고 있다. 그런데 데이터전압의 두 극성 중에서 어느 한 극성이 장시간 우세적(dominant)으로 공급되면 잔상이 발생한다. 이러한 잔상을 액정셀에 동일 극성의 전압이 반복적으로 충전되므로 "직류화 잔상(DC Image sticking)"이라 한다. 이러한 예 중 하나는 액정표시장치에 인터레이스(Interlace) 방식의 데이터전압들이 공급되는 경우이다. 인터레이스 방식은 기수 프레임기간에 기수 수평라인의 액정셀들에 표시될 데이터전압만을 포함하고, 우수 프레임기간에 우수 수평라인의 액정셀들에 표시될 데이터전압만을 포함한다. 직류화 잔상의 다른 예로써, 동일한 화상을 일정한 속도로 이동 또는 스크롤(scroll)시키면 스크롤되는 그림의 크기와 스크롤 속도(이동속도)의 상관 관계에 따라 액정셀에 동일 극성의 전압이 반복적으로 축적되어 직류화 잔상이 나타날 수 있다. 본원 출원인은 대한민국 특허출원 제10-2007-035126(2007.04.10)호, 대한민국 특허출원 제10-2007-0004251(2007.01.15), 대한민국 특허출원 제10-2007-0004246(2007.01.15), 대한민국 특허출원 제10-2007-0008895(2007.01.29), 대한민국 특허출원 제10-2007-0037936(2007.04.18), 대한민국 특허출원 제10-2007-0047787(2007.05.16), 대한민국 특허출원 제10-2007-0053959(2007.06.01), 대한민국 특허출원 제10-2007-0052679(2007.05.30), 대한민국 특허출원 제10-2007-0062238(2007.06.25), 대한민국 특허출원 제10-2006-0064561(2007.06.28), 미국출원 12/003,585(2007.12.28), 미국출원 12/003,666(2007.12.28), 미국출원 12/003,746(2007.12.31) 등을 통해 직류화 잔상과 플리커를 줄이기 위한 극성제어 방안을 제안한 바 있다.

[0004] 액정표시장치의 회로 비용을 줄이기 위하여, 동일한 표시 라인에서 이웃하는 박막트랜지스터들(Thin Film Transistor, TFT)을 동일한 데이터라인에 접속시켜 데이터라인들을 줄이고 데이터 구동회로의 출력 채널 수를 줄이는 패널구조(이하, "DRD(Double rate Driving) 패널"이라 함)가 개발되고 있다. 이러한 액정표시장치에서 전술한 극성제어방안을 적용하여 실험한 결과 30Hz 플리커, 라인 방향의 플리커, 컬럼 방향의 플리커, RGB 중 어느 한 색이 강하게 보이는 색 왜곡 등이 나타나고 있다. 따라서, DRD 패널을 적용한 액정표시장치에서도 직류화 잔상, 플리커 및 색왜곡 등을 줄일 수 있는 기술이 요구되고 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출된 발명으로써 데이터라인들의 개수를 줄이고 표시품질을 높일 수 있는 액정표시장치를 제공하는데 있다.

과제 해결수단

[0006] 상기 목적을 달성하기 위하여, 본 발명의 액정표시장치는 상부 기관과 하부 기관 사이에 액정층이 형성되고, m(m은 양의 정수)/2 개의 데이터라인들과 2n(n은 양의 정수) 개의 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배치되는 m×n 개의 액정셀들과, 그 액정셀들에 접속된 TFT들을 포함하는 액정표시패널; 극성제어신호에 응답하여 상기 데이터라인들에 데이터전압을 공급하는 데이터 구동회로; 상기 게이트라인들에 게이트 펄스를 공급하는 게이트 구동회로; 및 상기 극성제어신호의 위상을 매 프레임기간마다 다르게 제어하는 POL 로직회로를

구비한다.

POL 로직회로는 제1 프레임 기간에 제1 극성제어신호를 발생하고, 제2 프레임 기간에 상기 제1 극성제어신호와 위상이 다른 제2 극성제어신호를 발생하고, 제3 프레임 기간에 상기 제1 극성제어신호의 역위상으로 제3 극성제어신호를 발생한 다음, 제4 프레임 기간에 상기 제2 극성제어신호의 역위상으로 상기 제4 극성제어신호를 발생한다.

[0007] 상기 액정셀들은 기수 데이터라인의 좌측에 배치된 제1 액정셀, 상기 기수 데이터라인의 우측에 배치된 제2 액정셀, 우수 데이터라인의 좌측에 배치된 제3 액정셀, 및 상기 우수 데이터라인의 우측에 배치된 제4 액정셀을 구비한다.

[0008] 상기 TFT들은 기수 게이트라인에 공급되는 제1 게이트펄스에 응답하여 상기 기수 데이터라인으로부터의 데이터 전압을 상기 제1 액정셀의 화소전극에 공급하는 제1 TFT, 우수 게이트라인에 공급되는 제2 게이트펄스에 응답하여 상기 기수 데이터라인으로부터의 데이터전압을 상기 제2 액정셀의 화소전극에 공급하는 제2 TFT, 상기 제2 게이트펄스에 응답하여 상기 우수 데이터라인으로부터의 데이터전압을 상기 제3 액정셀의 화소전극에 공급되는 제3 TFT, 및 상기 제1 게이트펄스에 응답하여 상기 우수 데이터라인으로부터의 데이터전압을 상기 제4 액정셀의 화소전극에 공급하는 제4 TFT를 구비한다.

[0009] 상기 POL 로직회로는 제1 내지 제4 극성제어신호들을 순차적으로 출력하여 상기 극성제어신호를 발생한다.

[0010] 삭제

[0011] 상기 제1 극성제어신호의 논리는 1/2 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리, 1 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리의 순서로 반전된다.

상기 제2 극성제어신호의 논리는 상기 1/2 수평기간의 제1 논리, 상기 1 수평기간의 제2 논리, 상기 1/2 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리, 상기 1 수평기간의 제1 논리, 상기 1/2 수평기간의 제2 논리의 순서로 반전된다.

[0012] 삭제

효과

[0013] 본 발명은 DRD 패널의 화소 어레이 구조를 최적화하여 데이터 라인들과 데이터 구동회로의 출력 채널 수를 1/2 이하로 줄일 수 있을 뿐 아니라 직류화 잔상, 플리커 및 색왜곡을 최소화하여 액정표시장치의 표시품질을 높일 수 있다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 도 1 내지 도 14를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

[0015] 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 콘트롤러(101), POL 로직회로(102), 데이터 구동회로(103), 및 게이트 구동회로(104)를 구비한다.

[0016] 액정표시패널(100)은 액정층을 사이에 두고 대향하는 상부 유리기판과 하부 유리기판을 포함한다. 액정표시패널(100)은 비디오 데이터를 표시하는 화소 어레이(10)를 포함한다. 화소 어레이(10)는 m (m 은 양의 정수)/2 개의 데이터라인들($D1 \sim Dm/2$)과 $2n$ (n 은 양의 정수) 개의 게이트라인들($G1 \sim G2n$)의 교차 구조에 의해 매트릭스 형태로 배치되는 $m \times n$ 개의 액정셀들($C1c$)을 포함한다. $m \times n$ 개의 액정셀들($C1c$)은 데이터 라인 방향으로 액정셀들($C1c$)이 배열되는 m 개의 컬럼들(또는 수직 표시라인)과, 게이트 라인 방향으로 액정셀들($C1c$)이 배열되는 n 개의 라인들(또는 수평 표시라인)을 포함한다. 화소 어레이(10)의 액정셀들($C1c$)은 TFT를 통해 화소전극(1)에 공급되는 데이터전압과, 공통전극(2)에 공급되는 공통전압(V_{com})의 전압차에 의해 발생하는 전계에 따라 데이터

전압을 충전하고 스토리지 커패시터(Cst)에 의해 데이터전압을 일정기간 동안 유지하여 화상을 표시한다.

- [0017] 화소 어레이(10)는 $m/2$ 개의 데이터라인들(D1~D $m/2$), 2n 개의 게이트라인들(G1-G2n), $m \times n$ 개의 화소전극들(1), 화소전극들(1)에 접속된 $m \times n$ 개의 TFT들, 및 화소전극들(1)에 접속된 $m \times n$ 개의 스토리지 커패시터들을 포함한다. 동일한 라인에서 좌우에 이웃하는 TFT들은 동일한 데이터라인에 접속된다. 이러한 TFT와 데이터라인의 접속 구조는 도 2와 같다. 액정표시패널의 하부 유리기판에서 화소 어레이(10) 밖의 비표시면 상에는 게이트라인들(G1-G2n)에 연결되는 게이트 구동회로(104)가 직접 형성될 수 있다. 이 경우, 화소 어레이(10)와 게이트 구동회로(104)는 동일한 박막 공정으로 액정표시패널(100)의 하부 유리기판 상에 동시에 형성된다.
- [0018] 액정표시패널(100)의 상부 유리기판 상에는 블랙매트릭스, 컬러필터 및 공통전극이 형성된다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기판 상에 형성된다.
- [0019] 액정표시패널(100)의 상부 유리기판과 하부 유리기판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0020] 본 발명에서 적용 가능한 액정표시패널(100)의 액정모드는 전술한 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드라도 구현될 수 있다. 또한, 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 에지형(edge type) 백라이트 유닛이나 직하형(direct type) 백라이트 유닛으로 구현될 수 있다. 에지형 백라이트 유닛은 도광판의 측면에 대향되도록 광원이 배치되고 액정표시패널과 도광판 사이에 다수의 광학시트들이 배치되는 구조를 갖는다. 직하형 백라이트 유닛은 액정표시패널(100)의 아래에 광학시트들과 확산판이 적층되고 확산판 아래에 다수의 광원들이 배치되는 구조를 갖는다. 백라이트 유닛의 광원은 HCFL(Hot Cathode Fluorescent Lamp), CCFL(Cold Cathode Fluorescent Lamp), EEFL(External Electrode Fluorescent Lamp), LED(Light Emitting Diode) 중 어느 하나 또는 두 종류 이상의 광원을 포함할 수 있다.
- [0021] 기수 데이터라인(D1, D3, ..., D $m/2-1$)의 좌측에 배치된 액정셀(C1c)과 TFT를 각각 제1 액정셀과 제1 TFT(T1)로, 기수 데이터라인(D1, D3, ..., D $m/2-1$)의 우측에 배치된 액정셀(C1c)과 TFT를 각각 제2 액정셀과 제2 TFT(T2)로, 우수 데이터라인(D2, D4, ..., D $m/2$)의 좌측에 배치된 액정셀(C1c)과 TFT를 각각 제3 액정셀과 제3 TF(T3)로, 우수 데이터라인(D2, D4, ..., D $m/2$)의 우측에 배치된 액정셀(C1c)과 TFT를 각각 제4 액정셀과 제4 TFT(T4)로 정의한다.
- [0022] 제1 TFT(T1)는 기수 게이트라인(G1, G3... G2n-1)로부터의 게이트펄스(또는 스캔펄스)에 응답하여 기수 데이터라인(D1, D3... D $m/2-1$)로부터의 데이터전압을 제1 액정셀(C1c)의 화소전극(1)에 공급한다. 이를 위하여, 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 기수 데이터라인(D1, D3... D $m/2-1$)에 접속된다. 그리고 제1 TFT(T1)의 소스전극은 제1 액정셀(C1c)의 화소전극(1)에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4... G2n)로부터의 게이트펄스에 응답하여 기수 데이터라인(D1, D3... D $m/2-1$)로부터의 데이터전압을 제2 액정셀(C1c)의 화소전극(1)에 공급한다. 이를 위하여, 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 기수 데이터라인(D1, D3... D $m/2-1$)에 접속된다. 그리고 제2 TFT(T2)의 소스전극은 제2 액정셀(C1c)의 화소전극(1)에 접속된다. 제3 TFT(T3)는 우수 게이트라인(G2, G4... G2n)로부터의 게이트펄스에 응답하여 우수 데이터라인(D2, D4... D $m/2$)로부터의 데이터전압을 제3 액정셀(C1c)의 화소전극(1)에 공급한다. 이를 위하여, 제3 TFT(T3)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 우수 데이터라인(D2, D4... D $m/2$)에 접속된다. 그리고 제3 TFT(T3)의 소스전극은 제3 액정셀(C1c)의 화소전극(1)에 접속된다. 제4 TFT(T4)는 기수 게이트라인(G1, G3... G2n-1)로부터의 게이트펄스에 응답하여 우수 데이터라인(D2, D4... D $m/2$)로부터의 데이터전압을 제4 액정셀(C1c)의 화소전극(1)에 공급한다. 이를 위하여, 제4 TFT(T4)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 우수 데이터라인(D2, D4... D $m/2$)에 접속된다. 그리고 제4 TFT(T4)의 소스전극은 제4 액정셀(C1c)의 화소전극(1)에 접속된다.
- [0023] TFT들(T1~T4)과 데이터라인들(D1~D $m/2$)의 접속 관계에 따라, 기수 데이터라인들(D1, D3, ..., D $m/2-1$)에 접속된 액정셀들의 데이터 충전순서와, 우수 데이터라인들(D1, D3, ..., D $m/2-1$)에 접속된 액정셀들의 데이터 충전순서가 서로 반대로 된다. 다시 말하여, 기수 데이터라인들(D1, D3, ..., D $m/2-1$)에 접속된 액정셀들의 데이터 충전순서와, 우수 데이터라인들(D1, D3, ..., D $m/2-1$)에 접속된 액정셀들의 데이터 충전순서가 좌우 대칭 방향

이다.

- [0024] 데이터라인들(D1~Dm/2)에 데이터전압이 공급되고 게이트라인들(G1~G2n)에 데이터전압에 동기되는 게이트펄스가 순차적으로 공급되면, 기수 데이터라인들(D1, D3, ...Dm/2-1)의 좌우에 배치된 4i(i는 양의 정수)+1 번째 컬럼의 액정셀들과 4i+2 번째 컬럼의 액정셀들에는 도 2와 같이 "Z"자 형태의 충전순서(CS1)를 따라 데이터전압을 순차적으로 충전한다. 즉, i 번째 라인에 존재하는 4i+1 번째 컬럼의 제1 액정셀이 데이터전압을 충전한 후에, i 번째 라인에서 제1 액정셀의 우측에 위치하는 4i+2 번째 컬럼의 제2 액정셀이 데이터전압을 충전한다. 이어서, i+1 번째 라인에 존재하는 4i+1 번째 컬럼의 제1 액정셀이 데이터전압을 충전한 후에, i+1 번째 라인에서 제1 액정셀의 우측에 위치하는 4i+2 번째 컬럼의 제2 액정셀이 데이터전압을 충전한다.
- [0025] 데이터라인들(D1~Dm/2)에 데이터전압이 공급되고 게이트라인들(G1~G2n)에 데이터전압에 동기되는 게이트펄스가 순차적으로 공급되면, 우수 데이터라인들(D2, D4, ...Dm/2)의 좌우에 배치된 4i+3 번째 컬럼의 액정셀들과 4i+4 번째 컬럼의 액정셀들에는 도 2와 같이 "역 Z"자 형태의 충전순서(CS2)를 따라 데이터전압을 순차적으로 충전한다. 즉, i 번째 라인에 존재하는 4i+4 번째 컬럼의 제4 액정셀이 데이터전압을 충전한 후에, i 번째 라인에서 제4 액정셀의 좌측에 위치하는 4i+3 번째 컬럼의 제3 액정셀이 데이터전압을 충전한다. 이어서, i+1 번째 라인에 존재하는 4i+4 번째 컬럼의 제4 액정셀이 데이터전압을 충전한 후에, i+1 번째 라인에서 제4 액정셀의 좌측에 위치하는 4i+3 번째 컬럼의 제3 액정셀이 데이터전압을 충전한다.
- [0026] 타이밍 컨트롤러(101)는 LVDS(Low Voltage Differential Signaling) 인터페이스, TMDS(Transition Minimized Differential Signaling) 인터페이스 등의 인터페이스를 통해 시스템 보드(105)로부터 수직/수평 동기신호(Vsync, Hsync), 데이터인에이블(Data Enable), 클럭신호(CLK) 등의 타이밍신호를 입력받아 데이터 구동회로(103)와 게이트 구동회로(104) 및 POL 로직회로(102)의 동작 타이밍을 제어하기 위한 제어신호들을 발생한다. 그리고 타이밍 컨트롤러(101)는 RGB 디지털 비디오 데이터를 mini LVDS 인터페이스 방식으로 데이터 구동회로(103)의 소스 드라이브 IC들에 직렬 전송한다. 타이밍 컨트롤러는 타이밍 신호를 이용하여 데이터 구동회로(103)를 제어하기 위한 데이터 타이밍 제어신호와, 게이트 구동회로들(13)를 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 컨트롤러는 60Hz의 프레임 주파수로 입력되는 디지털 비디오 데이터가 60×i(i는 2 이상의 양의 정수) Hz의 프레임 주파수로 액정표시패널의 화소 어레이(10)에서 재생될 수 있도록 게이트 타이밍 제어신호와 데이터 타이밍 제어신호의 주파수를 60×i Hz의 프레임 주파수 기준으로 체배할 수 있다. 타이밍 컨트롤러(101)로부터 출력되는 제어신호들은 게이트 스타트 펄스(Gate Start Pulse : GSP), 게이트 쉬프트 클럭신호(Gate Shift Clock : GSC), 게이트 출력 인에이블신호(Gate Output Enable : GOE), 소스 스타트 펄스(Source Start Pulse : SSP), 소스 샘플링 클럭(Source Sampling Clock : SSC), 소스 출력 인에이블신호(Source Output Enable : SOE), 기준 극성제어신호(Polarity : POL)를 포함한다. 게이트 스타트 펄스(GSP)는 한 화면이 표시되는 1 수직기간 중에서 스캔이 시작되는 시작 수평라인을 지시한다. 게이트 쉬프트 클럭신호(GSC)은 게이트 구동회로 내의 쉬프트 레지스터에 입력되어 게이트 스타트 펄스(GSP)를 순차적으로 쉬프트시키기 위한 타이밍 제어신호로써 TFT의 온(ON) 기간에 대응하는 펄스폭으로 발생된다. 게이트 출력 인에이블신호(GOE)는 게이트 구동회로(104)의 출력을 지시한다. 소스 스타트 펄스(SSP)는 데이터가 표시될 1 수평라인에서 시작 화소를 지시한다. 소스 샘플링 클럭(SSC)은 라이징(Rising) 또는 폴링(Falling) 에지에 기준하여 데이터 구동회로(103) 내에서 데이터의 래치동작을 지시한다. 소스 출력 인에이블신호(Source Output Enable : SOE)는 데이터 구동회로(103)의 출력을 지시한다. 기준 극성제어신호(Polarity : POL)는 액정표시패널(100)의 액정셀들(C1c)에 공급될 데이터전압의 극성을 지시한다. 기준 극성제어신호(POL)는 i 수평기간 주기로 논리가 반전된다. 타이밍 컨트롤러(101)로부터 데이터 구동회로(103)에 mini LVDS 인터페이스를 통해 데이터가 전송된다면 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0027] POL 로직회로(102)는 게이트 스타트 펄스(GSP), 소스 출력 인에이블신호(SOE), 및 기준 극성제어신호(POL)를 입력받아 잔상과 플리커를 예방하기 위한 위상이 서로 다른 제1 내지 제4 극성제어신호들(POL1 내지 POL4)을 순차적으로 출력한다. POL 로직회로(102)는 선택적으로 매 프레임마다 동일한 기준 극성제어신호(POL)를 출력한다.
- [0028] 데이터 구동회로(103)는 타이밍 컨트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 데이터 구동회로(103)는 래치한 디지털 비디오 데이터를 타이밍 컨트롤러(101)로부터의 극성제어신호(POL/POL1~POL4)에 응답하여 아날로그 정극성/부극성 감마보상전압으로 변환하여 정극성/부극성 데이터전압을 발생한다. 데이터 구동회로(103)는 정극성/부극성 데이터전압을 데이터라인들(D1 내지 Dm/2)에 공급한다.
- [0029] 게이트 구동회로(104)는 쉬프트 레지스터, 쉬프트 레지스터의 출력신호를 액정셀의 TFT 구동에 적합한 스윙폭으

로 변환하기 위한 레벨 쉬프터 및 레벨 쉬프터와 게이트라인(G1~G2n) 사이에 접속되는 출력 버퍼를 각각 포함하는 다수의 게이트 드라이브 IC들을 포함한다. 게이트 구동회로(104)는 정극성/부극성 데이터전압에 동기되는 대략 1/2 수평기간의 펄스폭을 가지는 게이트펄스를 순차적으로 출력한다.

[0030] POL 로직회로(102)는 타이밍 콘트롤러(101) 또는 데이터 구동회로(103)의 소스 드라이브 IC들 내에 내장될 수 있다.

[0031] 시스템 보드(105)는 방송신호 수신회로, 외부기기 인터페이스회로, 그래픽처리회로, 메모리 등을 포함하여 방송신호나 외부기기로부터 입력되는 영상소스로부터 비디오 데이터를 추출하고 그 비디오 데이터를 디지털로 변환하여 타이밍 콘트롤러(101)에 공급한다. 시스템 보드(105)에 수신되는 인터페이스 방송신호는 기수 프레임기간에 기수라인에만 존재하고 우수 프레임기간에 우수라인에만 존재한다. 시스템 보드(105)는 인터페이스 방송신호를 수신하면 메모리에 저장된 데이터들의 평균값 또는 블랙 데이터값으로 기수 프레임기간의 우수라인 데이터, 그리고 우수 프레임의 기수라인 데이터를 발생한다. 시스템 보드(105)는 디지털 비디오 데이터와 함께 타이밍신호들(Vsync, Hsync, DE, CLK)을 타이밍 콘트롤러(101)에 공급하고, 전원을 도시하지 않은 모듈 전원회로에 공급한다. 모듈 전원회로는 시스템 보드(105)로부터 공급되는 전압을 조정하여 모듈의 디지털 회로들의 구동에 필요한 전압과, 액정표시패널의 구동전압을 발생한다.

[0032] 도 3 및 도 4는 데이터 구동회로(103)의 소스 드라이브 IC를 상세히 나타내는 회로도들이다.

[0033] 도 3 및 도 4를 참조하면, 소스 드라이브 IC들 각각은 k(k는 m/2 보다 작은 정수) 개의 데이터라인들(D1~Dk)에 데이터전압을 공급한다. 소스 드라이브 IC들 각각은 쉬프트 레지스터(31), 데이터 레지스터(32), 제1 래치(33), 제2 래치(34), 디지털/아날로그 변환기(이하, "DAC"라 한다)(35), 차지셰어회로(Charge Share Circuit)(36) 및 출력회로(37)를 포함한다. 쉬프트레지스터(31)는 타이밍 콘트롤러(101)로부터의 샘플링 클럭을 발생하고, 다음 소스 드라이브 IC의 쉬프트 레지스터(31)에 캐리신호(CAR)를 전달한다. 데이터 레지스터(32)는 타이밍 콘트롤러(101)에 의해 분리된 기수 디지털 비디오 데이터(RGBodd)와 우수 디지털 비디오 데이터(RGBeven)를 일시 저장하고 저장된 데이터들(RGBodd, RGBeven)을 제1 래치(33)에 공급한다. 제1 래치(33)는 쉬프트 레지스터(31)로부터 순차적으로 입력되는 샘플링신호에 응답하여 데이터 레지스터(32)로부터의 디지털 비디오 데이터들(RGBeven, RGBodd)을 샘플링하고, 그 데이터들(RGBeven, RGBodd)을 래치한 다음, 래치된 데이터를 동시에 출력한다. 제2 래치(34)는 제1 래치(33)로부터 입력되는 데이터들을 래치한 다음, 소스 출력 인에이블 신호(SOE)의 로우논리기간 동안 다른 집적회로들의 제2 래치(34)와 동시에 래치된 디지털 비디오 데이터들을 동시에 출력한다. DAC(35)는 도 4와 같이 정극성 감마기준전압(GH)이 공급되는 P-디코더(PDEC)(41), 부극성 감마기준전압(GL)이 공급되는 N-디코더(NDEC)(42), 극성제어신호들(POL/POL1~POL4)에 응답하여 P-디코더(41)의 출력과 N-디코더(42)의 출력을 선택하는 멀티플렉서(43)를 포함한다. P-디코더(41)는 제2 래치(34)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 정극성 감마보상전압을 출력하고, N-디코더(42)는 제2 래치(34)로부터 입력되는 디지털 비디오 데이터를 디코드하여 그 데이터의 계조값에 해당하는 부극성 감마보상전압을 출력한다. 멀티플렉서(43)는 극성제어신호(POL/POL1~POL4)에 응답하여 정극성의 감마보상전압과 부극성의 감마보상전압을 교대로 선택하고 선택된 정극성/부극성 감마보상전압을 아날로그 데이터전압으로 출력한다. 차지셰어회로(36)는 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 이웃한 데이터 출력채널들을 단락(short)시켜 이웃한 데이터전압들의 평균값을 출력하거나, 소스 출력 인에이블신호(SOE)의 하이논리기간 동안 데이터 출력채널들에 공통전압(Vcom)을 공급하여 정극성 데이터전압과 부극성 데이터전압의 급격한 변화를 줄인다. 출력회로(37)는 버퍼를 포함하여 데이터라인(D1~Dk)로 공급되는 아날로그 데이터전압의 신호감쇠를 최소화한다.

[0034] 도 5 및 도 6은 POL 로직회로(102)를 상세히 나타내는 회로도들이다. 도 7은 POL 로직회로(102)로부터 순차적으로 출력되는 제1 내지 제4 극성제어신호들(POL1~POL4)를 보여 주는 파형도이다.

[0035] 도 5 및 도 6을 참조하면, POL 로직회로(102)는 프레임 카운터(51), 라인 카운터(52), POL 발생회로(53), 및 멀티플렉서(54)를 구비한다.

[0036] 프레임 카운터(51)는 1 프레임기간 동안 1회 발생되고 1 프레임기간의 시작과 동시에 발생하는 게이트 스타트 펄스(GSP)를 카운트하여 액정표시패널(100)에 표시될 화상의 프레임 수를 지시하는 프레임 카운트 정보(Fcnt)를 출력한다. 라인 카운터(52)는 대략 1/2 수평기간의 주기를 갖는 소스 출력 인에이블 신호(SOE) 또는 게이트 출력 인에이블신호(GOE)의 클럭을 카운트하여 액정표시패널(100)에 표시될 수평라인을 지시하는 라인 카운트 정보(Lcnt)를 출력한다. 프레임 카운터(51)와 라인 카운터(52)에 공급되는 타이밍 신호로써 타이밍 콘트롤러(101)의 내부 발진기로부터 발생하는 클럭을 이용할 수 있으나, 이 클럭은 주파수가 높기 때문에 타이밍 콘트롤러

(101)와 POL 로직회로(102) 사이에서 EMI(electromagnetic interference)를 증가시킬 수 있다. 본 발명은 타이밍 콘트롤러(101)의 내부 발진기에서 발생하는 클럭에 비하여 주파수가 작은 게이트 스타트 펄스(GSP)와 소스 출력 인에이블신호(SOE)를 프레임 카운터(51)와 라인 카운터(52)에 입력하여 타이밍 콘트롤러(101)와 POL 로직 회로(102) 사이에서 EMI 증가를 줄일 수 있다.

[0037] POL 발생회로(53)는 제1 POL 발생회로(61), 제2 POL 발생회로(62), 제1 및 제2 인버터(63, 64), 및 멀티플렉서(65)를 포함한다. 제1 POL 발생회로(61)는 라인 카운터 정보(Lcnt)에 따라 출력신호를 토글하여 도 7과 같이 제1 프레임기간 동안 액정셀들(C1c)에 충전되는 데이터전압의 극성을 제어하기 위한 제1 극성제어신호(POL1)를 발생한다. 제1 극성제어신호(POL1)는 1/2 수평기간(1/2 H)의 하이 논리(+), 1/2 수평기간(1/2 H)의 로우 논리(-), 1/2 수평기간(1/2 H)의 하이 논리(+), 1 수평기간(1H)의 로우 논리(-), 1/2 수평기간(1/2 H)의 하이논리(+), 1/2 수평기간(1/2 H)의 로우 논리(-), 1/2 수평기간(1/2 H)의 하이 논리(+), 1/2 수평기간(1/2 H)의 하이논리(+), 1/2 수평기간(1/2 H)의 로우 논리(-), 1 수평기간(1H)의 하이논리(+), 1/2 수평기간(1/2 H)의 로우 논리(-)의 순서로 논리가 반전된다. 제1 인버터(63)는 제1 극성제어신호(POL1)를 반전시켜 도 7과 같이 제3 프레임기간 동안 액정셀들(C1c)에 충전되는 데이터전압의 극성을 제어하기 위한 제3 극성제어신호(POL3)를 발생한다. 제2 POL 발생회로(62)는 라인 카운터 정보(Lcnt)에 따라 출력신호를 토글하여 도 7과 같이 제2 프레임기간 동안 액정셀들(C1c)에 충전되는 데이터전압의 극성을 제어하기 위한 제2 극성제어신호(POL2)를 발생한다. 제2 극성제어신호(POL2)는 1/2 수평기간(1/2 H)의 하이 논리(+), 1 수평기간(1H)의 로우 논리(-), 1/2 수평기간(1/2 H)의 하이 논리(+), 1/2 수평기간(1/2 H)의 로우 논리(-), 1 수평기간(1H)의 하이논리(+), 1/2 수평기간(1/2 H)의 로우 논리(-)의 순서로 논리가 반전된다. 제2 인버터(64)는 제2 극성제어신호(POL2)를 반전시켜 도 7과 같이 제4 프레임기간 동안 액정셀들(C1c)에 충전되는 데이터전압의 극성을 제어하기 위한 제4 극성제어신호(POL4)를 발생한다.

[0038] 멀티플렉서(65)는 프레임 카운트 정보(Fcnt)에 따라 제4i+1 프레임기간 동안 제1 극성제어신호(POL1)를 출력한 후, 제4i+2 프레임기간 동안 제2 극성제어신호(POL2)를 출력한 다음, 제4i+3 프레임기간 동안 제3 극성제어신호(POL3)를 출력한다. 그리고 멀티플렉서(65)는 제4i+4 프레임기간 동안 제4 극성제어신호(POL4)를 출력한다.

[0039] 멀티플렉서(54)는 POL 로직회로(102)의 옵션핀에 접속된 제어단자의 전압이나 선택 제어신호(SEL)에 따라 POL 발생회로(53)로부터의 극성제어신호들(POL1~POL4)을 선택하거나 기준 극성제어신호(POL)를 선택한다. POL 로직회로(102)의 옵션핀에는 멀티플렉서(54)의 제어단자에 접속되어 기저전압(GND) 또는 전원전압(Vcc)이 선택적으로 인가될 수 있다. 예컨대, 옵션핀에 기저전압(GND)이 인가되면 멀티플렉서(54)의 제어단자에 로우논리 전압이 인가되어 멀티플렉서(54)는 기준 극성 제어신호(POL)를 출력한다. 반면에, 옵션핀에 전원전압(Vcc)이 인가되면 멀티플렉서(54)의 제어단자에 하이논리 전압이 인가되어 멀티플렉서(54)는 자신의 제어단자에 '1'의 선택 제어신호(SEL)가 공급되어 POL 발생회로(53)로부터의 극성제어신호들(POL1~POL4)을 출력한다. 선택 제어신호(SEL)는 유저 인터페이스를 통해 입력되는 유저 선택신호, 또는 데이터의 분석결과에 따라 시스템 보드(105)나 타이밍 콘트롤러(101)로부터 자동으로 발생될 수 있다. 따라서, 멀티플렉서(54)는 데이터 분석 결과나 유저 선택에 따라 동작할 수 있다.

[0040] 도 8은 제1 프레임기간 동안 제1 극성제어신호(POL1)에 따라 발생하는 데이터 전압의 일예를 보여 주는 파형도이다.

[0041] 도 8 및 도 9를 참조하면, 데이터 구동회로(103)는 제1 극성제어신호(POL1)에 응답하여 정극성 데이터전압(+R, +G, +B), 부극성 데이터전압(-R, -G, -B), 정극성 데이터전압(+R, +G, +B), 부극성 데이터전압(-R, -G, -B), 부극성 데이터전압(-R, -G, -B), 정극성 데이터전압(+R, +G, +B), 부극성 데이터전압(-R, -G, -B), 정극성 데이터전압(+R, +G, +B) 순으로 데이터전압을 기수 데이터라인들(D1, D3, ... Dm/2-1)에 순차적으로 공급한다. 그리고 데이터 구동회로(103)는 제1 극성제어신호(POL1)에 응답하여 기수 데이터라인들(D1, D3, ... Dm/2-1)에 공급되는 데이터전압의 극성과는 반대 극성으로 발생하는 데이터전압을 우수 데이터라인들(D2, D4, ... Dm/2)에 순차적으로 공급한다. 게이트 구동회로(104)는 정극성/부극성 데이터전압에 동기되는 대략 1/2 수평기간의 게이트 펄스를 순차적으로 발생한다.

[0042] 제1 TFT(T1)는 기수 게이트라인(G1, G3...G2n-1)에 공급되는 제1 게이트펄스에 응답하여 기수 데이터라인(D1, D3...Dm/2-1)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제2 TFT(T2)는 우수 게이트라인(G2, G4...G2n)에 공급되는 제2 게이트펄스에 응답하여 기수 데이터라인(D1, D3...Dm/2-1)으로부터의 데이터전압을 제2 액정셀의 화소전극에 공급한다. 제3 TFT(T3)는 제2 게이트펄스에 응답하여 우수 데이터라인(D2, D4...Dm/2)으로부터의 데이터전압을 제3 액정셀의 화소전극에 공급한다. 제4 TFT(T4)는 제1 게이트펄스에 응답하여 우수 데이터라인(D2, D4... Dm/2)으로부터의 데이터전압을 제4 액정셀의 화소전극에 공급한다.

[0043] 도 9는 제1 내지 제4 극성제어신호들(POL1~POL4)에 따라 제1 내지 제4 프레임기간 동안 액정셀들(C1c)에 충전되

는 데이터전압의 극성을 보여 주는 도면이다. 액정셀들은 제1 내지 제4 극성제어신호들(POL1~POL4)에 따라 극성이 제어되는 데이터전압을 충전함으로써 후술하는 직류화 잔상, 플리커, 색왜곡이 거의 없는 화상을 표시할 수 있다.

[0044] 이하, 본 발명의 인터레이스 잔상 개선 효과와 플리커 개선 효과에 대하여 도 10 내지 도 12를 결부하여 설명하기로 한다.

[0045] 인터레이스 데이터를 액정표시패널에 표시하고, 종래 방식과 같이 모든 액정셀들(C1c)에 충전되는 데이터전압의 극성이 매 프레임마다 반전된다고 가정한다. 이 경우에, 액정셀(C1c)에는 기수 프레임기간 동안 정극성 전압이 공급되고 우수 프레임기간 동안 부극성 전압이 공급된다. 인터레이스 방식에서, 액정셀(C1c)에 기수 프레임기간 동안에만 높은 정극성 데이터전압이 공급되기 때문에, 4 개의 프레임기간 동안 박스 내의 파형과 같이 액정셀(C1c)의 정극성 데이터전압 충전량이 부극성 데이터전압 충전량에 비하여 훨씬 커진다. 따라서, 모든 액정셀들(C1c)에 충전되는 데이터전압의 극성이 매 프레임마다 반전되고 인터레이스 데이터가 액정표시장치에 입력되면 액정셀에 충전되는 데이터전압의 극성 편중으로 인하여 잔상과 플리커가 발생된다.

[0046] 본 발명은 위상이 서로 다른 제1 내지 제4 극성제어신호(POL1~POL4)를 이용하여 DRD 패널에서 데이터전압의 극성을 제어함으로써 직류화 잔상, 플리커, 색왜곡을 개선할 수 있다. 도 7 내지 도 9, 도 11 및 도 12와 같이 제1 내지 제4 극성제어신호(POL1~POL4)에 의해 임의의 빗금친 액정셀과 그와 이웃하는 액정셀에 충전되는 데이터전압의 극성 반전 주기가 서로 어긋난다. 예컨대, 도 11에서 빗금친 액정셀에 충전되는 데이터전압의 극성은 2 프레임기간 동안 동일하게 유지되는 반면, 동일한 2 프레임 기간 동안 빗금친 액정셀과 이웃하는 다른 액정셀에 충전되는 데이터전압의 극성은 2 번째 프레임기간에 반전된다. 빗금친 액정셀은 2 프레임기간 동안 동일한 극성의 데이터전압을 충전하여 직류화 잔상을 예방하고, 빗금친 액정셀과 이웃하는 다른 액정셀은 동일한 2 프레임기간 동안 1회 극성이 반전되어 공간 주파수를 빠르게 함으로써 플리커 현상을 방지한다. 빗금친 액정셀로 인한 직류화 잔상의 예방효과는 도 12와 같다. 액정표시장치에 인터레이스 데이터를 표시할 때, 빗금친 액정셀에 충전되는 데이터전압의 극성은 2 프레임기간 주기로 반전된다. 그 결과, 빗금친 액정셀에 충전되는 정극성 데이터전압의 충전량과 부극성 데이터전압의 충전량 사이에 큰 차이가 없기 때문에 빗금친 액정셀에 편향된 극성의 전압이 축적되지 않는다. 따라서, 본 발명의 액정표시장치는 인터레이스 데이터를 표시할 때에도 빗금친 액정셀에 의해 우세 극성의 높은 전압이 충전되지 않기 때문에 직류화 잔상이 나타나지 않는다.

[0047] 빗금친 액정셀은 직류화잔상을 예방할 수 있지만 동일 극성의 데이터전압들이 2 프레임기간 주기로 공급되므로 플리커가 나타날 수 있다. 빗금친 액정셀과 이웃하는 액정셀은 빗금친 액정셀에 동일 극성의 데이터전압이 충전될 때 이전 프레임과는 상반된 극성의 데이터전압을 충전함으로써 공간 주파수를 빠르게 한다. 그 결과, 관찰자는 본 발명의 액정표시장치를 관찰할 때 플리커 현상을 거의 느끼지 않는다. 이는 인간의 육안은 변화에 민감하다. 이 때문에 관찰자가 빗금친 액정셀과 그와 이웃하는 다른 액정셀을 동시에 볼 때 빗금친 액정셀에 이웃하는 액정셀의 데이터 충전 주파수로 화상을 인식한다.

[0048] 한편, DRD 패널은 도 13과 같이 모든 액정셀들의 데이터 충전 순서가 Z 방향을 따르도록 구성되거나, 도 14와 같이 구성될 수 있다.

[0049] 도 13에 도시된 DRD 패널에서, 제1 TFT(T1)는 기수 게이트라인(G1, G3...G2n-1)로부터의 제1 게이트펄스에 응답하여 기수 데이터라인(D1, D3... Dm/2-1)으로부터의 데이터전압을 그 기수 데이터라인(D1, D3...Dm/2-1)의 좌측에 배치된 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 기수 데이터라인(D1, D3... Dm/2-1)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4...G2n)으로부터의 제2 게이트펄스에 응답하여 기수 데이터라인(D1, D3... Dm/2-1)으로부터의 데이터전압을 그 기수 데이터라인(D1, D3...Dm/2-1)의 우측에 배치된 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 기수 데이터라인(D1, D3... Dm/2-1)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 제3 TFT(T3)는 기수 게이트라인(G1, G3...G2n-1)로부터의 제1 게이트펄스에 응답하여 우수 데이터라인(D2, D4... Dm/2)으로부터의 데이터전압을 그 우수 데이터라인(D2, D4...Dm/2)의 좌측에 배치된 제3 액정셀의 화소전극에 공급한다. 제3 TFT(T3)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 우수 데이터라인(D2, D4... Dm/2)에 접속된다. 제3 TFT(T3)의 소스전극은 제3 액정셀의 화소전극에 접속된다. 제4 TFT(T4)는 우수 게이트라인(G2, G4...G2n)으로부터의 제2 게이트펄스에 응답하여 우수 데이터라인(D2, D4... Dm/2)으로부터의 데이터전압을 그 우수 데이터라인(D2, D4...Dm/2)의 우측에 배치된 제4 액정셀의 화소전극에 공급한다. 제4 TFT(T4)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고,

드레인전극은 우수 데이터라인(D2, D4... Dm/2)에 접속된다. 제4 TFT(T4)의 소스전극은 제4 액정셀의 화소전극에 접속된다.

[0050] 도 14에 도시된 DRD 패널에서, 제1 TFT(T1)는 기수 게이트라인(G1, G3...G2n-1)로부터의 제1 게이트펄스에 응답하여 4i+1 번째 데이터라인(D1, D5... Dm/2-3)으로부터의 데이터전압을 그 4i+1 번째 데이터라인(D1, D3...Dm/2-1)의 좌측에 배치된 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 4i+1 번째 데이터라인(D1, D5... Dm/2-3)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4...G2n)으로부터의 제2 게이트펄스에 응답하여 4i+1 번째 데이터라인(D1, D5... Dm/2-3)으로부터의 데이터전압을 그 4i+1 번째 데이터라인(D1, D5...Dm/2-3)의 우측에 배치된 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 4i+1 번째 데이터라인(D1, D5...Dm/2-3)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 제3 TFT(T3)는 우수 게이트라인(G2, G4...G2n)로부터의 제2 게이트펄스에 응답하여 4i+2 번째 데이터라인(D2, D6...Dm/2-2)으로부터의 데이터전압을 그 4i+2 번째 데이터라인(D2, D6...Dm/2-2)의 좌측에 배치된 제3 액정셀의 화소전극에 공급한다. 제3 TFT(T3)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 4i+2 번째 데이터라인(D2, D6...Dm/2-2)에 접속된다. 제3 TFT(T3)의 소스전극은 제3 액정셀의 화소전극에 접속된다. 제4 TFT(T4)는 기수 게이트라인(G1, G3...G2n-1)으로부터의 제1 게이트펄스에 응답하여 4i+2 번째 데이터라인(D2, D6...Dm/2-2)으로부터의 데이터전압을 그 4i+2 번째 데이터라인(D2, D6...Dm/2-2)의 우측에 배치된 제4 액정셀의 화소전극에 공급한다. 제4 TFT(T4)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 4i+2 번째 데이터라인(D2, D6...Dm/2-2)에 접속된다. 제4 TFT(T4)의 소스전극은 제4 액정셀의 화소전극에 접속된다. 제5 TFT(T5)는 우수 게이트라인(G2, G4...G2n)로부터의 제2 게이트펄스에 응답하여 4i+3 번째 데이터라인(D3, D7...Dm/2-1)으로부터의 데이터전압을 그 4i+3 번째 데이터라인(D3, D7...Dm/2-1)의 좌측에 배치된 제5 액정셀의 화소전극에 공급한다. 제5 TFT(T5)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 4i+3 번째 데이터라인(D3, D7...Dm/2-1)에 접속된다. 제5 TFT(T5)의 소스전극은 제5 액정셀의 화소전극에 접속된다. 제6 TFT(T6)는 기수 게이트라인(G1, G3...G2n-1)으로부터의 제1 게이트펄스에 응답하여 4i+3 번째 데이터라인(D3, D7...Dm/2-1)으로부터의 데이터전압을 그 4i+3 번째 데이터라인(D3, D7...Dm/2-1)의 우측에 배치된 제6 액정셀의 화소전극에 공급한다. 제6 TFT(T6)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 4i+3 번째 데이터라인(D3, D7...Dm/2-1)에 접속된다. 제6 TFT(T6)의 소스전극은 제6 액정셀의 화소전극에 접속된다. 제7 TFT(T7)는 기수 게이트라인(G1, G3...G2n-1)로부터의 제1 게이트펄스에 응답하여 4i+4 번째 데이터라인(D4, D8... Dm/2)으로부터의 데이터전압을 그 4i+4 번째 데이터라인(D4, D8... Dm/2)의 좌측에 배치된 제7 액정셀의 화소전극에 공급한다. 제7 TFT(T7)의 게이트전극은 기수 게이트라인(G1, G3... G2n-1)에 접속되고, 드레인전극은 4i+4 번째 데이터라인(D4, D8... Dm/2)에 접속된다. 제7 TFT(T7)의 소스전극은 제7 액정셀의 화소전극에 접속된다. 제8 TFT(T8)는 우수 게이트라인(G2, G4...G2n)으로부터의 제2 게이트펄스에 응답하여 4i+4 번째 데이터라인(D4, D8... Dm/2)으로부터의 데이터전압을 그 4i+4 번째 데이터라인(D4, D8... Dm/2)의 우측에 배치된 제8 액정셀의 화소전극에 공급한다. 제8 TFT(T8)의 게이트전극은 우수 게이트라인(G2, G4... G2n)에 접속되고, 드레인전극은 4i+4 번째 데이터라인(D4, D8... Dm/2)에 접속된다. 제8 TFT(T8)의 소스전극은 제8 액정셀의 화소전극에 접속된다.

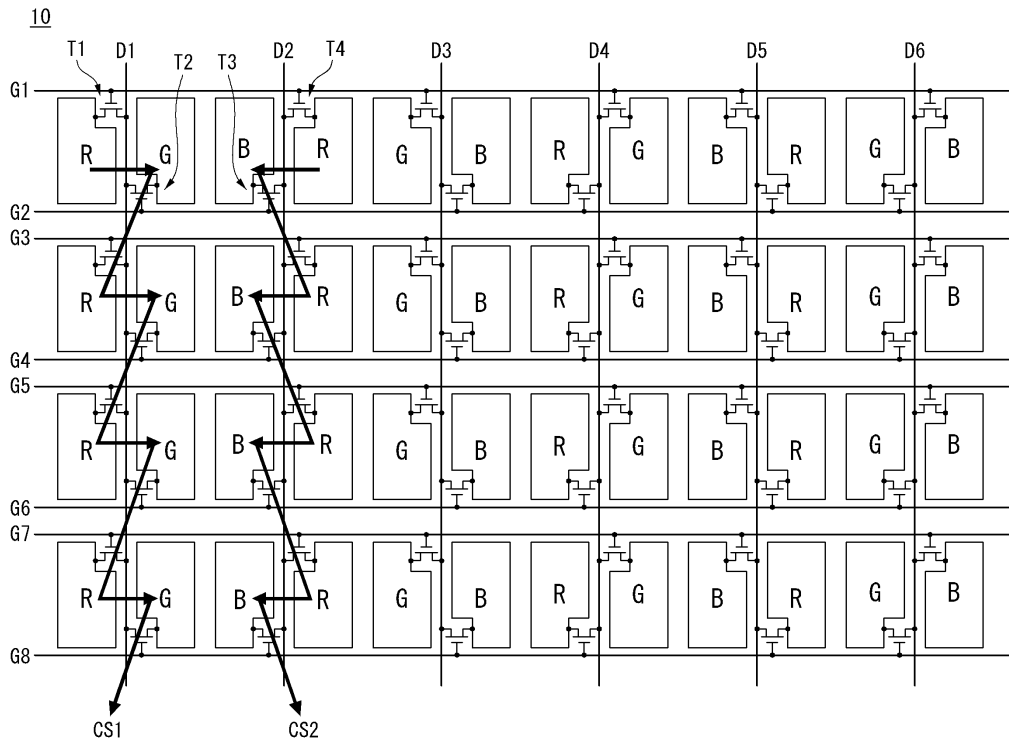
[0051] 도 13 및 도 14에 도시된 DRD 패널의 액정셀들에 공급되는 데이터전압의 극성은 도 7에 도시된 제1 내지 제4 극성제어신호들(POL1~POL4) 또는 기준 극성제어신호(POL)에 따라 제어될 수 있다. 도 13 및 도 14에서 굵은 실선 화살표는 데이터전압의 충전 순서를 나타낸다.

[0052] 본원의 발명자들은 실험을 통해 도 13 및 도 14와 같은 DRD 패널에 도 7과 같은 극성제어신호들로 극성이 제어되는 데이터전압을 공급할 때 직류화 잔상 저감 효과를 확인하였지만, 도 13 및 도 14와 같은 DRD 패널에서 30Hz 플리커, 라인 플리커, 컬럼 플리커, 적색조(redish)의 색왜곡을 관찰하였다. 따라서, DRD 패널은 도 2, 도 13 및 도 14의 화소 어레이 중 어느 하나로 적용될 수 있지만 직류화 잔상을 줄이기 위하여 도 7과 같은 극성제어신호들로 데이터전압의 극성을 제어할 때 화질 저하가 가장 작은 도 2의 화소 어레이로 DRD 패널이 적용되는 것이 바람직하다.

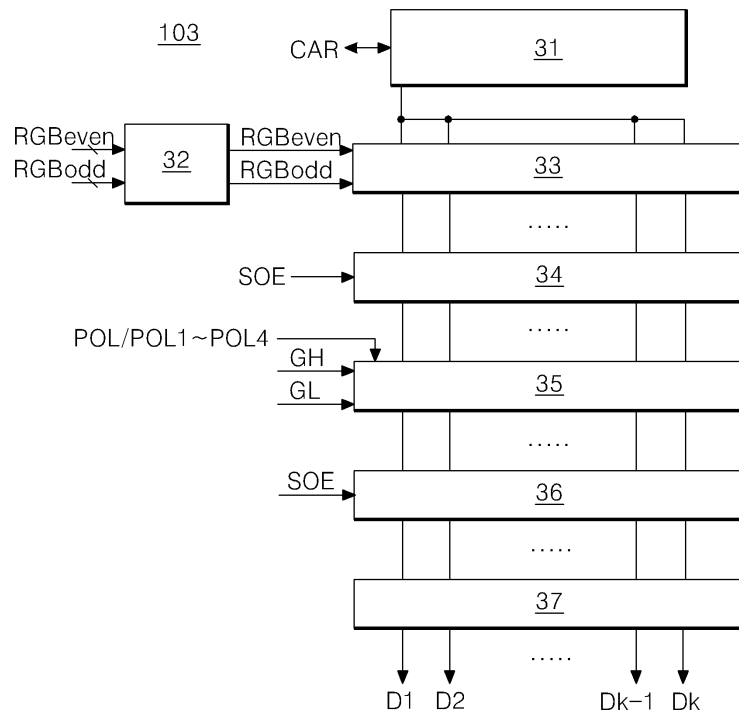
[0053] 상술한 바와 같이, 본 발명은 DRD 패널을 이용하여 데이터 라인들과 데이터 구동회로의 출력 채널 수를 1/2 이하로 줄임으로써 회로 비용을 줄일 수 있음은 물론, 위상이 서로 다른 극성제어신호들을 이용하여 직류화 잔상, 플리커 및 색왜곡을 최소화하여 표시품질을 높일 수 있다.

[0054] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이

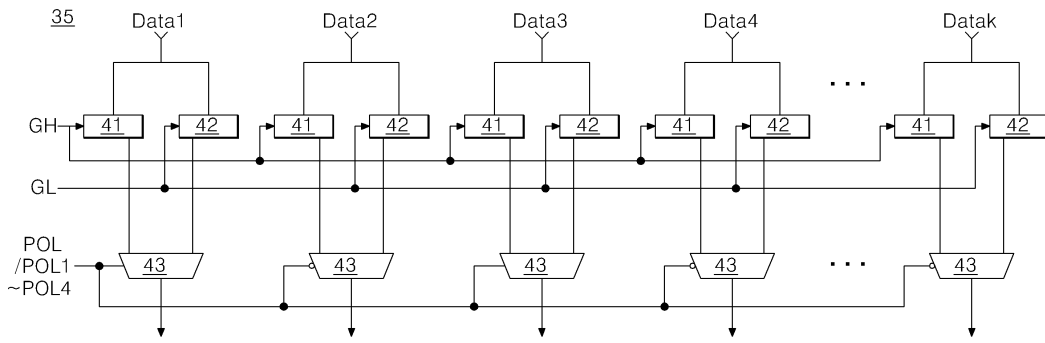
도면2



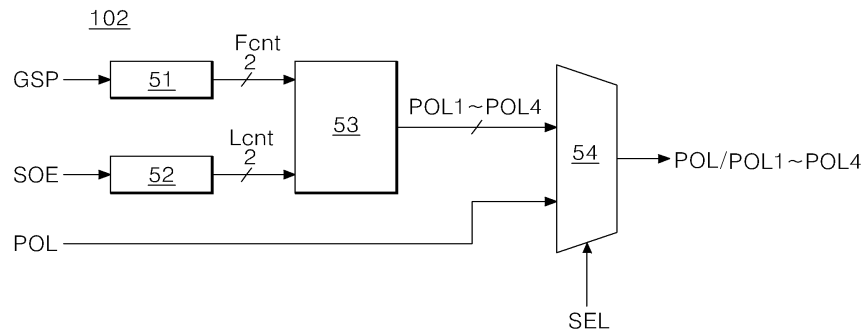
도면3



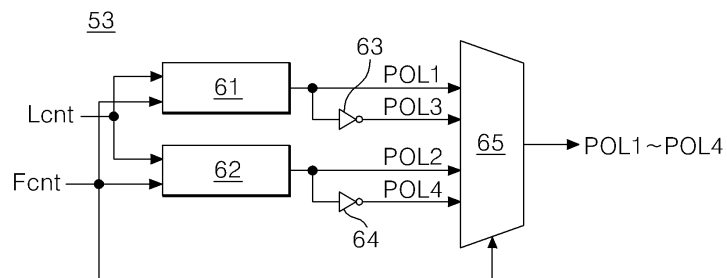
도면4



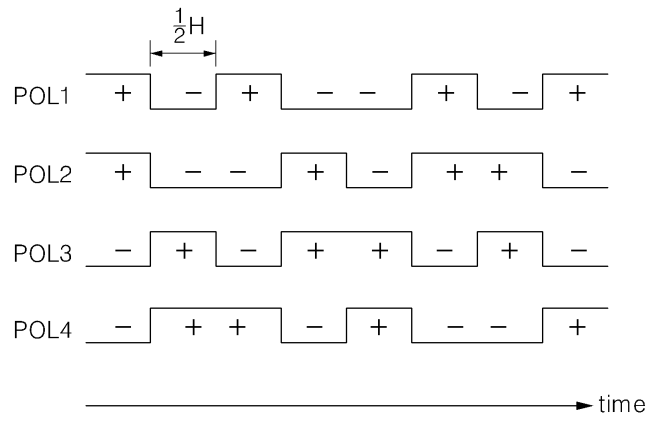
도면5



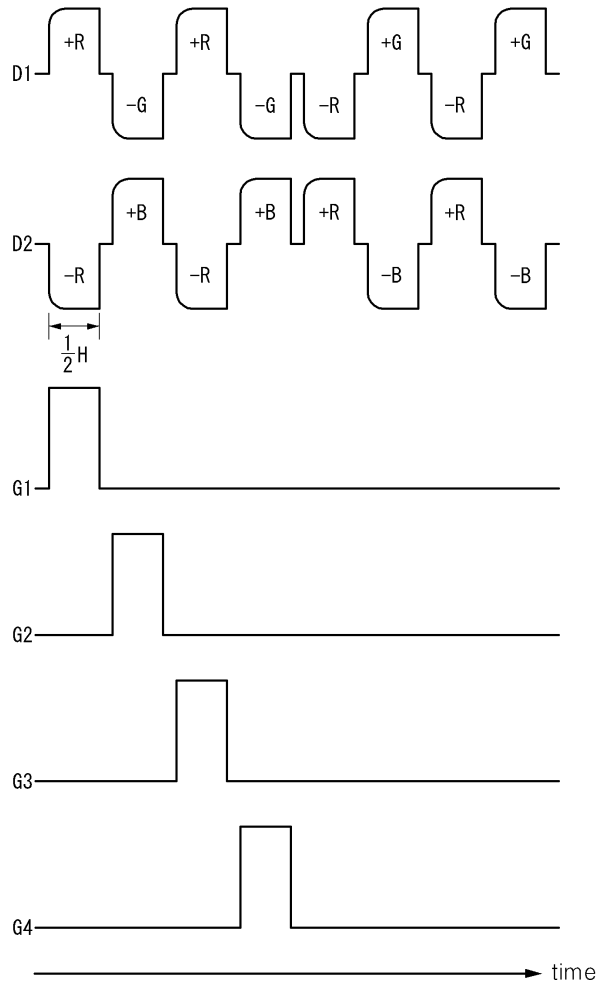
도면6



도면7



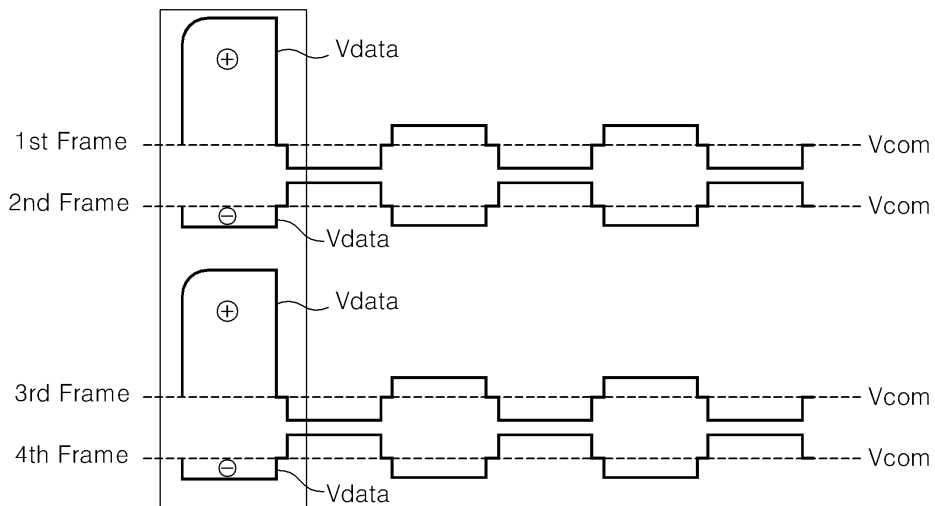
도면8



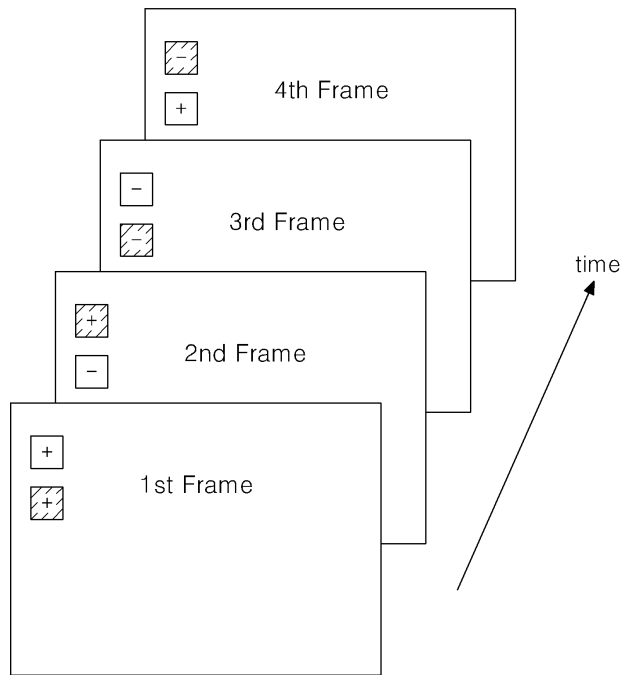
도면9

	R	G	B	R	G	B	R	G
1 st frame	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
2 nd frame	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
3 rd frame	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
4 th frame	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+

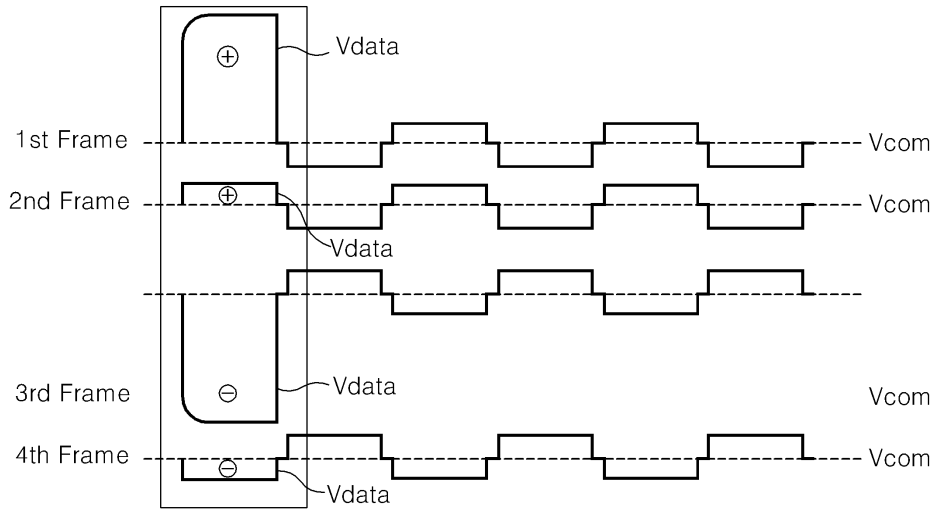
도면10



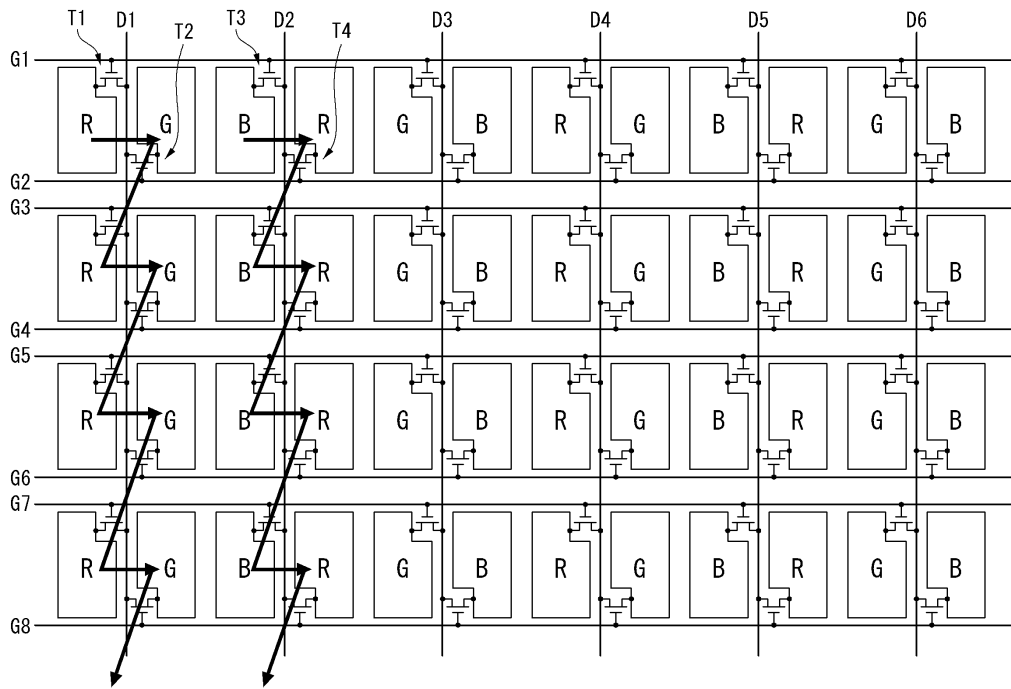
도면11



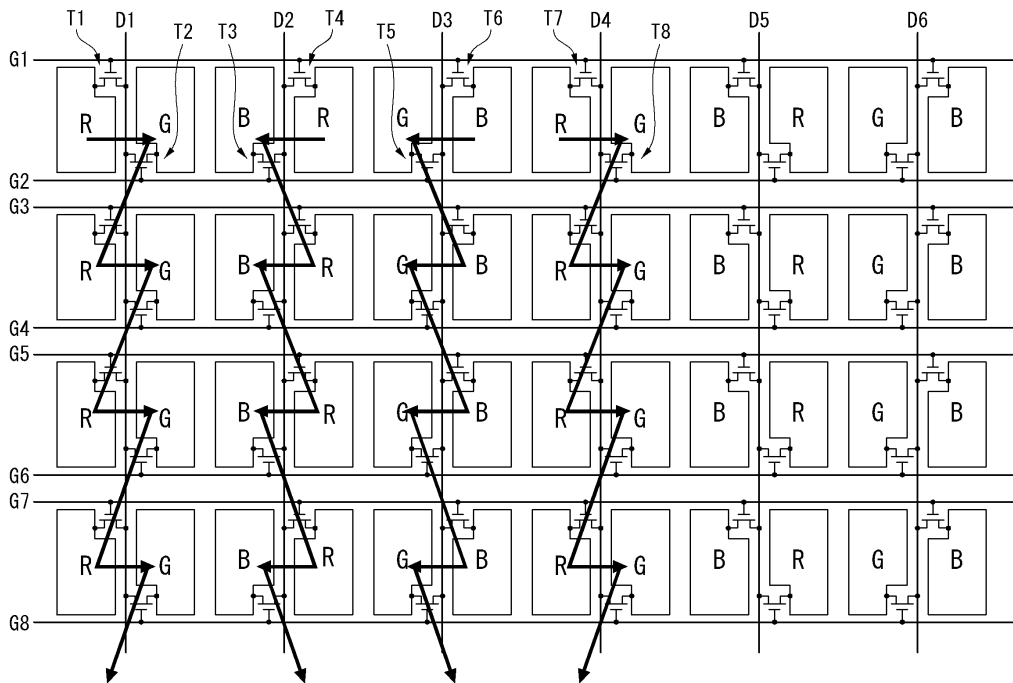
도면12



도면13



도면14



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 [청구항 1 발명] 11째줄

【변경전】

상기 제4 극성제어신호를

【변경후】

제4 극성제어신호를

专利名称(译)	液晶显示器		
公开(公告)号	KR101613723B1	公开(公告)日	2016-04-29
申请号	KR1020090056065	申请日	2009-06-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE JIN SUNG 배진성 MIN WOONG KI 민웅기 CHOI BYUNG JIN 최병진 LEE DONG HAK 이동학		
发明人	배진성 민웅기 최병진 이동학		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3688 G09G2300/0452 G09G2320/0204 G09G2320/0247		
其他公开文献	KR1020100137836A		
外部链接	Espacenet		

摘要(译)

用途：提供一种液晶显示装置，通过最小化DC残像，闪烁和颜色失真来改善液晶显示装置的显示质量。组成：液晶面板（100）包括顶部玻璃基板和底部玻璃基板包括显示视频数据的像素阵列。数据驱动电路（103）响应极性控制信号向数据线提供数据电压。栅极驱动电路（104）连续输出栅极脉冲。POL逻辑电路（102）每帧不同地控制极性控制信号的相位。COPYRIGHT KIPO 2011

	R	G	B	R	G	B	R	G
1 st frame	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
2 nd frame	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
3 rd frame	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+
	+	-	+	-	+	-	+	-
4 th frame	+	-	+	-	+	-	+	-
	+	-	+	-	+	-	+	-
	-	+	-	+	-	+	-	+
	-	+	-	+	-	+	-	+