



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년09월25일
(11) 등록번호 10-1443856
(24) 등록일자 2014년09월17일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/13 (2006.01)
(21) 출원번호 10-2008-0006346
(22) 출원일자 2008년01월21일
심사청구일자 2013년01월21일
(65) 공개번호 10-2009-0080420
(43) 공개일자 2009년07월24일
(56) 선행기술조사문헌
JP2006048055 A*
KR1020060083633 A*
US20010045545 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
김동규
경기도 용인시 수지구 진산로66번길 10, 삼성5차
아파트 523동 1305호 (풍덕천동)
신경주
경기도 화성시 영통로61번길 10, 신영통현대1차
아파트 105동 1102호 (반월동)
(74) 대리인
(뒷면에 계속)
특허법인가산

전체 청구항 수 : 총 19 항

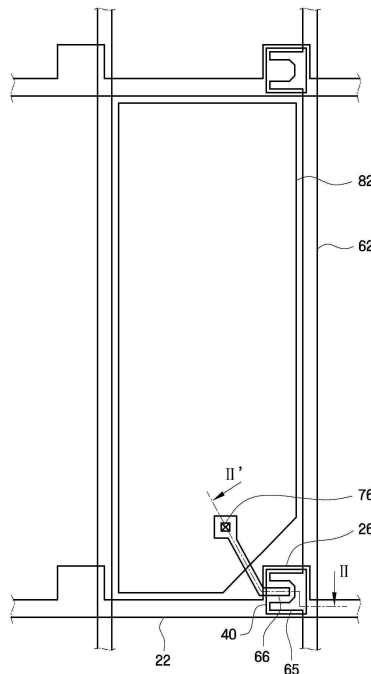
심사관 : 유창훈

(54) 발명의 명칭 액정 표시 장치 및 그에 포함되는 액정 조성물

(57) 요약

스토리지 배선을 제거하여 개구율을 높이기 위한 액정 표시 장치 및 그에 포함되는 액정 조성물이 제공된다. 액정 표시 장치는, 제1 표시판과, 제1 표시판에 대향하여 배치되는 제2 표시판과, 제1 표시판 및 제2 표시판 사이에 개재되는 액정 조성물을 포함하되, 액정 조성물은, 액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta \epsilon$)이라 할 때, 수직 유전율에 대한 유전율 이방성의 비($\Delta \epsilon / \epsilon_{\perp}$)가 0.5 이하이다.

대표도 - 도1



(72) 발명자

손정호

서울특별시 강남구 학동로 412, 605호 (삼성동,
석탑아파트101동)

윤용국

경기 화성시 동탄면 반송리 시범다운마을 포스코
더샵 318동1102호

이준표

충청남도 천안시 서북구 시청로 73, 동일3차아파
트 307동 1102호 (불당동)

백승수

서울특별시 관악구 승방6길 12, 302호 (남현동)

특허청구의 범위

청구항 1

제1 표시판;

상기 제1 표시판에 대향하여 배치되는 제2 표시판; 및

상기 제1 표시판 및 상기 제2 표시판 사이에 개재되는 액정 조성물을 포함하되,

상기 액정 조성물은, 액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 상기 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 상기 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta\epsilon$)이라 할 때, 상기 수직 유전율에 대한 상기 유전율 이방성의 비($\Delta\epsilon/\epsilon_{\perp}$)가 0.5 이하이고,

상기 액정 조성물은 회전 점도가 90mPa·S 이상 100mPa·S 이하인 액정 표시 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 액정 조성물은 알케닐(alkenyl)을 10중량% 이상 30중량% 이하로 포함하는 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 제1 표시판에 배치되는 제1 게이트선 및 제2 게이트선;

상기 제1 게이트선 및 제2 게이트선에 교차하여 배치되는 데이터 선;

상기 제1 표시판에 배치되며 제1 스위칭 소자를 매개로 제1 게이트선과 연결된 제1 부화소 전극;

상기 제1 표시판에 배치되며 상기 제1 부화소 전극에 이격되어 배치되고 제2 스위칭 소자를 매개로 제1 게이트선과 연결된 제2 부화소 전극;

상기 제2 게이트선의 게이트 신호에 의해 스위칭 동작되며 상기 제2 부화소 전극에 전기적으로 연결된 제어 스위칭 소자;

상기 제어 스위칭 소자와 연결된 제1 제어 전극; 및

상기 제1 제어 전극과 중첩되어 제어 커패시터를 형성하며 제어 전압이 인가되는 제2 제어 전극을 포함하는 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 제어 전극은 ITO 또는 IZO로 형성된 액정 표시 장치.

청구항 6

제4항에 있어서,

상기 제어 전압은 공통 전압인 액정 표시 장치.

청구항 7

제4항에 있어서,

상기 제1 표시판 또는 상기 제2 표시판에 형성되며, 상기 제1 제어 전극 및 상기 제2 제어 전극과 중첩되는 블랙 매트릭스를 더 포함하는 액정 표시 장치.

청구항 8

제4항에 있어서,

상기 제2 게이트선은 인접 화소의 게이트 선인 액정 표시 장치.

청구항 9

제4항에 있어서,

상기 제1 부화소 전극 및 상기 제2 부화소 전극은 지그재그로 굽은 형상으로 형성된 액정 표시 장치.

청구항 10

제1항에 있어서,

상기 제1 표시판에 배치되는 게이트선;

상기 게이트선에 교차하여 배치되는 데이터선;

상기 제1 표시판에 배치되며 스위칭 소자를 매개로 상기 게이트선과 연결된 제1 부화소 전극; 및

상기 제1 표시판에 배치되며 상기 제1 부화소 전극에 이격되어 배치되고 상기 제1 부화소 전극과 용량 결합된 제2 부화소 전극을 포함하는 액정 표시 장치.

청구항 11

제1항에 있어서,

상기 제1 표시판에 제1 방향으로 연장되어 형성되는 게이트 선

상기 게이트 선과 교차하여 제2 방향으로 연장되어 형성되는 제1 데이터 선;

상기 제1 데이터 선과 나란히 배치된 제2 데이터 선;

상기 제1 표시판에 배치되며 스위칭 소자를 통하여 상기 제1 데이터 선과 연결된 제1 부화소 전극;

상기 제1 표시판에 배치되며 스위칭 소자를 통하여 상기 제2 데이터 선과 연결되며 상기 제1 부화소 전극과 이격되어 배치된 제2 부화소 전극; 및

상기 제1 부화소 전극 및 상기 제1 데이터 선 또는 상기 제2 데이터 선 사이에 배치되는 디커플링 전극을 더 포함하는 액정 표시 장치.

청구항 12

제11항에 있어서,

상기 디커플링 전극은 상기 제1 부화소 전극, 상기 제2 부화소 전극 또는 상기 데이터 선과 일부 영역이 중첩되는 액정 표시 장치.

청구항 13

제11항에 있어서,

상기 디커플링 전극은 상기 데이터 선에 평행하게 배치되는 액정 표시 장치.

청구항 14

제11항에 있어서,

상기 제1 부화소 전극은 절개 패턴을 사이에 두고 상기 제2 부화소 전극에 둘러싸여 형성되고, 상기 디커플링 전극은 상기 제1 부화소 전극을 둘러싸며 상기 절개 패턴에 중첩되어 형성된 액정 표시 장치.

청구항 15

제14항에 있어서,

상기 디커플링 전극의 폭은 상기 절개 패턴의 폭 보다 작게 형성된 액정 표시 장치.

청구항 16

제1항에 있어서,

상기 제1 표시판에 배치되는 게이트선;

상기 게이트선에 교차하여 배치되는 데이터선; 및

상기 제1 표시판에 배치되며 스위칭 소자를 매개로 게이트선과 연결된 화소 전극을 포함하는 액정 표시 장치.

청구항 17

제16항에 있어서,

상기 화소 전극은 상기 게이트 선에 대하여 $-45^{\circ} \sim 45^{\circ}$ 방향으로 절개되어 형성된 절개 패턴을 더 포함하는 액정 표시 장치.

청구항 18

제1 표시판;

상기 제1 표시판에 형성된 화소 전극;

상기 제1 표시판에 대향하여 배치되는 제2 표시판;

상기 제2 표시판에 형성되며 상기 화소 전극과 중첩된 공통 전극;

상기 화소 전극과 일부가 중첩되는 디커플링 전극; 및

상기 제1 표시판 및 상기 제2 표시판 사이에 개재되는 액정 조성물을 포함하되,

상기 액정 조성물은, 액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 상기 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 상기 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta \epsilon$)이라 할 때, 상기 수직 유전율에 대한 상기 유전율 이방성의 비($\Delta \epsilon / \epsilon_{\perp}$)가 0.5 이하이고,

상기 화소 전극과 상기 디커플링 전극 사이의 커패시턴스는 상기 공통 전극과 상기 화소 전극 사이의 커패시턴스의 5 ~ 20%인 액정 표시 장치.

청구항 19

액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 상기 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 상기 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta \epsilon$)이라 할 때, 상기 수직 유전율에 대한 상기 유전율 이방성의 비($\Delta \epsilon / \epsilon_{\perp}$)가 0.5 이하이고,

상기 액정 조성물은 회전 점도가 90 mPa · S 이상 100 mPa · S 이하인 액정 조성물.

청구항 20

삭제

청구항 21

제19항에 있어서,

상기 액정 조성물은 알케닐(alkenyl)을 10중량% 이상 30중량%이하로 포함하는 액정 조성물.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치 및 그에 포함되는 액정 조성물에 관한 것으로서, 더욱 상세하게는 스토리지 배선을 제거하여 개구율을 높이기 위한 액정 조성물 및 그를 포함하는 액정 표시 장치에 관한 것이다.

배 경 기 술

[0002] 현대 사회가 고도로 정보화 되어감에 따라 표시 장치는 대형화 및 박형화에 대한 시장의 요구에 직면하고 있으며, 종래의 CRT 장치로는 이러한 요구를 충분히 만족시키지 못함에 따라 PDP(Plasma Display Panel) 장치, PALC(Plasma Address Liquid Crystal display panel) 장치, LCD(Liquid Crystal Display) 장치, OLED(Organic Light Emitting Diode) 장치 등으로 대표되는 평판 표시 장치에 대한 수요가 폭발적으로 늘어나고 있다.

[0003] 액정 표시 장치(Liquid Crystal Display : LCD)는 현재 가장 널리 사용되고 있는 평판 표시 장치(Flat Panel Display : FPD) 중 하나로서, 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하여 영상을 표시하는 장치이다.

[0004] 액정 표시 장치가 영상을 효과적으로 표시하기 위해서는 액정 분자를 배열시키기 위해 인가된 신호가 일정 시간 유지될 수 있어야 한다. 일반적으로 액정을 재배열하기 위해 인가된 신호는 짧은 시간 내에 누설되기 때문에 액정에 인가된 전하를 일정 시간 동안 유지하기 위하여 스토리지 커패시터를 병렬로 연결하게 된다.

발명의 내용

해결 하고자 하는 과제

[0005] 액정 표시 장치에 사용되는 스토리지 커패시터는 소정의 면적만큼 화소 전극과 중첩되도록 형성되기 때문에 화소의 개구율이 줄어드는 문제가 있다.

[0006] 이에, 본 발명이 해결하고자 하는 과제는 스토리지 배선을 제거하여 개구율을 높이기 위한 액정 조성물을 포함하는 액정 표시 장치를 제공하고자 하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는 스토리지 배선을 제거하여 개구율을 높이기 위한 액정 조성물을 제공하고자 하는 것이다.

[0008] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0009] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 표시판과, 상기 제1 표시판에 대향하여 배치되는 제2 표시판과, 상기 제1 표시판 및 상기 제2 표시판 사이에 개재되는 액정 조성물을 포함 하되, 상기 액정 조성물은, 액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 상기 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 상기 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta\epsilon$)이라 할 때, 상기 수직 유전율에 대한 상기 유전율 이방성의 비($\Delta\epsilon/\epsilon_{\perp}$)가 0.5 이하 이다.

[0010] 상기 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는 제1 표시판과, 상기 제1 표시판에 형성된 화소 전극과, 상기 제1 표시판에 대향하여 배치되는 제2 표시판과, 상기 제2 표시판에 형성되며 상기 화소 전극과 중첩된 공통 전극과, 상기 화소 전극과 일부가 중첩되는 디커플링 전극과, 상기 제1 표시판 및 상기 제2 표시판 사이에 개재되는 액정 조성물을 포함하되, 상기 액정 조성물은, 액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 상기 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 상기 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta\epsilon$)이라 할 때, 상기 수직 유전율에 대한 상기 유전율 이방성의 비($\Delta\epsilon/\epsilon_{\perp}$)가 0.5 이하이고, 상기 화소 전극과 상기 디커플링 전극 사이의 커패시턴스는 상기 공통 전극과 상기 화소 전극 사이의 커패시턴스의 5 ~ 20%이다.

[0011] 상기 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 조성물은, 액정의 장축 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$), 상기 장축 방향과 수직 방향의 유전율을 수직 유전율($\epsilon_{\perp}$), 상기 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta\epsilon$)이라 할 때, 상기 수직 유전율에 대한 상기 유전율 이방성의 비($\Delta\epsilon/\epsilon_{\perp}$)가 0.5 이하이다.

발명의 실시를 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관 관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0014] 이하 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다. 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이고, 도 2는 도 1의 액정 표시 장치를 II-II' 선으로 절단한 단면도이다.
- [0015] 투명한 유리 등으로 이루어진 제1 절연 기관(10) 위에 주로 가로 방향으로 뻗어 있고 게이트 신호를 전달하는 게이트선(22)이 형성되어 있다. 게이트선(22)은 하나의 화소에 대하여 하나씩 할당되어 있다. 그리고, 게이트선(22)에는 돌출한 게이트 전극(26)이 형성되어 있다. 이러한 게이트선(22)과 게이트 전극(26)을 게이트 배선(22, 26)이라 한다.
- [0016] 게이트 배선(22, 26)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 26)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다층막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 26)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 26)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.
- [0017] 게이트선(22) 위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(30)이 형성되어 있다.
- [0018] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 반도체층(40)이 형성되어 있다. 반도체층(40)은 섬모양, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬모양으로 형성될 수 있다.
- [0019] 각 반도체층(40)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 옴릭 콘택층(ohmic contact layer)(55, 56)이 형성되어 있다. 옴릭 콘택층(55, 56)은 쌍(pair)을 이루어 반도체층(40) 위에 위치한다.
- [0020] 옴릭 콘택층(55, 56) 및 게이트 절연막(30) 위에는 데이터선(62)과, 데이터선(62)에 대응하는 드레인 전극(66)이 형성되어 있다.
- [0021] 데이터선(62)은 주로 세로 방향으로 뻗어 게이트선(22)과 교차하며 데이터 전압을 전달한다. 데이터선(62)에는 드레인 전극(66)을 향하여 뻗은 소스 전극(65)이 형성되어 있다. 데이터선(62)은 화소 전극(82)에 데이터 신호를 전달한다. 이러한 데이터선(62)과, 소스 전극(65)과, 드레인 전극(66)을 데이터 배선이라고 한다.
- [0022] 데이터 배선(62, 65, 66)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- [0023] 소스 전극(65)은 반도체층(40)과 적어도 일부분이 중첩되고, 드레인 전극(66)은 게이트 전극(26)을 중심으로

소스 전극(65)과 대향하며 반도체층(40)과 적어도 일부분이 중첩된다. 여기서, 앞서 언급한 오믹 콘택층(55, 56)은 그 하부의 반도체층(40)과, 그 상부의 소스 전극(65) 및 드레인 전극(66) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.

[0024] 데이터 배선(62, 65, 66)과 노출된 반도체층(40) 위에는 보호막(passivation layer)(70)이 형성되어 있다. 보호막(70)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 보호막(70)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다. 나아가 보호막(70)으로는 적색, 녹색 또는 청색의 컬러 필터층이 사용될 수도 있다.

[0025] 보호막(70)에는 콘택홀(contact hole)(76)이 형성되어 있으며, 화소 전극(82)은 콘택홀(76)을 통하여 드레인 전극(66)과 물리적·전기적으로 연결되어 데이터 전압 및 제어 전압을 인가 받는다.

[0026] 데이터 전압이 인가된 화소 전극(82)은 상부 표시판의 공통 전극(91)과 함께 전기장을 생성함으로써 공통 전극(91)과 화소 전극(82) 사이의 액정 분자들의 배열을 결정한다.

[0027] 이와 같은 화소 전극(82), 및 보호막(70) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.

[0028] 다음으로, 상부 표시판에 대해 설명한다. 투명한 유리 등으로 이루어진 제2 절연 기판(90) 위에 빛샘을 방지하고 화소 영역을 정의하는 블랙 매트릭스(94)가 형성되어 있다. 블랙 매트릭스(94)는 게이트선(22) 및 데이터선(62)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분에 형성될 수 있다. 또한, 블랙 매트릭스(94)는 화소 전극(82)과 박막 트랜지스터 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다. 블랙 매트릭스(94)는 크롬, 크롬 산화물 등의 금속(금속 산화물), 또는 유기 블랙 레지스트 등으로 이루어질 수 있다.

[0029] 그리고 블랙 매트릭스(94) 사이의 화소 영역에는 적색, 녹색, 청색의 컬러 필터(92)가 순차적으로 배열될 수 있다.

[0030] 이러한 컬러 필터 위에는 이들의 단차를 평탄화하기 위한 오버코트층(overcoat layer)(95)이 형성될 수 있다.

[0031] 오버코트층(95) 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(91)이 형성되어 있다. 공통 전극(91)은 화소 전극(82)과 마주 보고 배치되며, 공통 전극(91)과 화소 전극(82) 사이에는 액정층이 개재된다.

[0032] 공통 전극(91) 위에는 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.

[0033] 이와 같은 구조의 하부 표시판(100)과 상부 표시판(200)을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 액정층(300)을 형성하면, 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.

[0034] 액정은 광학적으로 단일축 결정을 나타낼 때, 굴절률의 이방성(Δn)을 나타낸다. 즉, 단일축 결정은 광파의 전기적 벡터가 광축이 놓인 평면에 수직으로 진동하는 정상 광선에 대한 굴절률(n_e)과 전기적 벡터의 진동이 광축이 놓인 평면에 평행한 이상 광선에 대한 굴절률(n_o)을 갖는다.

[0035] 또한, 액정은 장축과 수직인 방향과 평행인 방향의 유전율이 서로 다른 유전율 이방성을 갖는다. 이하, 본 명세서 상에서 액정의 장축 방향과 평행인 방향의 유전율을 수평 유전율($\epsilon_{\parallel}$)이라 정의하고, 장축과 수직인 방향의 유전율을 수직 유전율($\epsilon_{\perp}$)이라 정의하며, 수직 유전율($\epsilon_{\perp}$)과 수평 유전율($\epsilon_{\parallel}$)의 차를 유전율 이방성($\Delta \epsilon$)이라 정의 한다.

[0036] 액정층(300)을 이루는 액정 조성물은 다양한 특성을 액정 물질을 혼합한 혼합물로서, 이하의 본 명세서 상에서 액정 또는 액정 조성물로 칭한다.

[0037] 액정 표시 장치의 화질을 저해하는 요소로서 킥백 전압(ΔV_{kb})이 있다. 이와 같은 킥백 전압(ΔV_{kb})은 화소 전극(82)과 공통 전극(91) 사이의 전압을 불안정하게 하므로 킥백 전압(ΔV_{kb})은 줄이는 것이 바람직하다. 킥백 전압(ΔV_{kb})은 아래의 수학적 식 1로 정의 된다.

[0038] 수학적식1

- [0039] $\Delta V_{kb} = \Delta V_g \times C_{gs} / (C_{lc} + C_{gs})$
- [0040] 여기서, ΔV_g 는 박막 트랜지스터가 턴 오프(turn off) 될 때의 게이트 전압(V_g)의 변동폭을 나타내며, C_{gs} 는 박막 트랜지스터의 게이트 전극(26)과 데이터선(62) 사이의 기생 커패시터(C_{gs})를 나타내며, C_{lc} 는 액정 커패시터(C_{lc})를 나타낸다.
- [0041] 수식 1을 참조하면, 킥백 전압(ΔV_{kb})을 줄이기 위해서는 액정 커패시터(C_{lc})를 증가시켜야 한다. 즉, 별도의 스토리지 커패시터를 추가하지 않으면서 킥백 전압(ΔV_{kb})을 줄이기 위해서는 액정 커패시터(C_{lc})를 증가시켜야 하며, 액정 커패시터(C_{lc})를 증가시키기 위해서는 액정의 유전율을 증가시켜야 한다.
- [0042] 본 발명의 일 실시예에 따른 액정은 수직 유전율($\epsilon_{\perp}$)에 대한 유전율 이방성($\Delta \epsilon$)의 비($\Delta \epsilon / \epsilon_{\perp}$)가 0.5 이하의 값을 갖고, 회전 점도(γ_1)가 90 내지 110 mPa·S의 값을 갖는다. 여기서, 수직 유전율($\epsilon_{\perp}$)에 대한 유전율 이방성($\Delta \epsilon$)의 비($\Delta \epsilon / \epsilon_{\perp}$)는 박막 트랜지스터(TFT)의 기생 커패시터(C_{gs})에 의해 발생하는 킥백 전압(ΔV_{kb})에 영향을 주어 액정 표시 장치의 화질에 영향을 주게 되며, 회전 점도(γ_1)는 액정의 응답 속도에 영향을 주게 된다. 이와 같은 수직 유전율($\epsilon_{\perp}$)에 대한 유전율 이방성($\Delta \epsilon$)의 비($\Delta \epsilon / \epsilon_{\perp}$)와 회전 점도(γ_1)는 일종의 트레이드 오프(trade off) 관계에 있어 우수한 표시 품질과 응답성을 얻기 위해서는 상술한 조건을 만족하도록 액정을 형성하는 것이 바람직하다. 이와 같은 특성의 액정을 얻기 위해서 액정에 알케닐(alkenyle)을 10 내지 30 중량% 정도 포함하는 것이 바람직하다.
- [0043] 액정 표시 장치는 이러한 기본 구조에 편광판(미도시), 백라이트(미도시) 등의 요소들을 배치하여 이루어진다. 이때 편광판은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 게이트선(22)에 대하여 둘 중 하나는 나란하고 나머지 하나는 이에 수직을 이루도록 배치한다.
- [0044] 이하 도 3 내지 도 5를 참조하여 본 발명의 제2 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다. 여기서, 도 3은 본 발명의 제2 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이고, 도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치에 포함되는 상부 표시판의 배치도이고, 도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 배치도이다.
- [0045] 본 발명의 제2 실시예에 따른 액정 표시 장치는 하나의 화소에 3개의 박막 트랜지스터(Q1, Q2, Qc)와 2 개의 화소 전극(82a_1, 82a_2)을 포함한다. 제1 박막 트랜지스터(Q1)는 제1 부화소 전극(82a_1)을 구동하고, 제2 박막 트랜지스터(Q2)는 제2 부화소 전극(82a_2)을 구동하고, 제3 박막 트랜지스터(Qc)는 제2 부화소 전극(82a_2)과 제1 제어 전극(83a)에 연결되어 제2 부화소 전극(82a_2)의 인가 전압을 변화시킨다.
- [0046] 하부 표시판(100a)은 제1 절연 기판(10a) 위에 기로 방향으로 평행하게 배열된 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)을 포함하며, 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)과 교차하는 데이터선(62a)을 포함한다. 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)에는 제1 게이트 전극(26a_1) 및 제2 게이트 전극(26a_2)이 각각 형성되어 있다.
- [0047] 제1 소스 전극(65a_1)은 제1 박막 트랜지스터(Q1)의 입력단에 해당되며, 데이터선(62a)으로부터 분지되어 제1 게이트 전극(26a_1) 상부에 위치하고, 제2 소스 전극(65a_2)은 제2 박막 트랜지스터(Q2)의 입력단에 해당되며, 데이터선(62a)으로부터 분지되어 제1 게이트 전극(26a_1) 상부에 위치한다. 제1 소스 전극(65a_1) 및 제2 소스 전극(65a_2)은 서로 인접 배치되며, 제1 게이트선(22a_1)에 의해 스위칭 동작을 하게 된다.
- [0048] 제3 소스 전극(65a_3)은 제3 박막 트랜지스터(Qc)의 입력단에 해당되며, 제2 게이트 전극(26a_2) 상부에 위치하고 제1 제어 전극(83a)에 전기적으로 연결된다.
- [0049] 한편, 제1 드레인 전극(66a_1)은 제1 부화소 전극(82a_1)과 제1 콘택홀(76a_1)을 통하여 전기적으로 연결되고, 제2 드레인 전극(66a_2)은 제2 부화소 전극(82a_2)과 제2 콘택홀(76a_2)을 통하여 전기적으로 연결되고, 제3 드레인 전극(66a_3)은 제2 부화소 전극(82a_2)과 제3 콘택홀(76a_3)을 통하여 전기적으로 연결된다.
- [0050] 제1 제어 전극(83a)은 제2 제어 전극(29a)과 중첩하여 제어 커패시터(Cd)를 형성한다. 여기서, 제2 제어 전극(29a)은 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)과 나란히 배치된 제어선(28a)으로부터 분지된다. 제1 제어 전극(83a) 및 제2 제어 전극(29a)은 블랙 매트릭스(94a)와 중첩될 수 있다. 제1 제어 전극(83a)은 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)과 동일한 층으로 함께 형성될 수 있으며, 제2 제어 전극(29

a)은 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)과 동일한 층으로 함께 형성될 수 있다.

- [0051] 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)은 지그재그로 굽은 형상으로 형성될 수 있으며, 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)은 도메인 형성 수단으로서 절개 패턴(84a)에 의하여 분리되어 있다. 이러한 도메인 형성 수단은 절개 패턴(84a)에 한정될 것은 아니며, 돌기 패턴으로 형성될 수 있을 것이다.
- [0052] 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)은 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)과 대략 $-45^{\circ} \sim 45^{\circ}$ 를 이루도록 굽은 형상으로 형성될 수 있다.
- [0053] 상부 표시판(200a)과 하부 표시판(100a)의 사이에 액정이 채워진 액정층(300a)이 위치한다. 여기서, 액정은 수직 유전율($\epsilon_{\perp}$)에 대한 유전율 이방성($\Delta \epsilon$)의 비($\Delta \epsilon / \epsilon_{\perp}$)가 0.5 이하의 값을 갖고, 회전 점도(γ_1)가 90 내지 110 mPa·S의 값을 갖는다. 이와 같은 특성의 액정을 얻기 위해서 액정에 알케닐(alkenyle)을 10 내지 30% 정도 포함할 수 있다.
- [0054] 도 7은 도 5의 액정 표시 장치의 한 화소의 등가 회로도이다.
- [0055] 하나의 화소는 나란하게 연장되어 있는 제1 게이트선(22a_1) 및 제2 게이트선(22a_2)과, 제1 게이트선(G1) 및 제2 게이트선(G2)과 교차하는 데이터선(D)을 포함한다. 또한, 화소는 세 개의 박막 트랜지스터(Q1, Q2, Qc)를 포함하며, 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)의 게이트 전극은 제1 게이트선(G1)에 연결되어 있으며, 제3 박막 트랜지스터(Q3)의 게이트 전극은 제2 게이트선(G2)에 연결되어 있다. 경우에 따라, 제2 게이트선(G2)은 별개의 독립된 선이거나 인접한 화소의 제1 박막트랜지스터(미도시)와 제2 박막트랜지스터(미도시)의 게이트 전극과 연결된 선일 수 있다.
- [0056] 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)의 입력단은 데이터선(D)에 연결되어 있으나, 제3 박막 트랜지스터(Qc)의 입력단은 제2 박막 트랜지스터(Q2)의 출력단과 연결되어 있다. 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)의 출력단은 각각 액정층에 특정 전압을 인가하기 위해 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)에 연결된다. 즉, 제1 박막 트랜지스터(Q1)는 제1 부화소 전극(82a_1)에 연결되어 제1 액정 커패시터(C1c1)를 형성하고, 제2 박막 트랜지스터(Q2)는 제2 부화소 전극(82a_2)에 연결되어 제2 액정 커패시터(C1c2)를 형성한다. 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)과 대향하는 전극은 공통 전극(91a)으로 공통 전압(Vcom)이 인가된다.
- [0057] 제3 박막 트랜지스터(Q3)의 입력단은 제2 박막 트랜지스터(Q2)의 출력단인 제2 부화소 전극(82a_2)에 연결되고, 출력단은 제1 제어 전극(83a)에 연결되어 제2 제어 전극(29a)과 함께 제어 커패시터(Cd)를 형성한다.
- [0058] 제어 커패시터(Cd)는 제어선(28a)을 커패시터의 한 전극으로 사용하며, 제어선(28a)은 고정 전압이 인가된다. 이 때의 고정 전압은 공통 전압(Vcom)일 수 있다.
- [0059] 제1 박막 트랜지스터(Q1)와 제2 박막 트랜지스터(Q2)가 턴 온 되어, 제1 부화소 전극(82a_1) 및 제2 부화소 전극(82a_2)과 공통 전극(91a) 사이에 제1 액정 커패시터(C1c1) 및 제2 액정 커패시터(C1c2)가 발생한다. 그 다음에 제3 박막 트랜지스터(Q3)가 턴 온 되면, 제어 커패시터(Cd)에 의해 제2 액정 커패시터(C1c2)에 인가되는 전압차가 변하게 된다. 따라서, 제1 액정 커패시터(C1c1) 및 제2 액정 커패시터(C1c2)는 충전되는 전압의 차가 발생하게 된다.
- [0060] 이하 도 8을 참조하여 본 발명의 제3 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다. 도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0061] 제1 데이터 선(62b_1) 및 제2 데이터 선(62b_2)은 게이트 배선(22, 26)과 교차하여 형성된다. 제1 데이터 선(62b_1)은 제1 부화소 전극(82b_1)에 제1 데이터 전압을 전달하고, 제2 데이터 선(62b_2)은 제2 부화소 전극(82b_2)에 제2 데이터 전압을 전달한다.
- [0062] 제1 부화소 전극(82b_1)은 스위칭 소자를 매개로, 게이트 선(22b)과 제1 데이터 선(62b_1)과 연결되어, 게이트 신호 및 제1 데이터 전압을 인가 받는다. 제2 부화소 전극(82b_2)은 스위칭 소자를 매개로, 게이트 선(22b)과 제2 데이터 선(62b_2)과 연결되어, 게이트 신호 및 제2 데이터 전압을 인가 받는다. 여기서, 제1 데이터 전압은 공통 전압과 비교하여 상대적으로 높은 크기를 가지고, 제2 데이터 전압은 공통 전압과 비교하여 상대적으로 낮은 크기를 가질 수 있다.
- [0063] 제1 부화소 전극(82b_1)에는 상대적으로 높은 데이터 전압이 인가되고, 제2 부화소 전극(82b_2)에는 상대적으

로 낮은 데이터 전압이 인가된다. 낮은 계조에서, 상대적으로 낮은 데이터 전압이 인가되는 제2 부화소 전극(82b_2) 위에 배치된 액정 분자는 그 방향자가 하부 표시판에 대하여 수직을 이루도록 배향된다. 따라서, 백라이트(미도시)로부터 방출된 빛은 제2 부화소 전극(82b_2)을 통과하지 못하고 차폐된다.

[0064] 그러므로, 제2 부화소 전극(82b_2)을 제1 및 제2 데이터 선(62a, 62b)과 중첩시켜 배치하면, 낮은 계조에서, 제2 부화소 전극(82b_2)이 제1 데이터 선(62b_1) 및 제2 데이터 선(62b_2) 주변에서 발생하는 빛을 차폐시키므로, 빛샘 현상을 방지할 수 있다.

[0065] 한편, 제1 부화소 전극(82b_1)은 반시계 방향으로 90° 회전한 'V' 자 형태로 형성될 수 있으며, 제2 부화소 전극(82b_2)으로 둘러싸여 형성될 수 있다. 이러한 제1 부화소 전극(82b_1) 및 제2 부화소 전극(82b_2)은 절개 패턴(84b)으로 분리되어 있으며, 절개 패턴(84b)은 게이트선(22b)에 대하여 약 -45° ~ 45° 방향으로 형성될 수 있다.

[0066] 상술한 하부 표시판에 대향하도록 상부 표시판(미도시)을 배치하고 그 사이에 액정이 채워진 액정층을 주입하여 액정 표시 장치를 완성한다. 여기서, 액정은 수직 유전율($\epsilon_{\perp}$)에 대한 유전율 이방성($\Delta\epsilon$)의 비($\Delta\epsilon/\epsilon_{\perp}$)가 0.5 이하의 값을 갖고, 회전 점도(γ_1)가 90 내지 110 mPa·S의 값을 갖도록 한다.

[0067] 이와 같은 액정 표시 장치는 별도의 스토리지 배선을 형성하지 않더라도 표시 품질을 유지할 수 있을 뿐만 아니라, 스토리지 배선의 제거에 따른 개구율이 증가하게 된다.

[0068] 이하 도 9를 참조하여 본 발명의 제4 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다. 도 9는 본 발명의 제4 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.

[0069] 본 발명의 제4 실시예에 따른 액정 표시 장치는 제1 부화소 전극(82c_1), 제2 부화소 전극(82c_2) 및 결합 전극(67)을 포함한다.

[0070] 제1 부화소 전극(82c_1) 및 제2 부화소 전극(82c_2)은 소정의 도메인 분할 수단인 절개 패턴(84b)으로 이격되어 전기적으로 절연되며, 소정의 형태로 서로 맞물려 화소 영역을 이루게 된다. 여기서 제1 부화소 전극(82c_1)은 박막 트랜지스터에 연결되어 데이터 전압을 직접 인가 받으며, 제2 부화소 전극(82c_2)은 제1 부화소 전극(82c_1)과 결합 전극(67)의 결합 축전기에 의하여 제1 부화소 전극(82c_1) 보다 다소 낮은 전압이 인가된다.

[0071] 제1 부화소 전극(82c_1) 및 제2 부화소 전극(82c_2)은 게이트 선(22b)을 기준으로 약 -45° ~ +45° 정도 기울어진 사선 방향으로 절개되어 분할될 수 있어, 화소 내의 액정 분자들을 4가지의 방향으로 기울어지도록 하여, 4방향에 대한 시인성을 확보할 수 있도록 할 수 있다. 이와 같은 제1 부화소 전극(82c_1) 및 제2 부화소 전극(82c_2)의 배열은 본 발명의 일 실시예에 해당하는 것으로서, 이밖에 다양한 방식으로 분할이 가능하며, 필요에 따라 세 개 이상의 부화소 전극으로 분할도 가능하다.

[0072] 제1 부화소 전극(82c_1) 및 제2 부화소 전극(82c_2)은 서로 커플링되어 작용한다. 즉, 제1 부화소 전극(82c_1)에 연결된 결합 전극(67)과 제2 부화소 전극(82c_2)은 사이에 유전체를 매개로 절연되고 서로 중첩되어 "결합 축전기"를 이루게 된다. 이로 인해, 제1 부화소 전극(82c_1)에 데이터 전압이 인가되면, 제2 부화소 전극(82c_2)에는 제1 부화소 전극(82c_1)에 비해 낮은 전압이 인가된다.

[0073] 또한, 결합 전극(67)은 반드시 제1 부화소 전극(82c_1)에 연결되는 것으로 한정할 것은 아니며, 제2 부화소 전극(82c_1)에 연결될 수 있다. 즉, 제2 부화소 전극에 연결된 결합 전극과 제1 부화소 전극이 서로 중첩되어 "결합 축전기"를 이루게 되면, 제2 부화소 전극에 데이터 전압이 인가될 때 제1 부화소 전극에는 이보다 낮은 전압이 인가될 수 있다.

[0074] 이와 같은 구조의 액정 표시 장치는 수직 유전율($\epsilon_{\perp}$)에 대한 유전율 이방성($\Delta\epsilon$)의 비($\Delta\epsilon/\epsilon_{\perp}$)가 0.5 이하의 값을 갖고, 회전 점도(γ_1)가 90 내지 110 mPa·S의 값을 갖는 액정층을 포함함으로써, 별도의 스토리지 배선을 형성하지 않더라도 안정적인 표시 품질을 유지할 수 있게 된다.

[0075] 이하 도 10을 참조하여 본 발명의 제5 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다. 도 10은 본 발명의 제5 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.

[0076] 디커플링 선(24b)은 제1 부화소 전극(82b_1) 및 제2 부화소 전극(82b_2)을 가로질러 게이트 선(22b)과 실질적으로 평행하게 형성된다. 디커플링 선(24b)은 제1 디커플링 전극(25b_1) 및 제2 디커플링 전극(25b_2)에 디커플링 전압을 전달한다. 한편, 디커플링 선(24b)은 불량 화소 전극을 리페어링(repairing)하는데 사용될 수 있

다. 예를 들어, 특정한 제1 부화소 전극(82b_1)에 불량이 발생한 경우, 레이저 용접(welding)을 통해, 제1 부화소 전극(82b_1)과 디커플링 선(24b)을 단락(short)시키면, 오프 화소로 전환시킬 수 있다. 이와 같은 디커플링 선(24b)은 게이트 배선(22, 26)과 동일한 층에 함께 형성될 수 있으며, 5 μm 이상이고 15 μm 이하의 폭으로 형성할 수 있다. 디커플링으로 인한 커패시턴스는 액정 커패시턴스의 5% 이상이고 20% 이하로 형성할 수 있다. 즉, 디커플링 선(24b)과 제1 부화소 전극(82b_1) 또는 제2 부화소 전극(82b_2)이 중첩되어 생성되는 커패시터는 실질적으로 스토리지 커패시터의 역할을 할 수 없을 정도로 커패시턴스를 줄일 수 있다. 이와 같은 디커플링 선(24b)은 제1 디커플링 전극(25b_1) 및 제2 디커플링 전극(25b_2)에 전압을 인가하는 배선의 역할을 할 수 있을 정도로 형성되며, 바람직하게는 디커플링 선(24b)에 의한 커패시턴스는 액정 커패시턴스의 10% 이하로 형성하는 것이 좋다.

[0077] 제1 데이터 선(62b_1) 및 제2 데이터 선(62b_2)은 게이트 배선(22, 26)과 교차하여 형성된다. 제1 데이터 선(62b_1)은 제1 부화소 전극(82b_1)에 제1 데이터 전압을 전달하고, 제2 데이터 선(62b_2)은 제2 부화소 전극(82b_2)에 제2 데이터 전압을 전달한다.

[0078] 제1 부화소 전극(82b_1)은 스위칭 소자를 매개로, 게이트 선(22b)과 제1 데이터 선(62b_1)과 연결되어, 게이트 신호 및 제1 데이터 전압을 인가 받는다. 제2 부화소 전극(82b_2)은 스위칭 소자를 매개로, 게이트 선(22b)과 제2 데이터 선(62b_2)과 연결되어, 게이트 신호 및 제2 데이터 전압을 인가 받는다. 여기서, 제1 데이터 전압은 공통 전압과 비교하여 상대적으로 높은 크기를 가지고, 제2 데이터 전압은 공통 전압과 비교하여 상대적으로 낮은 크기를 가질 수 있다.

[0079] 제1 부화소 전극(82b_1)에는 상대적으로 높은 데이터 전압이 인가되고, 제2 부화소 전극(82b_2)에는 상대적으로 낮은 데이터 전압이 인가된다. 낮은 계조에서, 상대적으로 낮은 데이터 전압이 인가되는 제2 부화소 전극(82b_2) 위에 배치된 액정 분자는 그 방향자가 하부 표시판에 대하여 수직을 이루도록 배향된다. 따라서, 백라이트(미도시)로부터 방출된 빛은 제2 부화소 전극(82b_2)을 통과하지 못하고 차폐된다.

[0080] 그러므로, 제2 부화소 전극(82b_2)을 제1 및 제2 데이터 선(62a, 62b)과 중첩시켜 배치하면, 낮은 계조에서, 제2 부화소 전극(82b_2)이 제1 데이터 선(62b_1) 및 제2 데이터 선(62b_2) 주변에서 발생하는 빛을 차폐시키므로, 빛샘 현상을 방지할 수 있다.

[0081] 제1 디커플링 전극(25b_1) 및 제2 디커플링 전극(25b_2)은 디커플링 선(24b)과 연결되어 디커플링 전압을 인가 받는다. 제1 디커플링 전극(25b_1) 및 제2 디커플링 전극(25b_2)은 제1 부화소 전극(82b_1)과 데이터 선(62b_1, 62b_2) 사이의 커플링을 방지하는 역할을 하는 것으로서, 제1 부화소 전극(82b_1)과 데이터 선(62b_1, 62b_2) 사이에 데이터 선(62b_1, 62b_2)과 나란히 배치된다. 이와 같은 제1 디커플링 전극(25b_1) 및 제2 디커플링 전극(25b_2)은 화소 전극(82b_1, 82b_2) 및 데이터 선(62b_1, 62b_2) 사이의 빛이 새는 것을 방지하는 역할을 함께 할 수 있으며, 경우에 따라서는 제1 부화소 전극(82b_1), 제2 부화소 전극(82b_2), 제1 데이터 선(62b_1) 또는 제2 데이터 선(62b_2)과 일부가 중첩될 수 있다. 제1 디커플링 전극(b) 및 제2 디커플링 전극(29c)은 제1 부화소 전극(82b_1)과 제1 데이터 선(62b_1)의 커플링 커패시턴스와 제1 부화소 전극(82b_1)과 제2 데이터 선(62b_2)의 커플링 커패시턴스의 차이를 줄일 수 있다.

[0082] 이하 도 11을 참조하여 본 발명의 제6 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다. 도 11 본 발명의 제6 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다. 설명의 편의상 상기 제5 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 동일 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

[0083] 본 발명의 제6 실시예에 따른 액정 표시 장치는 제1 부화소 전극(82b_1)과 제1 부화소 전극(82b_1) 사이의 절개 패턴(84b)과 중첩되어 형성되는 디커플링 전극(25d)을 포함한다. 제1 부화소 전극(82b_1)은 제2 부화소 전극(82b_2)에 둘러싸여 형성되며, 절개 패턴(84b)에 의해 서로 이격되어 형성된다. 절개 패턴(84b)은 게이트선(22b)을 기준으로 약 $-45^\circ \sim +45^\circ$ 로 형성될 수 있으며, 디커플링 전극(24d)은 절개 패턴(84b)과 중첩되어 게이트선(22d)을 기준으로 약 $-45^\circ \sim +45^\circ$ 로 형성될 수 있다. 이와 같은 디커플링 전극(25d)은 디커플링 선(24d)에 의하여 인접한 화소의 디커플링 전극(25d)과 연결된다.

[0084] 화소의 전체적인 개구율을 높이기 위하여 디커플링 선(25d)은 게이트선(22b)과 나란히 제2 부화소 전극(82b_2)의 중심부를 지나가게 형성할 수 있으며, 제1 부화소 전극(82b_1)과는 중첩되지 않도록 형성될 수 있다. 즉, 사다리꼴 또는 옆으로 누운 'V'자 형상의 내부가 빈 고리 형태가 나란히 연결된 형태로 형성될 수 있다. 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로

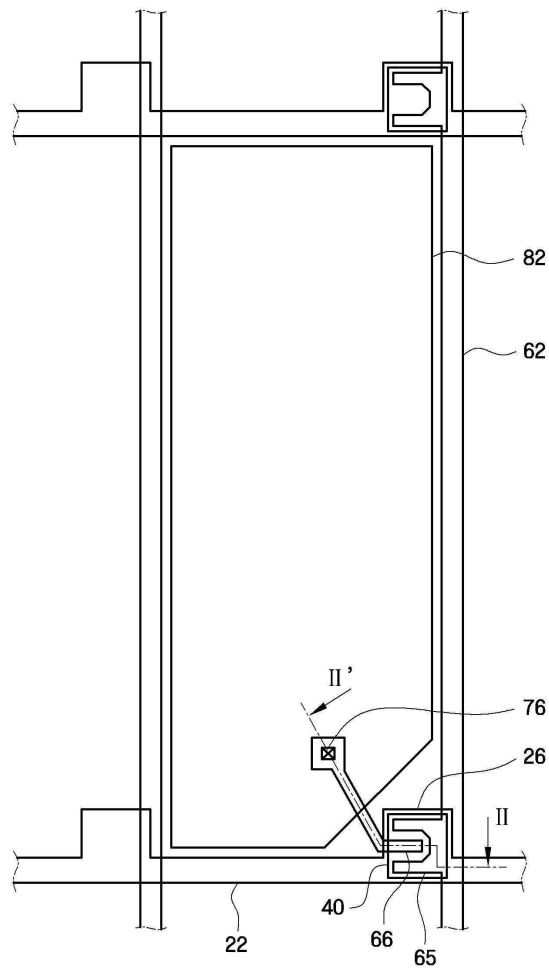
실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

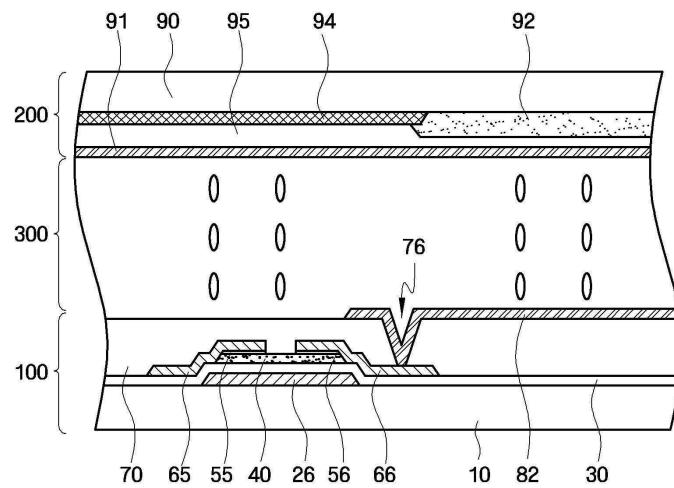
- [0085]도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 배치도이다.
- [0086]도 2는 도 1의 액정 표시 장치를 II-II' 선으로 절단한 단면도이다.
- [0087]도 3은 본 발명의 제2 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0088]도 4는 본 발명의 제2 실시예에 따른 액정 표시 장치에 포함되는 상부 표시판의 배치도이다.
- [0089]도 5는 본 발명의 제2 실시예에 따른 액정 표시 장치의 배치도이다.
- [0090]도 6은 도 5의 액정 표시 장치를 VI-VI' 선으로 절단한 단면도이다.
- [0091]도 7은 도 5의 액정 표시 장치의 한 화소의 등가 회로도이다.
- [0092]도 8은 본 발명의 제3 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0093]도 9는 본 발명의 제4 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0094]도 10은 본 발명의 제5 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0095]도 11은 본 발명의 제6 실시예에 따른 액정 표시 장치에 포함되는 하부 표시판의 배치도이다.
- [0096]<도면의 주요부분에 대한 부호의 설명>
- [0097]10: 제1 절연 기판22: 게이트 선
- [0098]26: 게이트 전극28a: 제어선
- [0099]29: 제2 제어 전극30: 게이트 절연막
- [0100]40: 반도체층62, 62a: 데이터 전극
- [0101]62b_1: 제1 데이터 선62b_2: 제2 데이터 선
- [0102]65: 소스 전극65a_1: 제1 소스 전극
- [0103]65a_2: 제2 소스 전극66: 드레인 전극
- [0104]66a_1: 제1 드레인 전극66a_2: 제2 드레인 전극
- [0105]70, 70a: 보호막76: 콘택홀
- [0106]82: 화소 전극82a_1: 제1 부화소 전극
- [0107]82a_2: 제2 부화소 전극83a: 제1 제어 전극
- [0108]90, 90a: 제2 절연 기판91, 91a: 공통 전극
- [0109]92: 컬러 필터94: 블랙 매트릭스
- [0110]95, 95a: 오버코트층100, 100a: 하부 표시판
- [0111]200, 200a: 상부 표시판300, 300a: 액정층

도면

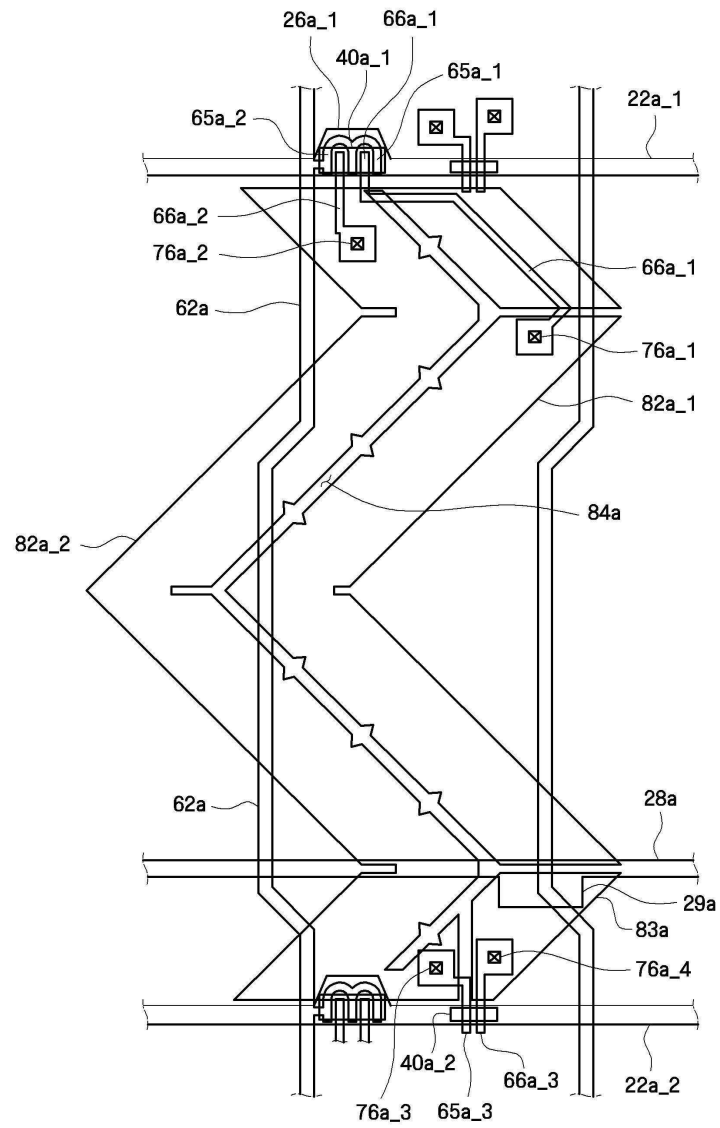
도면1



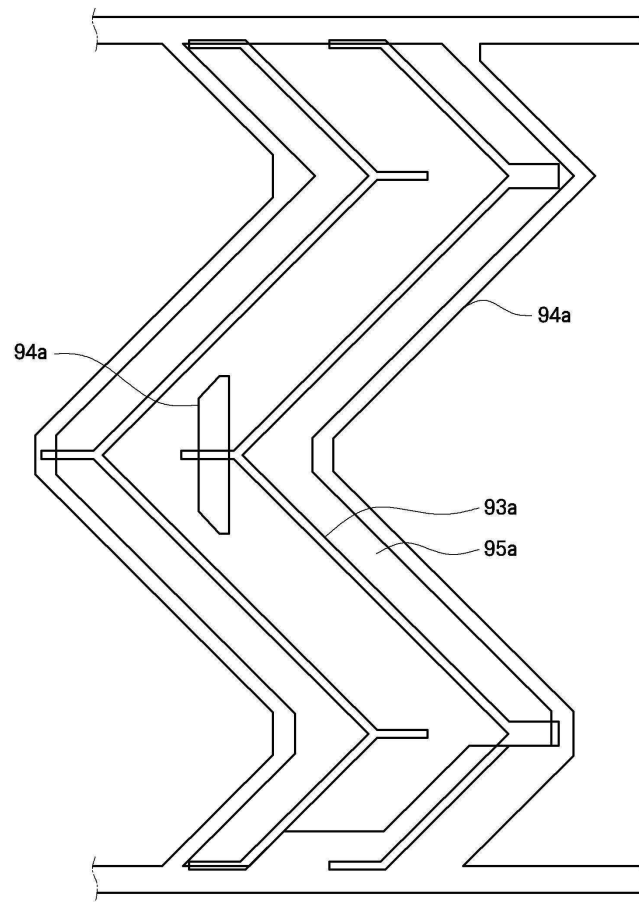
도면2



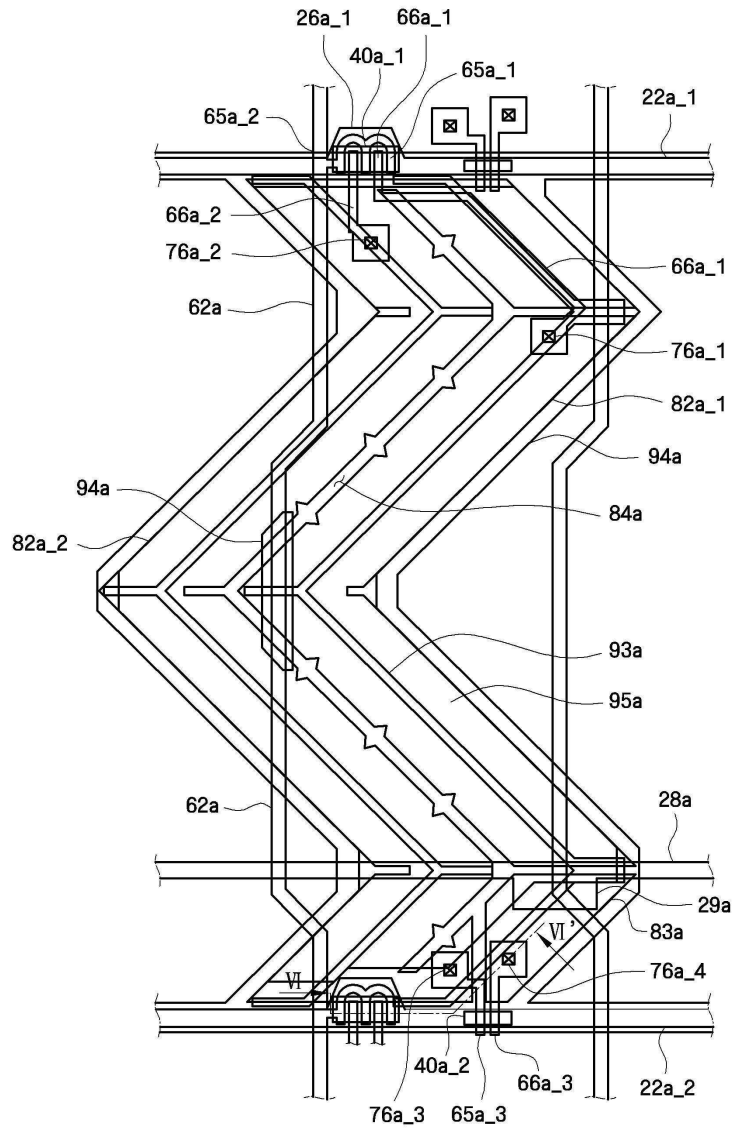
도면3



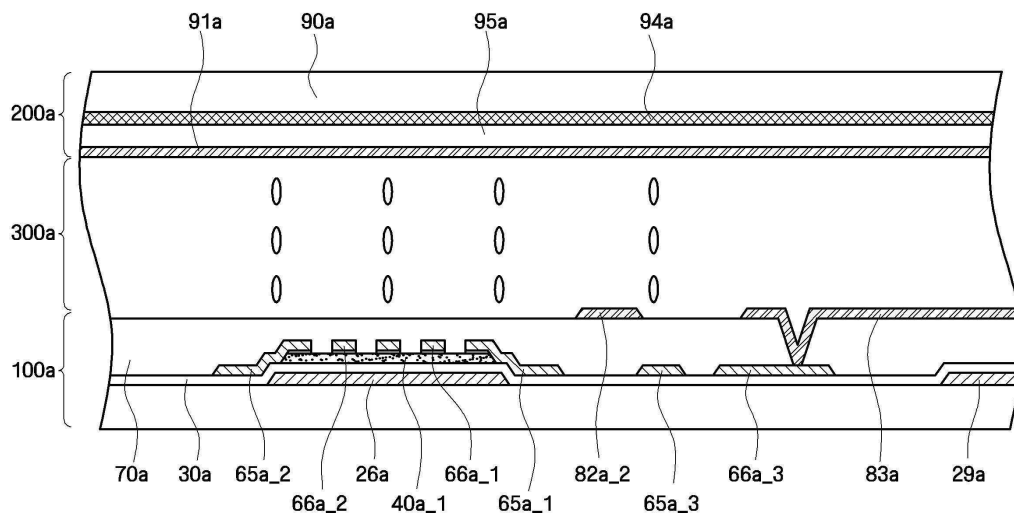
도면4



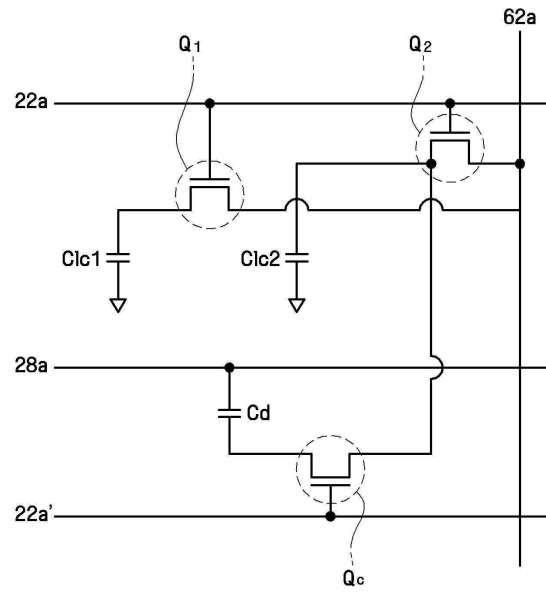
도면5



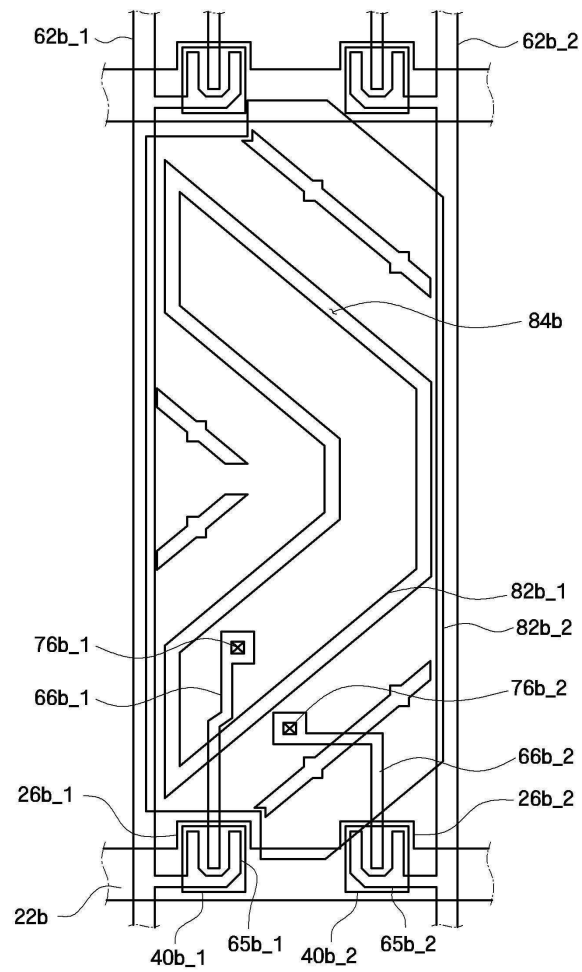
도면6



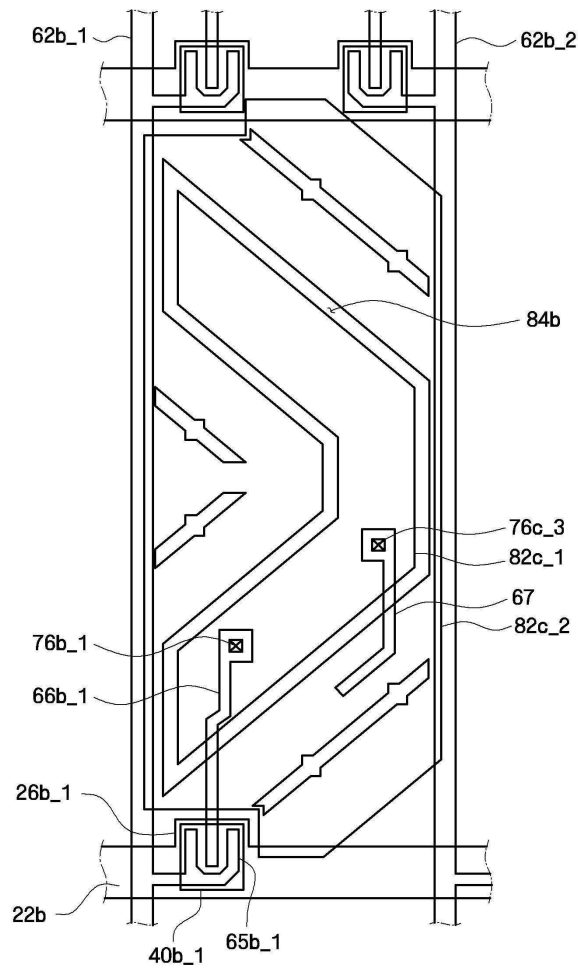
도면7



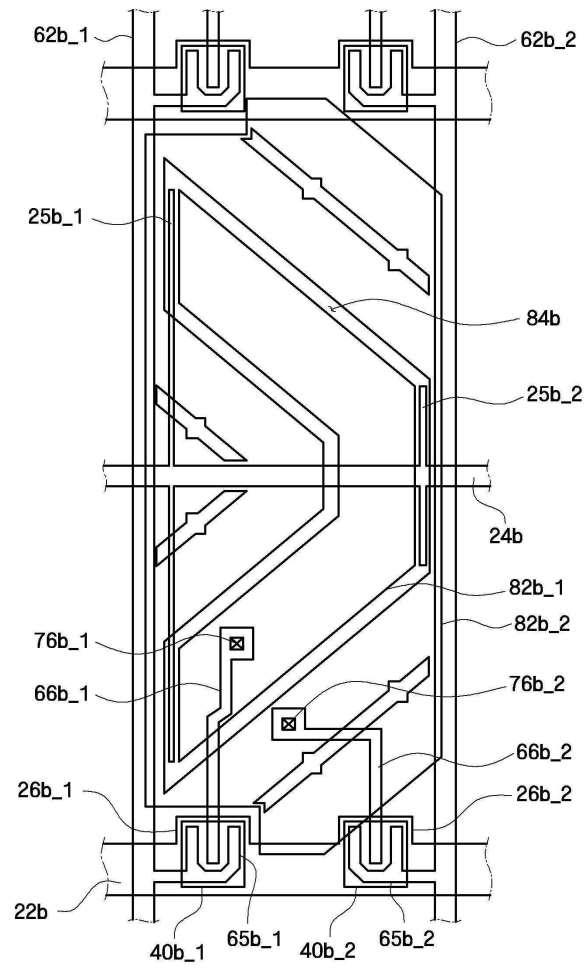
도면8



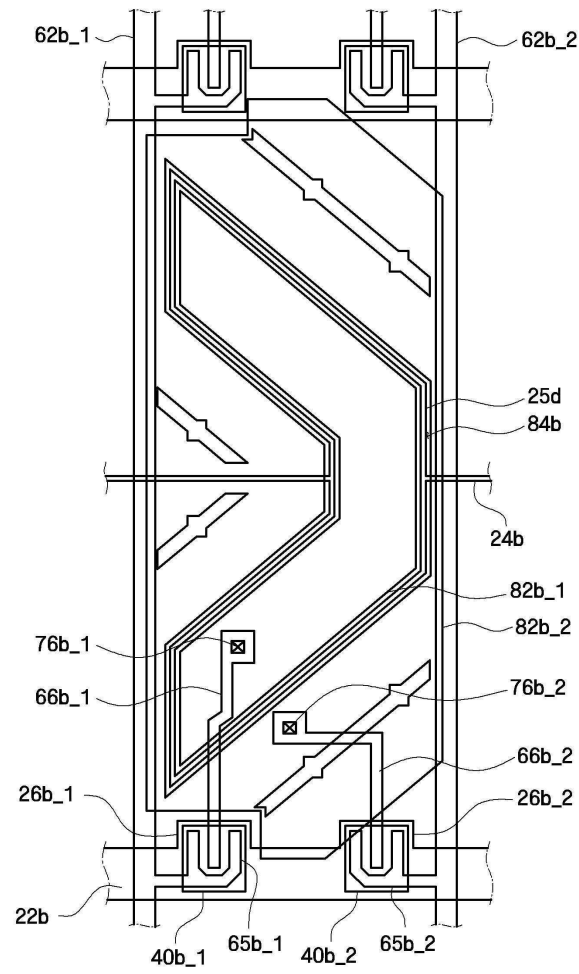
도면9



도면10



도면11



专利名称(译)	标题：液晶显示装置及其液晶组合物		
公开(公告)号	KR101443856B1	公开(公告)日	2014-09-25
申请号	KR1020080006346	申请日	2008-01-21
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM DONG GYU 김동규 SHIN KYOUNG JU 신경주 SON JONG HO 손정호 YUN YONG KUK 윤용국 LEE JUN PYO 이준표 BAEK SEUNG SOO 백승수		
发明人	김동규 신경주 손정호 윤용국 이준표 백승수		
IPC分类号	G02F1/1343 G02F1/13		
CPC分类号	C09K19/02 G02F1/133707 G02F2201/40 G09G3/3607 C09K2019/0444 G02F1/136286 G02F1/137 G09G3/3659 G09G2300/0426 G02F2001/136218 G02F2001/13712 G02F1/136209		
其他公开文献	KR1020090080420A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶组合物和包含该液晶组合物的液晶显示器 (LCD)。LCD包括第一显示面板，面对第一显示面板的第二显示面板，以及设置在第一显示面板和第二显示面板之间的液晶组合物。如果将平行于液晶长轴的方向上的介电常数定义为水平介电常数 $E_{||}$ ，则垂直于液晶长轴的方向上的介电常数被定义为垂直介电常数 $E_{\perp}$ 。并且垂直介电常数 $E_{\perp}$ 和水平介电常数 $E_{||}$ 之间的差被定义为介电各向异性 ΔE ，然后是介电各向异性 ΔE 与液晶组合物的垂直介电常数 $E_{\perp}$ 的比值 $\Delta E/E_{\perp}$ 。是0.5或更小。

