



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월23일
(11) 등록번호 10-1289041
(24) 등록일자 2013년07월17일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2010-0026909

(22) 출원일자 2010년03월25일

심사청구일자 2011년11월04일

(65) 공개번호 10-2011-0107654

(43) 공개일자 2011년10월04일

(56) 선행기술조사문헌

JP06230426 A

KR1020040043484 A

KR100876404 B1

KR1020040017427 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

양준영

경기도 부천시 원미구 상동로 57, 2407동 1303호
(상동, 행복한마을)

이정일

경기도 고양시 일산서구 원일로21번길 22, 일신건
영휴면빌 101동 1503호 (일산동)

이원호

경기도 파주시 금촌2동 풍림아이원 아파트 105동
2002호

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 10 항

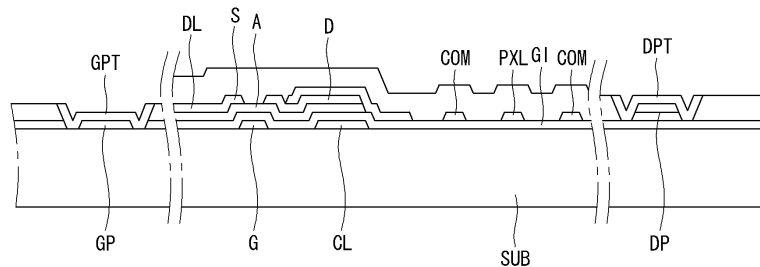
심사관 : 이준석

(54) 발명의 명칭 고투과 수평 전계형 액정표시장치 및 그 제조 방법

(57) 요약

본 발명은 광 투과율이 높은 수평 전계형 액정표시장치 및 그 제조 방법에 관한 것이다. 본 발명에 의한 고투과 수평 전계형 액정표시장치는 기판; 상기 기판 위에서 게이트 절연막을 사이에 두고 서로 직교하며 화소 영역을 정의하는 게이트 배선 및 데이터 배선; 상기 게이트 배선과 상기 데이터 배선이 교차하는 부분에 형성된 박막트랜지스터; 상기 박막트랜지스터와 접촉하며 상기 게이트 절연막 위에 형성된 화소전극, 및 상기 화소전극과 일정 간격을 두고 평행하게 배열된 공통전극; 그리고 상기 화소전극과 공통전극을 포함하는 상기 기판 전체를 덮는 보호막을 포함한다. 본 발명은 화소 영역에서 화소전극 및 공통전극 상부 표면에 위치하는 액정분자들을 포함한 거의 모든 액정분자들을 구동함으로써, 광 투과율과 개구율이 향상된 수평 전계형 액정표시장치를 제공한다.

대표도 - 도7e



특허청구의 범위

청구항 1

기관;

상기 기관 위에서 게이트 절연막을 사이에 두고 서로 직교하며 화소 영역을 정의하는 게이트 배선 및 데이터 배선;

상기 게이트 배선과 상기 데이터 배선이 교차하는 부분에 형성된 박막트랜지스터;

상기 박막트랜지스터와 접촉하며 상기 게이트 절연막 위에 일정 폭을 갖고 형성된 화소전극, 및 상기 화소전극과 상기 화소전극의 일정 폭의 0.5~1.5배에 상응하는 일정간격을 두고 평행하게 배열된 상기 화소전극의 일정 폭과 동일한 폭을 갖는 공통전극; 그리고

상기 화소전극과 공통전극을 포함하는 상기 기관 전체를 덮는 보호막을 포함하여, 상기 화소전극 및 상기 공통전극 자체의 상부 영역과 상기 화소전극 및 상기 공통전극 사이의 영역 모두에 수평 전계를 형성하는 것을 특징으로 하는 수평 전계형 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 게이트 배선의 일측단부에 형성된 게이트 패드;

상기 데이터 배선의 일측단부에 형성된 데이터 패드;

상기 보호막을 관통하여 상기 데이터 패드의 일부를 노출하는 데이터 패드 콘택홀;

상기 보호막 및 상기 게이트 절연막을 관통하여 상기 게이트 패드의 일부를 노출하는 게이트 패드 콘택홀; 그리고

상기 데이터 패드 콘택홀 내부에 형성되며 상기 데이터 패드와 접촉하는 데이터 패드 단자, 및 상기 게이트 패드 콘택홀 내부에 형성되며 상기 게이트 패드와 접촉하는 게이트 패드 단자를 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 게이트 배선과 동일한 평면상에서 평행하게 배열된 공통 배선;

상기 보호막을 관통하여 상기 공통전극의 일부 및 상기 보호막 및 상기 게이트 절연막을 관통하여 상기 공통배선의 일부를 노출하는 공통 콘택홀; 그리고

상기 공통 콘택홀 내부에 형성되며, 상기 공통 전극과 상기 공통 배선을 연결하는 공통전극 연결단자를 더 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치.

청구항 5

청구항 5은(는) 설정등록료 납부시 포기되었습니다.

제 1 항에 있어서, 상기 박막트랜지스터는,

상기 게이트 배선에서 분기된 게이트 전극;

상기 게이트 배선 및 상기 게이트 전극을 덮는 상기 게이트 절연막 위에서 상기 게이트 전극과 중첩되는 반도체 층;

상기 게이트 절연막 위에 형성되며, 상기 데이터 배선에서 분기하여 상기 반도체 층의 일측면과 접촉하는 소스 전극; 그리고

상기 반도체 층의 타측면과 접촉하며 상기 소스 전극과 대향하는 드레인 전극을 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치.

청구항 6

기판 위에 게이트 금속을 증착하고 패터닝하여 게이트 요소를 형성하는 제1 마스크 공정;

상기 게이트 요소위에 게이트 절연막, 반도체 물질 및 소스-드레인 금속을 연속으로 도포하고, 상기 반도체 물질 및 소스-드레인 금속을 패터닝하여 소스-드레인 요소를 형성함으로써 박막트랜지스터를 완성하는 제2 마스크 공정;

상기 박막트랜지스터와 상기 게이트 절연막 위에 투명 도전물질을 증착하고 패터닝하여 상기 박막트랜지스터의 일부와 연결된 화소전극, 및 상기 화소전극과 일정간격 떨어져 평행하게 배열된 공통전극을 형성하는 제3 마스크 공정; 그리고,

상기 화소전극 및 상기 공통전극이 형성된 상기 기판 전면을 덮는 보호막을 도포하고 패터닝하여 게이트 요소의 일부를 노출하는 게이트 콘택홀 및 소스-드레인 요소의 일부를 노출하는 데이터 콘택홀을 형성한 후, 상기 게이트 콘택홀 및 상기 데이터 콘택홀 내부를 채우는 게이트 단자 및 데이터 단자를 형성하는 제4 마스크 공정을 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 7

제 6 항에 있어서, 상기 제4 마스크 공정은,

상기 보호막 위에 포토레지스트를 도포하고 패터닝하는 단계;

상기 패터닝된 포토레지스트를 이용하여 상기 게이트 콘택홀 및 상기 데이터 콘택홀을 형성하는 단계;

상기 패터닝된 포토레지스트와 상기 게이트 콘택홀 및 상기 데이터 콘택홀을 포함하는 상기 기판 전면 위에 도전물질을 증착하는 단계; 그리고

상기 패터닝된 포토레지스트를 제거하여 상기 포토레지스트 위에 증착된 도전물질은 제거하고, 상기 게이트 콘택홀 및 상기 데이터 콘택홀 내부를 채우는 도전물질을 남겨둌으로써 상기 게이트 단자 및 상기 데이터 단자를 형성하는 단계를 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 8

제 6 항에 있어서, 상기 제1 마스크 공정의 상기 게이트 요소는,

게이트 배선;

상기 게이트 배선에서 분기된 게이트 전극;

상기 게이트 배선의 일측단부에 형성된 게이트 패드; 그리고

상기 게이트 배선과 나란하게 배열된 공통배선을 포함하며;

상기 제4 마스크 공정의 상기 게이트 콘택홀은,

상기 게이트 절연막 및 상기 보호막을 관통하여 상기 게이트 패드 일부를 노출하는 게이트 패드 콘택홀; 그리고
상기 게이트 절연막 및 상기 보호막을 관통하여 상기 공통배선 일부를 노출하고 상기 보호막을 관통하여 상기
공통 전극 일부를 노출하는 공통 콘택홀을 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 9

제 8 항에 있어서, 상기 제4 마스크 공정의 상기 게이트 단자는,
상기 게이트 패드 콘택홀 내부를 채우며 상기 게이트 패드와 접촉하는 게이트 패드 단자; 그리고
상기 공통 콘택홀 내부를 채우며 상기 공통배선 일부와 상기 공통전극 일부를 연결하는 공통전극 연결단자를 포
함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 10

제 6 항에 있어서, 상기 제2 마스크 공정의 상기 소스-드레인 요소는,
상기 게이트 절연막을 사이에 두고 상기 게이트 배선과 직교하는 데이터 배선;
상기 데이터 배선의 일측단부에 형성된 데이터 패드;
상기 데이터 배선에서 분기하며 상기 게이트 전극의 일측부와 중첩하는 소스 전극; 그리고
상기 소스 전극과 대향하며, 상기 게이트 전극의 타측부와 중첩하는 드레인 전극을 포함하며;
상기 박막트랜지스터는 상기 게이트 절연막 위에서 상기 게이트 전극과 중첩하며, 소스 전극과 상기 드레인 전
극 하부를 연결하는 반도체 층을 포함하고; 그리고
상기 제4 마스크 공정의 상기 데이터 콘택홀은, 상기 보호막을 관통하여 상기 데이터 패드 일부를 노출하는 데
이터 패드 콘택홀을 포함하는 것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 11

제 10 항에 있어서,
상기 제4 마스크 공정의 상기 데이터 단자는,
상기 데이터 패드 콘택홀 내부를 채우며 상기 데이터 패드와 접촉하는 데이터 패드 단자를 포함하는 것을 특
징으로 하는 수평 전계형 액정표시장치 제조 방법.

청구항 12

제 6 항에 있어서,
상기 화소전극과 상기 공통전극 사이의 상기 일정간격은, 상기 화소전극 및 상기 공통전극의 폭의 0.5~1.5배인
것을 특징으로 하는 수평 전계형 액정표시장치 제조 방법.

명세서

기술분야

본 발명은 광 투과율이 높은 수평 전계형 액정표시장치 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 동일
평면상에 놓인 화소전극과 공통전극 상부에도 수평 전계를 형성하는 수평 전계형 액정표시장치 및 그 제조 방법
에 관한 것이다.

[0001]

배 경 기 술

- [0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 평판 표시장치에는 액정 표시장치(Liquid Crystal Display: LCD), 전계 방출 표시장치(Field Emission Display: FED), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 및 전계발광소자(Electroluminescence Device) 등이 있다.
- [0003] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.
- [0004] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- [0005] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위칭(In Plane Switching ; IPS) 모드의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다. 이하, 수평 전계형 액정 표시 장치에 대하여 상세히 살펴보기로 한다. 도 1은 종래 수평 전계형 액정표시패널의 구조를 나타내는 평면도이다. 도 2a 내지 2d는 도 1에서 절취선 I-I'으로 자른 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기관 구조를 나타내는 단면도들로서 종래 수평 전계형 액정표시패널을 제조하는 공정을 나타낸다.
- [0006] 도 1 및 2a 내지 2d를 참조하면, 액정표시패널은 박막트랜지스터가 형성된 박막트랜지스터 어레이 기관을 포함한다. 도면에 도시하지 않았으나, 액정표시패널은 박막트랜지스터 어레이 기관과 대향하는, 칼라필터 및 블랙 매트릭스가 형성된 칼라필터 기관과, 그 사이에 개재된 액정층을 더 포함한다.
- [0007] 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기관은 하부 기관(SUB) 상에 교차되게 형성된 게이트 라인(GL) 및 데이터 라인(DL)과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXL) 및 공통 전극(COM)과, 공통 전극(COM)과 접속된 공통 라인(CL)을 구비한다.
- [0008] 박막트랜지스터(TFT)는 게이트 라인(GL)에서 분기된 게이트 전극(G)과, 게이트 전극(G)을 덮는 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하도록 형성된 반도체 층(A)과, 데이터 라인(DL)에서 분기되며 반도체 층(A)의 일측단과 접촉하는 소스 전극(S)과, 소스 전극(S)과 대향하며 반도체 층(A)의 타측단과 접촉하는 드레인 전극(D)을 포함한다. 그리고, 박막트랜지스터(TFT) 위에는 보호막(PASSI)이 형성되어 박막트랜지스터(TFT)를 보호한다. 보호막(PASSI) 위에는 화소전극(PXL)이 형성된다.
- [0009] 게이트라인(GL)은 박막트랜지스터(TFT)의 게이트전극(G)에 게이트신호를 공급한다. 데이터라인(DL)은 박막트랜지스터(TFT)의 드레인전극(D)을 통해 화소전극(PXL)에 화소신호를 공급한다. 게이트라인(GL)과 데이터라인(DL)은 교차구조로 형성되어 화소영역을 정의한다. 공통라인(CL)은 화소영역을 사이에 두고 게이트라인(GL)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(PXL)에 공급한다.
- [0010] 박막트랜지스터(TFT)는 게이트 라인(GL)의 게이트 신호에 응답하여 데이터 라인(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지되게 한다. 화소 전극(PXL)은 보호막(PASSI)에 형성된 콘택홀(CHD)을 통해 노출된 박막 트랜지스터(TFT)의 드레인 전극(D)과 접속되어 화소 영역에 형성된다. 공통 전극(COM)은 공통 라인(CL)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXL)과 공통전극(COM)은 화소 영역 내에서, 서로 평행하도록 배치된다. 이를 위해, 공통전극(COM)은 화소 영역 내에서 수직 방향으로 일정 간격 떨어져 배열된 다수의 막대 모양을 구비하며, 화소전극(PXL)은 공통전극(COM)들 사이에서 배치되는 막대 모양을 다수 개 구비한다.
- [0011] 이에 따라, 박막트랜지스터(TFT)를 통해 화소 신호가 공급된 화소 전극(PXL)과 공통 라인(CL)을 통해 기준 전압이 공급된 공통 전극(COM) 사이에 수평 전계가 형성된다.
- [0012] 이러한 수평 전계에 의해, 박막 트랜지스터 어레이 기관과 칼라필터 기관 사이에 개재된 액정층의 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달

라지게 됨으로써 화상을 구현하게 된다.

- [0013] 다시, 도 1 및 도 2a 내지 2d를 참조하여, 종래 기술에 의한 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기판을 제조하는 공정을 설명한다. 이 제조 공정은 현재 가장 안정된 공정율을 보이는 4 마스크 공정이다.
- [0014] 기판(SUB) 위에 게이트 금속을 증착한다. 제1 마스크 공정으로, 게이트 금속을 패터하여 게이트 물질들을 형성한다. 게이트 물질들에는 게이트 배선(GL), 게이트 배선(GL)에서 분기하는 게이트 전극(G), 게이트 배선(GL)의 일측 단부에 형성된 게이트 패드(GP), 그리고 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)들을 포함한다. (도 2a)
- [0015] 게이트 물질들이 형성된 기판(SUB) 위에 게이트 절연막(GI)을 전면 도포한다. 이어서, 반도체 물질과 소스-드레인 금속을 연속으로 증착한다. 제2 마스크 공정으로, 반도체 물질 및 소스-드레인 금속을 패터하여, 소스-드레인 물질을 형성한다. 소스-드레인 물질에는 게이트 배선(GL)과 수직으로 교차하는 데이터 배선(DL), 데이터 배선(DL)의 일측 단부에 형성된 데이터 패드(DP), 데이터 배선(DL)에서 분기하고 게이트 전극(G)의 일측면과 중첩하는 소스 전극(S), 그리고 게이트 전극(G)의 타측면과 중첩하고 소스 전극(S)과 대향하는 드레인 전극(D)을 포함한다. 특히, 소스 전극(S)과 드레인 전극(D)은 물리적으로 서로 분리되어 있으나, 그 하부에서 게이트 절연막(GI)를 사이에 두고 게이트 전극(G)과 중첩하는 반도체 층(A)을 통해 연결된 구조를 갖는다. 소스 전극(S)과 드레인 전극(D) 사이의 소스-드레인 금속을 제거하되, 그 하부의 반도체 물질은 남겨두어야 하므로, 하프-톤 마스크를 사용한다. 즉, 소스-드레인 물질의 하부에는 반도체 물질이 그대로 남아 있는데, 이는 특별한 기능을 하지는 않는다. 다만, 소스 전극(S)과 드레인 전극(D) 사이의 반도체 물질만 반도체 층(A)으로 기능을 한다. 또한, 드레인 전극(D)는 도 1에서와 같이 공통 배선(CL)과 중첩하도록 형성할 수 있다. 이 경우, 드레인 전극(D)과 공통 배선(CL)이 중첩한 부분은 보조 용량(Cst) 기능을 한다. (도 2b)
- [0016] 소스-드레인 물질이 형성된 기판(SUB) 전면에 보호막(PASSI)을 전면 도포한다. 제3 마스크 공정으로 보호막(PASSI)을 패터하여, 드레인 전극(D) 일부를 노출하는 드레인 콘택홀(CHD) 및 데이터 패드(DP) 일부를 노출하는 데이터 패드 콘택홀(CHDP)를 형성한다. 이와 동시에 보호막(PASSI) 및 게이트 절연막(GI)을 패터하여, 게이트 패드(GP)의 일부를 노출하는 게이트 패드 콘택홀(CHGP)을 형성한다. 또한, 단면도로 도시하지는 않았으나, 공통 배선(CL)의 일부를 노출하는 공통 배선 콘택홀(CHCOM)을 더 형성한다. (도 2c)
- [0017] 콘택홀들(CHGP, CHD, CHDP)이 형성된 보호막(PASSI) 위에, ITO와 같은 투명 도전물질을 증착한다. 제4 마스크 공정으로 투명 도전물질을 패터하여, 화소 영역 내에는 화소전극(PXL) 및 공통 전극(COM)을 형성한다. 이와 동시에, 게이트 패드 콘택홀(CHGP)을 통해 게이트 패드(GP)와 접촉하는 게이트 패드 단자(GPT)와 데이터 패드 콘택홀(CHDP)을 통해 데이터 패드(DP)와 접촉하는 데이터 패드 단자(DPT)를 형성한다. 화소전극(PXL)은 드레인 콘택홀(CHD)를 통해 드레인 전극(D)과 접촉한다. 공통 전극(COM)은 공통 배선 콘택홀(CHCOM)을 통해 공통 배선(COM)과 접촉한다. 화소전극(PXL)과 공통전극(COM)은 일정 간격을 두고 서로 평행하게 배치된다. (도 2d)
- [0018] 도면으로 도시하지 않았으나, 화소전극(PXL)과 공통전극(COM)이 형성된 박막트랜지스터 어레이 기판은 배향막 공정 챔버로 이송하여, 배향막을 도포한다. 그 후, 액정층을 도포하고, 칼라필터 기판과 합착하여 액정표시패널을 완성한다.
- [0019] 상기 설명한 바와 같은 수평 전계형 액정표시장치에서 액정층을 구동하는 수평 전계 형성에 대하여 상세히 살펴보면 다음과 같다. 도 3은 도 1a의 절취선 II-II'으로 자른 단면으로, 수평 전계형 액정표시장치의 화소전극(PXL)과 공통전극(PXL) 사이에서 형성되는 수평 전계 및 액정분자의 구동상태를 나타내는 개략도이다.
- [0020] 도 2를 참조하면, 화소전극(PXL)과 공통전극(COM)이 동일 평면상에서 수평 방향으로 나란하게 형성되어 있다. 화소전극(PXL)과 공통전극(COM) 사이에 직류 전압차이가 발생하면, 도 2의 가는 실선과 같이 전기장이 형성된다. 앞에서 설명했듯이, 화소전극(PXL)과 공통전극(COM)은 막대모양을 갖는다. 그리고, 화소전극(PXL)과 공통전극(COM)은 일정 간격으로 배치되어 있다.
- [0021] 현재 주력으로 생산하고 있는 수평 전계방식의 액정표시장치는, 도 2에 도시한 바와 같이, 화소전극(PXL)과 공통전극(COM)은 대략 $4\mu\text{m}$ 정도의 선폭을 갖는 막대 형상을 갖는다. 그리고, 화소전극(PXL)과 공통전극(COM)은 선폭의 2.5~3배에 해당하는 $10\sim 12\mu\text{m}$ 정도의 간격을 갖도록 배열된다. 그리고, 화소전극(PXL)과 공통전극(COM) 위에는 액정층을 구성하는 액정 분자(LCM)들의 초기 배향 상태를 결정하는 배향막(ALG)이 형성되어 있다.

- [0022] 화소전극(PXL)과 공통전극(COM) 사이에 전계가 형성되면, 액정 분자(LCM)들은 전계의 영향으로 재 정렬한다. 이와 같은 상태에서, 화소전극(PXL)과 공통전극(COM) 사이에 전계가 인가될 경우, 수평 전계는 화소전극(PXL)과 공통전극(COM)의 서로 가장 인접한 측면 사이에서 형성된다. 반면에, 화소전극(PXL)과 공통전극(COM) 바로 윗면에서는 수평 전계가 형성되지 않고, 거의 수직 방향으로만 약한 전계가 발생한다.
- [0023] 이 때, 도 2에서와 같이 화소전극(PXL)과 공통전극(COM) 위에 놓여 있는 액정 분자(LCM)들 대부분은 수평 전계에 의해 재 배열되지 않고, 배향막(ALG)에 의한 초기 배열 상태를 유지하게 된다. 즉, 화소전극(PXL)과 공통전극(COM) 사이의 액정 분자(LCM)들은 수평 전계에 의해 구동되어 표시 기능을 발휘 하지만, 화소전극(PXL)과 공통전극(COM) 바로 위에 놓인 액정 분자(LCM)들은 수평전계에 의해 구동되지 않아 표시 기능을 발휘하지 못한다. 따라서, 화소전극(PXL)과 공통전극(COM)이 차지하는 부분은 비 표시영역(NDA)이 되며, 화소전극(PXL)과 공통전극(COM) 사이 공간만이 표시영역(NA)이 된다.
- [0024] 즉, 수직 전계 방식에서는 화소 영역 모두가 액정표시장치의 개구율을 결정하고, 휘도에 영향을 주지만, 수평 전계 방식에서는 화소 영역 중에서도 화소전극(PXL)과 공통전극(COM)이 차지하는 면적은 개구율 및 휘도에 기여하지 않는 영역이 된다. 이와 같이, 수평 전계형 액정표시장치에서는 화소전극(PXL) 및 공통전극(COM)을 투명 도전물질로 제조하더라도, 개구율 및 휘도를 저해하는 요인이 되고 있다.

발명의 내용

해결하려는 과제

- [0025] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 화소전극과 공통전극 사이에 형성되는 수평 전계에 의해 구동되는 액정 분자들이 비율을 증가시킨 고투과 수평 전계형 액정표시장치 및 그 제조 방법을 제공하는 데 있다. 본 발명의 다른 목적은, 화소전극과 공통전극 상부에 놓인 액정 분자들도 수평 전계에 의해 구동되는 고투과 수평 전계형 액정표시장치 및 그 제조 방법을 제공하는 데 있다. 본 발명의 또 다른 목적은, 동일 평면상에 형성된 화소전극과 공통전극 상부에도 수평 전계를 형성하는 고투과 수평 전계형 액정표시장치 및 그 제조 방법을 제공하는 데 있다.

과제의 해결 수단

- [0026] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 고투과 수평 전계형 액정표시장치는 기판; 상기 기판 위에서 게이트 절연막을 사이에 두고 서로 직교하며 화소 영역을 정의하는 게이트 배선 및 데이터 배선; 상기 게이트 배선과 상기 데이터 배선이 교차하는 부분에 형성된 박막트랜지스터; 상기 박막트랜지스터와 접촉하며 상기 게이트 절연막 위에 형성된 화소전극, 및 상기 화소전극과 일정간격을 두고 평행하게 배열된 공통전극; 그리고 상기 화소전극과 공통전극을 포함하는 상기 기판 전체를 덮는 보호막을 포함한다.
- [0027] 상기 화소전극과 상기 공통전극 사이의 상기 일정간격은, 상기 화소전극 및 상기 공통전극의 폭의 0.5~1.5배인 것을 특징으로 한다.
- [0028] 상기 게이트 배선의 일측단부에 형성된 게이트 패드; 상기 데이터 배선의 일측단부에 형성된 데이터 패드; 상기 보호막을 관통하여 상기 데이터 패드의 일부를 노출하는 데이터 패드 콘택홀; 상기 보호막 및 상기 게이트 절연막을 관통하여 상기 게이트 패드의 일부를 노출하는 게이트 패드 콘택홀; 그리고 상기 데이터 패드 콘택홀 내부에 형성되며 상기 데이터 패드와 접촉하는 데이터 패드 단자, 및 상기 게이트 패드 콘택홀 내부에 형성되며 상기 게이트 패드와 접촉하는 게이트 패드 단자를 포함하는 것을 특징으로 한다.
- [0029] 상기 게이트 배선과 동일한 평면상에서 평행하게 배열된 공통 배선; 상기 보호막을 관통하여 상기 공통전극의 일부 및 상기 보호막 및 상기 게이트 절연막을 관통하여 상기 공통배선의 일부를 노출하는 공통 콘택홀; 그리고 상기 공통 콘택홀 내부에 형성되며, 상기 공통 전극과 상기 공통 배선을 연결하는 공통전극 연결단자를 더 포함하는 것을 특징으로 한다.
- [0030] 상기 박막트랜지스터는, 상기 게이트 배선에서 분기된 게이트 전극; 상기 게이트 배선 및 상기 게이트 전극을 덮는 상기 게이트 절연막 위에서 상기 게이트 전극과 중첩되는 반도체 층; 상기 게이트 절연막 위에 형성되며, 상기 데이터 배선에서 분기하여 상기 반도체 층의 일측면과 접촉하는 소스 전극; 그리고 상기 반도체 층의 타측면과 접촉하며 상기 소스 전극과 대향하는 드레인 전극을 포함하는 것을 특징으로 한다.

- [0031] 또한, 본 발명에 의한 수평 전계형 액정표시장치 제조 방법은, 기판 위에 게이트 금속을 증착하고 패터하여 게이트 요소를 형성하는 제1 마스크 공정; 상기 게이트 물질위에 게이트 절연막, 반도체 물질 및 소스-드레인 금속을 연속으로 도포하고, 상기 반도체 물질 및 소스-드레인 금속을 패터하여 소스-드레인 요소를 형성함으로써 박막트랜지스터를 완성하는 제2 마스크 공정; 상기 박막트랜지스터와 상기 게이트 절연막 위에 투명 도전물질을 증착하고 패터하여 상기 박막트랜지스터의 일부와 연결된 화소전극, 및 상기 화소전극과 일정간격 떨어져 평행하게 배열된 공통전극을 형성하는 제3 마스크 공정; 그리고, 상기 화소전극 및 상기 공통전극이 형성된 상기 기판 전면을 덮는 보호막을 도포하고 패터하여 게이트 요소의 일부를 노출하는 게이트 콘택홀 및 소스-드레인 요소의 일부를 노출하는 데이터 콘택홀을 형성한 후, 상기 게이트 콘택홀 및 상기 데이터 콘택홀 내부를 채우는 게이트 단자 및 데이터 단자를 형성하는 제4 마스크 공정을 포함한다.
- [0032] 상기 제4 마스크 공정은, 상기 보호막 위에 포토레지스트를 도포하고 패터하는 단계; 상기 패터된 포토레지스트를 이용하여 상기 게이트 콘택홀 및 상기 데이터 콘택홀을 형성하는 단계; 상기 패터된 포토레지스트와 상기 게이트 콘택홀 및 상기 데이터 콘택홀을 포함하는 상기 기판 전면 위에 도전물질을 증착하는 단계; 그리고 상기 패터된 포토레지스트를 제거하여 상기 포토레지스트 위에 증착된 도전물질은 제거하고, 상기 게이트 콘택홀 및 상기 데이터 콘택홀 내부를 채우는 도전물질을 남겨둌으로써 상기 게이트 단자 및 상기 데이터 단자를 형성하는 단계를 포함하는 것을 특징으로 한다.
- [0033] 상기 제1 마스크 공정의 상기 게이트 요소는, 게이트 배선; 상기 게이트 배선에서 분기된 게이트 전극; 상기 게이트 배선의 일측단부에 형성된 게이트 패드; 그리고 상기 게이트 배선과 나란하게 배열된 공통배선을 포함하며; 상기 제4 마스크 공정의 상기 게이트 콘택홀은, 상기 게이트 절연막 및 상기 보호막을 관통하여 상기 게이트 패드 일부를 노출하는 게이트 패드 콘택홀; 그리고 상기 게이트 절연막 및 상기 보호막을 관통하여 상기 공통배선 일부를 노출하고 상기 보호막을 관통하여 상기 공통 전극 일부를 노출하는 공통 콘택홀을 포함하는 것을 특징으로 한다.
- [0034] 상기 제4 마스크 공정의 상기 게이트 단자는, 상기 게이트 패드 콘택홀 내부를 채우며 상기 게이트 패드와 접촉하는 게이트 패드 단자; 그리고 상기 공통 콘택홀 내부를 채우며 상기 공통배선 일부와 상기 공통전극 일부를 연결하는 공통전극 연결단자를 포함하는 것을 특징으로 한다.
- [0035] 상기 제2 마스크 공정의 상기 소스-드레인 요소는, 상기 게이트 절연막을 사이에 두고 상기 게이트 배선과 직교하는 데이터 배선; 상기 데이터 배선의 일측단부에 형성된 데이터 패드; 상기 데이터 배선에서 분기하며 상기 게이트 전극의 일측부와 중첩하는 소스 전극; 그리고 상기 소스 전극과 대향하며, 상기 게이트 전극의 타측부와 중첩하는 드레인 전극을 포함하며; 상기 박막트랜지스터는 상기 게이트 절연막 위에서 상기 게이트 전극과 중첩하며, 소스 전극과 상기 드레인 전극 하부를 연결하는 반도체 층을 포함하고; 그리고 상기 제4 마스크 공정의 상기 데이터 콘택홀은, 상기 보호막을 관통하여 상기 데이터 패드 일부를 노출하는 상기 데이터 패드 콘택홀을 포함하는 것을 특징으로 한다.
- [0036] 상기 제4 마스크 공정의 상기 데이터 단자는, 상기 데이터 패드 콘택홀 내부를 채우며 상기 데이터 패드와 접촉하는 데이터 패드 단자를 포함하는 것을 특징으로 한다.

발명의 효과

- [0037] 본 발명에 의한 수평 전계형 액정표시장치는, 화소 영역에서 화소전극 및 공통전극 상부 표면에 위치하는 액정 분자들을 포함한 거의 모든 액정분자들을 구동함으로써, 광 투과율과 개구율이 향상된 결과를 얻을 수 있다. 또한, 광 투과율과 개구율이 향상된 수평 전계 액정패널을 이용하면, 광학 필름을 더욱 단순하게 구성하여 구조가 간단하고 제조 비용이 절감된 액정표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0038] 도 1은 종래 수평 전계형 액정표시패널을 나타내는 평면도.
- 도 2a 내지 2d는 도 1에서 절취선 I-I'으로 자른 도면으로서, 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기판 제조 과정을 나타내는 단면도들.
- 도 3은 도 1a의 절취선 II-II'으로 자른 단면으로, 수평 전계형 액정표시장치의 화소전극과 공통전극 사이에서 형성되는 수평 전계 및 액정분자의 구동상태를 나타내는 개략도.

도 4는 본 발명의 첫 번째 실시 예에 의한 수평 전계형 액정표시장치의 화소전극과 공통전극 사이에서 형성되는 수평 전계 및 액정분자의 구동상태를 나타내는 개략도.

도 5a 내지 5b는 본 발명의 첫 번째 실시 예에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 과정을 나타내는 단면도들.

도 6은 본 발명의 세 번째 실시 예에 의한 수평 전계형 액정표시패널의 구조를 나타내는 평면도.

도 7a 내지 7e는 도 6의 절취선 III-III'으로 자른 도면들로서, 본 발명의 세 번째 실시 예에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 공정을 나타내는 단면도들.

발명을 실시하기 위한 구체적인 내용

- [0039] 이하, 첨부한 도면들, 도 4 내지 도 6e를 참조하여, 본 발명의 바람직한 실시 예들에 대하여 설명한다. 도 4는 본 발명의 첫 번째 실시 예에 의한 수평 전계형 액정표시장치의 화소전극과 공통전극 사이에서 형성되는 수평 전계 및 액정분자의 구동상태를 나타내는 개략도이다. 도 5a 내지 도 5b는 본 발명의 첫 번째 실시 예에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 과정을 나타내는 단면도들이다.
- [0040] 본 발명에서는 화소전극과 공통전극 사이에 형성되는 수평 전계의 전기장 곡선 거의 모든 부분이 수평 전계를 형성하는데 기여하도록 구성한다. 이를 위해, 화소전극(PXL)과 공통전극(COM)의 간격을 종래의 경우보다 더 좁게 배치하는 것을 특징으로 한다. 즉, 본 발명의 첫 번째 실시 예에 의한 박막트랜지스터 어레이 기판을 제조하는 방법은 종래의 방법과 동일하다. 차이가 있다면, 화소전극(PXL)과 공통전극(COM)을 형성할 때, 그 배치 간격을 더 좁혀서 배치하는 것에 차이가 있다. 도 4를 참조하면, 화소전극(PXL)과 공통전극(COM)은 그 선포의 약 0.5~1.5배 정도되는 간격으로 배치된다. 예를 들어, 화소전극(PXL)과 공통전극(COM)이 약 $4\mu\text{m}$ 의 폭을 갖는다면, 화소전극(PXL)과 공통전극(COM)은 약 2~ $6\mu\text{m}$ 의 간격 중 선택한 적절한 간격으로 배치된다.
- [0041] 이럴 경우, 도 4에 도시된 바와 같이, 화소전극(PXL)과 공통전극(COM) 사이에 형성되는 전기장은 거의 모두 수평 전계를 형성하는데 기여한다. 화소전극(PXL)과 공통전극(COM) 상부 표면의 극히 중앙부 일부분에서만 수직 방향의 약한 전계가 형성될 뿐이다. 따라서, 본 발명의 첫 번째 실시 예에 의한 수평 전계형 액정표시장치에서는 화소 영역 내의 거의 모든 액정분자들이 수평 전계에 의해 구동된다. 즉, 종래 구조에서 화소전극(PXL) 및 공통전극(COM) 위에 존재하여 수평 전계의 영향을 받지 않아 구동되지 않았던 액정 분자들도 본 발명에 의하면 모두 구동된다. 따라서, 종래 구조보다 광 투과도가 향상된 액정표시장치를 얻을 수 있다.
- [0042] 그러나, 본 발명의 첫 번째 실시 예의 경우, 다른 문제점이 발생한다. 화소전극(PXL)과 공통전극(COM)이 자신의 폭에 해당하는 간격으로 배치되기 때문에 기판 위에 이물질에 의해 오염될 경우 문제가 발생한다. 특히, 도 전성 입자에 의해 오염될 경우, 화소전극(PXL)과 공통전극(COM) 사이에 전기적으로 도통이되어 수평 전계가 아예 발생하지 않는 문제가 발생할 수 있다.
- [0043] 앞서서도 설명했듯이, 화소전극(PXL)과 공통전극(COM)을 형성한 후에, 박막트랜지스터 어레이 기판을 배향막 도포 공정을 위한 챔버로 이송하게 된다. 이 과정에서 이물질에 의해 오염될 가능성이 아주 높다. 따라서, 배향막 도포 공정을 박막트랜지스터 어레이 기판 제조 공정에서 연속으로 수행하여야 하는데, 이는 제조 환경이 다르기 때문에 이렇게 구성하는 데는 어려움이 많다.
- [0044] 이와 같은 문제점을 극복하기 위해, 본 발명에 의한 두 번째 실시 예에서는 화소전극과 공통전극을 형성한 후에 2차 보호막을 더 형성한다. 도 5a 내지 도 5b는 본 발명의 두 번째 실시 예에 의한 박막트랜지스터 어레이 기판을 제조하는 공정을 나타내는 단면도들이다.
- [0045] 본 발명의 첫 번째 실시 예에서와 같은 방법으로 화소전극(PXL)과 공통전극(COM)까지 포함하는 박막트랜지스터 어레이 기판을 제조한다. 앞서서도 설명했듯이, 본 발명의 첫 번째 실시 예에 의한 박막트랜지스터 어레이 기판 제조 방법은 종래의 방법과 동일하다. 즉, 도 2a 내지 도 2d와 동일한 방법으로 화소전극(PXL), 공통전극(COM), 게이트 패드 단자(GP) 및 데이터 패드 단자(DP)를 형성한다.
- [0046] 화소전극(PXL), 공통전극(COM), 게이트 패드 단자(GP) 및 데이터 패드 단자(DP)가 형성된 기판(SUB) 전면에 제2 보호막(PASSI2)을 도포한다. 화소전극(PXL)과 공통전극(COM)은 제2 보호막(PASSI2)에 그대로 덮여 있어도 문제는 없다. 그러나, 게이트 패드 단자(GP) 및 데이터 패드 단자(DP)들은 외부로부터 전기적 신호를 받아들여야 하므로 노출되어야 한다. 그러므로, 제5 마스크 공정으로 제2 보호막(PASSI2)을 패터닝하여, 게이트 패드 단자

(GP)를 노출하는 제2 게이트 패드 콘택홀(CHGP2) 및 데이터 패드 단자(DP)를 노출하는 제2 데이터 패드 콘택홀(CHDP2)를 형성한다. (도 5a)

[0047] 제2 콘택홀들(CHGP2, CHDP2)이 형성된 제2 보호막(PASSI2) 위에, ITO와 같은 투명 도전물질을 증착한다. 제6 마스크 공정으로 투명 도전물질을 패터닝하여, 제2 게이트 패드 콘택홀(CHGP2)을 통해 게이트 패드 단자(GPT)와 접촉하는 제2 게이트 패드 단자(GPT2)와 제2 데이터 패드 콘택홀(CHDP2)을 통해 데이터 패드 단자(DPT)와 접촉하는 제2 데이터 패드 단자(DPT2)를 형성한다. (도 5b)

[0048] 본 발명의 두 번째 실시 예에 의한 수평 전계형 액정표시패널은 화소전극(PXL)과 공통전극(COM) 사이의 간격이 좁아서 전극들(PXL, COM) 상부 표면에서도 수평전계를 형성할 수 있다. 또한, 화소전극(PXL)과 공통전극(COM)이 제2 보호막(PASSI2)로 덮여 있어, 제조 공정 중에 이물질에 의한 오염을 방지할 수 있다.

[0049] 그러나, 앞에서 보았듯이, 2번의 마스크 공정이 더 필요하다. 마스크 공정이 더 필요하면, 제조 시간이 오래 걸리고, 제조 비용도 그 만큼 증가한다. 따라서, 본 발명의 두 번째 실시 예도 실제 공정에 응용하기에는 많은 문제점이 있다.

[0050] 이와 같은 문제점을 극복하기 위해, 본 발명의 세 번째 실시 예에서는 4회의 마스크 공정으로 화소전극과 공통전극의 배열을 조밀하게 형성한 박막트랜지스터 어레이 기판 제조 방법 및 그 방법에 의한 수평 전계형 액정표시패널에 대하여 설명한다. 도 6은 본 발명의 세 번째 실시 예에 의한 수평 전계형 액정표시패널의 구조를 나타내는 평면도이다. 도 7a 내지 7e는 도 6의 절취선 III-III'으로 자른 도면들로서, 본 발명의 세 번째 실시 예에 의한 수평 전계형 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 공정을 나타내는 단면도들이다.

[0051] 먼저, 도 7a 내지 7e를 참조하여 박막트랜지스터 어레이 기판 제조 방법에 대하여 설명한다. 기판(SUB) 위에 게이트 금속을 증착한다. 제1 마스크 공정으로, 게이트 금속을 패터닝하여 게이트 물질들을 형성한다. 게이트 물질들에는 게이트 배선(GL), 게이트 배선(GL)에서 분기하는 게이트 전극(G), 게이트 배선(GL)의 일측 단부에 형성된 게이트 패드(GP), 그리고 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)들을 포함한다. (도 7a)

[0052] 게이트 물질들이 형성된 기판(SUB) 위에 게이트 절연막(GI)을 전면 도포한다. 이어서, 반도체 물질과 소스-드레인 금속을 연속으로 증착한다. 제2 마스크 공정으로, 반도체 물질 및 소스-드레인 금속을 패터닝하여, 소스-드레인 물질을 형성한다. 소스-드레인 물질에는 게이트 배선(GL)과 수직으로 교차하는 데이터 배선(DL), 데이터 배선(DL)의 일측 단부에 형성된 데이터 패드(DP), 데이터 배선(DL)에서 분기하고 게이트 전극(G)의 일측면과 중첩하는 소스 전극(S), 그리고 게이트 전극(G)의 타측면과 중첩하고 소스 전극(S)과 대향하는 드레인 전극(D)을 포함한다. 특히, 소스 전극(S)과 드레인 전극(D)은 물리적으로 서로 분리되어 있으나, 그 하부에서 게이트 절연막(GI)을 사이에 두고 게이트 전극(G)과 중첩하는 반도체 층(A)을 통해 연결된 구조를 갖는다. 소스 전극(S)과 드레인 전극(D) 사이의 소스-드레인 금속을 제거하되, 그 하부의 반도체 물질은 남겨두어야 하므로, 하프-톤 마스크를 사용한다. 즉, 소스-드레인 물질의 하부에는 반도체 물질이 그대로 남아 있는데, 이는 특별한 기능을 하지는 않는다. 다만, 소스 전극(S)과 드레인 전극(D) 사이의 반도체 물질만 반도체 층(A)으로 기능을 한다. (도 7b)

[0053] 소스-드레인 물질들이 형성된 기판(SUB) 전면에서 ITO와 같은 투명 도전물질을 증착한다. 제3 마스크 공정으로 투명 도전물질을 패터닝하여, 게이트 절연막(GI) 위의 화소 영역 내에 화소전극(PXL) 및 공통 전극(COM)을 형성한다. 화소전극(PXL)은 드레인 전극의 일부를 완전히 덮는 형상을 갖는다. 화소전극(PXL)과 공통전극(COM)은 일정 간격을 두고 서로 평행하게 배치된다. 특히, 화소전극(PXL) 및 공통전극(COM) 선포의 0.5~1.5배에 해당하는 값 중 선택한 적절한 간격으로 배치된다. (도 7c)

[0054] 화소전극(PXL) 및 공통 전극(COM)이 형성된 기판(SUB) 전면에서 보호막(PASSI)을 도포한다. 제4 마스크 공정으로 보호막(PASSI)을 패터닝하여 패드부를 노출하는 콘택홀을 형성함과 동시에 콘택홀을 통해 패드부와 접촉하는 패드 단자를 형성한다. 이를 자세히 설명하면 다음과 같다.

[0055] 보호막(PASSI) 위에 포토레지스트(PR)를 도포한다. 포토레지스트(PR)를 게이트 패드 콘택홀 및 데이터 패드 콘택홀을 형성하기 위한 제4 마스크로 패터닝한다. 포토레지스트(PR) 패터닝 형상에 따라 보호막(PASSI)을 패터닝하여, 데이터 패드(DP)의 전부 혹은 일부를 노출하는 데이터 패드 콘택홀(CHDP)을 형성한다. 또한, 보호막(PASSI) 및 게이트 절연막(GI)을 패터닝하여, 게이트 패드(GP)의 전부 혹은 일부를 노출하는 게이트 패드 콘택홀(CHGP)을 형성한다. 단면도로 도시하지는 않았으나, 게이트 절연막(GI) 및 보호막(PASSI)을 패터닝하여 공통배선(CL) 일부와 공통 전극(COM) 일부를 함께 노출하는 공통 콘택홀(CHCOM)을 더 형성할 수 있다. 그리고 난 후, 포토레지스트

(PR)을 제거하지 않은 상태에서, ITO 혹은 금속과 같은 도전물질(M)을 전면 증착한다. (도 7d)

[0056] 도전물질이 포토레지스트(PR) 표면을 덮고, 게이트 패드 콘택홀(CHGP)과 데이터 패드 콘택홀(CHDP) 내부를 채운 상태에서, 포토레지스트(PR)을 제거한다. 그러면, 리프팅 오프(lifting-off) 공정으로 포토레지스트(PR) 위에 증착된 도전물질은 제거되고, 게이트 패드 콘택홀(CHGP)과 데이터 패드 콘택홀(CHDP) 내부를 채운 도전물질은 게이트 패드(GP) 및 데이터 패드(DP)와 접촉하는 게이트 패드 단자(GPT) 및 데이터 패드 단자(DPT)를 형성한다. 한편, 단면도에는 도시하지는 않았으나, 공통 배선(CL) 일부와 공통 전극(COM) 일부를 함께 노출하는 공통 콘택홀(CHCOM) 내부에도 도전물질이 채워진다. 그럼으로써 공통 전극(COM)을 공통 배선(CL)에 연결하는 공통전극 연결단자(COMT)를 형성할 수 있다. (도 7e)

[0057] 본 발명의 세 번째 실시 예에 의하면, 4번의 마스크 공정으로 화소전극(PXL)과 공통전극(COM)이 조밀하게 배치된 박막트랜지스터 어레이 기판을 제조할 수 있다. 더욱이, 화소전극(PXL)과 공통전극(COM)이 보호막과 게이트 절연막 사이에 배치된 구조를 가짐으로써, 박막트랜지스터 어레이 기판 완성 후에 이물질에 의한 단락문제가 발생하지 않는다.

[0058] 또한, 도 6을 참조하여, 본 발명의 세 번째 실시 예에 의한 수평 전계 액정표시 패널의 구조적 특징을 설명한다. 본 발명의 세 번째 실시 예에 의한 수평 전계 액정표시 패널은 기판과, 상기 기판 위에서 게이트 절연막을 사이에 두고 서로 직교하며 화소 영역을 정의하는 게이트 배선 및 데이터 배선과, 상기 게이트 배선과 상기 데이터 배선이 교차하는 부분에 형성된 박막트랜지스터와, 상기 박막트랜지스터와 접촉하며 상기 게이트 절연막 위에 형성된 화소전극, 및 상기 화소전극과 일정간격을 두고 평행하게 배열된 공통전극과, 상기 화소전극과 공통전극을 포함하는 상기 기판 전체를 덮는 보호막을 포함하는 구조를 갖는다.

[0059] 즉, 드레인 전극(D)과 화소전극(PXL)은 모두 게이트 절연막(GI) 위에서 화소전극(PXL)이 드레인 전극(D)을 덮는 형상으로 접촉된다. 그리고, 공통 전극(COM)과 공통 배선(CL)은 공통 전극(COM)의 일부와 공통 배선(COM)의 일부를 동시에 노출시키는 공통 콘택홀(CHCOM)을 메우는 공통전극 연결단자(COMT)에 의해 연결되는 구조를 갖는다.

[0060] 또한, 게이트 패드 단자(GPT) 및 데이터 패드 단자(DPT)와 같이 보호막 위에 노출되도록 형성되는 패드 단자들이 콘택홀(CHGP, CHDP) 내부를 채우면서, 콘택홀(CHGP, CHDP)에 의해 노출된 게이트 패드(GP)와 데이터 패드(DP)를 완전히 덮는 형태를 갖는다. 따라서, 평면 상태를 보면, 게이트 패드 단자(GPT) 및 데이터 패드 단자(DPT) 각각은 콘택홀들(CHGP, CHDP)과 거의 동일한 형상 및 크기를 갖는다.

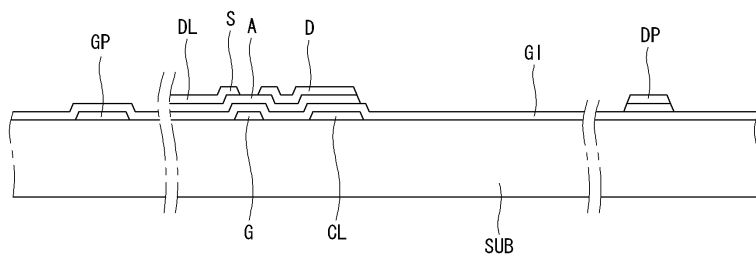
[0061] 그리고, 본 발명에 의한 평면도 도 6에서 화소 전극(PXL)과 공통 전극(COM)의 배열 간격이 종래 기술에 의한 도 1의 경우보다 좁아 보이지 않는다. 이는 도면의 복잡성을 회피하기 위한 편의에 의한 결과일 뿐이며, 실제로는 화소 전극(PXL)과 공통 전극(COM)의 간격은 도 1의 경우보다 더 좁게 배치된다. 특히, 화소 전극(PXL)과 공통 전극(COM) 폭의 0.5~1.5배의 간격으로 배치된다.

[0062] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

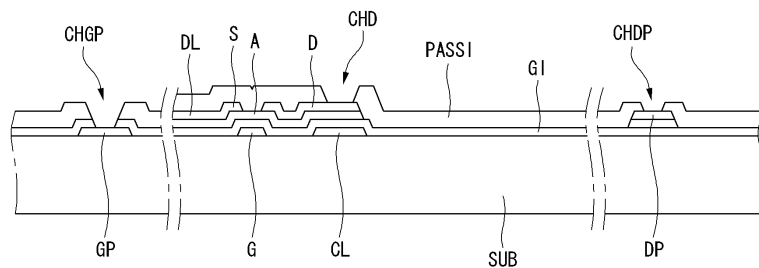
부호의 설명

TFT: 박막트랜지스터	SUB: 기판
GL: 게이트 라인	CL: 공통 라인
DL: 데이터 라인	PXL: 화소 전극
COM: 공통 전극	GP: 게이트 패드
DP: 데이터 패드	GPT: 게이트 패드 단자
DPT: 데이터 패드 단자	COMT: 공통전극 연결단자
CHD: 드레인 콘택홀	CHGP: 게이트 패드 콘택홀
CHDP: 데이터 패드 콘택홀	CHCOM: 공통 콘택홀
G: 게이트전극	S: 소스전극

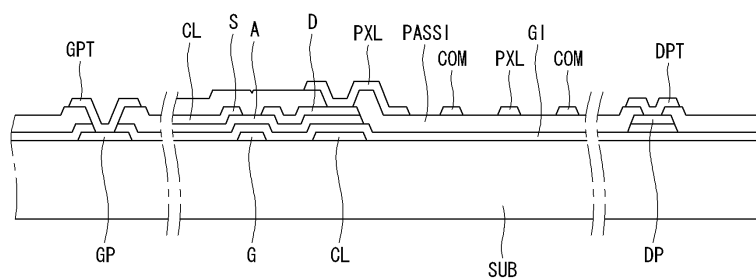
도면2b



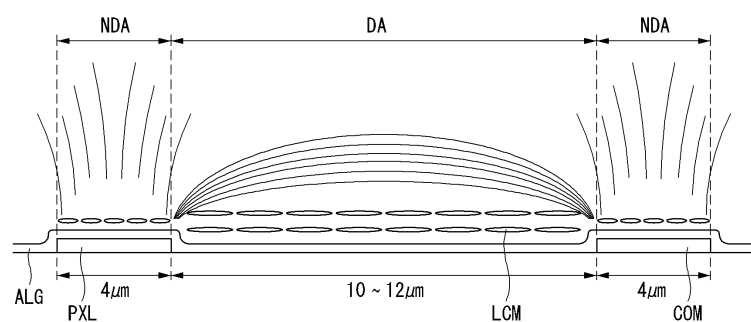
도면2c



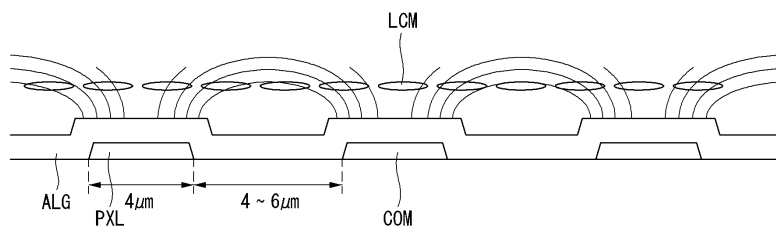
도면2d



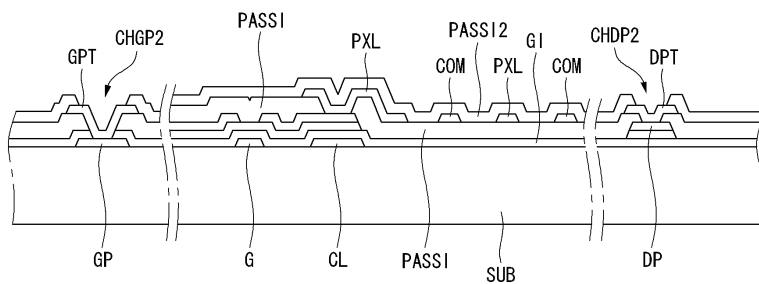
도면3



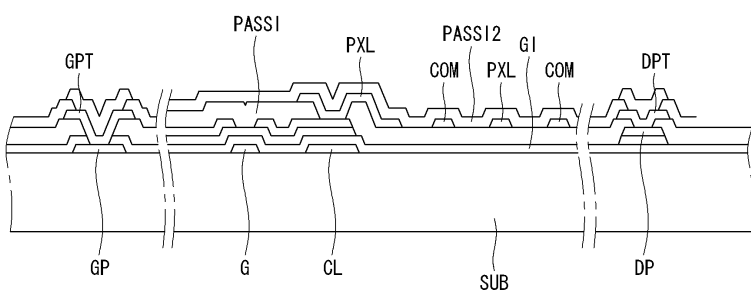
도면4



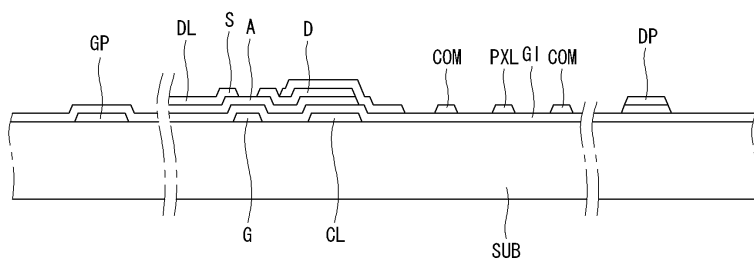
도면5a



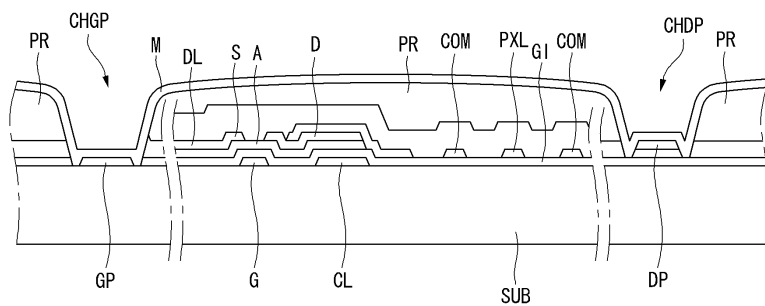
도면5b



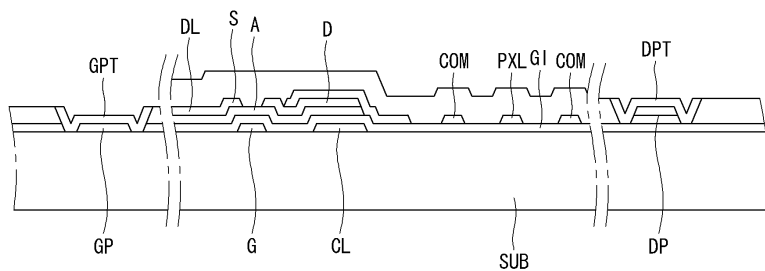
도면7c



도면7d



도면7e



专利名称(译)	标题：高透明水平电场型液晶显示装置及其制造方法		
公开(公告)号	KR101289041B1	公开(公告)日	2013-07-23
申请号	KR1020100026909	申请日	2010-03-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	YANG JOON YOUNG 양준영 LEE JUNG IL 이정일 LEE WON HO 이원호		
发明人	양준영 이정일 이원호		
IPC分类号	G02F1/1343 G02F		
CPC分类号	G02F1/13458 G02F1/134363 H01L27/1214 H01L27/124 H01L27/12		
其他公开文献	KR1020110107654A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种高透光率的水平场型液晶显示器及其制作方法。高通水平场型液晶显示器包括基板;栅极布线和数据线, 其将栅极绝缘层置于间隔中并且彼此正交并且在基板中限定像素区域;栅极布线;覆盖整个基板的保护膜包括形成在该部分上的薄膜晶体管, 公共电极, 以及像素电极和公共电极。对于在部件上形成的薄膜晶体管, 数据线相交。公共电极将形成的像素电极, 像素电极和恒定间隔放置在栅极绝缘层上, 同时与薄膜晶体管接触并被布置。本发明提供一种水平场型液晶显示器, 其具有改善的透光率, 所有液晶分子几乎被驱动, 并且孔径比包括位于像素电极处的液晶分子和像素区域中的公共电极顶表面。

