(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년07월11일
(11) 등록번호 10-1048532
(24) 등록일자 2011년07월05일

(51) Int. Cl.
G02F 1/133 (2006.01) *G02F 1/1343* (2006.01)
G09G 3/36 (2006.01)
(21) 출원번호 10-2009-0128647
(22) 출원일자 2009년12월22일
심사청구일자 2009년12월22일
(65) 공개번호 10-2010-0075395
(43) 공개일자 2010년07월02일
(30) 우선권주장
JP-P-2008-326807 2008년12월24일 일본(JP)
(56) 선행기술조사문헌
JP10039277 A
JP2000105364 A
전체 청구항 수 : 총 20 항

(73) 특허권자
가시오게산키 가부시키가이샤
일본국 도쿄도 시부야쿠 혼마치 1쵸메 6반 2고
(72) 발명자
히라야마 류이치
일본국 도쿄도 하치오우지시 이시카와쵸 2951반치 노 5 가시오게산키 가부시키가이샤 하치오우지기쥬츠센터 내
(74) 대리인
손은진, 김문종

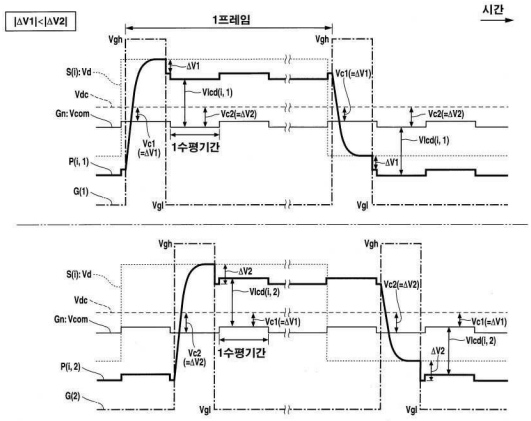
심사관 : 이강하

(54) 액정표시장치

(57) 요 약

액정표시장치는, 제1 기생 캐패시턴스(capacitance)를 가지는 제1 그룹의 화소전극들; 제2 기생 캐패시턴스를 가지는 제2 그룹의 화소전극들; 공통전극; 상기 공통전극과 상기 제1 및 제2 그룹의 화소전극들 사이에 개재된 액정; 및 상기 제1 기생 캐패시턴스에 따라 제1 공통전압을 결정하고 상기 제1 기생 캐패시턴스에 기인하는 상기 제1 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제1 그룹의 화소전극들의 기입기간 동안 상기 제1 공통전압을 상기 공통전극에 공급하며, 상기 제2 기생 캐패시턴스에 따라 제2 공통전압을 결정하고 상기 제2 기생 캐패시턴스에 기인하는 상기 제2 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제2 그룹의 화소전극들의 기입기간 동안 상기 제2 공통전압을 상기 공통전극에 공급하는 드라이버회로를 구비한다.

대 표 도



특허청구의 범위

청구항 1

액정표시부와 드라이버회로부를 구비하는 액정표시장치로서:

상기 액정표시부는, 세트를 이루는 제1 주사라인, 제2 주사라인 및 데이터라인;

상기 제1 주사라인에 의하여 제어되는 제1 스위칭 소자를 통해 상기 데이터라인에 연결된 제1 화소전극;

상기 제2 주사라인에 의하여 제어되는 제2 스위칭소자를 통해 상기 데이터라인에 연결되는 제2 화소전극; 및

제1 전극과 제2 전극에 걸쳐 각각 배치된 액정에 전압을 인가하는 공통전극을 구비하며;

상기 제1 화소전극과 상기 제2 화소전극은 상기 제1 주사라인과 상기 제2 주사라인 사이에 배치되며, 상기 제1 화소전극과 상기 제2 화소전극은 상이한 기입 기간들에 대응하는 표시신호 전압들이 기입되며, 상기 표시신호전압은 각 계조레벨에 대해 두 가지의 별개의 레벨을 가지고 표시신호전압의 중심전압을 상기 두가지 별개의 레벨의 중심으로서 규정하며, 및

상기 드라이버회로부는, 상기 제1 화소전극의 기입 기간 동안 상기 공통전극에 공급된 공통전압과 상기 중심전압 사이의 전위차가, 상기 제2 화소전극의 기입기간 동안 상기 공통전극에 공급된 공통전압과 상기 중심전압 사이의 전위차와 다르도록 설정될 수 있도록 공통전압들을 상기 공통전극에 공급하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제1 화소전극과 상기 제1 주사라인 사이의 기생 캐패시턴스는 상기 제2 화소전극과 상기 제2 주사라인 사이의 기생 캐패시턴스보다 크며;

상기 드라이버회로부는, 상기 제1 화소전극의 기입기간 동안 상기 공통전극과 상기 중심전압 사이의 상기 전위차는 상기 제2 화소전극의 기입기간동안 상기 공통전극과 상기 중심전압 사이의 상기 전위차보다 크도록 상기 공통전극에 상기 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 드라이버회로부는, 상기 제1 화소전극의 상기 기입기간의 종료에서 상기 제1 스위칭 소자가 정지되면 발생하는 인입전압과 상기 제1 화소전극의 기입기간 동안의 상기 전위차가 같도록 상기 공통전압을 공급하며, 상기 제2 화소전극의 상기 기입기간의 종료에서 상기 제2 스위칭 소자가 정지되면 발생하는 인입전압과 상기 제2 화소전극의 기입기간 동안의 상기 전위차가 같도록 상기 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 제1 화소전극과 상기 제2 화소전극은 상기 제1 주사라인과 상기 제2 주사라인의 연장방향으로 서로 인접 배치되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 제1 화소전극과 상기 제2 화소전극은 상기 데이터라인을 가로질러 서로 인접하여 배치되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 드라이버회로부는, 상기 제1 화소전극과 상기 제1 주사라인 사이의 기생 캐패시턴스에 대한 정보와 상기 제2 화소전극과 상기 제2 주사라인 사이의 기생캐패시턴스에 대한 정보를 저장하는 메모리를 포함하며; 및

메모리에 저장된 상기 기생 캐패시턴스에 대한 상기 정보에 따라 상기 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 1 항에 있어서,

상기 제1 화소전극과 상기 제1 주사라인 사이의 기생 캐패시턴스는 상기 제2 화소전극과 상기 제2 주사라인 사이의 기생 캐패시턴스보다 작으며, 및

상기 드라이버회로부는, 상기 제1 화소전극의 기입기간 동안의 상기 공통전압과 상기 중심전압 사이의 상기 전위차가 상기 제2 화소전극의 기입기간 동안의 상기 공통전압과 상기 중심전압 사이의 상기 전위차보다 작도록 상기 공통전극에 상기 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 액정표시부에서 상기 제1 화소전극과 상기 제1 주사라인 사이의 거리는 상기 제2 화소전극과 상기 제2 주사라인 사이의 거리보다 좁으며,

상기 드라이버 회로부는, 상기 제1 화소전극의 기입기간동안의 상기 공통전압과 상기 중심전압 사이의 상기 전위차가 상기 제2 화소전극의 기입기간동안의 상기 공통전압과 상기 중심전압 사이의 상기 전위차보다 크도록 상기 공통전극에 상기 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 1 항에 있어서,

상기 액정표시부에서 상기 제1 화소전극과 상기 제1 주사라인 사이의 거리는 상기 제2 화소전극과 상기 제2 주사라인 사이의 거리보다 넓으며,

상기 드라이버 회로부는, 상기 제1 화소전극의 기입기간동안의 상기 공통전압과 상기 중심전압 사이의 상기 전위차가 상기 제2 화소전극의 기입기간동안의 상기 공통전압과 상기 중심전압 사이의 상기 전위차보다 작도록 상기 공통전극에 상기 공통전압을 공급하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 공통전극과 동일한 전압이 공급되는 보조 캐패시턴스 전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

액정표시장치로서:

제1 기생 캐패시턴스를 가지는 제1 그룹의 화소전극들;

제2 기생 캐패시턴스를 가지는 제2 그룹의 화소전극들;

공통전극;

상기 공통전극과 상기 제1 및 제2 그룹의 화소전극들 사이에 개재된 액정; 및

상기 제1 기생 캐패시턴스에 따라 제1 공통전압을 결정하고 상기 제1 기생 캐패시턴스에 기인하는 상기 제1 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제1 그룹의 화소전극들의 기입기간 동안 상기 제1 공통전압을 상기 공통전극에 공급하며, 상기 제2 기생 캐패시턴스에 따라 제2 공통전압을 결정하고 상기 제2 기생 캐

패시턴스에 기인하는 상기 제2 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제2 그룹의 화소전극들의 기입기간 동안 상기 제2 공통전압을 상기 공통전극에 공급하는 드라이버회로를 구비하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 11 항에 있어서,

상기 제1 및 제2 기생 캐패시턴스들에 관련된 정보들을 저장하는 메모리를 더 포함하며,

상기 드라이버회로는 상기 메모리에 저장된 정보에 따라 상기 제1 및 제2 공통전압들을 결정하는 것을 특징으로 하는 액정표시장치.

청구항 13

제 11 항에 있어서,

횡방향으로 각각 연장하는 제1 주사라인과 제2 주사라인을 더 포함하며,

상기 제1 그룹의 화소전극들과 상기 제2 그룹의 화소전극들은 상기 횡방향으로 연장하는 하나의 열에 교대로 배치되며 상기 제1 및 제2 주사라인들 사이에 배치되며,

상기 제1 그룹에 속하는 쌍을 이루는 인접한 화소전극들 및 상기 제2 그룹에 속하는 쌍을 이루는 인접한 화소전극들은 하나의 데이터라인을 공유하는 것을 특징으로 하는 액정표시장치.

청구항 14

제 11 항에 있어서,

상기 제1 기생 캐패시턴스는 상기 제2 기생 캐패시턴스와 다르고, 상기 제1 공통전압은 상기 제2 공통전압과 다른 것을 특징으로 하는 액정표시장치.

청구항 15

제 11 항에 있어서,

상기 제1 기생 캐패시턴스는 상기 제2 기생 캐패시턴스와 같으며, 상기 제1 공통전압은 상기 제2 공통전압과 같은 것을 특징으로 하는 액정표시장치.

청구항 16

액정표시장치의 제조방법으로서:

제1 기생 캐패시턴스를 가지는 제1 그룹의 화소잔극들, 제2 기생 캐패시턴스를 가지는 제2 그룹의 화소전극들, 공통전극, 상기 공통전극과 상기 제1 그룹의 화소전극들 및 상기 제2 그룹의 화소전극들 사이에 각각 개재된 액정, 상기 공통전극에 공통전압을 공급하는 드라이버회로, 및 상기 제1 및 제2 기생 캐패시턴스에 대응하는 정보를 저장하기 위한 메모리를 포함하는 액정표시부를 준비하는 단계;

상기 제1 및 제2 기생 캐패시턴스들에 대한 정보를 획득하는 단계;

상기 제1 및 제2 기생 캐패시턴스들에 대한 정보를 상기 메모리에 저장하는 단계; 및

상기 메모리에 저장된 정보에 기초하여 상기 드라이버회로가 상기 제1 공통전압을 결정하고 상기 제1 기생 캐패시턴스에 기인하는 상기 제1 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제1 그룹의 화소전극들의 기입기간동안 상기 제1 공통전압을 상기 공통전극에 공급하며, 상기 메모리에 저장된 정보에 기초하여 상기 드라이버회로가 제2 공통전압을 결정하고 상기 제2 기생 캐패시턴스에 기인하는 상기 제2 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제2 그룹의 화소전극들의 기입기간동안 상기 제2 공통전압을 상기 공통전극에 공급하도록 상기 드라이버회로를 프로그래밍하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 액정표시부는 각각 횡방향으로 연장하는 제1 주사라인과 제2 주사라인을 더 구비하며,상기 제1 그룹의 화소전극들과 상기 제2 그룹의 화소전극들은 상기 횡방향으로 연장하는 하나의 열에 교대로 배치되며 상기 제1 및 제2 주사라인들 사이에서 배치되며,

상기 제1 그룹에 속하는 쌍을 이루는 인접한 화소전극들 및 상기 제2 그룹에 속하는 쌍을 이루는 인접한 화소전극들은 하나의 데이터라인을 공유하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 18

제 16 항에 있어서,

상기 제1 기생 캐패시턴스는 상기 제2 기생 캐패시턴스와 다르고, 상기 제1 공통전압은 상기 제2 공통전압과 다른 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 19

제 16 항에 있어서,

상기 제1 기생 캐패시턴스는 상기 제2 기생 캐패시턴스와 같으며, 상기 제1 공통전압은 상기 제2 공통전압과 같은 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 20

제 16 항에 있어서,

상기 제1 및 제2 기생 캐패시턴스들에 대한 정보를 획득하는 단계는 상기 제1 및 제2 공통전압들의 레베들을 변화시키면서 표시품질을 관찰하며, 주사라인들에 대한 상기 제1 및 제2 그룹의 화소전극들의 위치변이를 관찰하며, 상기 제1 및 제2 기생 캐패시턴스들에 기인하는 각각의 상기 전압강하의 양들을 실험식 또는 이론식들에 의해 산출하는 것의 하나 이상을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 출원은 2008. 12. 24일자로 출원되고 그 전체 내용이 여기에 참고로 포함된 일본국 특허출원 제2008-326807호의 우선권 이익을 주장하며 그에 기초한다.

[0002] 본 발명은 액정표시(LCD) 장치에 대한 것이다.

배 경 기 술

[0003] 최근, 스위칭 소자로서 박막 트랜지스터(TFT)를 사용하는 액티브 매트릭스형 액정표시(LCD) 장치가 개발되었다. 액티브 매트릭스형 LCD 장치의 표시 영역 상에 매트릭스로 배열된 복수의 화소들과, 열을 지어 화소들을 연속으로 스캐닝하는 복수의 주사 라인들과, 각각의 화소들 위에 기입될 데이터를 제공하기 위한 복수의 데이터 라인들이 제공된다. 각각의 화소들에는 주사 라인에 연결된 게이트 전극과 데이터 라인에 연결된 드레인 전극을 가지는 스위칭 소자로서 TFT와; TFT의 소스 전극에 연결된 화소 전극과; 모든 화소들에 공통인 전압으로 설정된 공통 전극과; 일정한 전위차로 화소 전극과 공통전극 사이의 전위차를 유지하기 위하여 전하를 저장하기 위한 보조 캐패시터가 제공된다.

[0004] 여기서, 예컨대 화소전극과 공통전극 사이의 전위차에 따른 배향 상태가 변화하는 액정이 화소전극과 공통전극 사이에 제공된다.

[0005] 표시영역의 주위에는 주사 라인들을 통해 TFTs을 스캐닝하기 위하여(온오프 제어하기 위하여) 주사 라인들에 연결된 게이트 드라이버와, 데이터 라인들을 통해 각 화소들(보조 캐패시터와 액정 등을 포함)로 소정의 데이터 전압을 출력하기 위하여 데이터 라인들에 연결되는 데이터 드라이버가 제공된다.

[0006] 액티브 매트릭스형 LCD 장치는 휴대폰이나 디지탈 카메라 등과 같은 소형 모바일 디바이스들에 모니터로서 빈번하게 설치된다. 이 경우, 표시영역의 주위 부분에 형성되는 프레임을 가능한 좁게 형성함이 바람직하다. 이와 같이, 넓은 영역을 점유하는 게이트 드라이버와 소스 드라이버는 프레임의 측면들의 하나에 집약적으로 배치된다. 게이트 드라이버와 소스 드라이버를 이와 같이 배치함으로써 그들의 장착 공정이 단순화될 수 있다. 그러나, 이러한 경우, 게이트 드라이버와 소스 드라이버의 위치들에 기인하여 표시 영역(프레임)의 주위 둘레에 긴 거리에 걸쳐 주사 라인들 및/또는 데이터 라인들이 설정되는 것이 필요하다. "펼치는 영역(laid-around)"의 면적을 감소시키기 위하여 주사 라인들이 곱절로 증가되고 신호 라인들의 수가 반으로 감소되는 화소들의 연결 구조가 고안되었다.

[0007] 도 18은 이러한 좁은 프레임을 구현하기 위한 방법으로서 고안된 표시 스크린의 화소들을 위한 예시적인 연결을 개략적으로 도시하는 도면이다. 이는 하나의 데이터 라인S(i)을 인접의 두 화소들P(i,j)로 공유하기 위함이다. 이 경우, 이들 두 화소들P(i, j)에 대응하는 TFTs는 각각 상이한 주사 라인들G(j)에 각각 연결된다.

[0008] 예컨대, 도 18에서 좌측 상부의 화소P(1, 1)에 대응하는 TFT는 주사 라인G(1) 및 데이터 라인S(1)에 연결되며, 그 우측 인접의 화소P(1, 2)에 대응하는 TFT는 주사라인G(2) 및 데이터 라인S(1)에 연결된다. 화소P(1, 1) 및 P(1, 2)는 주사 라인G(1)과 주사 라인G(2) 사이에 배치된다.

[0009] 도 19는 전술의 액티브 매트릭스형 LCD 장치에서 화소들P(i, j) 위에 영상 신호(Vsig)가 기입되는 경우의 주사 라인들G(j)의 주사 방향(각 주사신호 파형)을 도시하며, 또한 데이터 라인S(i)을 공유하는 인접 화소들(i, j) 사이의 기입 순서를 도시한다. 예컨대, 데이터 라인S(1)에 연결된 화소들(1, j)은 화소들P(1,1), P(1, 2), P(1, 3) 및 P(1, 4)의 순서로 기입된다.

[0010] 상술한 바와 같이 신호 라인들의 수를 반으로 감소시키기 위한 화소 연결에서, 각 열(row)의 화소들 - 특히, 열 방향으로 화소들이 인접 배치된 화소들은 화소들에 대해 상이한 면 위에 배치된 주사 라인들에 각각 연결된다. 따라서, 예컨대, 도 20 도시와 같이, 주사 라인들의 연장 방향에 수직인 방향으로 화소 전극들의 위치의 위치 이동이 있으면(즉, 배향 에러), 화소 전극들과 주사 라인들 사이에서 발생되는 기생 캐패시턴스(Cgs1, Cgs2)들은 주사라인들의 연장 방향으로 서로 인접 배치되는 화소들 사이에서 상이한 값들을 가진다. 이 경우, 동일 전위 레벨의 표시신호 전압이 도 21 도시와 같이 주사 라인들의 연장 방향으로 인접 배치된 각각의 화소들에 기입되는 경우에도 표시신호 전압의 기입 종료시 발생하는 보정 전압(△V1, △V2)이 주사 라인들의 연장 방향으로 인접 화소들 사이에서 상이하게 되어 화상 품질의 저하라는 문제를 발생한다. 도 21은 도 20의 화소P(1, 1) 및 P(1, 2)에서의 전위 변화를 도시한다.

[0011]

발명의 내용

해결 하고자하는 과제

[0012] 본 발명은 상기 설명한 바와 같은 종래기술의 문제점들을 해결하기 위하여 이루어진 것으로서, 예컨대 주사라인의 연장 방향에 수직인 방향에서 화소 전극들의 위치 변위(displacement)가 발생하여도 화상 품질의 저하를 방지할 수 있는 LCD 장치를 제공함에 그 목적이 있다.

[0013] 본 발명의 부가적이거나 별도의 특징들 및 이점들은 이하의 상세한 설명에서 설명될 것이며, 부분적으로 상세한 설명으로부터 명확해질 것이며 본 발명의 실시에 의하여 알 수 있을 것이다. 본 발명의 목적들 및 이점들은 이하의 상세한 설명 및 청구범위와 첨부 도면들에 특히 지적된 구조를 통해 실현되고 달성될 것이다.

과제 해결수단

[0014] 일 측면에서 상술한 바와 같이 구현되고 널리 설명된 바와 같이, 본 발명의 목적에 따라 그리고 상기 및 다른 이점들을 달성하기 위하여, 본 발명은 액정표시부와 드라이버회로부를 구비하는 액정표시장치로서, 액정표시부는, 세트를 이루는 제1 주사라인, 제2 주사라인 및 데이터라인; 상기 제1 주사라인에 의하여 제어되는 제1 스위칭 소자를 통해 상기 데이터라인에 연결된 제1 화소전극; 상기 제2 주사라인에 의하여 제어되는 제2 스위칭소자를 통해 상기 데이터라인에 연결되는 제2 화소전극; 및 제1 전극과 제2 전극에 걸쳐 각각 배치된 액정에 전압을 인가하는 공통전극을 구비하며; 상기 제1 화소전극과 상기 제2 화소전극은 상기 제1 주사라인과 상기 제2 주사라인 사이에 배치되며, 상기 제1 화소전극과 상기 제2 화소전극은 상이한 기입 기간들에 대응하는 표시신호 전압들이 기입되며, 상기 표시신호전압은 각 계조레벨에 대해 두 가지의 별개의 레벨을 가지고 표시신호전압의 중

심전압을 상기 두가지 별개의 레벨의 중심으로서 규정하며, 및 상기 드라이버회로부는, 상기 제1 화소전극의 기입 기간 동안 상기 공통전극에 공급된 공통전압과 상기 중심전압 사이의 전위차가, 상기 제2 화소전극의 기입기간 동안 상기 공통전극에 공급된 공통전압과 상기 중심전압 사이의 전위차와 다르도록 설정될 수 있도록 공통전압들을 상기 공통전극에 공급하는 것을 특징으로 하는 액정표시장치를 제공한다.

[0015] 본 발명의 다른 실시예로서, 본 발명은 또한 제1 기생 캐패시턴스를 가지는 제1 그룹의 화소전극들; 제2 기생 캐패시턴스를 가지는 제2 그룹의 화소전극들; 공통전극; 상기 공통전극과 상기 제1 및 제2 그룹의 화소전극들 사이에 개재된 액정; 및 상기 제1 기생 캐패시턴스에 따라 제1 공통전압을 결정하고 상기 제1 기생 캐패시턴스에 기인하는 상기 제1 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제1 그룹의 화소전극들의 기입기간 동안 상기 제1 공통전압을 상기 공통전극에 공급하며, 상기 제2 기생 캐패시턴스에 따라 제2 공통전압을 결정하고 상기 제2 기생 캐패시턴스에 기인하는 상기 제2 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제2 그룹의 화소전극들의 기입기간 동안 상기 제2 공통전압을 상기 공통전극에 공급하는 드라이버회로를 구비하는 것을 특징으로 하는 액정표시장치를 제공한다.

[0016] 본 발명의 또 다른 측면에 따라, 제1 기생 캐패시턴스를 가지는 제1 그룹의 화소잔극들, 제2 기생 캐패시턴스를 가지는 제2 그룹의 화소전극들, 공통전극, 상기 공통전극과 상기 제1 그룹의 화소전극들 및 상기 제2 그룹의 화소전극들 사이에 각각 개재된 액정, 상기 공통전극에 공통전압을 공급하는 드라이버회로, 및 상기 제1 및 제2 기생 캐패시턴스에 대응하는 정보를 저장하기 위한 메모리를 포함하는 액정표시부를 준비하며; 상기 제1 및 제2 기생 캐패시턴스들에 대한 정보를 획득하며; 상기 제1 및 제2 기생 캐패시턴스들에 대한 정보를 상기 메모리에 저장하며; 및 상기 메모리에 저장된 정보에 기초하여 상기 드라이버회로가 상기 제1 공통전압을 결정하고 상기 제1 기생 캐패시턴스에 기인하는 상기 제1 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제1 그룹의 화소전극들의 기입기간 동안 상기 제1 공통전압을 상기 공통전극에 공급하며, 상기 메모리에 저장된 정보에 기초하여 상기 드라이버회로가 제2 공통전압을 결정하고 상기 제2 기생 캐패시턴스에 기인하는 상기 제2 그룹의 화소전극들의 전압 강하를 보정하기 위하여 상기 제2 그룹의 화소전극들의 기입기간 동안 상기 제2 공통전압을 상기 공통전극에 공급하도록 상기 드라이버회로를 프로그래밍하는 것을 포함하는 것을 특징으로 하는 액정표시장치의 제조방법이 제공된다.

효 과

[0017] 본 발명의 이들 실시예들에 따라 다른 이점들 중에서 주사라인들의 연장방향에 수직인 방향으로 화소전극들의 위치변이가 발생하여도 화상 품질의 열화가 방지될 수 있다.

[0018] 상기 설명한 일반적인 설명 및 이하의 상세한 설명 모두 본 발명의 예시적이며 본 발명의 설명을 위한 것이며 이하의 청구범위에 기재된 본 발명을 더욱 명확하게 설명하기 위하여 이루어진 것임을 이해하는 것이 필요하다.

발명의 실시를 위한 구체적인 내용

[0019] 도면들과 관련하여 본 발명을 실행하기 위한 예시적인 실시예들이 이제 설명될 것이다. 예시적인 실시예들에서 각 LCD 장치의 구동 전압이 LCD 장치의 완결된 상태에 따라 정해지고 저장된 데이터에 의해 조정되는 사례들이 예로서 설명된다.

[0020] 도 1 및 2에 도시된 바와 같이, 본 발명의 실시예들에 따른 LCD장치(1)는 이후 설명되는 복수의 화소들이 배치된 LCD부(10)와, LCD 부(10)의 각 화소들을 제어하는 드라이버 회로(11)로 구성된다.

[0021] LCD부(10)는 서로 대향하여 배치되고 시일재(10c)로 접합되는 두 기판들(10a, 10b) 사이에 액정(LC)을 개재시키도록 구성된다. 도 3 및 4 도시와 같이, 일측의 기판(10b)의 대향면 위에는 매트릭스로 배열된 복수의 화소들(i, j)과, 각각의 화소들P(i, j)을 소정 수마다 연속으로 스캐닝하기 위한 복수의 주사 라인들 G(j)과, 각 화소들P(i, j) 위에 기입될 표시신호 전압을 제공하기 위한 복수의 데이터 라인들S(j)이 형성된다. 각각의 화소들P(i, j)에는 주사 라인G(j)에 연결된 게이트 전극과 데이터 라인S(j)에 연결된 드레인 전극을 가지는 스위칭 소자로서의 TFT와; TFT의 소스전극에 연결된 화소 전극(pix); 및, 소정의 전위차에서 다른 기판(10a) 위에 형성된 공통 전극(Gn)과 화소전극(pix) 사이의 전위차를 유지하기 위하여 전하를 저장하기 위한 보조 캐패시터(Ccs)가 제공된다. 여기서, i=1, 2, 3, ---, x이며, j=1, 2, 3, ---, y이다. 공통전극(Gn)은 공통신호(Vcom)가 제공되면 모든 화소들에 대해 공통의 반대 전압을 나타내도록 구성된다.

[0022] 여기서 데이터 라인S(i)과 주사 라인G(i)은 서로 교차하도록 배치되고 있다. 그리고 각 화소P(i, j)는 각각 상술한 바와 같은 스위칭 소자로서의 TFT를 통해 데이터 라인S(i)의 하나 및 주사 라인G(j)의 하나에 서로 교차점

근방에서 연결된다. 또한, 서로 인접한 화소들이 두 화소들마다 하나의 공통 데이터 라인S(j)을 공유하도록 연결된다. 또한, 이들 두 화소들P(i, j)에 대한 각 TFTs들이 각각 상이한 주사 라인G(j)에 연결된다.

[0023] 예컨대, 도 3 및 4에서, 좌측 상부 화소P(1, 1)에 대응하는 TFT는 주사 라인G(1) 및 데이터 라인S(1)에 연결되고, 그 우측에 인접한 화소P(1, 2)는 주사 라인G(2) 및 데이터 라인S(1)에 연결된다. 그리고, 화소P(1, 1)와 화소P(1, 2)는 주사 라인G(1)과 주사 라인(2) 사이에 배치된다.

[0024] 또한, 화소P(1, 2)는 화소P(1, 1)에 대해 데이터 라인S(1)을 끼고 인접하여 가로질러 위치된다. 그러나, 화소P(1, 3)는 화소P(1, 1)로부터 반대측에 인접하여 위치된 화소P(2, 1)에 대해 데이터 라인S(i)을 끼고 가로지르지 않게 위치된다. 화소P(2, 1)는 데이터 라인S(2)을 끼고 가로질러서 화소P(2, 2)와 인접하여 배치된다.

[0025] 도 5 및 6과 관련하여 화소들(p(i, j)의 특정 구조가 설명될 것이다. 기판(10b)에는 게이트 전극(51)을 포함하는 주사 라인들G(j)이 제공된다. 동일한 층 위에 주사 라인들G(j)로서 보조 캐패시턴스(capacitance) 라인들(48)이 제공된다. 즉, 주사 라인들G(j)과 캐패시턴스 라인들(48)이 한번에 같이 형성된다. 전체 영역에서 그 위에 게이트 절연막(52)이 제공된다. 예컨대, 진성 비정질 실리콘으로 이루어진 반도체박막(53)이 게이트 절연막(52) 위에 제공된다. 반도체박막(53)의 상면 위의 거의 중앙 부분에 채널보호막(54)이 제공된다. 예컨대, n형 비정질 실리콘으로 구성된 컨택층(55, 56)들이 채널보호막(54)의 각 측면들 위 및 반도체박막(53)의 상면 위에 채널보호막(54)의 각 측면들에서 제공된다.

[0026] 컨택층(55) 위에 소스 전극(57)이 제공된다. 다른 컨택층(56) 및 게이트 절연막(52) 위에는 드레인 전극(58)을 포함하는 데이터 라인S(i)이 제공된다.

[0027] 따라서, TFT는 게이트 전극(51), 게이트 절연막(52), 반도체박막(53), 채널보호막(54), 컨택층(55, 56)들, 소스 전극(57) 및 드레인 전극(58)으로 구성된다.

[0028] TFT를 포함하는 게이트 절연막(52) 위로 전체 구조에 평탄화막(59)이 제공된다. 평탄화막(59)에서, 소스전극(57)에 대응하는 소정 위치에서 컨택홀(60)이 형성된다. 예컨대, ITO로 형성된 화소 전극(pix)은 평탄화막(59) 위에 소정 위치에서 형성된다. 대응하는 컨택홀(60)을 통해 화소 전극(pix)은 소스 전극(57)에 연결된다. 이러한 예에서, 화소 전극(pix)의 형상은 주사 라인G(j)의 연장방향으로 서로 인접 위치되는 화소들 중에서 회전 대칭 형상으로 되도록 형성된다.

[0029] 여기서, 화소 전극(pix)과 겹치는 보조 캐패시턴스 라인(48)들의 부분은 각각 보조 캐패시턴스 전극으로 되며, 따라서 겹쳐진 부분들에 의하여 각각 보조 캐패시턴스들Ccs이 형성된다. 화소P(i, j)들에서의 보조 캐패시턴스 Ccs는 각각 동일 량의 캐패시턴스를 가지도록 구성된다. 보조 캐패시턴스 라인(48)은 공통전극Gn에 전기적으로 연결된다(따라서, 공통전극과 같은 전위로 된다). 즉, 보조 캐패시턴스 라인(48) 및 공통전극Gn에 공통 신호 Vcom가 인가된다.

[0030] 각 화소P(i, j)에서, 화소 전극pix과 공통 전극Gn 사이의 전위차에 따라 화소 전극pix과 공통전극Gn 사이에 배치된 액정의 배향 상태를 변화시키는 것에 의하여 표시 상태의 제어가 가능하다.

[0031] 액정LC이 화소 전극pix과 공통 전극Gn 사이에 개재되므로 액정 캐패시턴스Cls가 형성되며, 액정 캐패시턴스Clc의 양은 화소들 사이에서 균등하도록 구성된다. 또한, 기판(10b) 위에는 공통 전극Gn이 제공될 수 있다. 따라서, 이 실시예는 기판 표면을 따르는 방향으로 전위차가 발생되어 액정에 인가되는 횡전계방식이나 2개의 기판 사이에 전위차가 발생되어 액정에 인가되는 종전계 방식의 어디에도 적용가능하다.

[0032] 다시 도 1 및 2를 참고하면, 기판(10b) 위의 LCD부(10)의 둘레 영역에 배치된 배선 그룹(20S, 20G)을 통해 LCD부(10)의 우측에 조립 배치된 드라이버 회로(11)에 데이터 라인S(i)과 주사 라인G(j)이 전기적으로 연결된다. 공통 전극Gn은 예컨대 수지로 형성된 도전재료를 통해 기판(10b) 위의 배선에 전기적으로 연결됨으로써 드라이버 회로(11)에 전기적으로 연결된다.

[0033] LCD부(10)에서, 데이터 라인S(i)은 드라이버 회로(11)에 평행으로 연장하도록 형성되며, 주사 라인G(j)은 드라이버 회로(11)를 향하도록 형성된다. 주사 라인 방향으로 배치된 각 화소가 다른 데이터 신호 라인들과 각각 연계되는 구조와 비교하여 상술한 바와 같은 배선 구조를 사용함으로써, 배선 그룹(20S)의 폭(즉, 배선 그룹의 배선 숫자)은 절반으로 감소될 수 있다.

[0034] 도 7 도시와 같이, 드라이버 회로(11)는 주사 라인G(j)을 구동하는 주사 라인 드라이버 회로(22); 데이터 라인S(i)을 구동하는 데이터 라인 드라이버 회로(23); 공통 전극Gn과 보조 캐패시턴스 라인(48)을 구동하는 공통전극 드라이버 회로(28); 소정의 기준 전원(Vcc)을 조정하여 드라이버 회로(11)에 여러 필요한 구동전압들을 출력

하는 전원조정회로(24); 예컨대 외부로부터 입력된 화상 데이터를 일시적으로 기억하는 화상 메모리(25); 해당 LCD 장치(1)의 고유정보를 기억하는 고유정보 메모리(26); 및, 이하에 설명되는 바와 같이 상기 설명한 드라이버들에 각종 제어신호들을 출력함으로써 각 드라이버 회로들을 동기화시키는 콘트롤러(27)를 포함하도록 구성된다.

[0035] 도 8 도시와 같이, 주사라인 드라이버회로(22)는 콘트롤러(27)로부터 출력된 수직 동기신호(Vs) 및 수평 동기신호(Hs)로 사용되는 제1 게이트 클럭신호(GCK1) 및 제2 게이트 클럭신호(GCK2)에 따라 주사 라인G(j)에 주사 신호들을 출력한다. 제1 게이트 클럭신호(GCK1) 및 제2 게이트 클럭신호(GCK2)는 서로에 대해 역 위상의 사각형(rectangular) 신호이다.

[0036] 도 9 도시와 같이, 주사라인 드라이버 회로(22)의 주요 부분의 개략적인 구조는, 주사 라인들(y열)의 숫자와 같은 숫자의 홀딩회로들(101, 102, 103, 104, ---)이 직렬로 배치되도록 구성된다. 각각의 홀딩회로는, 입력단자(IN); 출력단자(OUT); 리셋 단자(RST); 클럭신호 입력단자(CK); 고전위 전원입력단자(Th); 저전위 전원입력단자(Tl)를 포함한다. 제1 열(row)의 홀딩회로(101)의 입력단자(IN)에는 제1열에 대한 입력신호로서 수직 동기신호(Vs)가 제공된다. 이어지는 열들에서, 홀딩회로의 입력단자(IN)에는 앞의 홀딩회로로부터의 출력신호가 제공된다. 홀딩회로의 리셋단자(RST)에는 이어지는 홀딩회로의 출력신호가 제공된다. 마지막 열(즉, y번째 열)의 홀딩회로의 리셋단자(RST)에는 별개의 리셋신호(END)가 제공되거나, 대신에 제1열의 홀딩회로(101)의 출력신호가 제공될 수 있다.

[0037] 또한, 홀수 열의 홀딩회로들의 클럭신호 입력단자(CK)에는 제1 게이트 클럭신호(GCK1)가 제공되며, 짝수 열의 홀딩회로들의 클럭신호 입력단자(GCK2)에는 제1 게이트 클럭신호(GCK1)에 대해 위상이 역전된 제2 게이트 클럭신호(GCK2)가 제공된다. 각 홀딩회로의 고전위 입력단자(Th)에는 소정의 고전압(Vgh)이 공급되며, 각 홀딩회로의 저전위 입력단자(Tl)에는 소정의 저전압(Vgl)이 공급된다.

[0038] 도 10 도시와 같이, 각 홀딩회로들(101, 102, 103, 104, --)은 6개의 MOS형 전계효과트랜지스터들(이하, MOS 트랜지스터라고 부름)(T11-T16)과 캐패시터(C)를 포함한다.

[0039] 도 8 도시와 같이, 상기 설명한 주사라인 드라이버 회로(22)는 수직 동기신호(Vs)에 대응하여 1프레임에 대한 스캐닝을 시작한다. 이어서 주사라인 드라이버회로(22)는 제1 주사라인G(1)으로부터 마지막 주사라인G(y)으로 점진적으로 각각의 주사라인에 대해 제1 게이트 클럭신호(GCK1)와 제2 게이트 클럭신호(GCK2)에 따라 소정의 기간동안만 저레벨전압(Vgl)으로부터 고레벨 전압(Vgh)으로 절환되는 전압출력을 실행한다.

[0040] 즉, 주사라인G(j)에 대해 점진적으로 주사라인 드라이버회로(22)가 선택된 주사라인G(j)에 연결된 TFTs(i, j)을 온(ON)상태로 하므로 이때 데이터 라인S(i)에 출력되는 각 표시신호 전압은 각각 대응하는 화소(i, j)에 기입된다.

[0041] 이와 같이, 홀수 열의 주사라인이 선택되면, 홀수 컬럼(column)에 위치된 선택된 주사 라인과 관련된 각 화소의 화소전극 위에 각 표시신호 전압들이 기입되며, 짝수 열의 주사라인이 선택되면, 짝수 컬럼에 위치된 선택된 주사 라인과 관련된 각 화소의 화소전극에 각 표시신호 전압들이 기입된다. 즉, 특정 열의 화소들에 인접하여 위치된 홀수 열의 주사라인과 짝수 열의 주사라인들이 연속으로 선택되므로 이들 주사라인들 사이에 위치된 열의 모든 화소들에 각 표시전압이 기입된다.

[0042] 데이터라인 드라이버회로(23)는, 콘트롤러(27)로부터 입력된 수평동기신호(Hs), 수직동기신호(Vs), 화상 데이터(Data), 및 기준클럭(CLK)에 따라 소정 타이밍에서 표시패널(11)에 각각 제공된 대응하는 데이터라인S(i)으로 각각의 데이터라인S(i)에 대한 표시신호 전압들을 출력한다.

[0043] 도 11 도시와 같이, 데이터라인 드라이버회로(23)의 기능블록 구조는 샘플링 메모리(151), 데이터 래치회로(152), D/A 컨버터 회로(DAC)(153), 및 표시신호 전압 생성회로(154)를 포함한다.

[0044] 콘트롤러(27)로부터 출력된 수평동기신호(Hs)와 기준클럭신호(CLK)와 동기하여, 샘플링(sampling) 메모리(151)는 하나의 주사라인에 대응하는 화소들의 화상 데이터를 화상 메모리(25)로부터 인출한다. 샘플링 메모리(151)는 상부 열로부터 하부 열의 순서로 각 주사라인에 대해 순차적으로 이를 수행한다. 샘플링 메모리(151)는 데이터라인S(i)과 같은 숫자의 데이터 저장영역을 가진다. 즉, 각 주사라인에 대해, 샘플링 메모리(151)는. 주사라인에 대응하는 화상 데이터를 인출하며, 데이터라인S(i)용의 대응하는 데이터 저장영역에 인출된 화상 데이터를 각각 저장한다. 여기에서, 화상 데이터는 화소에 표시되어야 하는 계조 레벨을 포함하며 각 화소의 계조 레벨은 예컨대, 8-비트 디지털 데이터로 표현된다. 8비트의 디지털 데이터는 이러한 경우 각 데이터 저장영역에 저장된

다.

[0045] 데이터 래치회로(152)로부터의 요구에 따라 샘플링 메모리(151)에 의해 인출된 일 수평기간의 화상 데이터는 샘플링 메모리(151)로부터 데이터 래치회로(152)에 전송된다. 화상 데이터가 일단 데이터 래치회로(152)에 전송되면, 샘플링 메모리(151)는 다음의 일 수평기간용 화상 데이터로서 다음 열의 주사라인에 대한 화상 데이터를 인출하기 시작한다. 이 공정은 수평동기신호(Hs)와 동기하여 수행된다.

[0046] 수평동기신호(Hs)에 따라 데이터 래치회로(152)는 우선 샘플링 메모리(151)로부터 일 수평기간용 화상 데이터를 인출하고 이어지는 D/A 컨버터 회로(153)에 인출된 화상 데이터를 출력한다.

[0047] D/A 컨버터회로(153)는 복수의 DAC 부분(241)과 복수의 출력증폭회로(242)로 구성된다. D/A 컨버터회로(153)는 데이터 래치회로(152)로부터 출력된 각 화상 데이터를 표시신호 전압생성회로(154)로부터 제공된 표시신호 전압들을 적절히 선택함으로써 대응하는 아날로그 표시신호 전압으로 변환한다. 이렇게 생성된 아날로그 표시신호 전압들은 출력증폭회로(242)를 통해 각 데이터 라인S(i)에 인가된다.

[0048] 이 때, D/A 컨버터회로(153)는 데이터 래치회로(152)로부터 출력된 디지털 화상 데이터를 콘트롤러(27)로부터 출력된 극성반전신호(Pol)에 따라 아날로그 표시신호 전압으로 변환한다. 특히, 극성반전신호(Pol)가 높은 Vsh이면, D/A 컨버터회로(153)는 데이터 래치회로(152)로부터 출력된 화상 데이터의 양의 극성을 가지는 표시신호 전압으로의 D/A 변환을 수행하며, 극성반전신호(Pol)가 낮은 Vsl의 상태이면, D/A 컨버터회로(153)는 데이터 래치회로(152)로부터 출력된 화상 데이터의 음의 극성을 가지는 표시신호 전압으로의 D/A 변환을 수행한다. 즉, 극성반전신호(Pol)가 높은 Vsh이면, D/A 컨버터회로(153)는 액정에 인가된 전압이 양의 극성을 가지도록 D/A 변환을 수행하며, 극성반전신호(Pol)가 낮은 Vsl이면, D/A 컨버터회로(153)는 액정에 인가된 전압이 음의 극성을 가지도록 D/A 변환을 수행한다. 즉, 각 계조레벨에 대한 표시신호 전압으로서 두 상이한 전압 레벨을 생성하는 것이다.

[0049] 공통전극 드라이버회로(28)는 공통신호(Vcom)를생성하여 공통전극Gn 및보조 캐패시턴스 라인(48)에 공급한다. 도 12A, 12B, 및 12C 도시와 같이, 공통전극 드라이버회로(28)는 수직동기신호(Vs)와 수평동기신호(Hs)에 따라 표시신호전압(Vd)의 진폭중심 전압(Vdc)에 두 종류의 보정전압(Vc1 및 Vc2)을 중첩시킴으로써 공통신호(Vcom)를 생성한다. 이하에서 두 종류의 보정전압(Vc1 및 Vc2)이 상세하게 설명될 것이다. 표시신호전압(Vd)에 대해, 소정의 계조레벨(gray scale level)에 대한 전압 레벨은 진폭중심전압(Vdc) 둘레에서 극성반전신호(Pol)를 기초로 일정 주기에서 변화한다. 따라서 진폭중심전압(Vdc)은 각 계조레벨에 각각 대응하는 일정한 세트를 이루는 표시신호 전압(Vd)과 함께 미리 정해진다. 진폭중심전압(Vdc)은 전원조정회로(24)로부터 공통전극 드라이버회로(28)로 제공된다.

[0050] 제1 보정전압(Vc1)은 홀수 주사라인(즉, 주사라인G(1))에 대응하는 화소들-즉, 데이터라인S(i)의 각각의 좌측 및 인접하여 배치된 화소(홀수 컬럼의 화소)에 표시신호 전압(Vd)이 인가되는 경우, 진폭중심전압(Vdc)과 중첩된 전압이다. 제1 보정전압(Vc1)은 홀수 주사라인에 연결된 화소들에 표시신호 전압을 기입하는 것이 완료시(즉, TFTs가 온 상태에서 오프상태로 변하는 경우, 즉 주사라인이 Vgh에서 Vgl로 변하는 경우) 생성되는 인입 전압(△V1)에 대응하도록 결정된다.

[0051] 제2 보정전압(Vc2)은 짝수 주사라인(즉, 주사라인G(2))에 대응하는 화소들-즉, 데이터라인S(i)의 각각의 좌측 및 인접하여 배치된 화소(짝수 컬럼의 화소)에 표시신호 전압(Vd)이 인가되는 경우, 진폭중심전압(Vdc)과 중첩된 전압이다. 제2 보정전압(Vc2)은 짝수 주사라인에 연결된 화소들에 표시신호 전압을 기입하는 것이 완료시 생성되는 인입 전압(△V2)(전압강하)에 대응하도록 결정된다.

[0052] 제1 보정전압(Vc1)과 제2 보정전압(Vc2)의 크기는 홀수 주사라인과 그에 대응하는 화소전극 사이의 거리(L1)와 짝수 주사라인과 그에 대응하는 화소전극 사이의 거리(L2)를 기초로 정해진다. 즉, 각 기입기간의 종료(즉, 대응하는 표시신호 전압이 화소전극에 기입완료) 후에, 화소 전극들의 수직 위치 변이(배향에러)-주사라인들의 연장방향에 수직인 방향으로의 주사라인에 대한 화소 전극의 위치변이-에 기인하는 홀수 주사라인에 연결된 화소들과 짝수 주사라인에 연결된 화소들 사이의 기생 캐패시턴스(Cgs)가 상이하여도, 액정에 인가된 전압이 짝수 주사라인들에 연결된 화소들 및 홀수 주사라인에 연결된 화소들에 대한 소정의 계조레벨을 정확하게 반영하는 것을 보장하도록 제1 보정전압(Vc1)과 제2 보정전압(Vc2)이 생성된다. 보정전압들(Vc1, Vc2)은 Vc1 및Vc2의 적정한 값을 결정 후에 미리 고유 LCD 장치(1)에 고유한 정보(Inf)로서 고유정보 메모리(26)에 저장될 수 있다.

[0053] 여기서, 홀수 주사라인들에 연결된 화소들에 표시신호전압의 기입 종료시 생성되는 인입 전압(△V1)과 짝수 주사라인들에 연결된 화소들에 표시신호전압의 기입 종료시 생성되는 인입 전압(△V2)은 이하의 식들로부터 계산

될 수 있다:

수학식 1

[0054] $\triangle V1 = (Vgh - Vgl) \times Cgs1 / (Clc + Ccs + Cgs1)$

[0055] $\fallingdotseq (Vgh - Vgl) \times (\alpha / L1) / \{Clc + Ccs + (\alpha / L1)\}$

[0056] $\triangle V2 = (Vgh - Vgl) \times Cgs2 / (Clc + Ccs + Cgs2)$

[0057] $\fallingdotseq (Vgh - Vgl) \times (\alpha / L2) / \{Clc + Ccs + (\alpha / L2)\}$

[0058] 여기서, Cgs1은 홀수 주사라인과 이에 대응하는 화소의 화소전극 사이의 기생 캐패시턴스이며, Cgs2는 짝수 주사라인과 이에 대응하는 화소의 화소전극 사이의 기생 캐패시턴스이다. "α"는 기생 캐패시턴스를 구성하는 전극의 유효 면적과 유전체의 유전율의 곱(product)이다.

[0059] 예시적인 실시예에서, 전원조정회로(24)로부터 진폭중심전압(Vdc)이 제공된다. 제2 보정전압(Vc2)이 △V2로 설정되고 제1 보정전압(Vc1)이 △V1으로 설정되는 고유정보(Inf)는 미리 고유정보 메모리(26)에 저장되며, 제1 보정전압(vc1)과 제2 보정전압(Vc2)은 인입 전압생성 방향에서 교대로 진폭중심전압(Vdc)에 중첩된다. 예컨대, 기입작동(도 21 도시와 같이)에서 표시신호전압(Vd)에 대해 음의 방향으로 인입전압들(△V1, △V2)이 발생하면, 진폭중심전압(Vdc)에 대해 음의 방향으로 보정전압(Vc1, Vc2)이 중첩된다 - 즉, Vcom을 생성하기 위하여 Vdc로부터 Vc1, Vc2가 교대로 감해진다.

[0060] 도 12A는 △V2의 절대값이 △V1의 절대값보다 큰 예 - 즉, 각 짝수 주사라인과 이에 연결된 인접 화소 전극들 사이의 거리(L2)가 각각의 홀수 주사라인과 그에 연결된 화소 전극들 사이의 거리(L1)보다 좁(짧은)도록(즉, 기생 캐패시턴스(Cgs1)가 기생 캐패시턴스(Cgs2) 보다 작은 경우) 주사라인의 연장방향에 수직인 방향으로 화소 전극들의 위ㅊ 변이가 발생하는 예를 도시한다. 도 12B는 △V2의 절대값이 △V1의 절대값과 같은 예 - 즉, 상기 설명한 거리(L1 및 L2)가 동일해지므로(즉, 기생 캐패시턴스(Cgs1)와 기생 캐패시턴스(Cgs2)가 동일한 경우) 주사라인의 연장방향에 수직인 방향으로 화소 전극들의 위치 변이가 발생하지 않는(배향 에러 없음) 예를 도시한다. 또한, 도 12C는 △V2의 절대값이 △V1의 절대값보다 작은 예 - 즉, 각 짝수 주사라인과 이에 연결된 인접 화소 전극들 사이의 거리(L2)가 각각의 홀수 주사라인과 그에 연결된 화소 전극들 사이의 거리(L1)보다 넓(큰)도록(즉, 기생 캐패시턴스(Cgs1)가 기생 캐패시턴스(Cgs2) 보다 큰 경우) 주사라인의 연장방향에 수직인 방향으로 화소 전극들의 위치 변이가 발생하는 예를 도시한다. 이들 도면에서 표현 "Od"는 홀수 주사라인들이 선택된 기간을 나타내며, 표현 "Ev"는 짝수 주사라인들이 선택된 기간을 나타낸다.

[0061] 도 13 및 도 14 도시와 같이 주사라인들의 연장방향에 수직인 방향으로의 화소 전극들의 위치 변이에 기인하여 홀수 주사라인들에 연결된 화소들과 짝수 주사라인들에 연결된 화소들 사이의 기생 캐패시턴스(Cgs)의 값들이 다르더라도, 공통 전극Gn과 보조 캐패시턴스(보조 캐패시턴스 라인들(48))에 상기 설명한 바와 같은 공통 신호(Vcom)을 제공함으로써, 대응하는 약정 셀들에 걸쳐 인가된 전압들은 각 화소들의 고유 계조 레벨들에 대응하는 표시신호전압(Vd-Vcom)을 정확하게 반영한다. 예컨대, 홀수 주사라인(즉, P(i, 1))에 연결된 화소 및 인접한 짝수 주사라인(즉, P(i, 2))에 연결된 화소에 동일한 표시신호 전압(Vd)이 인가되면, 각 액정 셀들에 인가된 전압들{Vlcd(i, 1) 및 Vlcd(i, 2)}은 이러한 조정에 기인하여 같게 유지될 수 있다. 이와 같이, 표시 품질의 열화가 방지될 수 있다.

[0062] 도 13은 ΔV2의 절대값이 ΔV1의 절대값보다 큰 예; 즉, 각 짝수 주사라인과 이에 연결된 화소 전극들 사이의 거리(L2)가 홀수 주사라인과 그에 연결된 화소 전극들 사이의 거리(L1)보다 좁(짧은)도록 주사라인의 연장방향에 수직인 방향으로 화소 전극들의 위치 변이가 발생하는 예를 도시한다.

[0063] 도 14는 ΔV2의 절대값이 ΔV1의 절대값보다 작은 예; 즉, 짝수 주사라인과 이에 연결된 화소 전극들 사이의 거리(L2)가 홀수 주사라인과 그에 연결된 화소 전극들 사이의 거리(L1)보다 넓(길)도록 주사라인의 연장방향에 수직인 방향으로 화소 전극들의 위치 변이가 발생하는 예를 도시한다.

[0064] 도 13 및 도 14에서, 시간에 따라 변하는 전압변동을 더 명확하게 도시하기 위하여, 홀수 주사라인용 주사신호가 Vgh에서 Vgl로 변하는 타이밍과 짝수 주사라인용 주사신호가 Vgl에서 Vgh로 변하는 타이밍까지 사이의 시간이 도8 및 도 12 도시의 타이밍 차트와 비교하여 과장하여 도시된다.

[0065] 고유정보 메모리(26)는 예컨대 불휘발성 메모리들의 하나인 EEPROM (Elect- rically Erasable Programmable

ROM)을 사용할 수 있다. 이 경우, EEPROM은 LCD 장치(1)가 처음에 제작되면 정보가 기입되지 않는다(즉, 백지 상태). LCD 장치(1)를 제조 후에, 예컨대, EEPROM용 기입 시스템 장치에 기입 신호 단자(29)를 연결함으로써 LCD 장치(1)의 종결된 특징에 따른 상기 설명한 소정의 정보는 고유정보 메모리(26)에 저장된다.

[0066] 이 경우, 고유정보 메모리(26)에의 기입전압(Vpp)은 기준 전압(Vcc)의 영향으로 고유정보 메모리(26)에 저장된 정보의 예기치않은 삭제를 방지하기 위하여 전원조정회로(24)에 입력된 기준전압(Vcc) 보다 높아지도록 구성됨이 바람직하다.

[0067] Vc1 및 Vc2의 값들을 결정함에 있어서, 상기 설명한 식을 사용하는 것에 덧붙여서 혹은 대신에 여러 방법들이 사용될 수 있다. 예컨대, 이미 제작된 LCD 장치(1)가 시험 기기에 장착되어 Vc1과 Vc2의 적절한 값들을 결정하기 위하여 조정가능한 파라미터들로서 Vc1과 Vc2의 값들이 변하는 동안 실제 표시 조건들이 관찰된다.

[0068] 부가적으로 혹은 대신에, 짝수 주사라인 또는 홀수 주사라인에 연결된 시험/가상(dummy) 화소들이 각각 LCD 장치(1)에 제공되어 이들 더미 화소들의 화소전극 및 공통전극에 인가된 실제 전압은 Vc1 및 Vc2의 적절한 값들을 결정하고 확인하기 위하여 측정된다.

[0069] 또한, 화소들의 평면 패턴은 Vc1 및 Vc2의 값들을 초기적으로 평가하기 위하여 주사라인의 어레이들에 대한 화소전극의 위치 변이의 양을 평가하기 위하여 광학 현미경에 의하여 관찰될 수 있다.

[0070] 또한, 상기 설명한 여러 방법들의 하나 이상을 사용하는 일련의 실험들이 거리들(L1과 L2) 및 기준전압들(Vc1과 Vc2) 사이의 실험적 관계를 형성하는 데 충분한 데이터를 축적하기 위하여 LCD 장치(1)에 실행될 수 있다. 이러한 관계가 일단 형성되면, 거리(L1과 L2)를 측정하는 것이 적절한 Vc1 및 Vc2의 값들을 생성할 수 있다. 즉, 상기 설명된 수학식1은 실험들을 통해 정의될 수 있으므로 L1 및 L2의 간단한 측정은 Vc1 및 Vc2의 신뢰성 있는 값을 발생할 수 있다. 더욱이, EEPROM과 같은 반영구적인 메모리를 사용하는 대신에, 상기 설명한 가상/시험 화소들은 LCD 장치의 일부로서 제조될 수 있는 시험 회로에 연결될 수 있으므로 Vc1과 Vc2의 적절한 값들의 조정은 예컨대 사용자에 의하여 대응하는 동작이 선택된 경우 혹은 LCD 장치가 동작될 때마다 피드백 방식으로 자동으로 실행될 수 있다. 여러 다른 수정들 및 방법론들이 Vc1과 Vc2의 값들을 결정하기 위하여 가능하다.

[0071] 상기 설명한 구조에 따르면, 화소전극들에 대해 위치 변이가 발생하여도 보정전압(Vc1, Vc2)에 대한 적절한 값들은 각각의 개별 LCD 장치에 대해 정해질 수 있다.

[0072] 상기 설명한 예시적인 실시예들은 화소들의 열을 가로질러 배치된 인접한 두 주사 라인들 사이에서 홀수 주사라인들이 선택된 후에 짝수 주사라인이 선택된 예를 설명한다. 그러나, 그 대신에, 도 15 도시와 같이, 화소들의 열을 가로질러 배치된 인접한 두 주사 라인들 사이에서 짝수 주사라인들이 선택된 후에 홀수 주사라인이 선택될 수 있다.

[0073] 또한, 상기 설명한 예시적인 실시예들에서, 전원조정회로(24)가 공통전극 드라이버회로(28)에 진폭중심전압(Vdc)을 제공한다. 대신에, 전원조정회로(24)는 공통전극드라이버회로(28)에 진폭중심전압(Vdc)과는 다른 전압을 제공하며, 공통전극 드라이버회로(28)는 미리 설정된 정보에 따라 전원조정회로(24)로부터 제공된 전압을 처리할 수 있다.

[0074] 또한, 도 7 도시의 기능들과 전압신호 전송사양은 본 발명의 실시예를 수행하기 위한 하나의 가능한 방법을 표시한다. 그러나, 상기 표시한 바와 같이, 본 발명은 이러한 특정의 구조에 한정되지 않는다. 다른 블록들로 실행되는 기능들을 담당하도록 콘트롤러(27)가 구성되는 것과 같은 여러 수정들이 가능하다.

[0075] 또한, 상기 설명한 예시적인 실시예들에서, 전원조정회로(24)가 공통전극 드라이버회로(28)에 진폭중심전압(Vdc)으로서 DC 전압을 제공하는 예가 설명된다. 그러나, 도 16A, 16B 도시와 같이, LCD 장치는 그 진폭중심전압이 상기 설명한 진폭중심전압(Vdc)과 같은 사각 파형의 AC 전압(Vac)을 전원조정회로(24)가 공통전극 드라이버회로(28)에 제공하며, 공통전극 드라이버회로(28)는 사각파형의 AC전압(Vac)에 보정전압(Vc1, Vc2)이 중첩하도록 구성될 수 있다. 비교적 큰 전압이 표시신호전압(Vd)이 작은 값으로 설정된 경우조차 액정에 인가될 수 있으므로 이러한 구성은 적절한 예들에서 효과적이다.

[0076] 또한, 상기 설명한 예시적인 실시예들은 일 프레임의 액정에 기입된 전압 극성이 각 주사라인에 대응하는 화소들 중에서 같은 프레임 반전 드라이브의 예를 설명한다. 그러나, 도 17A, 17B 도시와 같이, 본 발명과 그 여러 실시예들은 일 프레임의 액정에 기입된 전압 극성이 인접 주사라인들에 대응하는 화소들 중에서 상이한 라인 반전 드라이브 또는 도트반전(dot inversion) 드라이브에 용이하게 적용될 수 있다.

산업이용 가능성

[0077] 또한, 상기 설명한 예시적인 실시예들에서, 화소들이 스트라이프(stripe)로서 배치된 화소들의 스트라이프 배치의 예를 설명한다. 그러나, 본 발명과 그 여러 실시예들은 델타(delta) 배치 또는 다른 형태의 화소 배치들에 적용할 수 있다.

[0078] 본 발명의 이들 실시예들에 따라 다른 이점들 중에서 주사라인들의 연장방향에 수직인 방향으로 화소전극들의 위치변이가 발생하여도 화상 품질의 열화가 방지될 수 있다.

[0079] 이 기술분야의 당업자들에게는 본 발명의 사상과 범위를 벗어나지 않고 본 발명의 방법과 장치의 다양한 수정과 변경이 이루어질 수 있음이 명백할 것이다. 따라서, 본 발명은 첨부 특허청구범위와 그 균등물의 범위에 속하는 수정과 변경들을 포함하도록 의도된다.

[0080]

도면의 간단한 설명

[0081] 명세서에 포함되고 그 일부를 구성하는 첨부도면들은 본 발명의 실시예를 예시하며, 상술한 바와 같은 일반적인 설명 및 이하의 실시예들의 상세한 설명들과 함께 본 발명의 원리를 설명하도록 기여할 것인 데, 여기에서:

[0082] 도 1은 본 발명의 실시예에 따른 LCD 장치를 개략 도시하는 평면도이다.

[0083] 도 2는 본 발명의 실시예에 따른 LCD 장치를 개략 도시하는 단면도이다.

[0084] 도 3은 LCD부의 화소 배치를 도시하는 도면이다.

[0085] 도 4는 LCD부의 등가회로도이다.

[0086] 도 5는 화소들의 평면도이다.

[0087] 도 6은 화소들의 단면도이다.

[0088] 도 7은 드라이버 회로들의 블록 구성도이다.

[0089] 도 8은 각각의 주사라인들의 주사신호들의 예를 도시하는 도면이다.

[0090] 도 9는 주사라인 드라이버 회로의 개략 구성도이다.

[0091] 도 10은 홀딩회로의 예를 도시하는 도면이다.

[0092] 도 11은 데이터 라인 드라이버 회로의 개략 구성도이다.

[0093] 도 12A는 △V2의 절대값이 △V1의 절대값보다 큰 경우의 공통신호의 예를 도시한다.

[0094] 도 12B는 △V1의 절대값이 △V2의 절대값보다 큰 경우의 공통신호의 예를 도시한다.

[0095] 도 12C는 △V2의 절대값이 △V1의 절대값보다 작은 경우의 공통신호의 예를 도시한다.

[0096] 도 13은 △V2의 절대값이 △V1의 절대값보다 큰 경우의 공통신호와 액정에 인가된 전압 사이의 관계를 도시한다.

[0097] 도 14는 △V2의 절대값이 △V1의 절대값보다 작은 경우의 공통신호와 액정에 인가된 전압 사이의 관계를 도시한다.

[0098] 도 15는 각각의 주사 라인들의 주사 신호들의 변화를 도시한다.

[0099] 도 16A는 △V2의 절대값이 △V1의 절대값보다 큰 경우의 공통신호의 변화를 도시한다.

[0100] 도 16B는 △V2의 절대값이 △V1의 절대값보다 작은 경우의 공통신호의 변화를 도시한다.

[0101] 도 17A는 라인 반전 구동 또는 도트 반전 구동의 경우 표시신호 전압과 공통신호 사이의 관계를 도시하며, △V2의 절대값이 △V1의 절대값보다 큰 경우를 도시한다.

[0102] 도 17B는 라인 반전 구동 또는 도트 반전 구동의 경우 표시신호 전압과 공통신호 사이의 관계를 도시하며, △V2의 절대값이 △V1의 절대값보다 작은 경우를 도시한다.

[0103] 도 18은 종래기술의 화소 배치를 도시하는 도면이다.

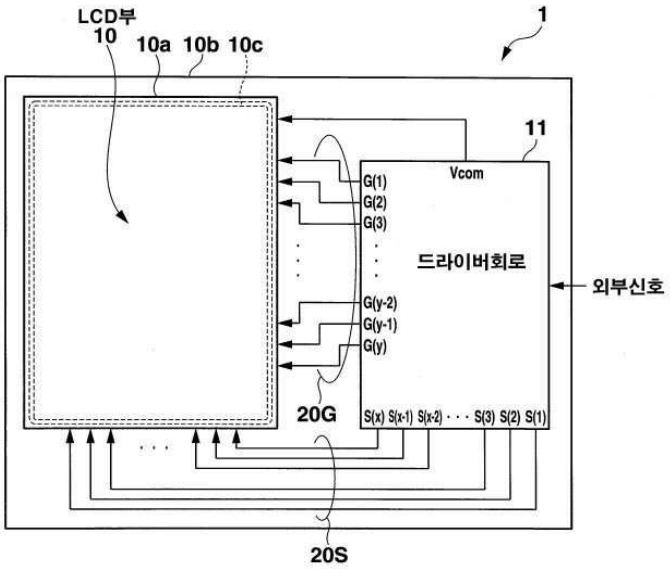
[0104] 도 19는 종래기술의 각각의 주사라인들의 선택 순서를 설명하는 도면이다.

[0105] 도 20은 종래기술에서 각 화소의 기생 캐패시턴스를 설명하는 도면이다.

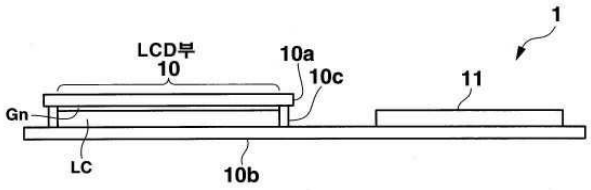
[0106] 도 21은 종래기술에서 인가전압을 설명하는 도면이다.

도면

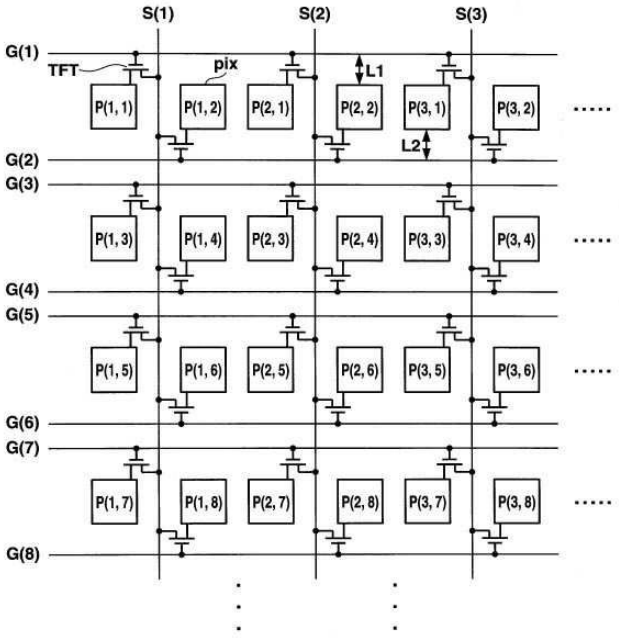
도면1



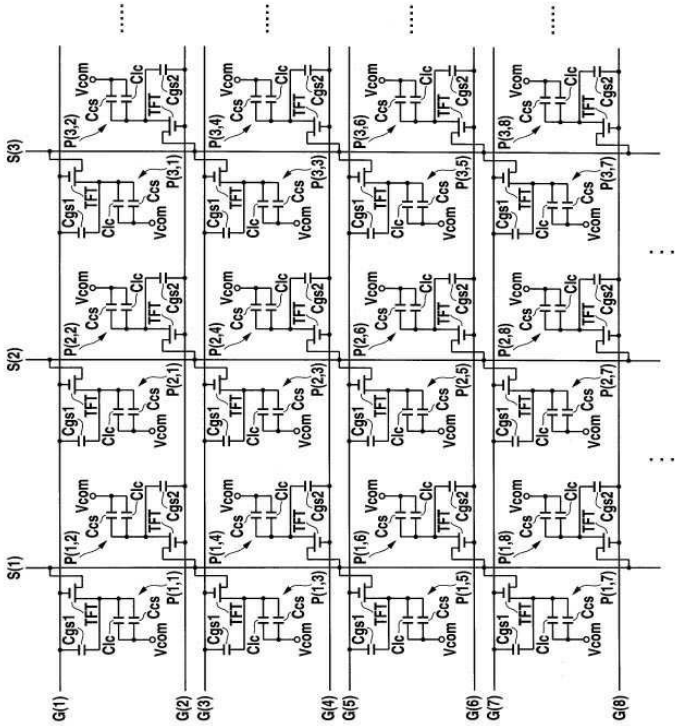
도면2



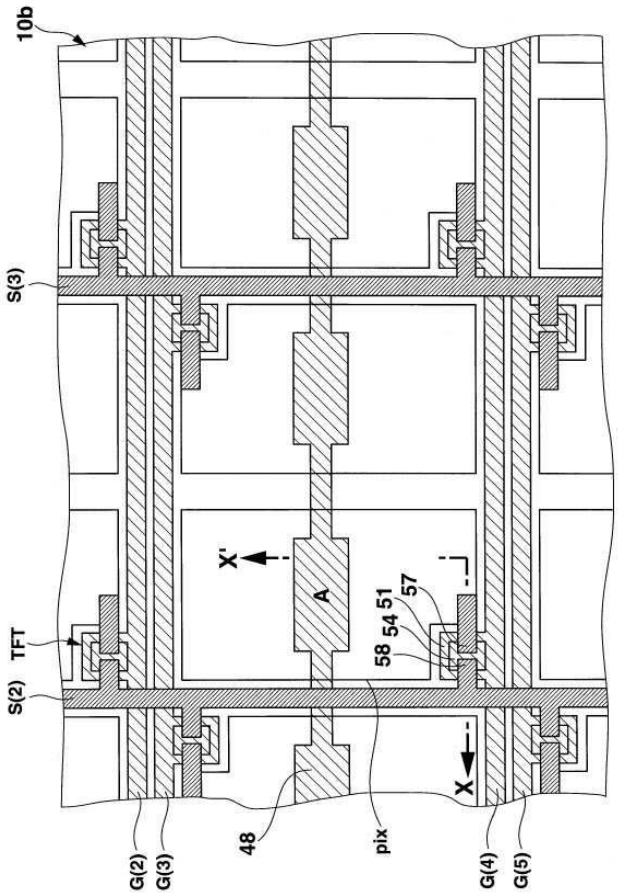
도면3


S(1)
S(2)
S(3)
G(1)
TFT
pix
L1
L2
P(1, 1)
P(1, 2)
P(2, 1)
P(2, 2)
P(3, 1)
P(3, 2)
G(2)
G(3)
P(1, 3)
P(1, 4)
P(2, 3)
P(2, 4)
P(3, 3)
P(3, 4)
G(4)
G(5)
P(1, 5)
P(1, 6)
P(2, 5)
P(2, 6)
P(3, 5)
P(3, 6)
G(6)
G(7)
P(1, 7)
P(1, 8)
P(2, 7)
P(2, 8)
P(3, 7)
P(3, 8)
G(8)

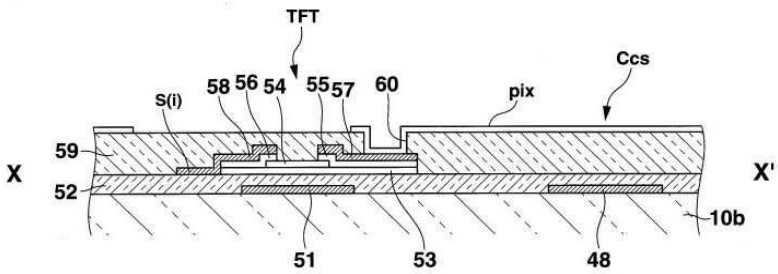
도면4


S(3)
S(2)
S(1)
G(1)
G(2)
G(3)
G(4)
G(5)
G(6)
G(7)
G(8)
Vcom
Ccs
Clc
TFT
Cgs2
Cgs1

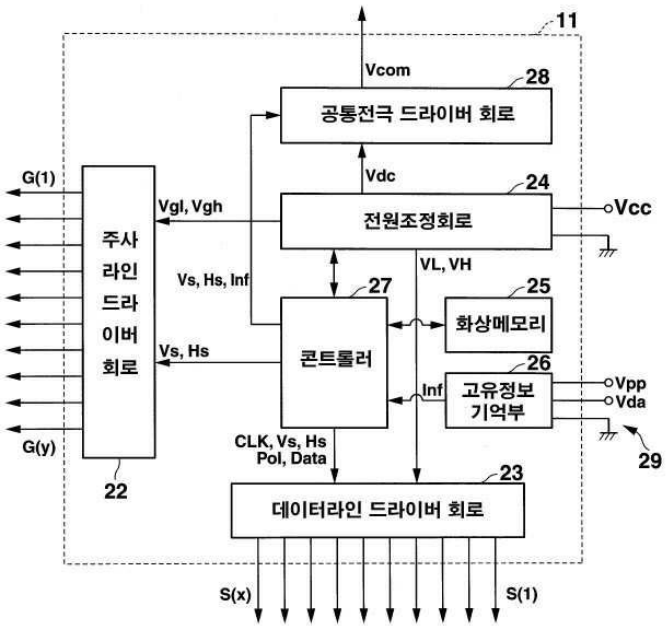
도면5


10b
S(3)
X'
A
57
51
54
58
TFT
S(2)
X
48
pix
G(2)
G(3)
G(4)
G(5)

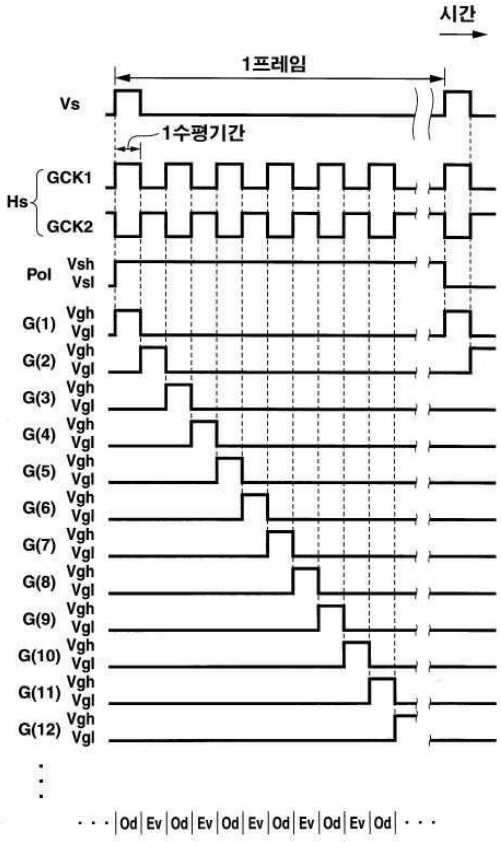
도면6


TFT
Ccs
S(i)
58
56
54
55
57
60
pix
59
X
X'
52
10b
51
53
48

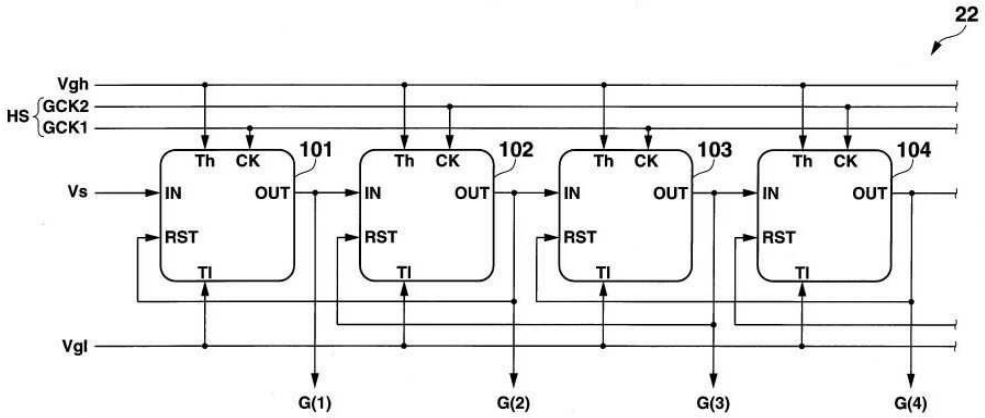
도면7


11
Vcom
28
공통전극 드라이버 회로
Vdc
24
전원조정회로
Vcc
G(1)
주사
라인
드라
이버
회로
Vgl, Vgh
Vs, Hs, Inf
VL, VH
27
콘트롤러
25
화상메모리
Vs, Hs
26
Inf
고유정보
기억부
Vpp
Vda
29
G(y)
22
CLK, Vs, Hs
Pol, Data
23
데이터라인 드라이버 회로
S(x)
S(1)

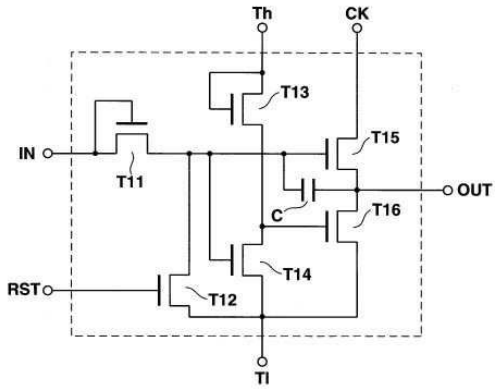
도면8


시간
1프레임
Vs
1수평기간
Hs
GCK1
GCK2
Pol
Vsh
Vsl
G(1)
G(2)
G(3)
G(4)
G(5)
G(6)
G(7)
G(8)
G(9)
G(10)
G(11)
G(12)
Vgh
Vgl
Od
Ev

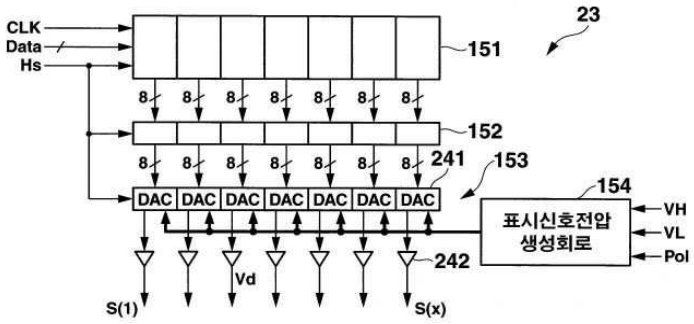
도면9



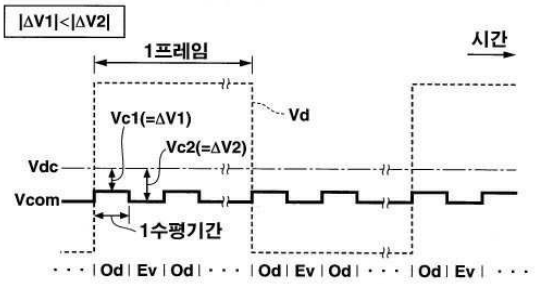
도면10



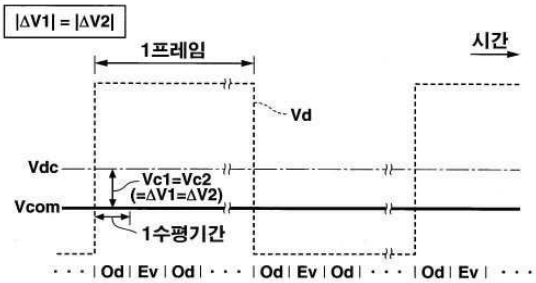
도면11



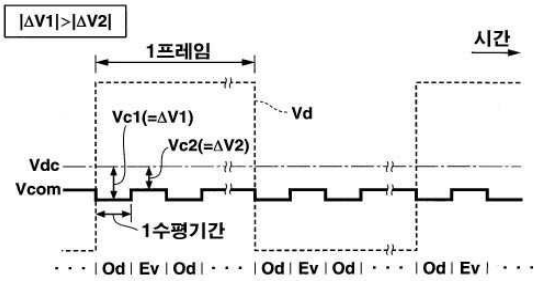
도면12a



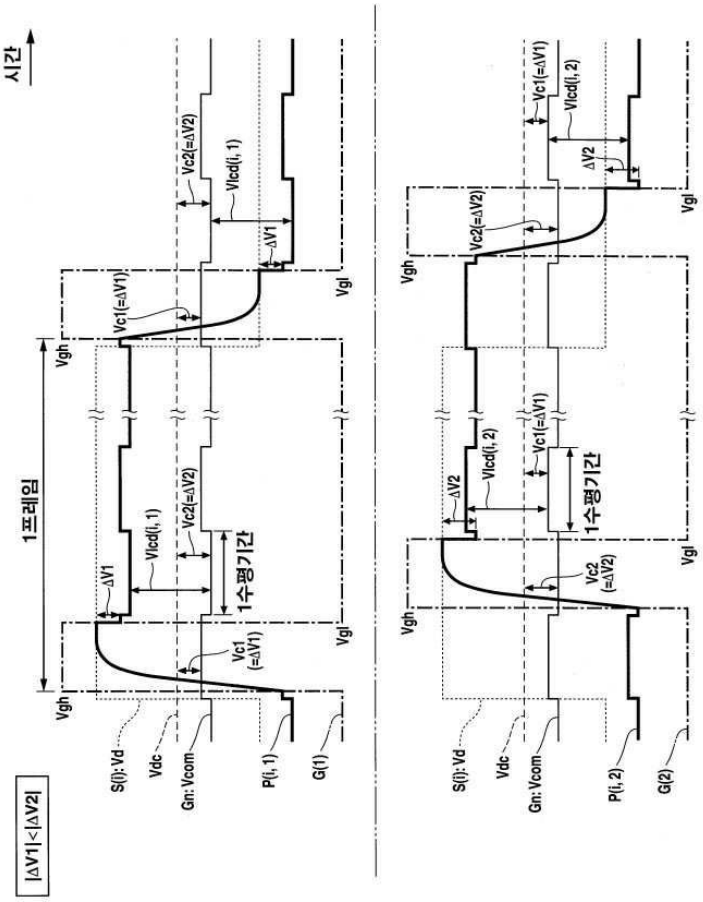
도면12b



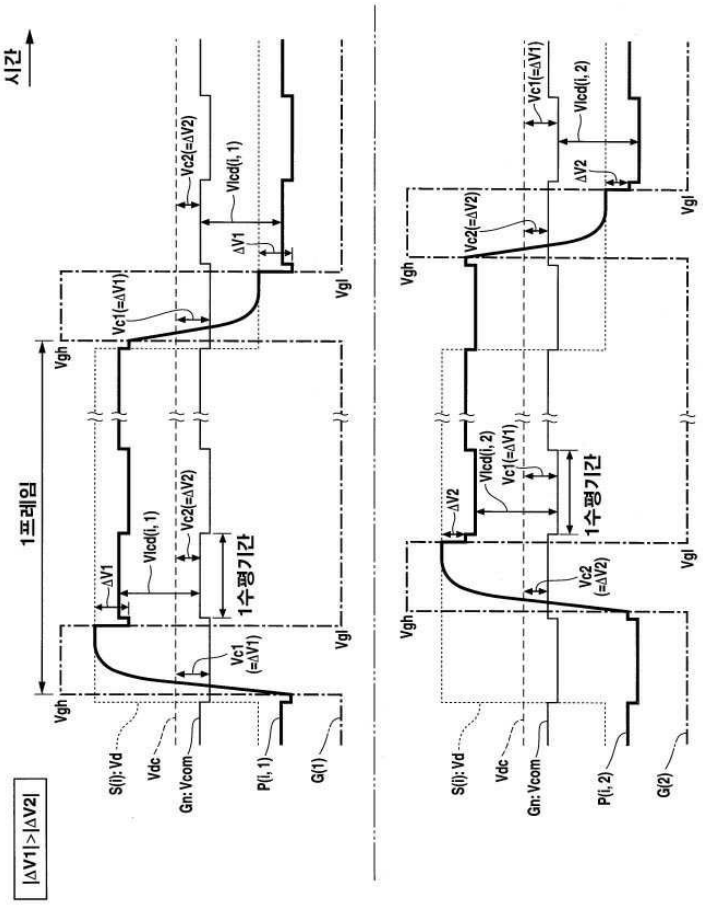
도면12c



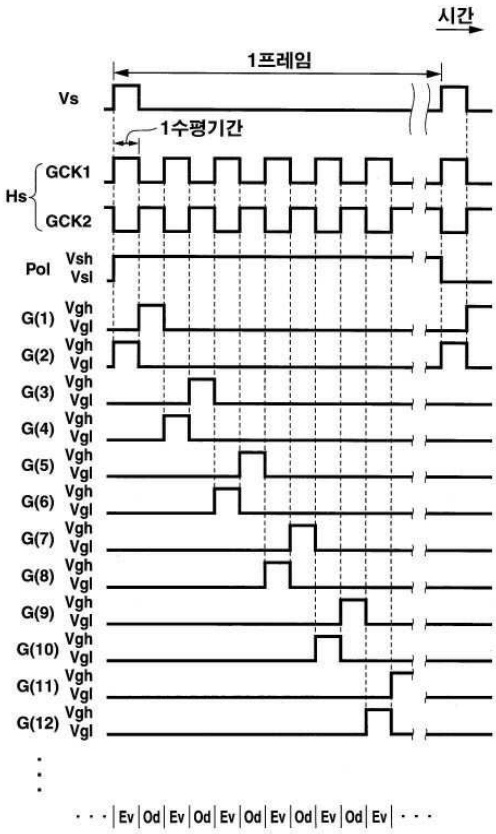
도면13


시간
1프레임
|ΔV1|<|ΔV2|
Vgh
Vgl
ΔV1
Vc1(=ΔV1)
Vc2(=ΔV2)
Vlcd(i, 1)
1수평기간
S(i): Vd
Vdc
Gn: Vcom
P(i, 1)
G(1)
ΔV2
Vlcd(i, 2)
Vc1(=ΔV1)
Vc2 (=ΔV2)
P(i, 2)
G(2)

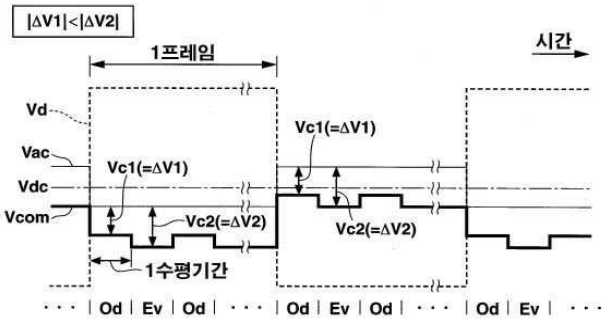
도면14


시간
1프레임
Vgh
Vgl
Vc1(=ΔV1)
Vc2(=ΔV2)
Vlcd(i, 1)
ΔV1
1수평기간
Vc1 (=ΔV1)
Vc2 (=ΔV2)
S(i): Vd
Vdc
Gn: Vcom
P(i, 1)
G(1)
|ΔV1|>|ΔV2|
Vlcd(i, 2)
ΔV2
P(i, 2)
G(2)

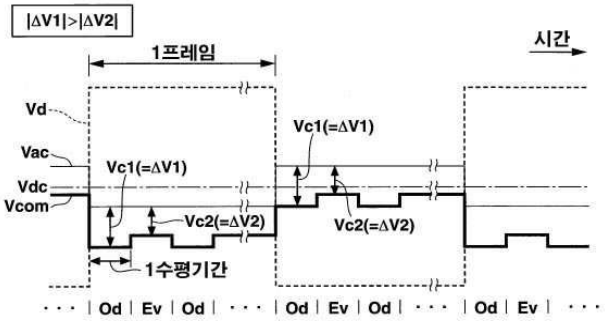
도면15



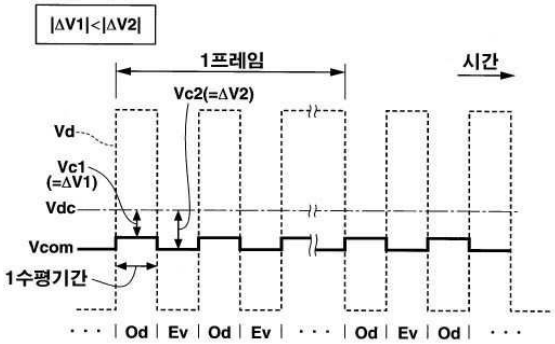
도면16a



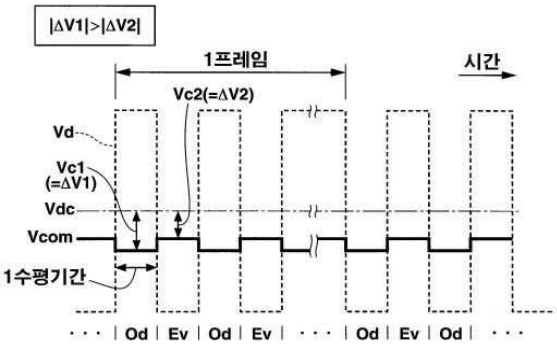
도면16b



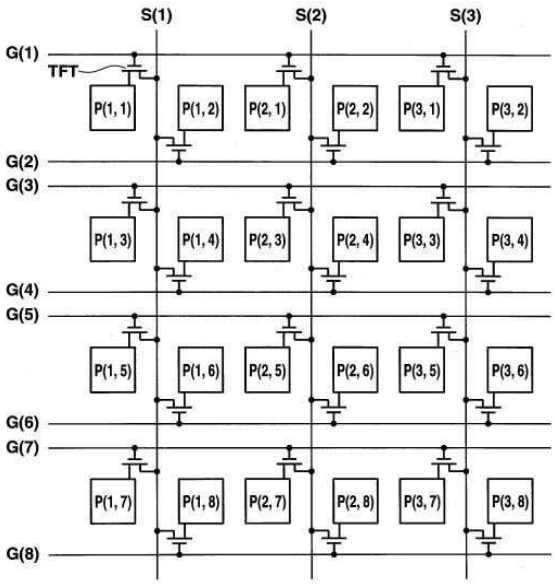
도면17a



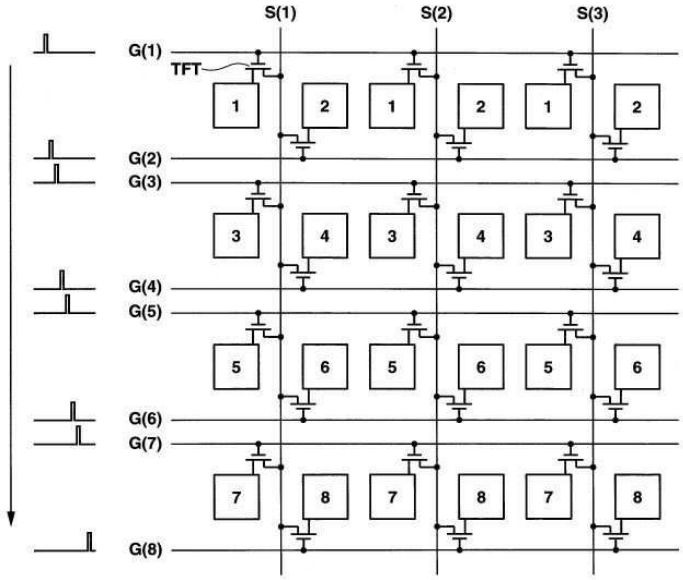
도면17b



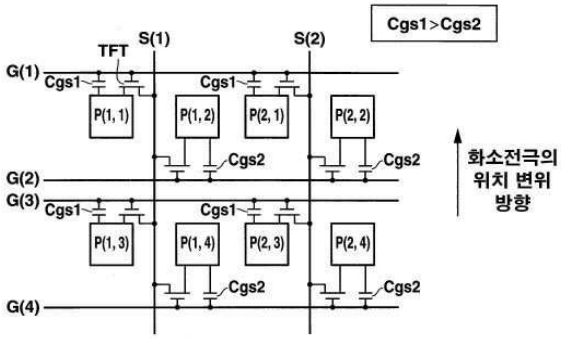
도면18



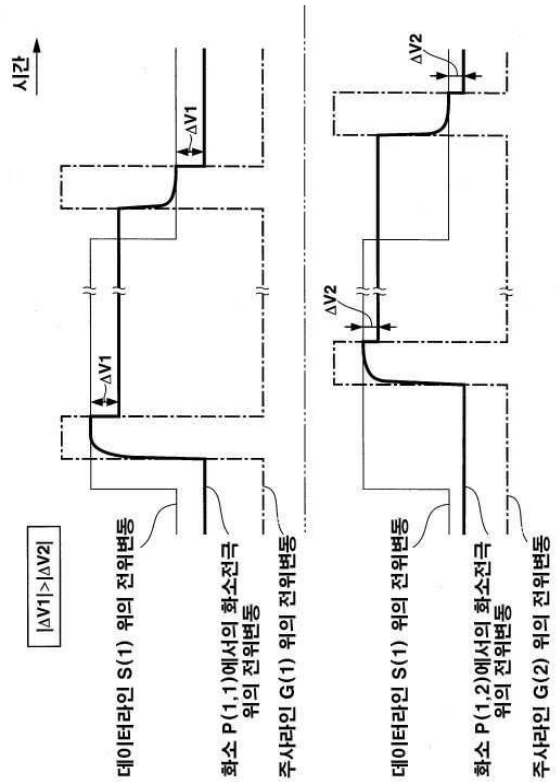
도면19


S(1)
S(2)
S(3)
G(1)
TFT
G(2)
G(3)
G(4)
G(5)
G(6)
G(7)
G(8)
1
2
3
4
5
6
7
8

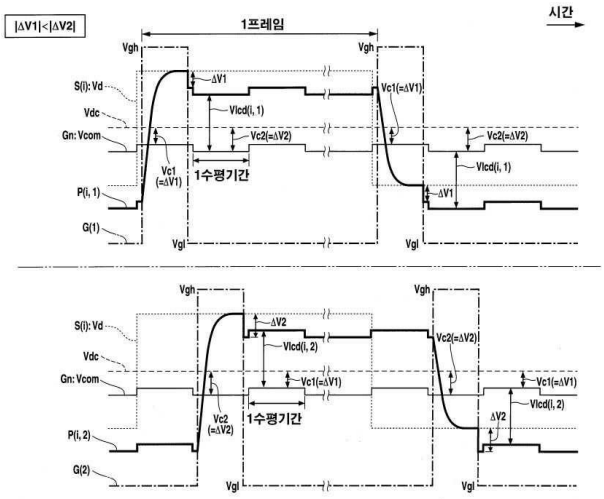
도면20


Cgs1>Cgs2
TFT
S(1)
S(2)
G(1)
G(2)
G(3)
G(4)
Cgs1
Cgs2
P(1, 1)
P(1, 2)
P(2, 1)
P(2, 2)
P(1, 3)
P(1, 4)
P(2, 3)
P(2, 4)
화소전극의
위치 변위
방향

도면21


시간
|ΔV1|>|ΔV2|
ΔV1
ΔV1
데이터라인 S(1) 위의 전위변동
화소 P(1,1)에서의 화소전극 위의 전위변동
주사라인 G(1) 위의 전위변동
ΔV2
ΔV2
데이터라인 S(1) 위의 전위변동
화소 P(1,2)에서의 화소전극 위의 전위변동
주사라인 G(2) 위의 전위변동

专利名称(译)	接触层55和56，		
公开(公告)号	KR101048532B1	公开(公告)日	2011-07-11
申请号	KR1020090128647	申请日	2009-12-22
[标]申请(专利权)人(译)	卡西欧计算机株式会社 西伯利亚有限公司计算关键财富		
申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
当前申请(专利权)人(译)	计算关键是否西伯利亚有限公司		
[标]发明人	HIRAYAMA RYUICHI		
发明人	HIRAYAMA, RYUICHI		
IPC分类号	G02F1/1343 G09G G02F G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G09G2320/0219 G09G3/3655 G02F2001/13606 G09G2300/0426		
代理人(译)	KIM JONG MUN 孙某EUN JIN		
优先权	2008326807 2008-12-24 JP		
其他公开文献	KR1020100075395A		
外部链接	Espacenet		

摘要(译)

液晶显示装置包括具有第一寄生电容的第一组像素电极，具有第二寄生电容的第二组像素电极，公共电极，介于公共电极与第一和第二组像素电极之间的液晶分别地，驱动电路根据第一寄生电容确定第一公共电压，并在第一组像素电极的写入时段期间将第一公共电压提供给公共电极，以基本上抵消电压降中的电压降。第二组像素电极由于第一寄生电容，驱动电路根据第二寄生电容确定第二公共电压，并在第二组像素电极的写入周期期间将第二公共电压提供给公共电极，以便基本上抵消第二组像素e中的电压降由于第二寄生电容导致的电极。