



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년06월04일
(11) 등록번호 10-0961359
(24) 등록일자 2010년05월26일

(51) Int. Cl.

G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0041883(분할)
(22) 출원일자 2008년05월06일
심사청구일자 2008년05월22일
(65) 공개번호 10-2008-0045668
(43) 공개일자 2008년05월23일
(62) 원출원 특허 10-2006-0012394
원출원일자 2006년02월09일
심사청구일자 2006년02월09일

(30) 우선권주장

JP-P-2005-00365739 2005년12월20일 일본(JP)

(56) 선행기술조사문헌

KR1020030073006 A*

KR1020010063291 A

JP2003318193 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시끼가이샤 퓨처 비전

일본 도쿄도 미나토구 아까사카 2쥬메 4반 1코 백아 빌딩 3F

(72) 발명자

요시모토 요시카즈

일본 도쿄도 미나토구 아까사카 2쥬메 4-1 백아 빌딩 3층가부시끼가이샤 퓨처 비전 내

(74) 대리인

구영창, 서태준, 이중희, 장수길

전체 청구항 수 : 총 3 항

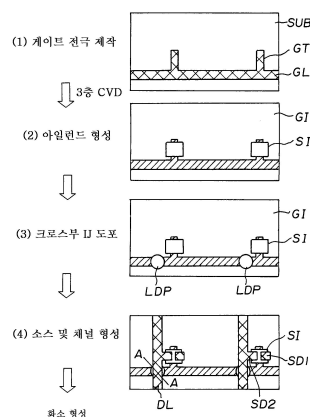
심사관 : 임동재

(54) 액정 표시 장치

(57) 요약

액정 표시 장치의 액정 표시 패널을 구성하는 액티브 매트릭스 기판에 형성되는 게이트 배선과 데이터 배선의 교차부에 개재하는 게이트 절연막의 상층에 저유전률의 절연 재료를 잉크젯트법으로 적하하여 또 하나의 절연막으로 하고, 상기 교차부의 교차 용량을 증가시키지 않고, 실리콘 반도체층 위에 만들어 넣은 박막 트랜지스터의 성능을 향상시킨다.

대표도 - 도1



특허청구의 범위

청구항 1

제1 절연 기관과 제2 절연 기관 사이에 액정을 협지한 액정 표시 장치로서,

상기 제1 절연 기관 위에 상호 평행하게 형성된 복수의 게이트 배선과,

상기 게이트 배선 절연층을 개재하여 교차하여 상호 평행하게 형성된 복수의 데이터 배선과,

상기 게이트 배선과 상기 데이터 배선으로 둘러싸인 부분의 각각이 단위 화소 영역으로 되고, 상기 복수의 게이트 배선과 상기 복수의 데이터 배선이 교차하는 영역에 의해 표시 영역을 구성하고,

상기 게이트 배선으로부터 상기 단위 화소 영역으로 연장되는 게이트 전극과, 상기 게이트 배선 및 상기 게이트 전극을 피복하는 게이트 절연막과, 상기 게이트 절연막 위에 순차적으로 형성된 반도체층과, 이 반도체층의 표면에 분리하여 형성된 오믹 콘택트층과, 상기 분리된 오믹 콘택트층 위에 각각 형성된 소스 전극 및 드레인 전극으로 구성된 박막 트랜지스터와,

상기 게이트 배선과 상기 데이터 배선의 교차부에서의 상기 절연층이, 상기 게이트 절연막과, 이 게이트 절연막의 하층에 잉크젯법으로 적하하여 피복함으로써 주연을 포함하는 표면이 완만한 테이퍼로 되도록 구성된 저유전률의 절연막과의 2층 구조이고,

상기 저유전률의 절연막은 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머인 것을 특징으로 하는 액정 표시 장치.

청구항 2

제1 절연 기관과 제2 절연 기관 사이에 액정을 협지한 액정 표시 장치로서,

상기 제1 절연 기관 위에 상호 평행하게 형성된 복수의 게이트 배선과,

상기 게이트 배선 절연층을 개재하여 교차하여 상호 평행하게 형성된 복수의 데이터 배선과,

상기 게이트 배선과 상기 데이터 배선으로 둘러싸인 부분의 각각이 단위 화소 영역으로 되고, 상기 복수의 게이트 배선과 상기 복수의 데이터 배선이 교차하는 영역에 의해 표시 영역을 구성하고,

상기 게이트 배선으로부터 상기 단위 화소 영역으로 연장되는 게이트 전극과, 상기 게이트 배선 및 상기 게이트 전극을 피복하는 게이트 절연막과, 상기 게이트 절연막 위에 순차적으로 형성된 반도체층과, 이 반도체층의 표면에 분리하여 형성된 오믹 콘택트층과, 상기 분리된 오믹 콘택트층 위에 각각 형성된 소스 전극 및 드레인 전극으로 구성된 박막 트랜지스터와,

상기 표시 영역의 전역에서, 상기 게이트 배선 위의 상기 게이트 절연층이 상기 게이트 절연막과, 이 게이트 절연막의 하층에, 상기 게이트 배선을 따라 잉크젯법으로 적하하여 피복함으로써 주연을 포함하는 표면이 완만한 테이퍼로 되도록 구성된 저유전률의 절연막과의 2층 구조이고,

상기 저유전률의 절연막은 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머인 것을 특징으로 하는 액정 표시 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 저유전률의 절연막은, 내열성 수지인 것을 특징으로 하는 액정 표시 장치.

청구항 4

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 종래기술의 문헌 정보: [특허 문헌 1] 일본 특개 2003-318193호 공보

[0002] 본 발명은, 액티브 매트릭스형의 액정 표시 장치와 그 제조 방법에 관한 것으로, 특히 그 액정 표시 장치를 구성하는 액정 표시 패널의 한 쪽의 기판에 형성하는 박막 트랜지스터와 그 제조에 적합한 것이다.

배경기술

[0003] 액티브 매트릭스형의 액정 표시 장치를 구성하는 액정 표시 패널은, 한 쪽의 기판(액티브 매트릭스 기판)과 다른 쪽의 기판(컬러 필터 기판) 사이에 액정을 협지하여 형성된다. 액티브 매트릭스 기판에 박막 트랜지스터(TFT)를 만들어 넣은 제조 공정에서는, 해당 기판 위에 우선 크롬 등의 금속막으로 이루어지는 평행 배치된 복수의 게이트 배선 및 이 각 게이트 배선으로부터 화소마다 연장되는 게이트 전극이 형성된다.

[0004] 도 17은 액티브 매트릭스형 액정 표시 장치의 표시 패널부의 등가 회로를 설명하는 도면이다. 도 17의 (a)는 전체의 회로도, 도 17의 (b)는 도 17의 (a)에서의 화소부 PXL의 확대도이다. 도 17의 (a)에서, 표시 패널 PNL에는 다수의 화소부 PXL이 매트릭스 배열되어 있고, 각 화소부 PXL은 주사 배선 구동 회로 GDR에 의해 선택되어, 데이터 배선(소스 배선이라고도 함) 구동 회로 DDR로부터의 표시 데이터 신호에 따라서 점등된다.

[0005] 즉, 주사 배선 구동 회로 GDR에 의해서 선택된 게이트 배선 GL에 대응하여, 데이터 배선 구동 회로 DDR로부터 데이터 배선 DL을 통해서 표시 패널 PNL의 화소부 PXL에서의 박막 트랜지스터 TFT에 표시 데이터(전압)가 공급된다.

[0006] 도 17의 (b)에 도시한 바와 같이, 화소부 PXL을 구성하는 박막 트랜지스터 TFT는, 게이트 배선 GL과 데이터 배선 DL과의 교차부에 설치된다. 박막 트랜지스터 TFT의 게이트 전극 GT에는, 게이트 배선 GL이 접속되고, 박막 트랜지스터 TFT의 드레인 전극 또는 소스 전극(이 시점에서는 드레인 전극) SD2에는, 데이터 배선 DL이 접속되어 있다.

[0007] 박막 트랜지스터 TFT의 드레인 전극 또는 소스 전극(이 시점에서는 소스 전극) SD1은 액정(소자) LC의 화소 전극 PX에 접속된다. 액정 LC는, 화소 전극 PX와 공통 전극 CT와의 사이에 있어, 화소 전극 PX에 공급되는 데이터(전압)에 의해 구동된다. 또한, 데이터를 일시 유지하기 위한 보조 용량 Ca가 드레인 전극 SD2와 보조 용량 배선 CL 사이에 접속되어 있다.

[0008] 도 18은 도 17에 도시한 표시 패널 PNL의 화소부 PXL의 구성과 이 화소부 PXL을 구성하는 박막 트랜지스터 TFT의 구성을 설명하는 도면이다. 즉, 도 18의 (a)는 도 17에 도시한 매트릭스 형상으로 배치된 화소부 PXL의 평면도, 도 18의 (b)는 도 18의 (a)에 도시한 화소부 PXL에서의 박막 트랜지스터 TFT 부분의 A-A'선을 따른 단면도이다.

[0009] 도 18의 (a)에 도시한 바와 같이, 매트릭스 형상으로 배치된 화소부 PXL에서는, 박막 트랜지스터 TFT가 게이트 배선 GL과 데이터 배선 DL과의 교차부에 배치되어 있다. 또한, 화소 전극 PX가 박막 트랜지스터 TFT에 접속되어, 보조 용량 배선 CL과의 사이에서 보조 용량을 형성하고 있다.

[0010] 도 18의 (b)에서, 박막 트랜지스터 TFT는, 절연 기판 SUB1 위에, 게이트 전극 GL과 이 전극을 피복하도록 게이트 절연막 GI가 형성되고, 이 절연막 위에 실리콘(Si) 반도체층 SI와 오믹 콘택트층(n^+ Si) NS, 소스 전극 SD1 및 드레인 전극 SD2가 순차적으로 적층된다.

[0011] 이 게이트 배선 GL 및 게이트 전극 DL을 피복하여 실리콘 나이트라이드(SiN_x)의 게이트 절연막 GI가 성막되고, 게이트 배선 GL과 교차하는 복수의 데이터 배선 DL이 형성된다. 또한, 이 데이터 배선 DL과 동시에 소스 전극 SD1과 드레인 전극 SD2가 동일 층에서 형성된다.

[0012] 이와 같이, 각 게이트 배선 GL과 각 데이터 배선 DL에 의해 둘러싸인 부분에 화소부 PXL로 구성되는 단위 화소가 형성된다. 이 단위 화소는 풀컬러 표시의 경우에는 각 단색(적, 녹, 청)의 부화소로 된다. 이하에서는, 단위 화소를 단순히 화소라고도 칭한다. 화소부 PXL을 구성하는 박막 트랜지스터(TFT)는, 상기한 바와 같이, 게이트 전극과, 이 게이트 전극 위에 패터닝된 실리콘 반도체막과, 실리콘 반도체막의 상층으로 분리하여 형성된 오믹 콘택트층(n^+ 실리콘)과, 분리한 오믹 콘택트층의 각각에 접속한 소스 전극과 드레인 전극으로 구성된다.

[0013] 이 박막 트랜지스터의 상층에는 보호막 PAS가 성막되고, 그 위에 ITO가 바람직한 화소 전극 PX가 패터닝되어,

보호막 PAS에 개방한 컨택트홀에서 소스 전극(또는 드레인 전극) SD1에 접속하고 있다. 화소 전극 PX를 피복하여 배향막(도시 생략)이 성막된다.

[0014] 한편, 도시하지 않은 다른 쪽의 기관에는, 풀컬러의 경우에는 3색의 컬러 필터와 평활층(오버코트층)을 통한 대향 전극(도 17의 (b))이 형성된다. 그리고, 대향 전극을 피복하여 배향막이 성막되고, 상기한 한 쪽의 기관인 액티브 매트릭스 기관과 겹쳐서, 그 간극에 액정이 밀봉된다.

[0015] 상기한 액티브 매트릭스 기관의 배선 등을 잉크젯트법으로 형성하는 것이 특허 문헌 1에 개시되어 있다. 특허 문헌 1에서는, 박막 트랜지스터 TFT의 게이트 전극을, 도전 재료를 함유하는 액체 재료를 이용하여, 잉크젯트법에 의해서 형성하고, 또한, 박막 트랜지스터 TFT의 소스 전극 및 드레인 전극을, 반도체 재료를 함유하는 액체 재료를 이용하여, 잉크젯트법에 의해서 형성하는 것이 기재되어 있다.

발명의 내용

해결 하고자하는 과제

[0016] 액정 표시 패널의 액티브 매트릭스 기관에 형성되는 게이트 절연막은, 게이트 배선과 데이터 배선을 절연하기 위해 형성된다. 박막 트랜지스터의 성능은, 게이트 절연막이 얇을수록 향상한다. 또한, 게이트 절연막이 얇을수록 보조 용량선을 가늘게 할 수 있어서, 개구율이 향상한다. 그러나, 게이트 절연막을 얇게 하면, 데이터 배선과의 교차부의 교차 용량이 증가하여 신호 지연이 발생한다. 또한, 게이트 배선과 대향 전극 사이에 존재하는 대향 용량도 증가한다. 교차 용량이나 대향 용량을 저감하기 위해 게이트 절연막을 두껍게 하면, 상기한 바와 같이 박막 트랜지스터의 성능이 저하한다.

[0017] 본 발명의 목적은, 교차 용량이나 대향 용량을 증가시키지 않고 박막 트랜지스터의 성능을 향상시켜, 고속 동작으로 고정밀의 액정 표시 장치를 제공하는 것에 있다.

과제 해결수단

[0018] 상기 목적을 달성하기 위해, 본 발명은, 액정 표시 장치의 액정 표시 패널을 구성하는 액티브 매트릭스 기관으로서, 그 게이트 배선과 데이터 배선의 교차부에 개재하는 게이트 절연막의 상층 또는 하층에 저유전률의 절연 재료를 잉크젯트법으로 적하하여 또 하나의 절연막으로 하고, 상기 교차부의 교차 용량이나 대향 전극과의 사이의 용량(대향 용량)을 증가시키지 않고, 박막 트랜지스터의 성능을 향상시켰다.

[0019] 또한, 본 발명은, 게이트 배선을 피복하는 게이트 절연막의 상층 또는 하층에, 데이터 배선의 교차부를 포함하여 그 게이트 배선을 따라 저유전률의 절연 재료를 잉크젯트법으로 적하하여, 상기 교차부의 교차 용량이나 대향 전극과의 사이의 용량(대향 용량)을 증가시키지 않고, 박막 트랜지스터의 성능을 향상시켰다.

[0020] 데이터 배선과 소스·드레인 전극의 형성 후에, 실리콘 반도체층의 성막과 패터닝으로 반도체 아일랜드를 가공하여, 오믹 컨택트층, 소스 전극과 드레인 전극의 형성을 행하여 박막 트랜지스터를 제작한다. 보호막의 형성 후에, 이 보호막에 개방한 컨택트홀을 통해서 박막 트랜지스터의 소스 전극(혹은, 드레인 전극)에 접속한 화소 전극을 형성한다. 그 후, 기지의 프로세스에서 액정 표시 패널을 제작하고, 이것을 이용하여 액정 표시 장치를 얻는다.

효 과

[0021] 본 발명에 따르면, 게이트 배선과 데이터 배선의 교차부만, 혹은 이 교차부를 포함하는 게이트 배선 위, 또한 게이트 절연막 상층 또는 하층에 저유전률의 절연 재료를 필요한 세부에 한정적으로 도포할 수 있어, 상기 교차부의 교차 용량이나 대향 전극과의 사이의 용량(대향 용량)을 증가시키지 않고, 또한 불필요 부분의 제거 등, 그 후의 프로세스가 필요하지 않고 박막 트랜지스터의 성능을 향상시킬 수 있다. 또한, 절연 재료를 잉크젯트로 도포하여 형성된 절연막의 주연은 완전한 테이퍼로 되기 때문에, 게이트 배선을 타고 넘어서 교차하는 데이터 배선에 단 끊김 등에 의한 단선의 발생이 억제된다.

발명의 실시를 위한 구체적인 내용

[0022] <실시 형태>

[0023] 이하, 본 발명의 실시 형태를 실시예의 도면을 참조하여 상세히 설명한다. 또한, 본 발명의 액정 표시 장치의

구조는 이하의 제조 방법에 의해 설명된다.

- [0024] (실시예 1)
- [0025] 도 1은 본 발명에 따른 액정 표시 장치의 실시예 1을 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도이다. 여기서, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기판이 바람직한 절연 기판의 표면에 게이트 배선 GL을 패터닝한다. 이 게이트 배선 GL에는 박막 트랜지스터의 게이트 전극 GT가 돌출하여 형성된다.
- [0026] (2) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT를 포함하는 기판 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상방에 실리콘 반도체의 아일런드 SI를 형성한다. 또한, 이 때 아일런드 SI의 상층에 형성되는 오믹 콘택트층은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.
- [0027] (3) 크로스부 IJ 도포: 게이트 배선의 게이트 절연층 GI 위에서, 데이터 배선이 교차하는 부분(크로스부)에만 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 또 하나의 절연층 LDP를 형성한다. 이 또 하나의 절연층 LDP를 이하에서는 저유전률의 절연층 LDP라고도 칭한다.
- [0028] (4) 소스 및 채널 형성: 게이트 절연층 GI 위에서, 또한 교차하는 게이트 배선 GL 위에서는 저유전률의 절연층 LDP 위에, 소스 배선 즉 데이터 배선 DL을 형성한다. 이 때, 박막 트랜지스터의 소스 전극 SD1과 드레인 전극을 동시에 패터닝하여, 소스 전극 SD1과 드레인 전극 사이에 채널을 형성한다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기판이 제작된다.
- [0029] 도 2는 도 1의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 A-A선을 따라 절단한 단면도이다. 도시된 바와 같이, 글래스 기판 SUB1의 표면에 게이트 배선 GL이 형성되어 있다. 이 게이트 배선 GL을 피복하여 글래스 기판 SUB1의 전체면에 게이트 절연막 GI가 형성되어 있다. 그리고, 게이트 배선 GL과 데이터 배선이 교차하는 부분의 게이트 배선 GL 위 또한 게이트 절연막 GI 위에, 방향족 탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하한다. 이 잉크가 건조하여 저유전률의 절연막 LDP로 된다.
- [0030] 이 게이트 절연막 GI와 저유전률의 절연막 LDP의 2층 구조의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 2에 도시된 바와 같이, 잉크젯으로 적하하여 경화한 저유전률의 절연막 LDP의 주연은 완만한 테이퍼로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 도시하지 않은 컬러 필터 기판에 갖는 대향 전극과의 사이는 상기의 교차부를 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다.
- [0031] 실시예 1에 의해, 교차 용량이나 대향 용량을 증가시키지 않고 박막 트랜지스터의 성능을 향상시켜, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.
- [0032] (실시예 2)
- [0033] 도 3은 본 발명에 따른 액정 표시 장치의 실시예 2를 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도이다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 실시예 1과 마찬가지로, 우선 (1) 게이트 전극 제작: 투명한 글래스 기판이 바람직한 절연 기판의 표면에 게이트 배선 GL을 패터닝한다. 이 게이트 배선 GL에는 박막 트랜지스터의 게이트 전극 GT가 돌출하여 형성된다.
- [0034] (2) 크로스부 IJ 도포: 게이트 배선 GL 위에서, 데이터 배선이 교차하는 부분(크로스부)에만 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다.
- [0035] (3) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT 및 저유전률의 절연층 LDP를 포함하는 기판 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성

막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상방에 실리콘 반도체의 아일랜드 SI를 형성한다. 또한, 이 때, 아일랜드 SI의 상층에 형성되는 오믹 콘택트층은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.

[0036] (4) 소스 및 채널 형성: 저유전률의 절연층 LDP와 게이트 절연층 GI 위에서, 또한 교차하는 게이트 배선 GL 위에서는 게이트 절연층 GI 위에, 소스 배선 즉 데이터 배선 DL을 형성한다. 이 때, 박막 트랜지스터의 소스 전극 SD1과 드레인 전극을 동시에 패터닝하여, 소스 전극 SD1과 드레인 전극 사이에 채널을 형성한다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기판이 제작된다.

[0037] 도 4는 도 3의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 A-A선을 따라 절단한 단면도이다. 도시된 바와 같이, 글래스 기판 SUB1의 표면에 게이트 배선 GL이 형성되어 있다. 게이트 배선 GL과 데이터 배선이 교차하는 부분의 게이트 배선 GL 위에 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하한다. 이 잉크가 건조하여 저유전률의 절연막 LDP로 된다. 이 저유전률의 절연막 LDP를 교차부에 갖는 게이트 배선 GL을 피복하여 글래스 기판 SUB1의 전체면에 게이트 절연막 GI가 형성된다.

[0038] 그리고, 이 저유전률의 절연막 LDP와 게이트 절연막 GI와의 2층 구조의 절연 구조 위에 데이터 배선 DL이 교차하여 형성된다. 도 4에 도시된 바와 같이, 잉크젯으로 적하하여 경화한 저유전률의 절연막 LDP의 주연은 완만한 테이퍼로 된다. 그 위의 게이트 절연막 GI도 보다 완만한 주연으로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 도시하지 않은 컬러 필터 기판에 갖는 대향 전극과의 사이는 상기의 교차부를 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다.

[0039] 실시예 2에 의해, 교차 용량이나 대향 용량을 증가시키지 않고 박막 트랜지스터의 성능을 향상시켜, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.

[0040] (실시예 3)

[0041] 도 5는 본 발명에 따른 액정 표시 장치의 실시예 3을 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도이다. 실시예 3은, 게이트 배선이나 데이터 배선도 잉크젯법으로 형성한다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기판이 바람직한 절연 기판의 표면에 게이트 배선과 게이트 전극의 패턴에 홈을 형성하는 बैं크 BNK-G를 형성한다. बैं크 BNK-G와 그 홈은, 감광성 레지스트의 포토리소그래피 방법으로 형성된다. 다른 실시예에서도 마찬가지이다. 이 बैं크 BNK-G의 홈에 은이나 구리 등의 도전성 입자를 혼입한 잉크를 잉크젯으로 적하하여 충전한다. 이것을 건조시키고, 소성하여 게이트 배선 GL과 게이트 전극 GT를 형성한다.

[0042] (2) 아일랜드 형성: 게이트 배선 GL 및 게이트 전극 GT 및 बैं크 BNK-G를 포함하는 기판 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상방에 실리콘 반도체의 아일랜드 SI를 형성한다. 또한, 이 때, 아일랜드 SI의 상층에 형성되는 오믹 콘택트층은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.

[0043] (3) 크로스부 IJ 도포: 게이트 배선의 게이트 절연층 GI 위에서, 데이터 배선이 교차하는 부분(크로스부)에만 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다.

[0044] (4) 소스 및 채널 형성: 절연 기판의 표면에 데이터 배선과 소스 전극 및 드레인 전극의 패턴에 홈을 형성한 बैं크 BNK-D를 형성한다. बैं크 BNK-D와 그 홈은, 감광성 레지스트의 포토리소그래피 방법으로 형성된다. 다른 실시예에서도 마찬가지이다. 이 बैं크 BNK-D의 홈에 은이나 구리 등의 도전성 입자를 혼입한 잉크를 잉크젯으로 적하하여 충전한다. 이것을 건조시키고, 소성하여 데이터 배선 DL과 소스 전극 SD1 및 드레인 전극 SD2를 형성한다. 이 때, 소스 전극 SD1과 드레인 전극 SD2 사이에 채널을 형성한다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기판이 제작된다.

- [0045] 도 6은 도 5의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 A-A선을 따라 절단한 단면도이다. 도시된 바와 같이, 글래스 기판 SUB1의 표면에 형성한 बैं크 BNK-G의 홈에 게이트 배선 GL이 형성되어 있다. 이 게이트 배선 GL을 피복하여 글래스 기판 SUB1의 전체면에 게이트 절연막 GI가 형성되어 있다. 그리고, 게이트 배선 GL과 데이터 배선이 교차하는 부분의 게이트 배선 GL 위 또한 게이트 절연막 GI 위에, 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하한다. 이 잉크가 건조하여 저유전률의 절연막 LDP로 된다.
- [0046] 이 게이트 절연막 GI와 저유전률의 절연막 LDP의 2층의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 6에 도시된 바와 같이, 게이트 절연막 GI는 बैं크 BNK-G에 의해 평탄하게 형성되어 있다. 이 위에 잉크젯으로 적하하여 경화한 저유전률의 절연막 LD의 주연은 보다 완만한 테이퍼로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 도시하지 않은 컬러 필터 기판에 갖는 대향 전극과의 사이는 상기의 교차부를 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다.
- [0047] 실시예 3에 의해서도, 교차 용량이나 대향 용량을 증가시키지 않고 박막 트랜지스터의 성능을 향상시켜, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.
- [0048] (실시예 4)
- [0049] 도 7은 본 발명에 따른 액정 표시 장치의 실시예 4를 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도이다. 실시예 4도 실시예 3과 마찬가지로, 게이트 배선이나 데이터 배선도 잉크젯법으로 형성한다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기판이 바람직한 절연 기판의 표면에 게이트 배선과 게이트 전극의 패턴에 홈을 형성하는 बैं크 BNK-G를 형성한다. 이 बैं크 BNK-G의 홈에 은이나 구리 등의 도전성 입자를 혼입한 잉크를 잉크젯으로 적하하여 충전한다. 이것을 건조시키고, 소성하여 게이트 배선 GL과 게이트 전극 GT를 형성한다.
- [0050] (2) 크로스부 IJ 도포: 게이트 배선의 게이트 절연층 GI 위에서, 데이터 배선이 교차하는 부분(크로스부)에만 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다.
- [0051] (3) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT 및 बैं크 BNK-G를 포함하는 기판 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상부에 실리콘 반도체의 아일런드 SI를 형성한다. 또한, 이 때, 아일런드 SI의 상층에 형성되는 오믹 콘택트층은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.
- [0052] (4) 소스 및 채널 형성: 절연 기판의 표면에 데이터 배선과 소스 전극 및 드레인 전극의 패턴에 홈을 형성한 बैं크 BNK-D를 형성한다. 이 बैं크 BNK-D의 홈에 은이나 구리 등의 도전성 입자를 혼입한 잉크를 잉크젯으로 적하하여 충전한다. 이것을 건조시키고, 소성하여 데이터 배선 DL과 소스 전극 SD1 및 드레인 전극 SD2를 형성한다. 이 때, 소스 전극 SD1과 드레인 전극 SD2 사이에 채널을 형성한다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기판이 제작된다.
- [0053] 도 8은 도 7의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 A-A선을 따라 절단한 단면도이다. 도시된 바와 같이, 글래스 기판 SUB1의 표면에 형성한 बैं크 BNK-G의 홈에 게이트 배선 GL이 형성되어 있다. 게이트 배선 GL과 데이터 배선이 교차하는 부분의 게이트 배선 GL 위 또한 게이트 절연막 GI 위에, 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하한다. 이 잉크가 건조하여 저유전률의 절연막 LDP로 된다. 저유전률의 절연막 LDP를 피복하여 글래스 기판 SUB1의 전체면에 게이트 절연막 GI가 형성된다.
- [0054] 이 저유전률의 절연막 LDP와 게이트 절연막 GI와의 2층의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 8에 도시된 바와 같이, 저유전률의 절연막 LDP 위에 형성되는 게이트 절연막 GI는 बैं크 BNK-G에 의해 주연이 완만하게 형성되어 있다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 도시하지 않은 컬러 필터 기판에 갖는 대향 전극과의 사이는 상기의 교차부를 제외하고

전극 간격을 좁게 하는 유전체가 존재하지 않는다.

[0055] 실시예 4에 의해서도, 교차 용량이나 대향 용량을 증가시키지 않고 박막 트랜지스터의 성능을 향상시켜서, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.

[0056] (실시예 5)

[0057] 도 9는 본 발명에 따른 액정 표시 장치의 실시예 5를 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도이다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기관이 바람직한 절연 기관의 표면에 게이트 배선 GL을 패터닝한다. 이 게이트 배선 GL에는 박막 트랜지스터의 게이트 전극 GT가 돌출하여 형성된다.

[0058] (2) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT를 포함하는 기관 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상방에 실리콘 반도체의 아일런드 SI를 형성한다. 또한, 이 때, 아일런드 SI의 상층에 형성되는 오믹 콘택트층은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.

[0059] (3) 게이트 배선부 IJ 도포: 게이트 배선의 게이트 절연층 GI 위에서, 데이터 배선이 교차하는 부분(크로스부) 뿐만 아니라, 게이트 배선 GL을 따라 그 상부에 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다. 이 저유전률의 절연층 LDP는 액티브 매트릭스 기관 중 적어도 표시 영역(다수의 화소를 매트릭스 배열한 영역) 내의 모든 게이트 배선 GL의 상층에 형성된다.

[0060] (4) 소스 및 채널 형성: 게이트 절연층 GI 위에서, 또한 교차하는 게이트 배선 GL 위의 저유전률의 절연층 LDP 위에, 소스 배선 즉 데이터 배선 DL을 형성한다. 이 때, 박막 트랜지스터의 소스 전극 SD1과 드레인 전극을 동시에 패터닝하여, 소스 전극 SD1과 드레인 전극 사이에 채널을 형성한다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기관이 제작된다.

[0061] 도 10은 도 9의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 B-B선을 따라 절단한 것에 다른 쪽의 기관과 접합하여 액정을 밀봉한 상태를 도시하는 단면도이다. 도시된 바와 같이, 액티브 매트릭스 기관을 구성하는 글래스 기관 SUB1의 표면에 게이트 배선 GL이 형성되어 있다. 이 게이트 배선 GL을 피복하여 글래스 기관 SUB1의 전체면에 게이트 절연막 GI가 형성되어 있다. 그리고, 게이트 배선 GL과 데이터 배선이 교차하는 부분의 게이트 배선 GL 위 또한 게이트 절연막 GI 위에, 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하한다. 이 잉크가 건조하여 게이트 배선 GL을 따라 게이트 절연막 GI 위에 존재하는 저유전률의 절연막 LDP로 된다.

[0062] 이 게이트 절연막 GI와 저유전률의 절연막 LDP의 2층의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 10에 도시된 바와 같이, 잉크젯으로 적하하여 경화한 저유전률의 절연막 LDP의 주연은 완만한 테이퍼로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 컬러 필터 기관 SUB2에 갖는 대향 전극 CT와의 사이는 상기의 교차부를 포함하는 게이트 배선 GL의 부분을 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다. 또한, 액티브 매트릭스 기관 SUB1측의 배향막 ORI1과 컬러 필터 기관 SUB2측의 배향막 ORI2 사이에 액정 LC가 밀봉되어 있다.

[0063] 실시예 5에 의해, 교차 용량이나 대향 용량을 증가시키지 않고, 또한 데이터 배선 등의 신호선과 대향 전극 사이에는 게이트 배선 GL 위의 저유전률의 절연막 LDP가 전극 간격을 좁히는 유전체로서 존재할 뿐으로, 용량을 대폭 증가시키는 구조로 되지 않는다. 그 때문에, 박막 트랜지스터의 성능을 저하시키지 않고, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.

[0064] (실시예 6)

[0065] 도 11은 본 발명에 따른 액정 표시 장치의 실시예 6을 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도이다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기관이 바람직한 절연 기관의 표면에 게이트 배선 GL을 패터닝한다. 이 게이트 배선 GL에는 박막 트랜지스터의 게이트 전극 GT가 돌출하여 형성

된다.

- [0066] (2) 게이트 배선부 IJ 도포: 게이트 배선 위에, 데이터 배선이 교차하는 부분(크로스부)뿐만 아니라, 게이트 배선 GL을 따라 그 상부에 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다. 이 저유전률의 절연층 LDP는 액티브 매트릭스 기판 중 적어도 표시 영역(다수의 화소를 매트릭스 배열한 영역) 내의 모든 게이트 배선 GL의 상층에 형성된다.
- [0067] (3) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT 및 저유전률의 절연층 LDP를 포함하는 기판 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상부에 실리콘 반도체의 아일런드 SI를 형성한다. 또한, 이 때, 아일런드 SI의 상층에 형성되는 오믹 콘택트층은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.
- [0068] (4) 소스 및 채널 형성: 게이트 절연층 GI 위에서, 또한 교차하는 게이트 배선 GL 위의 저유전률의 절연층 LDP 위에, 소스 배선 즉 데이터 배선 DL을 형성한다. 이 때, 박막 트랜지스터의 소스 전극 SD1과 드레인 전극을 동시에 패터닝하여, 소스 전극 SD1과 드레인 전극 사이에 채널을 형성한다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기판이 제작된다.
- [0069] 도 12는 도 11의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 B-B선을 따라 절단한 것에 다른 쪽의 기판과 접합하여 액정을 밀봉한 상태를 도시하는 단면도이다. 도시된 바와 같이, 액티브 매트릭스 기판을 구성하는 글래스 기판 SUB1의 표면에 게이트 배선 GL이 형성되어 있다. 데이터 배선이 교차하는 부분을 포함하는 게이트 배선 GL 위에 저유전률의 절연층 LDP가 형성되고, 그 위에 게이트 절연막 GI가 형성되어 있다. 저유전률의 절연층 LDP는, 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하하고, 건조하여 게이트 배선 GL을 따라 게이트 절연막 GI 위에 존재하는 저유전률의 절연막 LDP로 된다.
- [0070] 이 저유전률의 절연막 LDP와 게이트 절연막 GI와의 2층의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 12에 도시된 바와 같이, 잉크젯으로 적하하여 경화한 저유전률의 절연막 LD의 주연은 완전한 테이퍼로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 컬러 필터 기판 SUB2에 갖는 대향 전극 CT와의 사이는 상기의 교차부를 포함하는 게이트 배선 GL의 부분을 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다. 또한, 액티브 매트릭스 기판 SUB1측의 배향막 ORI1과 컬러 필터 기판 SUB2측의 배향막 ORI2 사이에 액정 LC가 밀봉되어 있다.
- [0071] 실시예 6에 의해, 교차 용량이나 대향 용량을 증가시키지 않고, 또한 데이터 배선 등의 신호선과 대향 전극 사이에는 게이트 배선 GL 위의 저유전률의 절연막 LDP가 전극 간격을 좁히는 유전체로서 존재할 뿐으로, 용량을 대폭 증가시키는 구조로 되지 않는다. 그 때문에, 박막 트랜지스터의 성능을 저하시키지 않고, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.
- [0072] (실시예 7)
- [0073] 도 13은 본 발명에 따른 액정 표시 장치의 실시예 7을 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도이다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기판이 바람직한 절연 기판의 표면에 게이트 배선과 게이트 전극의 홈 패턴을 형성한 बैं크 BNK-G를 형성한다. 은 혹은 구리 등의 도전성 입자를 포함하는 잉크를 잉크젯으로 बैं크 BNK-G의 홈에 적하하고, 건조, 소성하여 게이트 배선 GL과 게이트 전극 GT를 형성한다.
- [0074] (2) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT 및 बैं크 BNK-G를 포함하는 기판 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상부에 실리콘 반도체의 아일런드 SI를 형성한다. 또한, 이 때, 아일런드 SI의 상층에 형성되는 오믹 콘택트층

은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.

- [0075] (3) 게이트 배선부 IJ 도포: 게이트 배선의 게이트 절연층 GI 위에서, 데이터 배선이 교차하는 부분(크로스부) 뿐만 아니라, 게이트 배선 GL을 따라 그 상부에 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다. 이 저유전률의 절연층 LDP는 액티브 매트릭스 기관 중 적어도 표시 영역(다수의 화소를 매트릭스 배열한 영역) 내의 모든 게이트 배선 GL의 상층에 형성된다.
- [0076] (4) 소스 및 채널 형성: 게이트 절연층 GI 위에서, 또한 교차하는 게이트 배선 GL 위의 저유전률의 절연층 LDP 위에, 데이터 배선과 소스 전극 SD1 및 드레인 전극 SD2의 홈 패턴을 갖는 बैं크 BNK-D를 형성한다. 이 홈에 은 혹은 구리 등의 도전성 입자를 포함하는 잉크를 잉크젯으로 बैं크 BNK-G의 홈에 적하하고, 건조, 소성하여 소스 배선 즉 데이터 배선 DL, 및 소스 전극 SD1과 드레인 전극 SD2를 형성한다. 이 때, 소스 전극 SD1과 드레인 전극 사이에 채널이 형성된다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기관이 제작된다.
- [0077] 도 14는 도 13의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 B-B선을 따라 절단한 것에 다른 쪽의 기관과 접합하여 액정을 밀봉한 상태를 도시하는 단면도이다. 도시된 바와 같이, 액티브 매트릭스 기관을 구성하는 글래스 기관 SUB1의 표면에 게이트 배선 GL이 형성되어 있다. 이 게이트 배선 GL을 피복하여 글래스 기관 SUB1의 전체면에 게이트 절연막 GI가 형성되어 있다. 게이트 절연막 GI는 बैं크 BNK-G의 존재로 평탄하게 형성된다. 그리고, 게이트 배선 GL과 데이터 배선이 교차하는 부분의 게이트 배선 GL 위 또한 게이트 절연막 GI 위에, 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하하고, 이 잉크가 건조하여 게이트 배선 GL을 따라 게이트 절연막 GI 위에 존재하는 저유전률의 절연막 LDP로 된다.
- [0078] 이 게이트 절연막 GI와 저유전률의 절연막 LDP의 2층의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 14에 도시된 바와 같이, 잉크젯으로 적하하여 경화한 저유전률의 절연막 LD의 주연은 완전한 테이퍼로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 컬러 필터 기관 SUB2에 갖는 대향 전극 CT와의 사이는 상기의 교차부를 포함하는 게이트 배선 GL의 부분을 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다. 또한, 액티브 매트릭스 기관 SUB1측의 배향막 ORI1과 컬러 필터 기관 SUB2측의 배향막 ORI2 사이에 액정 LC가 밀봉되어 있다.
- [0079] 실시예 7에 의해, 교차 용량이나 대향 용량을 증가시키지 않고, 또한 데이터 배선 등의 신호선과 대향 전극 사이에는 게이트 배선 GL 위의 저유전률의 절연막 LDP가 전극 간격을 좁히는 유전체로서 존재할 뿐으로, 용량을 대폭 증가시키는 구조로 되지 않는다. 그 때문에, 박막 트랜지스터의 성능을 저하시키지 않고, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.
- [0080] (실시예 8)
- [0081] 도 15는 본 발명에 따른 액정 표시 장치의 실시예 8을 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도이다. 여기서도, 데이터 배선 및 소스·드레인 전극의 형성 공정까지를 (1)~(4)의 순서로 설명한다. 우선, (1) 게이트 전극 제작: 투명한 글래스 기관이 바람직한 절연 기관의 표면에 게이트 배선과 게이트 전극의 홈 패턴을 형성한 बैं크 BNK-G를 형성한다. 은 혹은 구리 등의 도전성 입자를 포함하는 잉크를 잉크젯으로 बैं크 BNK-G의 홈에 적하하고, 건조, 소성하여 게이트 배선 GL과 게이트 전극 GT를 형성한다.
- [0082] (2) 게이트 배선부 IJ 도포: 게이트 배선의 게이트 절연층 GI 위에서, 데이터 배선이 교차하는 부분(크로스부) 뿐만 아니라, 게이트 배선 GL을 따라 그 상부에 저유전률의 절연 재료를 잉크젯법으로 적하하여 도포하여, 저유전률의 절연층 LDP를 형성한다. 이 저유전률의 절연층 LDP는 액티브 매트릭스 기관 중 적어도 표시 영역(다수의 화소를 매트릭스 배열한 영역) 내의 모든 게이트 배선 GL의 상층에 형성된다.
- [0083] (3) 아일런드 형성: 게이트 배선 GL 및 게이트 전극 GT 및 बैं크 BNK-G를 포함하는 기관 전역을 피복하여 게이트 절연막 GI를 성막한다. 게이트 절연막 GI는 실리콘 나이트라이드(SiN_x : 질화 실리콘)를 CVD로 성막한다. 그 후, 마찬가지로의 CVD로 아몰퍼스 실리콘 반도체층과 실리콘에 인 등을 불순물로서 혼입한 n^+ 실리콘 반도체층(오믹 콘택트층)을 성막한다. 이 아몰퍼스 실리콘 반도체층으로 한 오믹 콘택트층을 가공하여, 게이트 전극 GT의 상방에 실리콘 반도체의 아일런드 SI를 형성한다. 또한, 이 때, 아일런드 SI의 상층에 형성되는 오믹 콘택트층

은 소스 전극과 드레인 전극의 접속 영역으로서 각각 분리되어 있다.

- [0084] (4) 소스 및 채널 형성: 게이트 절연층 GI 위에서, 또한 교차하는 게이트 배선 GL 위의 저유전률의 절연층 LDP 위에, 데이터 배선과 소스 전극 SD1 및 드레인 전극 SD2의 홈 패턴을 갖는 बैं크 BNK-D를 형성한다. 이 홈에 은 혹은 구리 등의 도전성 입자를 포함하는 잉크를 잉크젯으로 बैं크 BNK-G의 홈에 적하하고, 건조, 소성하여 소스 배선 즉 데이터 배선 DL, 및 소스 전극 SD1과 드레인 전극 SD2를 형성한다. 이 때, 소스 전극 SD1과 드레인 전극 사이에 채널이 형성된다. 그 후, 보호막의 형성, 화소 전극의 형성 등의 화소 형성 프로세스 및 배향막의 도포 프로세스를 거쳐서 액티브 매트릭스 기판이 제작된다.
- [0085] 도 16은 도 15의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 B-B선을 따라 절단한 것에 다른 쪽의 기판과 접합하여 액정을 밀봉한 상태를 도시하는 단면도이다. 도시된 바와 같이, 액티브 매트릭스 기판을 구성하는 글래스 기판 SUB1의 표면에 게이트 배선 GL이 형성되어 있다. 게이트 배선 GL과 데이터 배선이 교차하는 부분을 포함하여, 게이트 배선 GL 위에 방향족탄화수소계 유기폴리머, 폴리알릴에테르계 유기폴리머 등의 저유전률의 절연 재료의 잉크를 잉크젯으로 적하한다. 이 잉크가 건조하여 게이트 배선 GL을 따라 게이트 절연막 GI 위에 존재하는 저유전률의 절연막 LDP로 된다. 이 위에 게이트 게이트 절연막 GI를 형성한다. 게이트 절연막 GI는 बैं크 BNK-G의 존재로 평탄하게 형성된다.
- [0086] 이 저유전률의 절연막 LDP와 게이트 절연막 GI와의 2층의 절연 구조 위에 데이터 배선 DL이 교차하여 형성되어 있다. 도 16에 도시된 바와 같이, 잉크젯으로 적하하여 경화한 저유전률의 절연막 LDP의 주연은 완만한 테이퍼로 된다. 그 때문에, 게이트 배선 GL에 교차하는 데이터 배선 DL은 완만하게 게이트 배선 GL을 타고 넘어, 급준한 타고 넘는 각도의 경우에 발생하는 단 끊김 등에 의한 단선의 발생이 억제된다. 또한, 데이터 배선 DL과 컬러 필터 기판 SUB2에 갖는 대향 전극 CT와의 사이는 상기의 교차부를 포함하는 게이트 배선 GL의 부분을 제외하고 전극 간격을 좁게 하는 유전체가 존재하지 않는다. 또한, 액티브 매트릭스 기판 SUB1측의 배향막 ORI1과 컬러 필터 기판 SUB2측의 배향막 ORI2 사이에 액정 LC가 밀봉되어 있다.
- [0087] 실시예 8에 의해, 교차 용량이나 대향 용량을 증가시키지 않고, 또한 데이터 배선 등의 신호선과 대향 전극 사이에는 게이트 배선 GL 위의 저유전률의 절연막 LDP가 전극 간격을 좁히는 유전체로서 존재할 뿐으로, 용량을 대폭 증가시키는 구조로 되지 않는다. 그 때문에, 박막 트랜지스터의 성능을 저하시키지 않고, 고속 동작으로 고정밀의 액정 표시 장치를 제공할 수 있다.
- [0088] 여기서, 본 발명의 구체적 효과를, 교차부 용량에 대해서는 실시예 3에서, 대향 전극에 대해서는 실시예 7에서 설명한다.
- [0089] 실시예 3에서 설명한 교차부 용량에 대하여, 도 6의 단면 구조를 참조하여 설명한다. 게이트 배선 GL과 데이터 배선 DL의 교차부에서 양 배선 사이에 존재하는 게이트 절연막 GI의 두께 d_{gi} 를 $0.4\mu m$, 그 유전률 ϵ_{gi} 를 7.0, 교차부의 면적을 S로 했을 때의 게이트 절연막 GI만의 교차부의 용량 C_0 은,
- [0090] $C_0 = \epsilon_{gi} / d_{gi} S = (7.0 / 0.4) S$
- [0091] 로 된다.
- [0092] 교차부에서의 게이트 절연막 GI 위에 잉크젯으로 도포한 저유전률의 절연막 LDP의 두께를 d, 그 유전률을 ϵ 이라고 하면, 교차부의 용량 C는,
- [0093] $C = C_0 \{ 1 / (1 + d \epsilon_{gi} / d_{gi} \epsilon) \}$
- [0094] 로 된다.
- [0095] 여기서, 저유전률의 절연막 LDP의 유전률 ϵ 을 대략 3으로 하고, 저유전률의 절연막 LDP의 두께 d를 변화시켰을 때의 교차부의 용량 C는,
- [0096] $d = 0.4\mu m \rightarrow C = 0.30C_0$
- [0097] $d = 0.8\mu m \rightarrow C = 0.18C_0$
- [0098] $d = 1.2\mu m \rightarrow C = 0.13C_0$
- [0099] 으로 된다.

- [0100] 실시예 7에서 설명한 대향 용량에 대하여, 도 14의 단면 구조를 참조하여 설명한다. 게이트 절연막 GI의 두께 d_{gi} 를 $0.4\mu m$, 그 유전률 ϵ_{gi} 를 7.0, 액정 LC의 두께 d_{lc} 를 $3.5\mu m$, 그 유전률 ϵ_{lc} 를 8.5, 게이트 배선 GL과 대향 전극 CT의 대향부의 면적을 S로 했을 때의 게이트 절연막 GI만의 교차부의 용량 C_0 은,
- [0101] $C_0 = \{(\epsilon_{gi} \cdot \epsilon_{lc} / (d_{gi} \epsilon_{lc} + d_{lc} \epsilon_{gi}))\} S$
- [0102] 로 된다.
- [0103] 게이트 절연막 GI 위를 따라서 잉크젯으로 도포한 저유전률의 절연막 LDP의 두께를 d, 그 유전률을 ϵ 이라고 하면, 대향 용량 C는,
- [0104] $C = C_0 [1 / \{(1 + (d \epsilon_{gi} \epsilon_{lc} / (d_{gi} \epsilon_{lc} + d_{lc} \epsilon_{gi})) \epsilon\}]$
- [0105] 로 된다.
- [0106] 여기서, 저유전률의 절연막 LDP의 유전률 ϵ 을 대략 3으로 하고, 저유전률의 절연막 LDP의 두께 d를 변화시켰을 때의 교차부의 용량 C는,
- [0107] $d = 1\mu m \rightarrow C = 0.58C_0$
- [0108] $d = 2\mu m \rightarrow C = 0.41C_0$
- [0109] $d = 3\mu m \rightarrow C = 0.32C_0$
- [0110] 으로 된다.
- [0111] 또한, 본 발명은, 상기한 각 실시예를 적절하게 조합할 수도 있고, 본 발명의 기술사상을 일탈하지 않고, 여러 가지의 변경이 가능하다.

도면의 간단한 설명

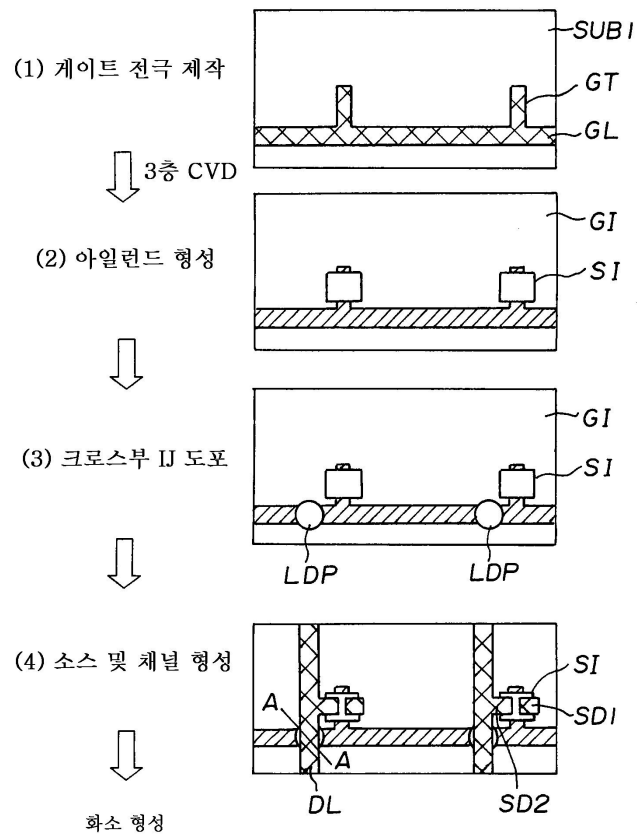
- [0112] 도 1은 본 발명에 따른 액정 표시 장치의 실시예 1을 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0113] 도 2는 도 1의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 A-A선을 따라 절단한 단면도.
- [0114] 도 3은 본 발명에 따른 액정 표시 장치의 실시예 2를 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0115] 도 4는 도 3의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 A-A선을 따라 절단한 단면도.
- [0116] 도 5는 본 발명에 따른 액정 표시 장치의 실시예 3을 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0117] 도 6은 도 5의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 A-A선을 따라 절단한 단면도.
- [0118] 도 7은 본 발명에 따른 액정 표시 장치의 실시예 4를 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0119] 도 8은 도 7의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 A-A선을 따라 절단한 단면도.
- [0120] 도 9는 본 발명에 따른 액정 표시 장치의 실시예 5를 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0121] 도 10은 도 9의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기관의 B-B선을 따라 절단한 것에 다른 쪽의 기관과 접합하여 액정을 밀봉한 상태를 도시하는 단면도.
- [0122] 도 11은 본 발명에 따른 액정 표시 장치의 실시예 6을 구성하는 액정 표시 패널의 액티브 매트릭스 기관의 제조

방법의 주요부 공정을 설명하는 평면도.

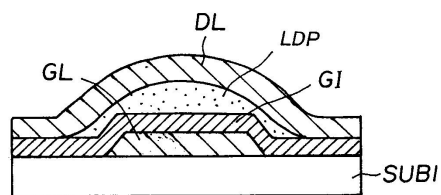
- [0123] 도 12는 도 11의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 B-B선을 따라 절단한 것에 다른 쪽의 기판과 접합하여 액정을 밀봉한 상태를 도시하는 단면도.
- [0124] 도 13은 본 발명에 따른 액정 표시 장치의 실시예 7을 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0125] 도 14는 도 13의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 B-B선을 따라 절단한 것에 다른 쪽의 기판과 접합하여 액정을 밀봉한 상태를 도시하는 단면도.
- [0126] 도 15는 본 발명에 따른 액정 표시 장치의 실시예 8을 구성하는 액정 표시 패널의 액티브 매트릭스 기판의 제조 방법의 주요부 공정을 설명하는 평면도.
- [0127] 도 16은 도 15의 공정 (4)에서 데이터 배선을 형성한 상태의 액티브 매트릭스 기판의 B-B선을 따라 절단한 것에 다른 쪽의 기판과 접합하여 액정을 밀봉한 상태를 도시하는 단면도.
- [0128] 도 17은 액티브 매트릭스형 액정 표시 장치의 표시 패널부의 등가 회로를 설명하는 도면.
- [0129] 도 18은 도 17에 도시한 표시 패널 PNL의 화소부 PXL의 구성과 이 화소부 PXL을 구성하는 박막 트랜지스터 TFT의 구성을 설명하는 도면.
- [0130] <도면의 주요 부분에 대한 부호의 설명>
- [0131] SUB1 : 제1 절연 기판(액티브 매트릭스 기판)
- [0132] SUB2 : 제2 절연 기판(컬러 필터 기판)
- [0133] GL : 게이트 배선
- [0134] GT : 게이트 전극
- [0135] GI : 게이트 절연막
- [0136] SI : 실리콘 반도체층
- [0137] LDP : 저유전률의 절연막
- [0138] DL : 데이터 배선
- [0139] SD1 : 소스 전극(드레인 전극)
- [0140] SD2 : 드레인 전극(소스 전극)
- [0141] BNK-G : 게이트 배선 형성용 बैं크
- [0142] BNK-D : 데이터 배선 형성용 बैं크

도면

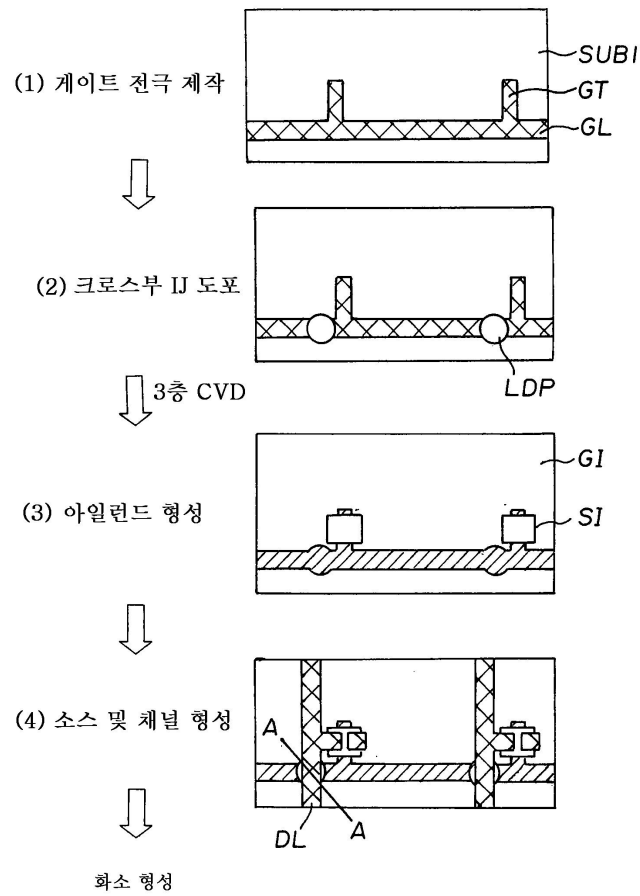
도면1



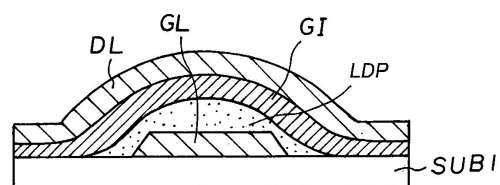
도면2



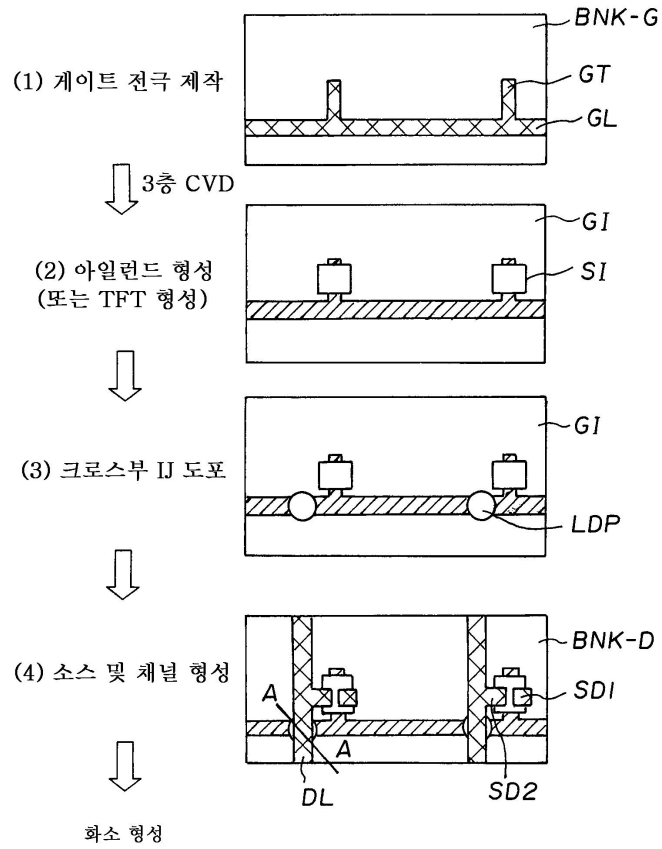
도면3



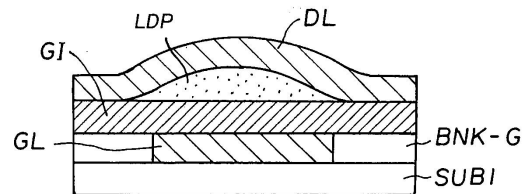
도면4



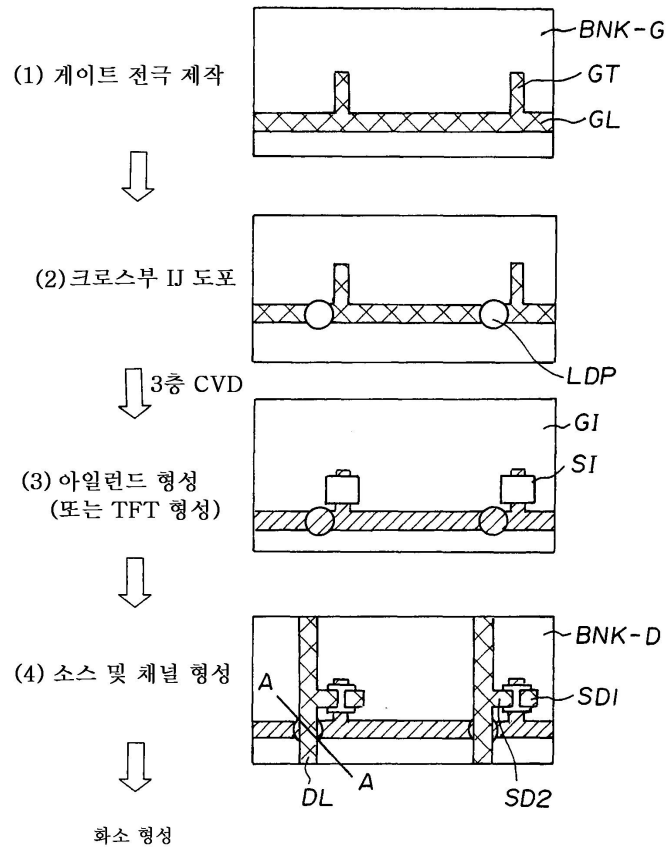
도면5



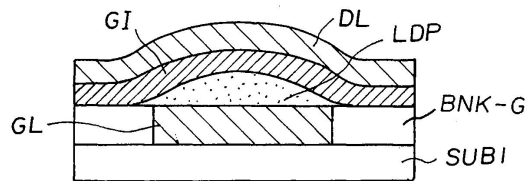
도면6



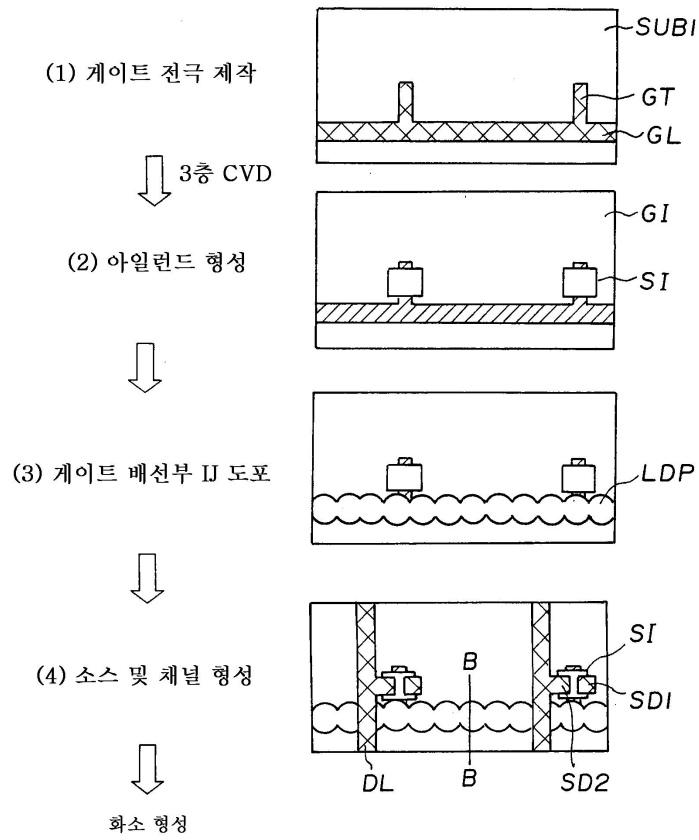
도면7



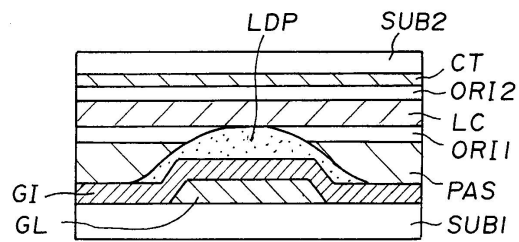
도면8



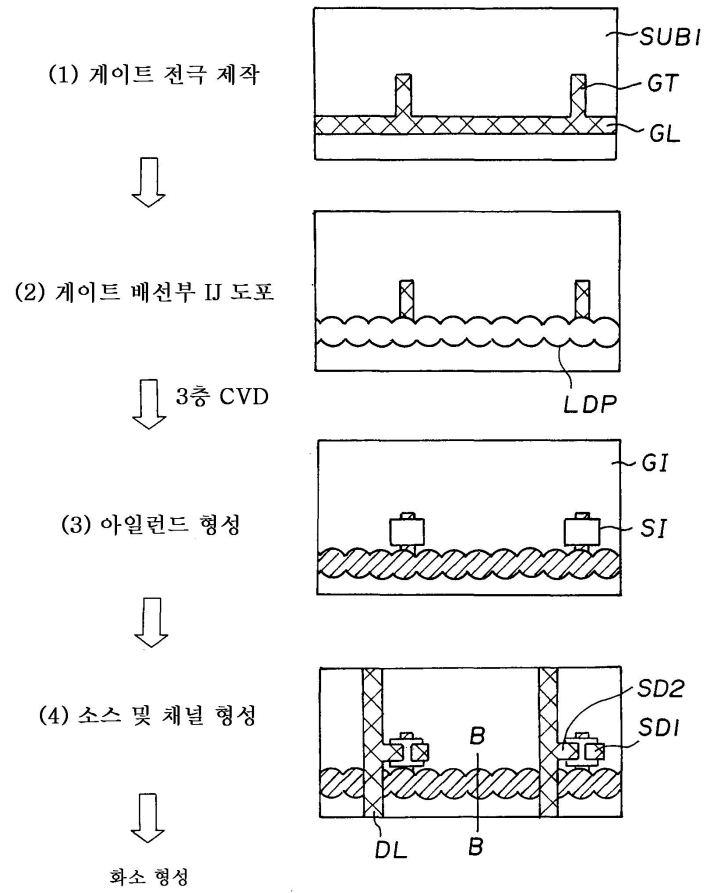
도면9



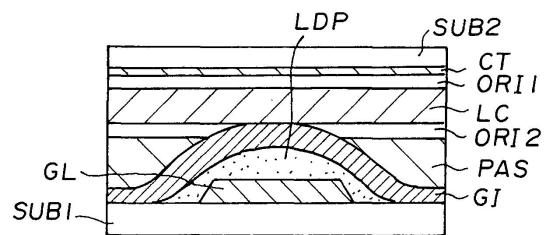
도면10



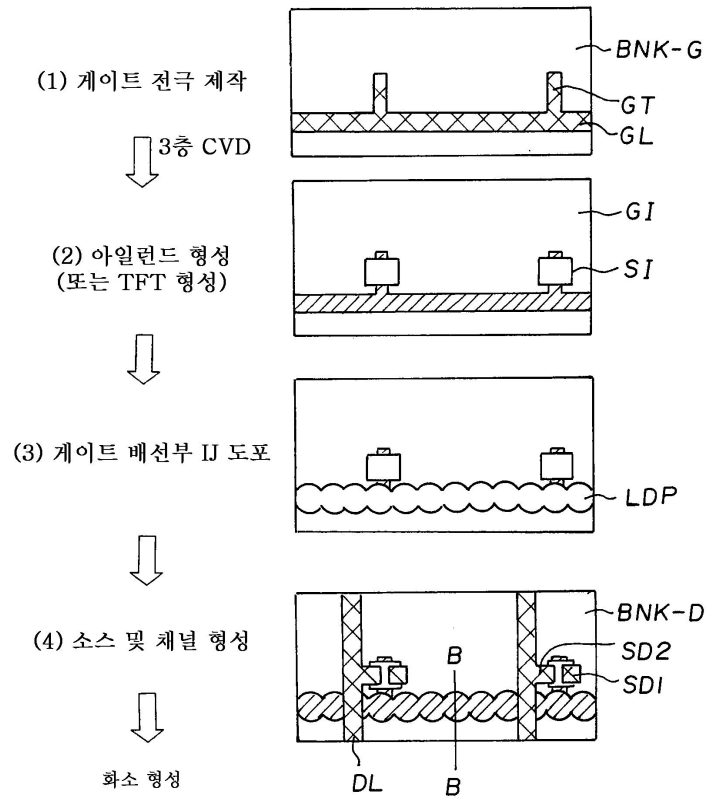
도면11



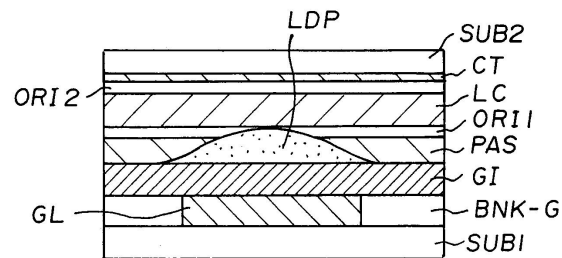
도면12



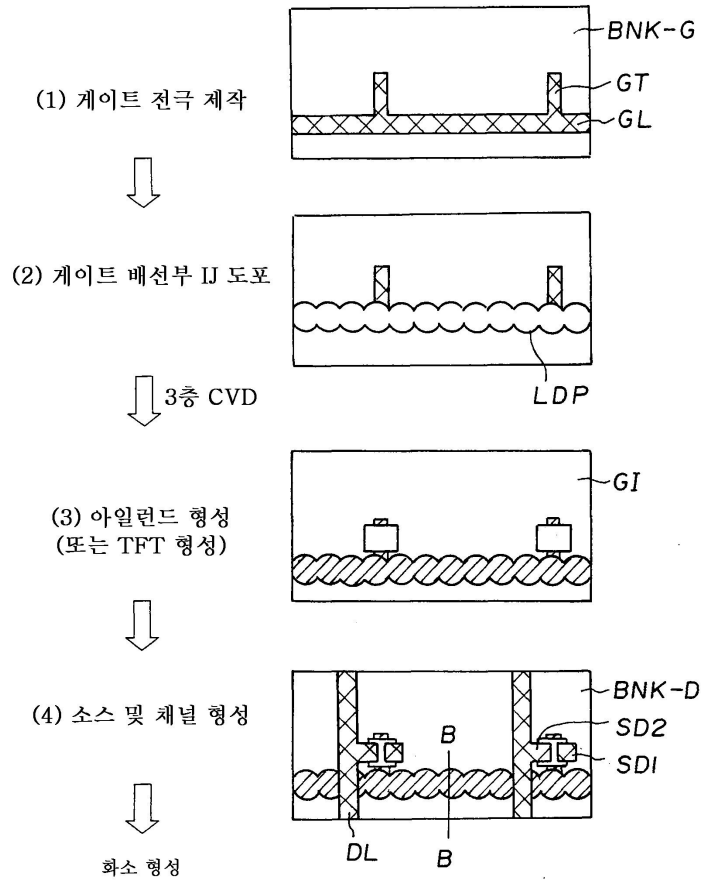
도면13



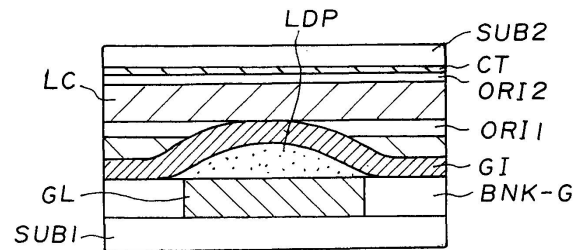
도면14



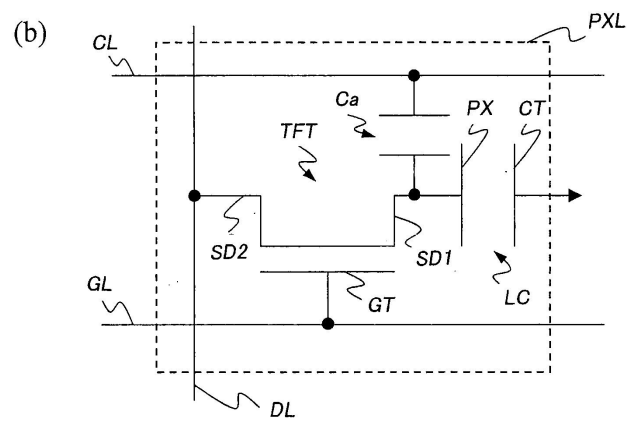
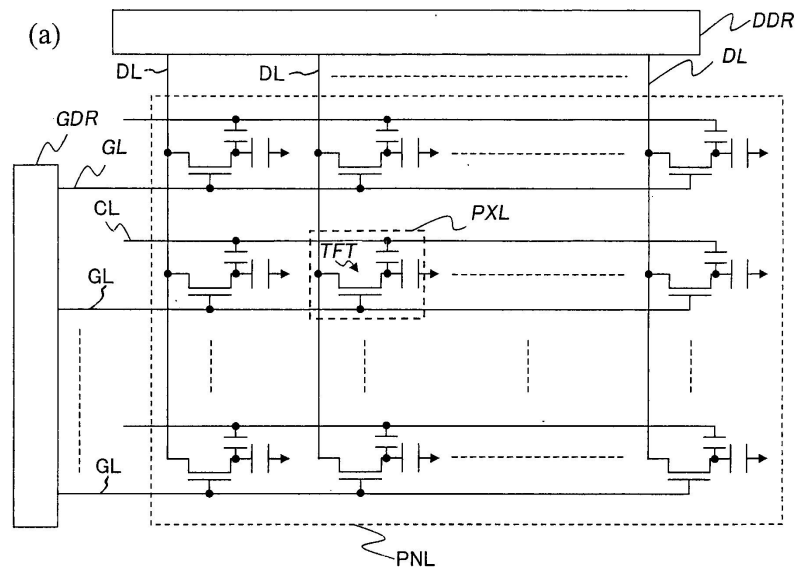
도면15



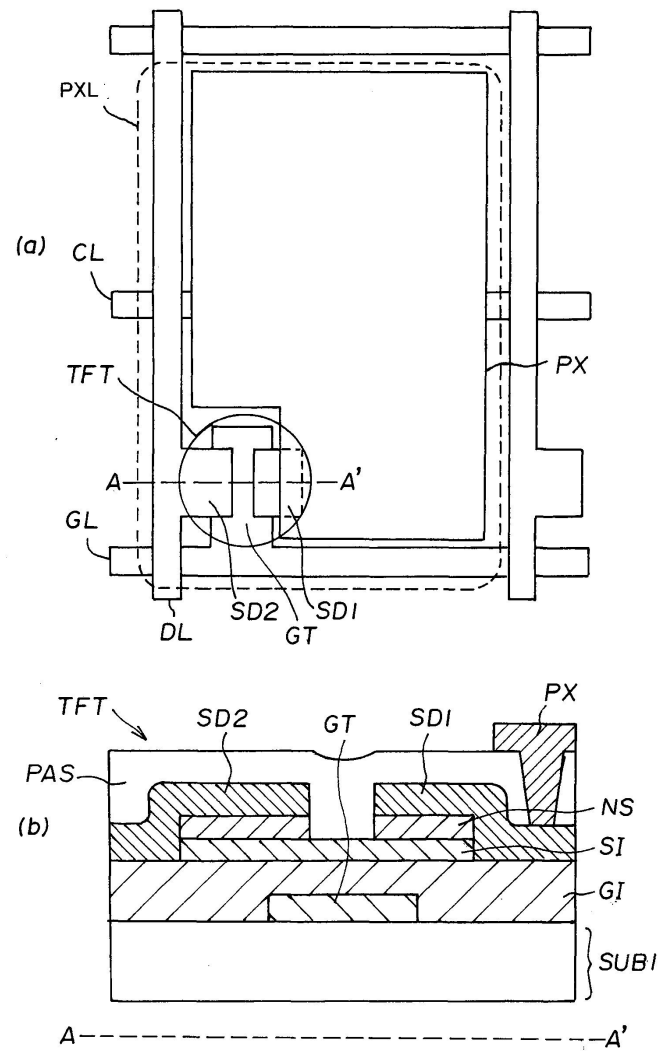
도면16



도면17



도면18



专利名称(译)	液晶显示器		
公开(公告)号	KR100961359B1	公开(公告)日	2010-06-04
申请号	KR1020080041883	申请日	2008-05-06
[标]申请(专利权)人(译)	未来视野股份有限公司		
申请(专利权)人(译)	可否怎么这一未来愿景		
当前申请(专利权)人(译)	可否怎么这一未来愿景		
[标]发明人	YOSHIMOTO YOSHIKAZU		
发明人	YOSHIMOTO, YOSHIKAZU		
IPC分类号	G02F1/136		
CPC分类号	H01L27/1214 G02F1/136286 H01L27/12 G02F2001/13606 G02F1/1368 H01L27/124 H01L27/1248 H01L27/1292		
代理人(译)	CHANG, SOO KIL 0 LEE, JUNG HEE		
优先权	2005365739 2005-12-20 JP		
其他公开文献	KR1020080045668A		
外部链接	Espacenet		

摘要(译)

滴加在所述栅极线和形成构成液晶显示装置的液晶显示面板利用喷墨 teubeop与另一个绝缘膜的绝缘材料的上层中的有源矩阵基板上的数据线的交叉部分夹在栅绝缘膜低的介电常数，在不增加交叉点的交叉容量的情况下，改善了在硅半导体层上形成的薄膜晶体管的性能。

