



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년01월10일
(11) 등록번호 10-2064737
(24) 등록일자 2020년01월06일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G02F 1/1345 (2006.01)
G02F 1/136 (2006.01)
(21) 출원번호 10-2013-0104325
(22) 출원일자 2013년08월30일
심사청구일자 2018년08월23일
(65) 공개번호 10-2015-0026030
(43) 공개일자 2015년03월11일
(56) 선행기술조사문헌
KR1020110014016 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이재석
경상북도 구미시 인동26길 65, 108동 206호 (진평동, 구미진평주공미래타운)
권재창
경상북도 구미시 해마루공원로 111, 104동 1001호 (옥계동, 구미옥계우미란아파트)
(74) 대리인
특허법인인벤싱크
(뒷면에 계속)

전체 청구항 수 : 총 11 항

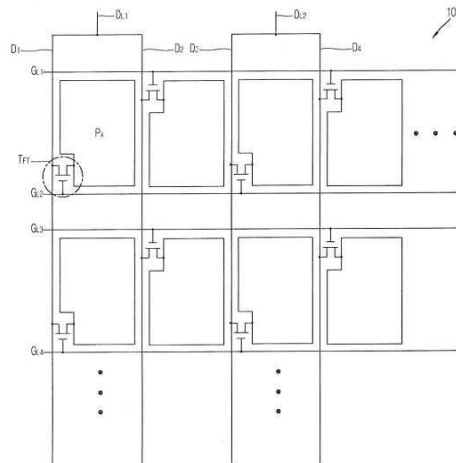
심사관 : 김민수

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

추가적인 데이터라인을 구성하여 박막트랜지스터가 하나의 데이터라인에 대해 동일 선상에 배치되도록 하고, 서로 인접하는 한 쌍의 데이터라인을 하나로 연결함으로써, 데이터 구동부의 수를 절감할 수 있는 DRD 구동 방식의 효과와 함께 각 화소영역에서의 투과율을 향상시킬 수 있는 액정표시장치 및 그 제조방법이 제공된다.

대표도 - 도3



(72) 발명자

지용우

경상북도 구미시 인동54길 9, 104동 205호 (구평동, 영무예다움)

임향숙

경상북도 포항시 남구 동해면 일월로160번길 17

명세서

청구범위

청구항 1

기관 상에 서로 교차하도록 형성된 다수의 게이트라인과 다수의 데이터라인;

상기 다수의 게이트라인과 상기 다수의 데이터라인의 교차점에 형성된 다수의 박막트랜지스터; 및

상기 다수의 게이트라인과 상기 다수의 데이터라인의 교차영역에 형성되어 상기 다수의 박막트랜지스터 각각과 연결된 다수의 화소전극을 포함하고,

상기 다수의 데이터라인 중 바로 옆에 인접하여 형성된 한 쌍의 데이터라인은 일 끝단이 서로 연결되어 형성되고,

상기 다수의 데이터라인은 서로 교차하지 않도록 형성된 액정표시장치

청구항 2

제1항에 있어서,

상기 다수의 박막트랜지스터는 상기 다수의 데이터라인 각각을 기준으로 동일한 방향에 위치한 액정표시장치.

청구항 3

제1항에 있어서,

상기 다수의 박막트랜지스터 각각은 상기 다수의 게이트라인 중 홀수번째 게이트라인과 상기 다수의 데이터라인 중 짝수번째 데이터라인의 교차점과, 상기 다수의 게이트라인 중 짝수번째 게이트라인과 상기 다수의 데이터라인 중 홀수번째 데이터라인의 교차점에 형성된 액정표시장치.

청구항 4

제1항에 있어서,

상기 한 쌍의 데이터라인 각각의 일 끝단을 상기 기관의 비표시영역으로 연장하여 서로 마주보도록 절곡시킨 연장부와, 상기 연장부 각각을 하나의 라인으로 연결하는 공통라인을 더 포함하는 액정표시장치.

청구항 5

제4항에 있어서,

상기 공통라인의 끝단에 형성되어 데이터 구동부와 접속되는 데이터 패드부를 더 포함하는 액정표시장치.

청구항 6

제5항에 있어서,

상기 데이터 패드부는 상기 다수의 데이터라인 개수의 1/2개수로 형성된 액정표시장치.

청구항 7

기관 상에 일 방향으로 다수의 게이트라인을 형성하는 단계;

상기 다수의 게이트라인과 교차하도록 다수의 데이터라인을 형성하되, 상기 다수의 데이터라인 중 바로 옆에 인접하는 한 쌍의 데이터라인은 일 끝단이 서로 연결되고, 상기 다수의 데이터라인은 서로 교차하지 않도록 형성하는 단계; 및

상기 다수의 게이트라인과 상기 다수의 게이트라인 각각의 교차점에 박막트랜지스터를 형성하고, 상기 박막트랜지스터와 연결되는 화소전극을 형성하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 8

제7항에 있어서,

상기 다수의 데이터라인 중 인접하는 한 쌍의 데이터라인은 일 끝단이 서로 연결되도록 형성하는 단계는,

상기 한 쌍의 데이터라인 각각의 일 끝단을 상기 기관의 비표시영역으로 연장하여 서로 마주보도록 절곡시킨 연장부를 형성하는 단계; 및

상기 연장부 각각을 하나의 라인으로 연결시키는 공통라인을 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 9

제8항에 있어서,

상기 공통라인의 끝단에 데이터 구동부와 접속되는 데이터 패드부를 형성하는 단계를 더 포함하는 액정표시장치의 제조방법.

청구항 10

제7항에 있어서,

상기 다수의 박막트랜지스터를 상기 다수의 데이터라인 각각을 기준으로 동일한 방향에 위치되도록 형성하는 액정표시장치의 제조방법.

청구항 11

제7항에 있어서,

상기 박막트랜지스터 각각을 상기 다수의 게이트라인 중 홀수번째 게이트라인과 상기 다수의 데이터라인 중 짝수번째 데이터라인의 교차점과, 상기 다수의 게이트라인 중 짝수번째 게이트라인과 상기 다수의 데이터라인 중 홀수번째 데이터라인의 교차점에 형성하는 액정표시장치의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 DRD(Double Rate Driving) 구동 방식으로 동작하는 액정표시장치에서 투과율을 향상시킬 수 있는 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

[0003] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있다.

[0004] 액정 표시 장치는 컬러필터 어레이가 형성된 컬러필터 기관, 박막트랜지스터 어레이가 형성된 박막트랜지스터 기관 및 컬러필터 기관과 박막트랜지스터 기관 사이에 형성된 액정층을 포함하여 이루어진다.

[0005] 상술한 액정표시장치는 박막트랜지스터 기관의 게이트라인들을 구동하기 위한 게이트 드라이브 IC와 데이터라인들을 구동하기 위한 데이터 드라이브 IC를 구비하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 드라이브 IC들의 개수는 증가한다.

[0006] 여기서, 데이터 드라이브 IC는 다른 소자에 비해 상대적으로 고가이기 때문에, 액정표시장치의 제조 비용을 절감하기 위한 방안으로 DRD 구동 방식이 제안되었다. DRD 구동 방식은 액정표시장치에서 박막트랜지스터 기관에서 게이트라인들의 개수는 2배로 늘리는 대신, 데이터라인들의 개수를 1/2배로 줄여 형성함으로써, 필요로 하는

데이터 드라이브 IC의 개수 또한 1/2로 줄이는 방식이다.

- [0007] 도 1은 종래의 DRD 구동방식의 액정표시장치의 개략적인 등가 회로도이고, 도 2a는 도 1의 액정표시장치의 개략적인 평면도이고, 도 2b는 도 2a의 액정표시장치를 IIb~IIb'으로 절단한 단면도이다.
- [0008] 도면을 참조하면, 종래의 DRD 방식의 액정표시장치(1)는 다수의 데이터라인(D1~D3)과 다수의 게이트라인(G1~G4)이 서로 교차하여 형성된다.
- [0009] 다수의 데이터라인(D1~D3) 중 하나의 데이터라인, 예컨대 제1데이터라인(D1)에는 두 개의 화소, 즉 서브화소(R, G)가 공통으로 연결된다. 다시 말해, 제1데이터라인(D1)을 중심으로 제1게이트라인(G1)과 연결된 제1서브화소(R)와 제2게이트라인(G2)과 연결된 제2서브화소(G)가 형성되고, 제1서브화소(R)와 제2서브화소(G)는 제1데이터라인(D1)에 공통 연결된다.
- [0010] 여기서, 각각의 게이트라인(G1~G4)과 데이터라인(D1~D3)의 교차점에는 박막트랜지스터가 형성되며, 각 서브화소(R, G, B)는 박막트랜지스터를 통해 데이터라인(D1~D3)과 연결된다.
- [0011] 도면을 참조하면, 기판(2) 상에 일방향으로 제1게이트라인(G1)이 형성되고, 제1게이트라인(G1)으로부터 분지되어 제1게이트전극(10a)이 형성된다.
- [0012] 제1게이트전극(10a) 상에는 게이트절연막(11)을 사이에 두고 반도체층(13)이 형성된다. 반도체층(13) 상에는 제1데이터라인(D1)으로부터 분지되어 제1소스전극(15a)과 제1드레인전극(15b)이 형성된다. 제1게이트전극(10a), 반도체층(13), 제1소스전극(15a) 및 제1드레인전극(15b)은 제1박막트랜지스터(TFT1)를 형성한다.
- [0013] 제1박막트랜지스터(TFT1) 상에는 층간절연막(16)을 사이에 두고 제1화소전극(17)이 형성된다. 제1화소전극(17)은 층간절연막(16)의 콘택홀을 통해 제1드레인전극(15b)에 연결된다. 제1화소전극(17)은 제1서브화소(R)를 형성한다.
- [0014] 또한, 도면에 상세히 나타내지는 않았으나, 기판(2) 상에 제1게이트라인(G1)과 나란하게 제2게이트라인(G2)이 형성된다. 또한, 제2게이트라인(G2)으로부터 분지되어 제2게이트전극이 형성되고, 제2게이트전극 상에 순차적으로 게이트절연막 및 반도체층이 형성된다. 반도체층 상에는 제1데이터라인(D1)으로부터 분지되어 제2소스전극과 제2드레인전극이 형성된다. 제2게이트전극, 반도체층, 제2소스전극 및 제2드레인전극은 제2박막트랜지스터를 형성한다. 그리고, 제2박막트랜지스터 상에 층간절연막 및 제2화소전극이 형성된다. 제2화소전극은 제2서브화소(G)를 형성한다.
- [0015] 한편, 상술한 종래의 액정표시장치(1)에서는 박막트랜지스터가 하나의 데이터라인(D1~D3)을 기준으로 좌/후로 형성되어 각 서브화소(R, G, B)와 연결된다. 따라서, 박막트랜지스터의 제조 공정 상 게이트전극과 드레인전극의 오버랩 정도가 달라지는 경우에 각 박막트랜지스터에 연결된 각 서브화소(R, G, B)는 그 충전량이 달라지게 된다.
- [0016] 예를 들어, 제1데이터라인(D1)으로부터 형성되는 제1드레인전극(15b)과 제2드레인전극이 기판(2) 상에서 좌측으로 쉬프트되어 형성되면, 제1박막트랜지스터(TFT1)의 제1게이트전극(10a)과 제1드레인전극(15b)은 오버랩되는 부분이 작아지게 된다. 이로 인하여 제1박막트랜지스터(TFT1)에 연결된 제1서브화소(R)는 그 충전량이 부족하게 된다. 반대로, 제2드레인전극은 제2박막트랜지스터의 제2게이트전극과 오버랩되는 부분이 커지기 때문에 제2박막트랜지스터에 연결된 제2서브화소(G)는 과충전된다.
- [0017] 또한, 제1데이터라인(D1)으로부터 형성된 제1 및 제2드레인전극(15b)이 기판(2) 상에서 우측으로 쉬프트되어 형성되면, 제1서브화소(R)는 과충전되고 제2서브화소(G)는 부족충전된다.
- [0018] 이렇게 게이트전극과 드레인전극의 오버랩 차이에 의해 각 화소의 충전량이 달라지는 문제를 해결하기 위하여, 종래의 액정표시장치(1)에서는 각 게이트라인(G1~G4)에 게이트전극(10a)에 인접하여 보상패턴(10b)을 더 형성하게 된다.
- [0019] 보상패턴(10b)은 각 게이트라인(G1~G4)에서 분지되어 드레인전극(15b)의 일측과 오버랩 되도록 형성되며, 이러한 보상패턴(10b)에 의해 드레인전극(15b)의 형성 위치가 좌/우로 이동되더라도 각 서브화소(R, G, B)의 충전량 차이를 보상할 수 있다.
- [0020] 그러나, 추가적으로 형성된 보상패턴(10b)에 의해 종래의 액정표시장치(1)는 각 화소영역에서의 투과율이 저하된다.

[0021] 다시 말하면, 종래의 액정표시장치(1)에서는 박막트랜지스터(TFT1) 형성 영역뿐만 아니라 보상패턴(10b)이 형성된 영역도 블랙매트릭스(black matrix)를 이용하여 가려줘야 하기 때문에 각 서브화소(R, G, B)에서의 개구율이 저하된다. 이러한 개구율의 저하는 액정표시장치(1) 전체의 투과율을 저하시켜 화면 표시 품질이 떨어지게 된다.

발명의 내용

해결하려는 과제

[0022] 본 발명은 상기한 문제점을 개선하기 위한 것으로, 투과율을 높이면서 DRD 구동 방식으로 동작할 수 있는 액정표시장치 및 그 제조방법을 제공하고자 하는데 있다.

과제의 해결 수단

[0023] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치는, 기판 상에 서로 교차하도록 형성된 다수의 게이트라인과 다수의 데이터라인; 상기 다수의 게이트라인과 상기 다수의 데이터라인의 교차점에 형성된 다수의 박막트랜지스터; 및 상기 다수의 게이트라인과 상기 다수의 데이터라인의 교차영역에 형성되어 상기 다수의 박막트랜지스터 각각과 연결된 다수의 화소전극을 포함하고, 상기 다수의 데이터라인 중 인접하여 형성된 한 쌍의 데이터라인은 일 끝단이 서로 연결되어 형성된다.

[0024] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 액정표시장치의 제조방법은, 기판 상에 일 방향으로 다수의 게이트라인을 형성하는 단계; 상기 다수의 게이트라인과 교차하도록 다수의 데이터라인을 형성하되, 상기 다수의 데이터라인 중 인접하는 한 쌍의 데이터라인은 일 끝단이 서로 연결되도록 형성하는 단계; 및 상기 다수의 게이트라인과 상기 다수의 게이트라인 각각의 교차점에 박막트랜지스터를 형성하고, 상기 박막트랜지스터와 연결되는 화소전극을 형성하는 단계를 포함한다.

발명의 효과

[0025] 본 발명의 액정표시장치 및 그 제조방법에 따르면, 추가적인 데이터라인을 구성하여 박막트랜지스터가 하나의 데이터라인에 대해 동일 선상에 배치되도록 하고, 서로 인접하는 한 쌍의 데이터라인을 하나로 연결함으로써, 데이터 구동부의 수를 절감할 수 있는 DRD 구동 방식의 효과와 함께 각 화소영역에서의 투과율을 향상시킬 수 있다.

도면의 간단한 설명

[0026] 도 1은 종래의 DRD 구동방식의 액정표시장치의 개략적인 등가 회로도이다.

도 2a는 도 1의 액정표시장치의 개략적인 평면도이다.

도 2b는 도 2a의 액정표시장치를 IIb~IIb'으로 절단한 단면도이다.

도 3은 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 등가 회로도이다.

도 4는 도 3의 액정표시장치의 개략적인 평면도이다.

도 5는 도 4의 액정표시장치를 V~V'의 선으로 절단한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0027] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법에 대해 상세히 설명한다.

[0028] 도 3은 본 발명의 일 실시예에 따른 액정표시장치의 개략적인 등가 회로도이다.

[0029] 도 3을 참조하면, 본 발명에 따른 액정표시장치(100)는 다수의 게이트라인(GL1~GL4)과 다수의 데이터라인(D1~D4), 이들의 교차영역에 형성된 다수의 박막트랜지스터(TFT)와 화소전극(Px)을 포함할 수 있다. 다수의 게이트라인(GL1~GL4)과 다수의 데이터라인(D1~D4)을 서로 교차하여 형성될 수 있다.

[0030] 다수의 게이트라인(GL1~GL4)과 다수의 데이터라인(D1~D4)의 교차영역에는 화소영역이 정의될 수 있는데, 화소영역은 서로 교차되는 두 개의 게이트라인과 데이터라인에 의해 정의될 수 있다.

[0031] 예를 들어, 다수의 화소영역 중 제1화소영역은 다수의 게이트라인(GL1~GL4) 중 제1 및 제2게이트라인(GL1, GL

2)과 다수의 데이터라인(D1~D4) 중 제1 및 제2데이터라인(D1, D2)이 교차하여 정의될 수 있다.

- [0032] 제1화소영역에는 제2게이트라인(GL2)과 제1데이터라인(D1)의 교차점에 제1박막트랜지스터(TFT)가 형성될 수 있고, 제1박막트랜지스터(TFT)와 연결된 제1화소전극(Px)이 형성될 수 있다.
- [0033] 또한, 상기 제1화소영역에 세로 방향, 즉 열 방향으로 인접하는 제2화소영역은 다수의 게이트라인(GL1~GL4) 중 제3 및 제4게이트라인(GL3, GL4)과 제1 및 제2데이터라인(D1, D2)이 교차하여 정의될 수 있다.
- [0034] 제2화소영역에는 제4게이트라인(GL4)과 제1데이터라인(D1)의 교차점에 제2박막트랜지스터(TFT)가 형성될 수 있고, 제2박막트랜지스터(TFT)와 연결된 제2화소전극(Px)이 형성될 수 있다.
- [0035] 여기서, 다수의 박막트랜지스터(TFT) 각각은 다수의 데이터라인(D1~D4) 각각에 대해 동일선상에 배치되도록 형성될 수 있다.
- [0036] 다시 말하면, 액정표시장치(100)의 제1열에 형성되는 박막트랜지스터(TFT)들은 다수의 게이트라인(GL1~GL4) 중에서 짝수번째 게이트라인, 즉 제2 및 제4게이트라인(GL2, GL4)과 제1데이터라인(D1)의 교차점에 동일 선상으로 형성될 수 있다. 또한, 액정표시장치(100)의 제2열에 형성되는 박막트랜지스터(TFT)들은 다수의 게이트라인(GL1~GL4) 중에서 홀수번째 게이트라인, 즉 제1 및 제3게이트라인(GL1, GL3)과 제2데이터라인(D2)의 교차점에 동일 선상으로 형성될 수 있다.
- [0037] 즉, 본 발명의 액정표시장치(100)에서는 하나의 데이터라인에 대하여 동일 선상으로 다수의 박막트랜지스터(TFT)가 형성될 수 있다.
- [0038] 한편, 다수의 데이터라인(D1~D4) 중에서 서로 인접하여 형성된 한 쌍의 데이터라인은 그 일 끝단이 서로 연결될 수 있다.
- [0039] 예를 들어, 서로 인접하여 형성된 제1데이터라인(D1)과 제2데이터라인(D2)의 끝단은 하나의 데이터라인(DL1)으로 연결될 수 있다. 또한, 제3데이터라인(D3)과 제4데이터라인(D4)의 끝단은 다른 하나의 데이터라인(DL2)으로 연결될 수 있다.
- [0040] 이에 따라, 본 발명의 액정표시장치(100)는 데이터 구동부(미도시)의 수를 데이터라인(D1~D4) 수의 1/2로 줄일 수 있어 DRD 구동 방식의 액정표시장치를 구현할 수 있다.
- [0041] 도 4는 도 3의 액정표시장치의 개략적인 평면도이고, 도 5는 도 4의 액정표시장치를 V~V'의 선으로 절단한 단면도이다.
- [0042] 이하, 도 4 및 도 5를 참조하여 상술한 본 발명의 액정표시장치의 제조방법에 대해 설명하기로 한다.
- [0043] 도 4 및 도 5를 참조하면, 본 발명의 액정표시장치(100)는 절연기판(101) 상에 일방향으로 형성된 다수의 게이트라인(105a~105d)과 상기 게이트라인(105a~105d)으로부터 돌출되어 형성된 게이트전극(110)을 포함할 수 있다.
- [0044] 게이트라인(105a~105d)과 게이트전극(110)은 절연기판(101) 상에 도전성 금속물질을 증착하고, 이를 선택적으로 패터닝하여 형성될 수 있다. 이때, 게이트전극(110)은 다수의 화소영역 각각에 대응되도록 형성될 수 있다.
- [0045] 여기서, 도전성 금속물질은 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 하나가 사용될 수 있다.
- [0046] 다수의 게이트라인(105a~105d) 각각의 일 끝단에는 게이트 패드부(106)가 형성될 수 있다. 게이트 패드부(106)는 제1패드 콘택홀(107)을 통해 외부 회로, 즉 게이트 구동부(미도시)에 접속될 수 있다.
- [0047] 게이트라인(105a~105d)과 게이트전극(110)이 형성된 절연기판(101)의 전면에는 게이트절연막(120)이 형성될 수 있다. 게이트절연막(120)은 질화 실리콘(SiNx)과 산화 실리콘(SiO2)을 포함하는 무기절연물질 그룹 중 하나를 절연기판(101)에 증착하여 형성될 수 있다.
- [0048] 게이트절연막(120) 상에는 게이트전극(110)과 대응되는 위치에 반도체층(130)이 형성될 수 있다. 반도체층(130)은 게이트절연막(120) 상에 순수 비정질 실리콘(a-Si:H)과 불순물이 포함된 비정질 실리콘(n+a-Si:H)을 차례로 증착하고, 이를 선택적으로 패터닝하여 형성될 수 있다. 반도체층(130)은 액티브층과 오믹 콘택층을 포함할 수 있다.
- [0049] 반도체층(130)이 형성된 절연기판(101) 상에는 게이트라인(105a~105d)과 교차되도록 다수의 데이터라인

(141~143)이 형성될 수 있다. 그리고, 데이터라인(141~143)으로부터 분지되어 소스전극(140a)과 드레인전극(140b)이 형성될 수 있다.

- [0050] 데이터라인(141~143), 소스전극(140a) 및 드레인전극(140b)은 도전성 금속물질을 증착하여 패터닝함으로써 형성될 수 있는데, 앞서 설명한 게이트라인(105a~105d)과 동일한 물질이 사용될 수 있다.
- [0051] 여기서, 소스전극(140a)은 데이터라인(141~143)으로부터 'ㄷ'자 형상으로 돌출되어 형성될 수 있고, 드레인전극(140b)은 소스전극(140a) 사이에 형성될 수 있다. 소스전극(140a)과 드레인전극(140b)은 반도체층(130) 및 게이트전극(110)에 대응되도록 형성될 수 있다.
- [0052] 이에 따라, 액정표시장치(100)의 각 화소영역에 게이트전극(110), 반도체층(130), 소스전극(140a) 및 드레인전극(140b)으로 구성된 박막트랜지스터가 형성될 수 있다.
- [0053] 그리고, 소스 및 드레인전극(140b)이 형성된 절연기관(101)의 전면에 무기절연막 또는 유기절연막을 증착하여 층간절연막(150)을 형성할 수 있다. 무기절연막은 실리콘(SiN₂)과 산화 실리콘(SiO₂)을 포함한 무기절연물질 그룹 중 하나일 수 있고, 유기절연막은 감광성을 띄는 포토 아크릴(Photo Acryl) 물질 또는 기타 다른 감광성 유기 절연물질일 수 있다.
- [0054] 이어, 층간절연막(150)에 콘택홀(155)을 형성하여 드레인전극(140b)을 노출시킨다. 또한, 층간절연막(150) 상에 인듐-틴-옥사이드(ITO)와 인듐-징크-옥사이드(IZO)를 포함하는 투명한 도전성 금속그룹 중 선택된 하나를 증착하고 패터닝하여 화소전극(160)을 형성할 수 있다. 화소전극(160)은 콘택홀(155)을 통해 드레인전극(140b)과 연결될 수 있다.
- [0055] 여기서, 본 발명의 액정표시장치(100)에서는 앞서 설명한 바와 같이, 다수의 박막트랜지스터가 각각이 데이터라인에 대하여 동일 선상에 위치되도록 형성될 수 있다. 이에 따라, 본 발명의 액정표시장치(100)는 도 1에 도시된 종래의 액정표시장치에서 필요로 했던 보상패턴을 생략할 수 있어 종래의 액정표시장치에 비하여 투과율이 향상될 수 있다. 예를 들어, 본 발명의 액정표시장치(100)는 종래의 액정표시장치에 비하여 대략 4.5%의 투과율 상승 효과가 나타날 수 있다.
- [0056] 한편, 다수의 데이터라인(141~143)의 일측 끝단에도 게이트 패드부(106)와 동일한 형태의 데이터 패드부(146)가 형성될 수 있다. 데이터 패드부(146)도 게이트 패드부(106)와 마찬가지로 제2패드 콘택홀(147)을 통해 외부의 데이터 구동부(미도시)에 접속될 수 있다. 게이트 패드부(106)와 데이터 패드부(146)는 액정표시장치(100)의 비표시영역에 형성될 수 있다.
- [0057] 또한, 데이터 패드부(146)는 서로 인접하는 한 쌍의 데이터라인(141, 142)에 공통으로 연결되도록 형성될 수 있다. 즉, 데이터 패드부(146)는 서로 인접하여 형성된 한 쌍의 데이터라인(141, 142) 마다 한 개씩 형성되어 상기 한 쌍의 데이터라인(141, 142)에 공통으로 연결될 수 있다.
- [0058] 다시 말하면, 서로 인접하는 한 쌍의 데이터라인(141, 142)은 액정표시장치(100)의 비표시영역에서 서로 마주보는 방향으로 연장되어 연결될 수 있다.
- [0059] 예를 들어, 한 쌍의 데이터라인(141, 142) 중, 제1데이터라인(141)은 액정표시장치(100)의 비표시영역까지 연장되어 제2데이터라인(142) 방향으로 절곡된 제1연장부(141a)를 포함할 수 있다.
- [0060] 또한, 제2데이터라인(142)은 액정표시장치(100)의 비표시영역까지 연장되어 제1데이터라인(141) 방향으로 절곡된 제2연장부(142a)를 포함할 수 있다.
- [0061] 여기서, 액정표시장치(100)의 비표시영역은 절연기관(101) 상에 화소영역이 형성된 표시영역을 제외한 나머지 부분으로, 절연기관(101)에서 표시영역을 둘러싸는 외곽 영역을 말한다. 이러한 비표시영역에는 게이트 패드부(106), 데이터 패드부(146) 등과 같은 액정표시장치(100)의 구동회로 부분이 형성될 수 있다.
- [0062] 제1데이터라인(141)의 제1연장부(141a)와 제2데이터라인(142)의 제2연장부(142a)는 마주보도록 형성되어 서로 연결될 수 있다. 그리고, 연결된 부분으로부터 하나의 데이터 패드부(146)까지 연장된 공통 라인(145)이 형성될 수 있다.
- [0063] 이에 따라, 데이터 구동부로부터 데이터 패드부(146)에 데이터 신호가 인가되면, 인가된 데이터 신호는 공통 라인(145)을 통해 제1연장부(141a)와 제2연장부(142a)에 각각 제공됨으로써, 제1데이터라인(141)과 제2데이터라인(142)에는 동일한 데이터 신호가 인가될 수 있다.

[0064] 또한, 제3데이터라인(143)도 액정표시장치(100)의 비표시영역까지 연장되어 제4데이터라인(미도시) 방향으로 절곡된 제3연장부(143a)를 포함할 수 있으며, 제4데이터라인의 연장부와 연결되어 제3데이터라인(143)과 제4데이터라인에는 동일한 데이터 신호가 인가될 수 있다.

[0065] 즉, 본 발명에 따른 액정표시장치(100)는 다수의 데이터라인(141~143)이 비표시영역에서 한 쌍씩 연결되어 형성됨에 따라 종래의 액정표시장치에 비하여 데이터 패드부(146)의 수를 데이터라인(141~143)의 1/2로 줄일 수 있다. 따라서, 데이터 패드부(146)에 접속되는 데이터 구동부도 데이터라인(141~143)의 1/2로 줄일 수 있어 DRD 구동 방식의 액정표시장치를 구현할 수 있다.

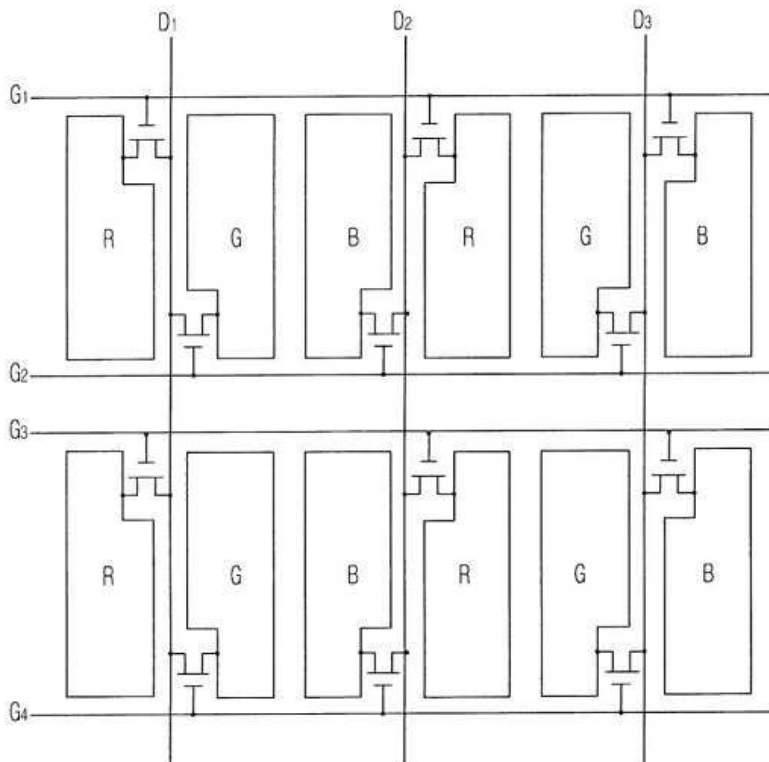
[0066] 전술한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

부호의 설명

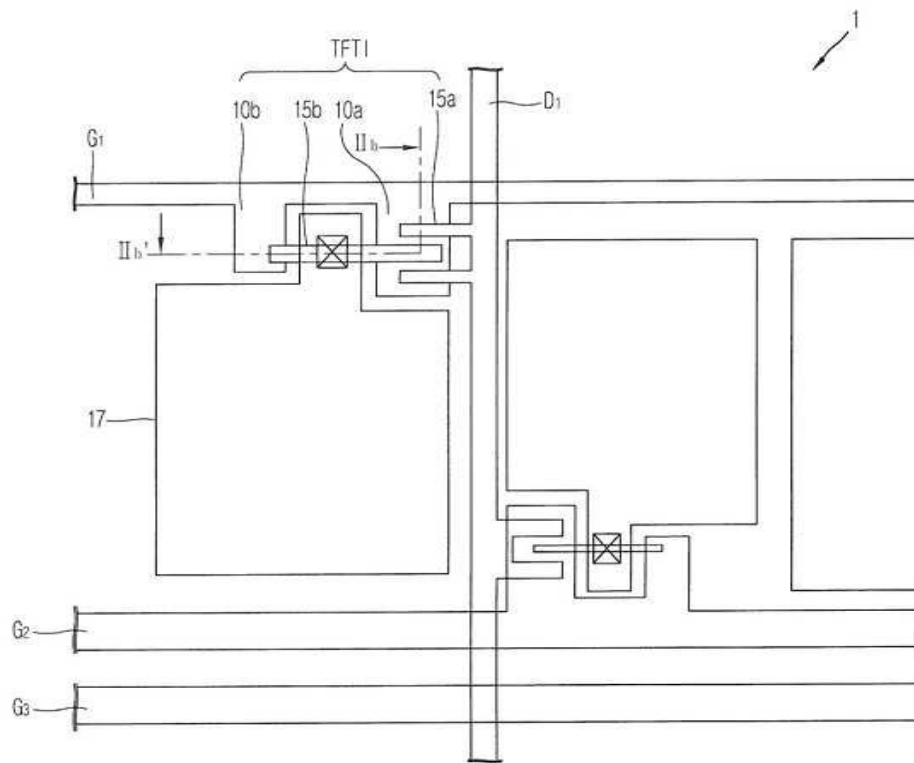
[0067] 100: 액정표시장치 105a~105d: 게이트라인
110: 게이트전극 130: 반도체층
140a: 소스전극 140b: 드레인전극
141~143: 데이터라인 145: 공통라인
160: 화소전극

도면

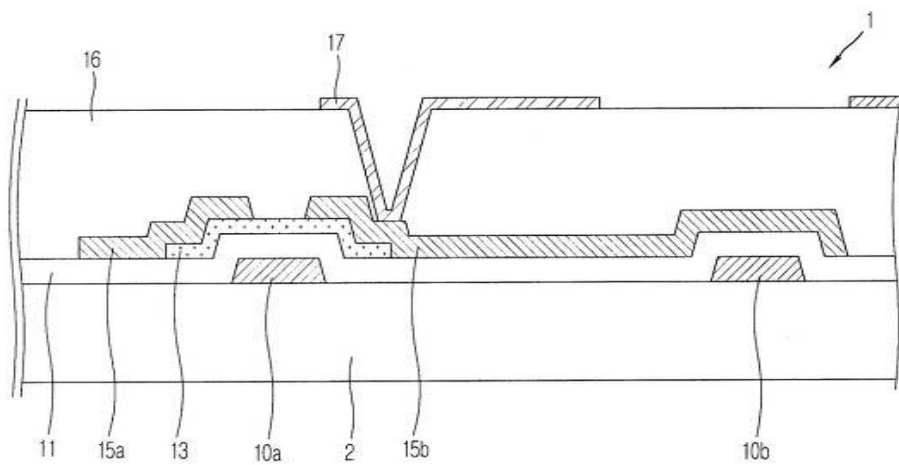
도면1



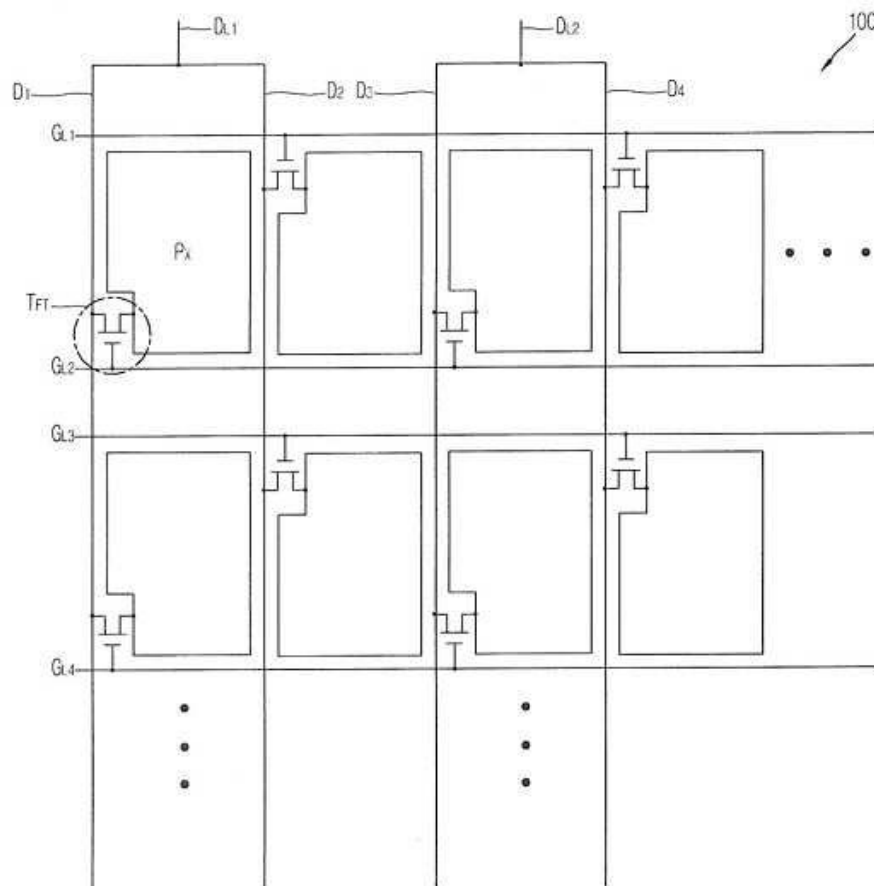
도면2a



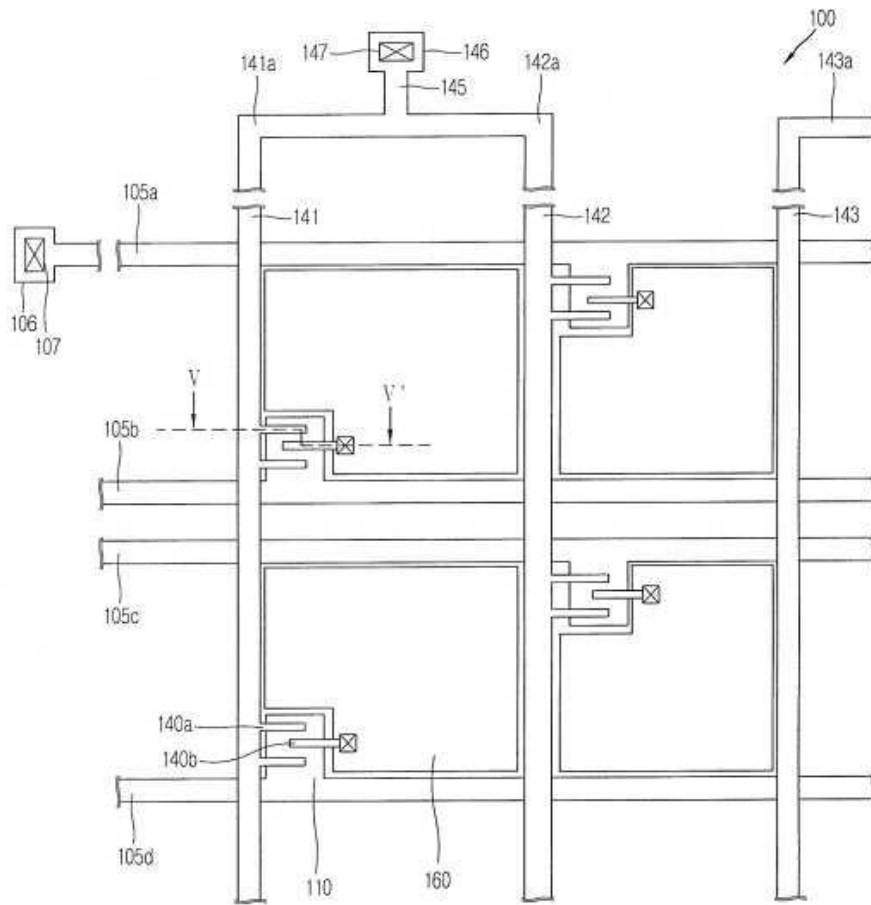
도면2b



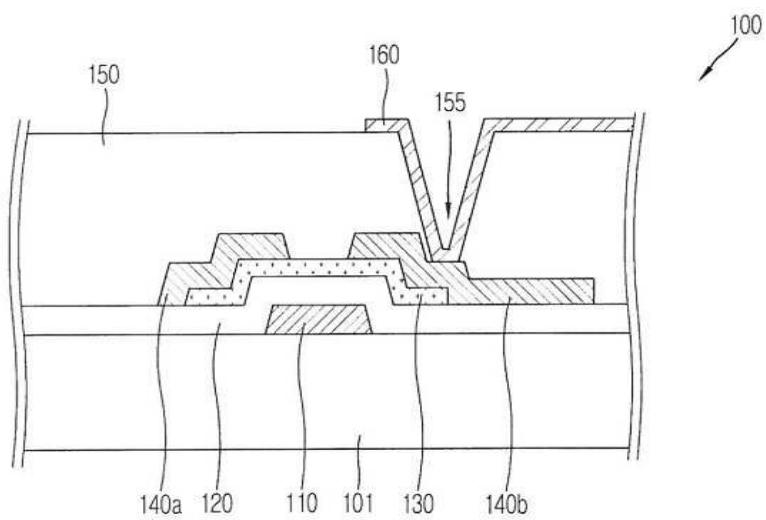
도면3



도면4



도면5



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR102064737B1	公开(公告)日	2020-01-10
申请号	KR1020130104325	申请日	2013-08-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	이재석 권재창 지용우 임향숙		
发明人	이재석 권재창 지용우 임향숙		
IPC分类号	G02F1/133 G02F1/1345 G02F1/136		
CPC分类号	G02F1/133 G02F1/13452 G02F1/136286		
审查员(译)	金		
其他公开文献	KR1020150026030A		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法技术领域本发明涉及一种液晶显示装置及其制造方法，该液晶显示装置及其制造方法能够通过DRD驱动方案来提高每个像素区域中的透射率，该DRD驱动方案能够通过配置附加数据线来减少数据驱动器的数量。薄膜晶体管与一条数据线对准在同一条线上，并且将一对相邻的数据线连接成一条。

