



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2020년01월07일

(11) 등록번호 10-2063346

(24) 등록일자 2019년12월31일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01) G02F 1/133 (2006.01)

(21) 출원번호 10-2013-0023993

(22) 출원일자 2013년03월06일

심사청구일자 2018년02월20일

(65) 공개번호 10-2014-0109697

(43) 공개일자 2014년09월16일

(56) 선행기술조사문헌

KR1020080076128 A*

KR1020080099908 A*

KR1020060053754 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

상우규

경기 파주시 쇠재로 133, 505동 902호 (금촌동, 쇠재마을아파트)

김규진

경기 파주시 월롱면 엘씨디로 201, 정다운마을 F동 1208호

(74) 대리인

특허법인로알

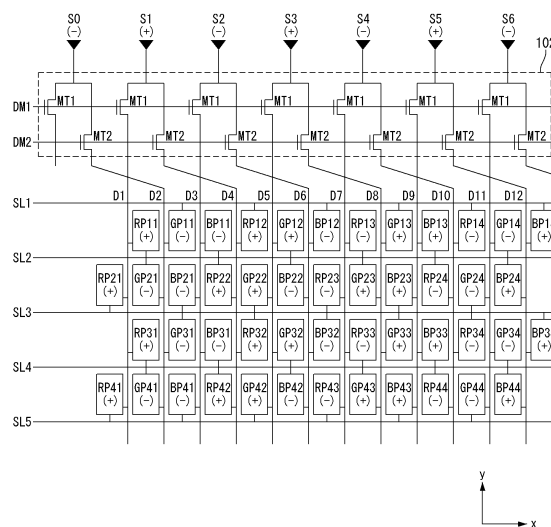
전체 청구항 수 : 총 13 항

심사관 : 추장희

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 스캔 라인들, 및 상기 데이터 라인들과 스캔 라인들의 교차 영역에 매트릭스 형태로 배치되는 서브 화소들을 포함하는 액정표시패널; 상기 데이터 라인들에 데이터전압들을 공급하는 소스 드라이브 IC; 및 상기 소스 드라이브 IC의 어느 한 출력 채널에 접속된 p (p는 2 이상의 양의 정수) 개의 디멀티플렉서 스위치들을 포함하고, 상기 디멀티플렉서 스위치들의 스위칭 동작을 통해 상기 어느 한 출력 채널의 데이터전압들을 시분할하여 p 개의 데이터라인들에 분배하는 디멀티플렉서 회로를 구비하고, 상기 어느 한 출력 채널의 데이터전압들은 동일한 극성의 데이터전압들인 것을 특징으로 한다. 또한, 본 발명의 실시 예에 따른 액정표시장치는 상기 어느 한 출력 채널의 동일한 극성의 데이터전압들은 동일한 색의 데이터전압들인 것을 특징으로 한다.

대표도 - 도6

명세서

청구범위

청구항 1

데이터 라인들, 스캔 라인들, 및 상기 데이터 라인들과 스캔 라인들의 교차 영역에 매트릭스 형태로 배치되고 각 데이터 라인을 따라 연결된 화소들은 동일한 색인 서브 화소들을 포함하는 액정표시패널;

상기 데이터 라인들에 데이터전압들을 공급하는 소스 드라이브 IC; 및

상기 소스 드라이브 IC의 어느 한 출력 채널에 접속된 p (p 는 2 이상의 양의 정수) 개의 디먹스 스위치들을 포함하고, 상기 디먹스 스위치들의 스위칭 동작을 통해 상기 어느 한 출력 채널의 데이터전압들을 시분할하여 p 개의 데이터라인들에 분배하는 디먹스 회로를 구비하고,

상기 소스 드라이브 IC가 1프레임 기간 동안 출력하는 데이터전압들은 각 채널에 따라 동일한 극성을 갖는 동일한 한 색의 데이터전압들인 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 디먹스 회로는,

상기 어느 한 출력 채널의 상기 동일한 극성을 갖는 상기 동일한 색의 데이터전압들을 상기 동일한 색의 서브 화소들에 접속된 어느 한 데이터 라인과 상기 동일한 색의 서브 화소들에 접속된 또 다른 데이터 라인에 시분할하여 분배하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

상기 디먹스 회로는,

제1 디먹스 제어라인의 제1 디먹스 제어신호에 응답하여 상기 어느 한 출력 채널을 상기 어느 한 데이터 라인에 접속시키는 제1 디먹스 스위치; 및

제2 디먹스 제어라인의 제2 디먹스 제어신호에 응답하여 상기 어느 한 출력 채널을 상기 또 다른 데이터 라인에 접속시키는 제2 디먹스 스위치를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항에 있어서,

상기 디먹스 회로는,

제 k (k 는 양의 정수) 출력 채널의 상기 동일한 극성을 갖는 상기 동일한 색의 데이터전압들을 제 $2k-1$ 및 제 $2k+2$ 데이터 라인들에 시분할하여 분배하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 소스 드라이브 IC는,

상기 제 k 출력 채널에 제1 극성을 갖는 제1 색의 데이터전압들을 출력하고, 제 $k+1$ 출력 채널에 제2 극성을 갖는 제2 색의 데이터전압들을 출력하며, 제 $k+2$ 출력 채널에 상기 제1 극성을 갖는 제3 색의 데이터전압들을 출력하

고, 제 $k+3$ 출력 채널에 상기 제2 극성을 갖는 상기 제1 색의 데이터전압들을 출력하며, 제 $k+4$ 출력 채널에 상기 제1 극성을 갖는 상기 제2 색의 데이터전압들을 출력하고, 제 $k+5$ 출력 채널에 상기 제2 극성을 갖는 상기 제3 색의 데이터전압들을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 어느 한 데이터 라인에 공통으로 접속되는 상기 동일한 색의 서브 화소들은 열 방향을 따라 상기 어느 한 데이터 라인의 좌측과 우측을 번갈아가며 연결되어 지그재그로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

어느 한 서브 화소는 그에 열 방향(y축 방향)으로 인접한 서브 화소들 중 어느 하나와 그들 사이에 배치된 스캔 라인에 공통으로 접속된 것을 특징으로 하는 액정표시장치.

청구항 9

제 3 항에 있어서,

상기 디믹스 회로는,

제 k (k 는 양의 정수) 출력 채널의 상기 동일한 극성을 갖는 상기 동일한 색의 데이터전압들을 제 $2k+3$ 및 제 $2k-3$ 데이터 라인들에 시분할하여 분배하거나, 제 $2k+2$ 및 제 $2k-4$ 데이터 라인들에 시분할하여 분배하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 소스 드라이브 IC는,

상기 제 k 출력 채널에 제1 극성을 갖는 제1 색의 데이터전압들을 출력하고, 제 $k+1$ 출력 채널에 상기 제1 극성을 갖는 제2 색의 데이터전압들을 출력하며, 제 $k+2$ 출력 채널에 제2 극성을 갖는 상기 제1 색의 데이터전압들을 출력하고, 제 $k+3$ 출력 채널에 상기 제2 극성을 갖는 상기 제2 색의 데이터전압들을 출력하며, 제 $k+4$ 출력 채널에 상기 제2 극성을 갖는 제3 색의 데이터전압들을 출력하고, 제 $k+5$ 출력 채널에 상기 제1 극성을 갖는 상기 제3 색의 데이터전압들을 출력하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 9 항에 있어서,

상기 어느 한 데이터 라인에 공통으로 접속되는 상기 동일한 색의 서브 화소들은 열 방향을 따라 상기 어느 한 데이터 라인의 좌측 또는 우측에 일렬로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 12

데이터 라인들, 스캔 라인들, 및 상기 데이터 라인들과 스캔 라인들의 교차 영역에 매트릭스 형태로 배치되고, 각 데이터 라인을 따라 연결된 화소들은 동일한 색의 서브 화소들을 포함하는 액정표시패널;

1프레임 기간 동안 제 k (k 는 자연수) 출력 채널에 제1 극성을 갖는 데이터전압들을 출력하고, 제 $k+1$ 출력 채널에 제2 극성을 갖는 데이터전압들을 출력하는 소스 드라이브 IC; 및

상기 소스 드라이브 IC의 어느 한 출력 채널에 접속된 p (p 는 2 이상의 양의 정수) 개의 디믹스 스위치들을 포함하고, 상기 디믹스 스위치들의 스위칭 동작을 통해 상기 제 k 출력 채널의 제1 극성을 갖는 데이터전압들을 제 $3k-2$, 제 $3k$, 및 제 $3k+2$ 데이터 라인들에 시분할하여 분배하고, 제 $k+1$ 출력 채널의 제2 극성을 갖는 데이터전압들을 제 $3k+1$, 제 $3k-1$, 및 제 $3k+3$ 데이터 라인들에 시분할하여 분배하는 디믹스 회로;

를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 13

삭제

청구항 14

제 12 항에 있어서,

어느 한 데이터 라인에 공통으로 접속되는 상기 동일한 색의 서브 화소들은 열 방향을 따라 상기 어느 한 데이터 라인의 좌측 또는 우측에 일렬로 배치되는 것을 특징으로 하는 액정표시장치.

청구항 15

제 12 항에 있어서,

상기 디먹스 회로는,

제1 디먹스 제어라인의 제1 디먹스 제어신호에 응답하여 상기 어느 한 출력 채널을 제1 색의 서브 화소들에 접속된 데이터 라인에 접속시키는 제1 디먹스 스위치;

제2 디먹스 제어라인의 제2 디먹스 제어신호에 응답하여 상기 어느 한 출력 채널을 제2 색의 서브 화소들에 접속된 데이터 라인에 접속시키는 제2 디먹스 스위치; 및

제3 디먹스 제어라인의 제3 디먹스 제어신호에 응답하여 상기 어느 한 출력 채널을 제3 색의 서브 화소들에 접속된 데이터 라인에 접속시키는 제3 디먹스 스위치를 포함하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 데이터 구동회로의 출력 채널수를 줄일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정셀들이 매트릭스 형태로 배열된 액정표시패널과 이 액정표시패널을 구동하기 위한 구동회로들을 구비한다.

[0003] 도 1은 액정표시패널에 형성되는 화소의 등가 회로도이다. 액정표시패널에는 도 1에서 보는 바와 같이 게이트라인(GL)과 데이터라인(DL)이 교차되고 그 게이트라인(GL)과 데이터라인(DL)의 교차부에 액정셀(Clc)을 구동하기 위한 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)가 형성된다. TFT는 게이트라인(GL)을 통해 공급되는 스캔펄스(SP)에 응답하여 데이터라인을 통해 공급되는 데이터전압(Vd)을 액정셀(Clc)의 화소전극(Ep)에 공급한다. TFT의 게이트전극은 게이트라인(GL)에 접속되고, 소스전극은 데이터라인(DL)에 접속되며, 드레인전극은 액정셀(Clc)의 화소전극(Ep)에 접속된다. 액정셀(Clc)은 화소전극(Ep)에 공급되는 데이터전압(Vd)과 공통전극(Ec)에 공급되는 공통전압(Vcom)의 전위차에 따라 계조를 표시한다. 공통전극(Ec)은 액정셀(Clc)에 전계를 인가하는 방식에 따라 액정표시패널의 상부 유리기관 또는 하부 유리기관에 형성되며, 공통전극(Ec)과 액정셀(Clc) 화소전극(Ep) 사이에는 액정셀(Clc)의 충전 전압을 유지시키기 위한 스토리지 커패시터(Storage Capacitor : Cst)가 형성된다.

[0004] 도 2는 소스 드라이브 IC의 출력 채널들이 액정표시패널에 형성된 데이터라인들에 1:1로 접속되는 예를 보여주는 도면이다. 액정표시장치는 디지털 비디오 데이터를 아날로그 데이터전압들로 변환하여 액정표시패널(20)의 데이터라인들에 공급하기 위한 데이터 구동회로를 포함한다. 데이터 구동회로는 복수 개의 소스 드라이브 IC(Integrated Circuit, 10)를 포함한다. 일반적으로, 소스 드라이브 IC(10)의 출력 채널들(S1~S9)은 도 2와 같이 액정표시패널(20)에 형성된 데이터라인들(D1~D9)에 1:1로 접속된다. 또한, 데이터라인들(D1~D9) 각각은 제1 내지 제3 색의 화소들 중 어느 한 색의 화소들에 접속된다. 예를 들어, 제1 데이터라인(D1)은 제1 색의 화소(RP)들에 접속될 수 있다. 그런데, 소스 드라이브 IC(10)는 다른 부품들에 비해 고가이므로, 소스 드라이브 IC(10)의 출력 채널들과 데이터라인들을 1:2, 1:3, 1:4, 1:5 또는 그 이상의 비율로 접속시켜 소스 드라이브

IC(10)의 출력 채널수를 줄이기 위한 시도가 계속적으로 이뤄지고 있다. 이는 소스 드라이브 IC(10)의 개수를 줄임으로써 액정표시장치의 부품 비용을 절감할 수 있기 때문이다.

[0005] 도 3은 소스 드라이브 IC의 출력 채널들이 소스 MUX 회로를 통해 데이터라인들에 1:3으로 접속되는 일 예를 보여주는 도면이다. 도 3을 참조하면, 소스 MUX 회로(30)는 1 개의 출력 채널을 통해 출력되는 데이터전압들을 시분할하여 3 개의 데이터라인들에 분배한다. 구체적으로, 소스 MUX 회로(30)는 디멀스 제어라인들(DM1, DM2, DM3)에 공급되는 디멀스 제어신호들에 의해 순차적으로 턴 온 되는 디멀스 스위치들(MT1, MT2, MT3)을 이용함으로써, 1 개의 출력 채널을 통해 출력되는 데이터전압들을 시분할하여 3 개의 데이터라인들에 분배할 수 있다. 데이터라인들(D1~D9) 각각은 제1 내지 제3 색의 화소들 중 어느 한 색의 화소들에 접속된다.

[0006] 도 4는 화이트 색, 제1 색, 제2 색, 및 제3 색을 표시하는 경우, 도 3의 제1 출력 채널에 공급되는 데이터전압들의 일 예를 보여주는 도면이다. 도 4를 참조하면, 제1 출력 채널(S1)에는 제1 내지 제3 색의 데이터전압들(RD, GD, BD)이 공급된다. 특히, 소스 MUX 회로(30)의 스위칭에 의해 제1 색의 데이터전압들(RD)은 제1 데이터라인(D1)에 공급되고, 제2 색의 데이터전압들(GD)은 제2 데이터라인(D2)에 공급되며, 제3 색의 데이터전압들(BD)은 제3 데이터라인(D3)에 공급된다.

[0007] 한편, 소스 드라이버 IC(10)는 액정 직류 잔상과 플리커(flicker) 등을 방지하기 위해 도 4와 같이 서로 이웃하는 데이터라인들에 서로 다른 극성의 데이터전압들을 공급하는 컬럼 인버전 방식으로 구동될 수 있다. 예를 들어, 제1 데이터라인(D1)에 공급될 제1 색의 데이터전압들(RD)이 정극성의 전압으로 공급되는 경우, 제2 데이터라인(D2)에 공급될 제2 색의 데이터전압들(GD)은 부극성의 전압으로 공급되며, 제3 데이터라인(D3)에 공급될 제3 색의 데이터전압들(BD)은 정극성의 전압으로 공급된다. 이로 인해, 화이트 색(WHITE)을 표시하기 위한 경우, 소스 드라이버 IC(10)는 도 4와 같이 제1 출력 채널(S1)을 통해 제1 색의 데이터전압들(RD)을 정극성의 전압으로 출력하고, 제2 색의 데이터전압들(GD)을 부극성의 전압으로 출력하며, 제3 색의 데이터전압들(BD)을 정극성의 전압으로 출력하여야 한다. 이 경우, 1 또는 2 수평기간마다 데이터전압이 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)하므로, 소스 드라이브 IC(10)의 소비전력이 크다는 문제가 있다. 1 수평기간은

[0008] 또한, 제1 색(RED), 제2 색(GREEN), 및 제3 색(BLUE) 각각의 단색 또는 제1 내지 제3 색 중 어느 두 가지 색을 포함하는 혼합색을 표시하기 위한 경우에도, 소스 드라이버 IC(10)는 도 4와 같이 제1 출력 채널(S1)을 통해 데이터전압을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)하며 출력하여야 하므로, 소스 드라이브 IC(10)의 소비전력이 크다는 문제가 있다. 소스 드라이브 IC(10)의 소비전력은 데이터전압의 스윙폭이 클수록 커지기 때문이다.

발명의 내용

해결하려는 과제

[0009] 본 발명은 소스 MUX 회로를 이용하여 소스 드라이브 IC의 채널 수를 감소함과 동시에, 소비전력을 절감할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0010] 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 스캔 라인들, 및 상기 데이터 라인들과 스캔 라인들의 교차 영역에 매트릭스 형태로 배치되는 서브 화소들을 포함하는 액정표시패널; 상기 데이터 라인들에 데이터전압들을 공급하는 소스 드라이브 IC; 및 상기 소스 드라이브 IC의 어느 한 출력 채널에 접속된 p (p는 2 이상의 양의 정수) 개의 디멀스 스위치들을 포함하고, 상기 디멀스 스위치들의 스위칭 동작을 통해 상기 어느 한 출력 채널의 데이터전압들을 시분할하여 p 개의 데이터라인들에 분배하는 디멀스 회로를 구비하고, 상기 어느 한 출력 채널의 데이터전압들은 동일한 극성의 데이터전압들인 것을 특징으로 한다.

발명의 효과

[0011] 본 발명은 소스 드라이브 IC의 어느 한 출력 채널로부터 출력되는 동일한 극성의 데이터전압들을 디멀스 회로를

이용하여 복수 개의 데이터 라인들로 시분할하여 분배한다. 그 결과, 본 발명은 화이트 색을 표시하는 경우, 1 프레임 기간 동안 소스 드라이브 IC의 출력 채널들에 정극성 또는 부극성의 데이터전압들만을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 따라서, 본 발명은 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.

[0012] 또한, 본 발명은 소스 드라이브 IC의 어느 한 출력 채널로부터 출력되는 동일한 극성을 갖는 동일한 색의 데이터전압들을 디믹스 회로를 이용하여 복수 개의 데이터 라인들로 시분할하여 분배한다. 그 결과, 본 발명은 단색 또는 혼색을 표시하는 경우, 1 프레임 기간 동안 소스 드라이브 IC의 출력 채널들에 정극성 또는 부극성의 데이터전압들만을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 따라서, 본 발명은 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.

도면의 간단한 설명

[0013] 도 1은 액정표시패널에 형성되는 화소의 등가 회로도.
 도 2는 소스 드라이브 IC의 출력 채널들이 액정표시패널에 형성된 데이터라인들에 1:1로 접속되는 예를 보여주는 도면.
 도 3은 소스 드라이브 IC의 출력 채널들이 소스 MUX 회로를 통해 데이터라인들에 1:3으로 접속되는 일 예를 보여주는 도면.
 도 4는 화이트 색, 제1 색, 제2 색, 및 제3 색을 표시하는 경우, 도 3의 제1 출력 채널에 공급되는 데이터전압들의 일 예를 보여주는 도면.
 도 5는 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 보여주는 블록도.
 도 6은 본 발명의 제1 실시 예에 따른 소스 드라이브 IC의 출력 채널들, 디믹스 회로, 및 액정표시패널을 보여주는 도면.
 도 7은 도 6의 제1 및 제2 디믹스 제어신호들, 제1 내지 제6 출력 채널들의 데이터전압들, 및 제1 및 제2 스캔 펄스들을 보여주는 일 예시도면.
 도 8은 화이트 색, 적색, 녹색, 및 청색을 표시하는 경우, 도 6의 제1 내지 제6 출력 채널들에 공급되는 데이터전압들의 일 예를 보여주는 도면.
 도 9는 본 발명의 제2 실시 예에 따른 소스 드라이브 IC의 출력 채널들, 디믹스 회로, 및 액정표시패널을 보여주는 도면.
 도 10은 도 9의 제1 및 제2 디믹스 제어신호들, 제1 내지 제6 출력 채널들의 데이터전압들, 및 제1 및 제2 스캔 펄스들을 보여주는 일 예시도면.
 도 11은 화이트 색, 적색, 녹색, 및 청색을 표시하는 경우, 도 9의 제1 내지 제6 출력 채널들에 공급되는 데이터전압들의 일 예를 보여주는 도면.
 도 12는 본 발명의 제3 실시 예에 따른 소스 드라이브 IC의 출력 채널들, 디믹스 회로, 및 액정표시패널을 보여주는 도면.
 도 13은 도 12의 제1 내지 제3 디믹스 제어신호들, 제1 및 제2 출력 채널들의 데이터전압들, 및 제1 및 제2 스캔 펄스들을 보여주는 일 예시도면.
 도 14는 화이트 색, 적색, 녹색, 및 청색을 표시하는 경우, 도 12의 제1 및 제2 출력 채널들에 공급되는 데이터전압들의 일 예를 보여주는 도면.

발명을 실시하기 위한 구체적인 내용

[0014] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있

는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

- [0015] 도 5는 본 발명의 실시 예에 따른 액정표시장치를 개략적으로 보여주는 블록도이다. 도 5를 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 데이터 구동회로(110), 게이트 구동회로(120), 디믹스 제어신호 발생회로(130), 및 타이밍 콘트롤러(140) 등을 구비한다.
- [0016] 액정표시패널(100)은 두 장의 유리기관 사이에 배치된 액정분자들을 구비한다. 이 액정표시패널(100)에는 데이터 라인들(D1~Dm)과 스캔 라인들(G1~Gn)의 교차 구조에 의해 매트릭스 형태로 $m \times n$ (m, n 은 양의 정수) 개의 액정셀들(C1c)이 배치된다.
- [0017] 액정표시패널(100)의 하부 유리기관에는 m 개의 데이터라인들(D1~Dm), n 개의 게이트라인들(G1~Gn), TFT들, TFT들에 각각 접속된 액정셀(C1c)의 화소전극(1), 및 스토리지 커패시터(Cst) 등을 포함한 화소 어레이(104)가 형성된다. 화소 어레이에는 화상 표시를 위한 다수의 화소들이 포함되어 있다. 화소들 각각은 복수 개의 서브 화소를 포함할 수 있다. 예를 들어, 화소들 각각은 적색 구현을 위한 적색 서브 화소와, 녹색 구현을 위한 녹색 서브 화소와, 청색 구현을 위한 청색 서브 화소를 포함할 수 있다.
- [0018] 액정표시패널(100)의 상부 유리기관상에는 블랙매트릭스, 컬러필터 및 공통전극(2)이 형성된다. 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상부 유리기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하부 유리기관 상에 형성될 수 있다. 액정표시패널(100)의 상부 유리기관과 하부 유리기관 각각에는 광축이 직교하는 편광판이 부착되고 액정과 접하는 내면에 액정의 프리틸트각을 설정하기 위한 배향막이 형성된다.
- [0019] 데이터 구동회로(110)는 다수의 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함)들을 포함한다. 소스 드라이브 IC들 각각은 타이밍 콘트롤러(140)의 제어하에 디지털 비디오 데이터(RGB)를 아날로그 데이터전압들로 변환한다. 그리고, 데이터 구동회로(110)는 데이터전압들을 k (k 는 양의 정수) 개의 출력 채널들에 공급한다.
- [0020] 액정표시패널(100)의 하부 유리기관에는 디믹스 회로(demux circuit)(102)가 형성된다. 디믹스 회로(102)는 k 개의 출력 채널들과 m 개의 데이터 라인들(D1~Dm) 사이에 접속된다. 디믹스 회로(102)는 어느 한 출력 채널로부터 입력되는 데이터전압들을 시분할하여 p (p 는 2 이상의 양의 정수) 개의 데이터 라인들에 분배한다. 예컨대, 디믹스 회로(102)는 도 6 및 도 9와 같이 2 개의 디믹스 제어신호(DMS1, DMS2)들에 응답하여 어느 한 출력 채널로부터 입력되는 데이터전압들을 시분할하여 2 개의 데이터 라인들에 분배하거나, 도 12와 같이 3 개의 디믹스 제어신호들(DMS1~DMS3)에 응답하여 어느 한 출력 채널로부터 입력되는 데이터전압들을 시분할하여 3 개의 데이터 라인들에 분배할 수 있다. p 는 m/k 로 산출될 수 있다.
- [0021] 디믹스 회로(102)를 구성하는 디믹스 스위치들의 개수는 p 에 의존한다. 디믹스 회로(102)는 어느 한 출력 채널로부터 입력되는 데이터전압들을 p 개의 데이터 라인들에 분배하기 위해서는 p 개의 디믹스 스위치들을 구비해야 한다. 한편, 디믹스 회로(102)는 어느 한 출력 채널로부터 입력되는 데이터전압들을 p 개의 데이터 라인들에 분배함으로써, 소스 드라이브 IC의 출력 채널들의 개수를 데이터 라인들의 개수에 비해 $1/p$ 만큼 줄일 수 있다.
- [0022] 스캔 구동회로(120)는 타이밍 콘트롤러(140)의 제어하에 스캔 펄스들을 발생하고, 스캔 펄스들을 스캔 라인들(G1~Gn)에 순차적으로 공급하여 데이터전압들이 공급될 화소 어레이(104)의 수평 화소 라인을 선택한다. 스캔 구동회로(120)는 스캔 펄스들을 순차적으로 발생하는 쉬프트 레지스터와, 스캔 펄스들의 전압을 액정셀의 구동에 적합한 레벨로 쉬프트시키기 위한 레벨 쉬프터 등을 포함한다. 스캔 구동회로(120)의 쉬프트 레지스터는 액정표시패널(100)에서 화소 어레이(104)를 제외한 비표시영역에 직접 형성될 수 있다. 이 경우, 레벨 쉬프터는 타이밍 콘트롤러(140)와 함께 콘트롤 인쇄회로기판(미도시)에 실장될 수 있다.
- [0023] 디믹스 제어신호 발생회로(130)는 타이밍 콘트롤러(140)의 제어하에 디믹스 회로(102)에 포함된 디믹스 스위치들의 턴-온 타이밍을 제어하기 위한 디믹스 제어신호들(DMS1~DMSk)을 발생한다.
- [0024] 타이밍 콘트롤러(140)는 호스트 시스템(미도시)로부터 디지털 비디오 데이터(RGB)와 타이밍 신호들 등을 입력받는다. 타이밍 신호들은 수직동기신호(vertical synchronization signal), 수평동기신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal), 및 클럭 신호(clock signal) 등을 포함

할 수 있다. 타이밍 컨트롤러(140)는 타이밍 신호들에 기초하여 스캔 구동회로(120)를 제어하기 위한 스캔 제어신호(GCS)를 생성하고, 데이터 구동회로(110)를 제어하기 위한 데이터 제어신호(DCS)를 생성한다. 스캔 제어신호(GCS)는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 인에이블신호(Gate Output Enable) 등을 포함할 수 있다. 데이터 제어신호(DCS)는 소스 스타트 펄스(Source Start Pulse), 소스 쉬프트 클럭(Source Shift Clock), 소스 출력 인에이블신호(Source Output Enable), 극성 제어신호(Polarity Control Signal) 등을 포함할 수 있다. 타이밍 컨트롤러(140)는 스캔 제어신호(GCS)를 스캔 구동회로(120)에 공급하고, 디지털 비디오 데이터(RGB)와 데이터 제어신호(DCS)를 데이터 구동회로(110)에 공급한다. 나아가, 타이밍 컨트롤러(130)는 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 클럭 신호를 이용하여 디먹스 제어신호 발생회로(140)의 동작 타이밍을 제어할 수 있다.

- [0025] 도 6은 본 발명의 제1 실시 예에 따른 소스 드라이브 IC의 출력 채널들, 디먹스 회로, 및 액정표시패널을 보여주는 도면이다. 도 6을 참조하면, 디먹스 회로(102)는 소스 드라이브 IC의 어느 한 출력 채널의 데이터전압들을 시분할하여 p 개의 데이터라인들에 분배하기 위한 p 개의 디먹스 스위치들을 포함한다. 본 발명의 제1 실시 예에서 p는 2인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0026] 소스 드라이브 IC의 출력 채널들 각각은 디먹스 회로(102)의 2 개의 디먹스 스위치들(MT1, MT2)에 접속된다. 디먹스 회로(102)의 제1 디먹스 스위치(MT1)는 제1 디먹스 제어라인(DM1)의 제1 디먹스 제어신호(DMS1)에 응답하여 소스 드라이브 IC의 어느 한 출력 채널을 어느 한 데이터 라인에 접속시킨다. 디먹스 회로(102)의 제2 디먹스 스위치(MT2)는 제2 디먹스 제어라인(DM2)의 제2 디먹스 제어신호(DMS2)에 응답하여 소스 드라이브 IC의 어느 한 출력 채널을 또 다른 데이터 라인에 접속시킨다.
- [0027] 구체적으로, 제1 디먹스 스위치(MT1)는 제1 디먹스 제어라인(DM1)의 제1 디먹스 제어신호(DMS1)에 응답하여 제k 출력 채널(Sk)을 제2k-1 데이터 라인(D2k-1)에 접속시키고, 제2 디먹스 스위치(MT2)는 제2 디먹스 제어라인(DM2)의 제2 디먹스 제어신호(DMS2)에 응답하여 제k 출력 채널(Sk)을 제2k+2 데이터 라인(D2k+2)에 접속시킬 수 있다. 예를 들어, 도 6과 같이 제1 디먹스 스위치(MT1)는 제1 디먹스 제어라인(DM1)의 제1 디먹스 제어신호(DMS1)에 응답하여 제1 출력 채널(S1)을 제1 데이터 라인(D1)에 접속시키고, 제2 디먹스 스위치(MT2)는 제2 디먹스 제어라인(DM2)의 제2 디먹스 제어신호(DMS2)에 응답하여 제1 출력 채널(S1)을 제4 데이터 라인(D4)에 접속시킬 수 있다.
- [0028] 액정표시패널(100)의 화소들 각각은 제1 내지 제3 색의 서브 화소들을 포함한다. 제1 내지 제3 색의 서브 화소들은 도 6과 같이 적색, 녹색, 및 청색 서브 화소(RP, GP, BP)들로 구현될 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 액정표시패널(100)의 어느 한 데이터 라인에 공통으로 접속된 동일한 색의 서브 화소들은 열 방향(y축 방향)을 따라 어느 한 데이터 라인의 좌측과 우측을 번갈아가며 연결되어 지그재그로 배치된다. 예를 들어, 제1 데이터 라인(D1)에 공통으로 접속된 적색 서브 화소(RP)들은 열 방향(y축 방향)을 따라 제1 데이터 라인(D1)의 좌측과 우측을 번갈아가며 연결되어 지그재그로 배치되고, 제2 데이터 라인(D2)에 공통으로 접속된 녹색 서브 화소(GP)들은 열 방향(y축 방향)을 따라 제2 데이터 라인(D2)의 좌측과 우측을 번갈아가며 연결되어 지그재그로 배치되며, 제3 데이터 라인(D3)에 공통으로 접속된 청색 서브 화소(BP)들은 열 방향(y축 방향)을 따라 제3 데이터 라인(D3)의 좌측과 우측을 번갈아가며 연결되어 지그재그로 배치된다.
- [0029] 또한, 어느 한 서브 화소는 그에 열 방향(y축 방향)으로 인접한 서브 화소들 중 어느 하나와 그들 사이에 배치된 스캔 라인에 공통으로 접속된다. 예를 들어, 제1 데이터 라인(D1)의 우측에 배치된 적색 서브 화소(RP11)는 그에 열 방향(y축 방향)으로 인접한 녹색 서브 화소(GP21)와 그들 사이에 배치된 제2 스캔 라인(SL2)에 공통으로 접속된다.
- [0030] 도 7은 도 6의 제1 및 제2 디먹스 제어신호들, 제0 내지 제6 출력 채널들의 데이터전압들, 및 제1 및 제2 스캔 펄스들을 보여주는 일 예시도면이다. 도 7을 참조하면, 제1 디먹스 제어신호(DMS1)의 주기와 제2 디먹스 제어신호(DMS2)의 주기는 동일하나, 제1 디먹스 제어신호(DMS1)의 위상은 제2 디먹스 제어신호(DMS2)의 위상과 반대된다. 예를 들어, 제1 디먹스 제어신호(DMS1)가 하이 로직 레벨(H)로 발생하는 경우, 제2 디먹스 제어신호(DMS2)는 로우 로직 레벨(L)로 발생한다. 하이 로직 레벨(H)은 제1 및 제2 디먹스 스위치들(MT1, MT2)의 턴-온 전압에 해당하고, 로우 로직 레벨(L)은 제1 및 제2 디먹스 스위치들(MT1, MT2)의 턴-오프 전압에 해당한다.
- [0031] 소스 드라이브 IC는 1 프레임 기간 동안 동일한 극성을 갖는 동일한 색의 데이터전압들을 제k 출력 채널(Sk)로

출력한다. 즉, 소스 드라이브 IC는 도 7과 같이 정극성(+)의 적색 데이터전압들을 제1 출력 채널(Sk)로 출력하고, 부극성(-)의 청색 데이터전압들을 제2 출력 채널(S2)로 출력하며, 정극성(+)의 녹색 데이터전압들을 제3 출력 채널(S3)로 출력한다. 또한, 소스 드라이브 IC는 부극성(-)의 적색 데이터전압들을 제4 출력 채널(S4)로 출력하고, 정극성(+)의 청색 데이터전압들을 제5 출력 채널(S5)로 출력하며, 부극성(-)의 녹색 데이터전압들을 제6 출력 채널(S6)로 출력한다. 정극성(+)의 데이터전압은 도 7과 같이 공통전압(Vcom) 대비 높은 레벨을 갖는 데이터전압을 지시하며, 부극성(-)의 데이터전압은 공통전압(Vcom) 대비 낮은 레벨을 갖는 데이터전압을 지시한다. 도 7에서, "RD11"은 첫 번째 행과 첫 번째 열에 배치된 화소의 적색 서브 화소(RP11)에 공급되는 데이터전압을 지시한다.

[0032] 스캔 펄스들은 순차적으로 발생한다. 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생한 후, 제2 스캔 펄스(SCAN2)가 게이트 하이 전압(VGH)으로 발생한다. 게이트 하이 전압(VGH)은 액정셀(C1c)에 접속된 TFT들의 턴-온 전압이고, 게이트 로우 전압(VGL)은 액정셀(C1c)에 접속된 TFT들의 턴-오프 전압이다. 스캔 펄스들 각각은 도 7과 같이 1 수평기간(1H)의 펄스 폭을 갖도록 구현될 수 있다. 하지만, 스캔 펄스의 펄스 폭은 1 수평기간(1H)에 한정되지 않음에 주의하여야 한다. 1 수평기간(1H)은 하나의 스캔 라인에 접속된 화소들에 데이터 전압들이 공급되는 1 라인 스캐닝 기간이다.

[0033] 도 7에서, 제1 내지 제4 기간(t1~t4)들은 1/2 수평기간인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 도 7과 같이 제1 디먹스 제어신호(DMS1)의 주기와 제2 디먹스 제어신호(DMS2)의 주기는 1 수평기간(1H)으로 구현되는 경우, 소스 드라이브 IC는 출력 채널들을 통해 1 수평기간(1H) 동안 두 개의 서브 화소들에 공급될 데이터전압들을 출력한다.

[0034] 이하에서, 도 6 및 도 7을 결부하여 본 발명의 제1 실시 예에 따른 액정표시패널의 동작을 상세히 살펴본다.

[0035] 첫 번째로, 제1 기간(t1) 동안 제1 디먹스 제어신호(DMS1)는 로우 로직 레벨(L)로 발생하고, 제2 디먹스 제어신호(DMS2)는 하이 로직 레벨(H)로 발생한다. 따라서, 제1 기간(t1) 동안 제1 디먹스 스위치(MT1)는 로우 로직 레벨(L)을 갖는 제1 디먹스 제어신호(DMS1)에 의해 턴-오프되고, 제2 디먹스 스위치(MT2)는 하이 로직 레벨(H)을 갖는 제2 디먹스 제어신호(DMS2)에 응답하여 턴-온된다. 그러므로, 제1 기간(t1) 동안 제k 출력 채널의 데이터전압은 제2k+2 데이터 라인(D2k+2)에 공급된다. 예를 들어, 제1 기간(t1) 동안 제0 출력 채널(S0)의 부극성(-)의 녹색 데이터전압 "GD11"은 제2 데이터 라인(D2)에 공급되고, 제1 출력 채널(S1)의 정극성(+)의 적색 데이터전압 "RD12"은 제1 데이터 라인(D1)에 공급되며, 제2 출력 채널(S2)의 부극성(-)의 청색 데이터전압 "BD12"은 제3 데이터 라인(D3)에 공급된다. 또한, 제1 기간(t1) 동안 제3 출력 채널(S3)의 정극성(+)의 녹색 데이터전압 "GD13"은 제5 데이터 라인(D5)에 공급되고, 제4 출력 채널(S4)의 부극성(-)의 적색 데이터 전압 "RD14"은 제7 데이터 라인(D7)에 공급되며, 제5 출력 채널(S5)의 정극성(+)의 청색 데이터 전압 "BD14"은 제9 데이터 라인(D9)에 공급되고, 제6 출력 채널(S6)의 부극성(-)의 녹색 데이터 전압 "GD15"은 제11 데이터 라인(D11)에 공급된다.

[0036] 또한, 제1 기간(t1) 동안 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생하므로, 제1 스캔 라인(SL1)에 접속된 TFT들이 턴-온된다. 이로 인해, 제1 기간(t1) 동안 적색 서브 화소 "RP12"는 정극성(+)의 데이터전압 "RD12"를 충전하고, 적색 서브 화소 "RP14"는 부극성(-)의 데이터전압 "RD14"를 충전한다. 또한, 제1 기간(t1) 동안 녹색 서브 화소 "GP11"은 부극성(-)의 데이터전압 "GD11"를 충전하고, 녹색 서브 화소 "GP13"은 정극성(+)의 데이터전압 "GD13"를 충전하며, 녹색 서브 화소 "GP15"는 부극성(-)의 데이터전압 "GD15"를 충전한다. 나아가, 제1 기간(t1) 동안 청색 서브 화소 "BP12"는 정극성(+)의 데이터전압 "BD12"를 충전하고, 청색 서브 화소 "BP14"는 부극성(-)의 데이터전압 "BD14"를 충전한다.

[0037] 두 번째로, 제2 기간(t2) 동안 제1 디먹스 제어신호(DMS1)는 하이 로직 레벨(H)로 발생하고, 제2 디먹스 제어신호(DMS2)는 로우 로직 레벨(L)로 발생한다. 따라서, 제2 기간(t2) 동안 제1 디먹스 스위치(MT1)는 하이 로직 레벨을 갖는 제1 디먹스 제어신호(DMS1)에 응답하여 턴-온되고, 제2 디먹스 스위치(MT2)는 로우 로직 레벨(L)을 갖는 제2 디먹스 제어신호(DMS2)에 의해 턴-오프된다. 그러므로, 제2 기간(t2) 동안 제k 출력 채널의 데이터전압은 제2k-1 데이터 라인(D2k-1)에 공급된다. 예를 들어, 제2 기간(t2) 동안 제1 출력 채널(S1)의 정극성(+)의 적색 데이터전압 "R11"은 제1 데이터 라인(D1)에 공급되고, 제2 출력 채널(S2)의 부극성(-)의 청색 데이터전압 "B11"은 제3 데이터 라인(D3)에 공급되며, 제3 출력 채널(S3)의 정극성(+)의 녹색 데이터전압 "G12"은 제5 데이터 라인(D5)에 공급된다. 또한, 제2 기간(t2) 동안 제4 출력 채널(S4)의 부극성(-)의 적색 데이터 전압 "R13"은 제7 데이터 라인(D7)에 공급되고, 제5 출력 채널(S5)의 정극성(+)의 녹색 데이터 전압 "G13"은 제9 데이터 라인(D9)에 공급되고, 제6 출력 채널(S6)의 부극성(-)의 청색 데이터 전압 "B14"은 제11 데이터 라인(D11)에 공

급된다.

- [0038] 또한, 제2 기간(t2) 동안 제2 스캔 펄스(SCAN2)가 게이트 하이 전압(VGH)으로 발생하므로, 제2 스캔 라인(SL2)에 접속된 TFT들이 턴-온된다. 이로 인해, 제2 기간(t2) 동안 적색 서브 화소 "RP11"은 정극성(+)의 데이터전압 "RD11"을 충전하고, 적색 서브 화소 "RP13"은 부극성(-)의 데이터전압 "RD13"을 충전한다. 또한, 제2 기간(t2) 동안 녹색 서브 화소 "GP12"는 정극성(+)의 데이터전압 "GD12"를 충전하며, 녹색 서브 화소 "GP14"는 부극성(-)의 데이터전압 "GD14"를 충전한다. 나아가, 제2 기간(t2) 동안 청색 서브 화소 "BP11"은 정극성(+)의 데이터전압 "BD11"을 충전하고, 청색 서브 화소 "BP13"은 부극성(-)의 데이터전압 "BD13"을 충전한다.
- [0039] 제3 기간(t3)의 동작은 제1 기간(t1)과 유사하며, 제4 기간(t4)의 동작은 제2 기간(t2)과 유사하므로, 제3 기간(t3)과 제4 기간(t4)에 대한 자세한 설명은 생략하기로 한다.
- [0040] 도 8은 화이트 색, 적색, 녹색, 및 청색을 표시하는 경우, 도 6의 제1 내지 제6 출력 채널들에 공급되는 데이터전압들의 일 예를 보여주는 도면이다. 도 6 내지 도 8을 참조하면, 디믹스 회로(102)는 제1 출력 채널(S1)의 정극성(+)을 갖는 적색 데이터전압들을 적색 서브 화소(RP)들에 접속되는 데이터 라인들에 해당하는 제1 및 제4 데이터 라인들(D1, D4)에 시분할하여 분배하고, 제2 출력 채널(S2)의 부극성(-)을 갖는 청색 데이터전압들을 청색 서브 화소(BP)들에 접속되는 데이터 라인들에 해당하는 제3 및 제6 데이터 라인들(D3, D6)에 시분할하여 분배하며, 제3 출력 채널(S3)의 정극성(+)을 갖는 녹색 데이터전압들을 녹색 서브 화소(GP)들에 접속되는 데이터 라인들에 해당하는 제5 및 제8 데이터 라인들(D5, D8)에 시분할하여 분배한다. 또한, 디믹스 회로(102)는 제4 출력 채널(S4)의 부극성(-)을 갖는 적색 데이터전압들을 적색 서브 화소(RP)들에 접속되는 데이터 라인들에 해당하는 제7 및 제10 데이터 라인들(D7, D10)에 시분할하여 분배하고, 제5 출력 채널(S5)의 정극성(+)을 갖는 청색 데이터전압들을 청색 서브 화소(BP)들에 접속되는 데이터 라인들에 해당하는 제9 및 제12 데이터 라인들(D9, D12)에 시분할하여 분배하며, 제6 출력 채널(S6)의 정극성(+)을 갖는 녹색 데이터전압들을 녹색 서브 화소들에 접속되는 데이터 라인들에 해당하는 제11 및 제14 데이터 라인들(D11, D14)에 시분할하여 분배한다.
- [0041] 그 결과, 본 발명의 제1 실시 예에 따른 소스 드라이브 IC는 화이트 색을 표시하는 경우, 도 8과 같이 제1 출력 채널(S1)을 통해 정극성(+)의 적색 데이터전압들을 출력하고, 제2 출력 채널(S2)을 통해 부극성(-)의 청색 데이터전압들을 출력하며, 제3 출력 채널(S3)을 통해 정극성(+)의 녹색 데이터전압들을 출력한다. 또한, 소스 드라이브 IC는 화이트 색을 표시하는 경우, 제4 출력 채널(S4)을 통해 부극성(-)의 적색 데이터전압들을 출력하고, 제5 출력 채널(S5)을 통해 정극성(+)의 청색 데이터전압들을 출력하며, 제6 출력 채널(S6)을 통해 부극성(-)의 녹색 데이터전압들을 출력한다. 즉, 본 발명의 제1 실시 예에 따른 소스 드라이브 IC는 화이트 색을 표시하는 경우, 1 프레임 기간 동안 출력 채널들에 정극성(+) 또는 부극성(-)의 데이터전압들만을 출력하므로, 데이터전압들을 정극성(+)에서 부극성(-) 또는 부극성(-)에서 정극성(+)으로 스윙(swing)할 필요가 없다. 따라서, 본 발명의 제1 실시 예는 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.
- [0042] 또한, 본 발명의 제1 실시 예에 따른 소스 드라이브 IC는 적색을 표시하는 경우, 도 8과 같이 제1 출력 채널(S1)을 통해 정극성(+)의 적색 데이터전압들을 출력하고, 제4 출력 채널(S4)을 통해 부극성(-)의 적색 데이터전압들을 출력하며, 제2, 제3, 제5, 및 제6 출력 채널들(S2, S3, S5, S6)을 통해 공통전압(Vcom)을 출력한다. 노멀리 블랙 모드(normally black mode)에서, 공통전압(Vcom)을 서브 화소의 화소 전극에 공급하는 경우, 상기 서브 화소는 블랙 계조(black gray scale)를 표시한다. 즉, 본 발명의 제1 실시 예에 따른 소스 드라이브 IC는 적색을 표시하는 경우, 1 프레임 기간 동안 출력 채널들에 정극성(+) 또는 부극성(-)의 데이터전압들, 또는 공통전압(Vcom)만을 출력하므로, 데이터전압들을 정극성(+)에서 부극성(-) 또는 부극성(-)에서 정극성(+)으로 스윙(swing)할 필요가 없다. 이는 본 발명의 제1 실시 예에 따른 소스 드라이브 IC가 녹색, 청색, 및 혼색을 표시하는 경우에도 마찬가지이다. 혼색은 적색, 녹색, 및 청색 중 두 가지 색을 혼합한 색을 지시한다. 따라서, 본 발명의 제1 실시 예는 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.
- [0043] 도 9는 본 발명의 제2 실시 예에 따른 소스 드라이브 IC의 출력 채널들, 디믹스 회로, 및 액정표시패널을 보여주는 도면이다. 도 9를 참조하면, 디믹스 회로(102)는 소스 드라이브 IC의 어느 한 출력 채널의 데이터전압들을 시분할하여 p 개의 데이터라인들에 분배하기 위한 p 개의 디믹스 스위치들을 포함한다. 본 발명의 제1 실시 예에서 p는 2인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0044] 소스 드라이브 IC의 출력 채널들 각각은 디믹스 회로(102)의 2 개의 디믹스 스위치들(MT1, MT2)에 접속된다.

디믹스 회로(102)의 제1 디믹스 스위치(MT1)는 제1 디믹스 제어라인(DM1)의 제1 디믹스 제어신호(DMS1)에 응답하여 소스 드라이브 IC의 어느 한 출력 채널을 어느 한 데이터 라인에 접속시킨다. 디믹스 회로(102)의 제2 디믹스 스위치(MT2)는 제2 디믹스 제어라인(DM2)의 제2 디믹스 제어신호(DMS2)에 응답하여 소스 드라이브 IC의 어느 한 출력 채널을 또 다른 데이터 라인에 접속시킨다.

[0045] 구체적으로, 제1 디믹스 스위치(MT1)는 제1 디믹스 제어라인(DM1)의 제1 디믹스 제어신호(DMS1)에 응답하여 제k 출력 채널(S_k)을 제2k-3 데이터 라인(D2k-3)에 접속시키고, 제2 디믹스 스위치(MT2)는 제2 디믹스 제어라인(DM2)의 제2 디믹스 제어신호(DMS2)에 응답하여 제k 출력 채널(S_k)을 제2k+3 데이터 라인(D2k+3)에 접속시킬 수 있다. 예를 들어, 도 9와 같이 제1 디믹스 스위치(MT1)는 제1 디믹스 제어라인(DM1)의 제1 디믹스 제어신호(DMS1)에 응답하여 제2 출력 채널(S_2)을 제1 데이터 라인(D1)에 접속시키고, 제2 디믹스 스위치(MT2)는 제2 디믹스 제어라인(DM2)의 제2 디믹스 제어신호(DMS2)에 응답하여 제2 출력 채널(S_2)을 제7 데이터 라인(D7)에 접속시킬 수 있다.

[0046] 액정표시패널(100)의 화소들 각각은 제1 내지 제3 색의 서브 화소들을 포함한다. 제1 내지 제3 색의 서브 화소들은 도 6과 같이 적색, 녹색, 및 청색 서브 화소(RP, GP, BP)들로 구현될 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 액정표시패널(100)의 어느 한 데이터 라인에 공통으로 접속된 동일한 색의 서브 화소들은 열 방향(y축 방향)을 따라 어느 한 데이터 라인의 좌측 또는 우측에 일렬로 배치된다. 예를 들어, 제1 데이터 라인(D1)에 공통으로 접속된 적색 서브 화소(RP)들은 열 방향(y축 방향)을 따라 제1 데이터 라인(D1)의 좌측에 일렬로 배치된다.

[0047] 또한, 서브 화소는 열 방향(y축 방향)으로 인접한 서브 화소들 중 어느 하나와 그들 사이에 배치된 스캔 라인에 공통으로 접속되지 않는다. 즉, 어느 한 수평 라인의 서브 화소들은 어느 한 스캔 라인에 접속된다.

[0048] 도 10은 도 9의 제1 및 제2 디믹스 제어신호들, 제1 내지 제6 출력 채널들의 데이터전압들, 및 제1 및 제2 스캔 펄스들을 보여주는 일 예시도면이다. 도 10을 참조하면, 제1 디믹스 제어신호(DMS1)의 주기와 제2 디믹스 제어신호(DMS2)의 주기는 동일하나, 제1 디믹스 제어신호(DMS1)의 위상은 제2 디믹스 제어신호(DMS2)의 위상과 반대된다. 예를 들어, 제1 디믹스 제어신호(DMS1)가 하이 로직 레벨(H)로 발생하는 경우, 제2 디믹스 제어신호(DMS2)는 로우 로직 레벨(L)로 발생한다. 하이 로직 레벨(H)은 제1 및 제2 디믹스 스위치들(MT1, MT2)의 턴-온 전압에 해당하고, 로우 로직 레벨(L)은 제1 및 제2 디믹스 스위치들(MT1, MT2)의 턴-오프 전압에 해당한다.

[0049] 소스 드라이브 IC는 1 프레임 기간 동안 동일한 극성을 갖는 동일한 색의 데이터전압들을 제k 출력 채널(S_k)로 출력한다. 즉, 소스 드라이브 IC는 도 7과 같이 정극성(+)의 녹색 데이터전압들을 제1 출력 채널(S_1)로 출력하고, 정극성(+)의 적색 데이터전압들을 제1 출력 채널(S_1)로 출력하며, 부극성(-)의 녹색 데이터전압들을 제3 출력 채널(S_3)로 출력한다. 소스 드라이브 IC는 부극성(-)의 적색 데이터전압들을 제4 출력 채널(S_4)로 출력하고, 부극성(-)의 청색 데이터전압들을 제5 출력 채널(S_5)로 출력하며, 정극성(+)의 녹색 데이터전압들을 제6 출력 채널(S_6)로 출력한다. 정극성의 데이터전압은 도 10과 같이 공통전압(V_{com}) 대비 높은 레벨을 갖는 데이터전압을 지시하며, 부극성의 데이터전압은 공통전압(V_{com}) 대비 낮은 레벨을 갖는 데이터전압을 지시한다. 도 7에서, "RD11"은 첫 번째 행과 첫 번째 열에 배치된 화소의 적색 서브 화소(RP11)에 공급되는 데이터전압을 지시한다.

[0050] 스캔 펄스들은 순차적으로 발생한다. 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생한 후, 제2 스캔 펄스(SCAN2)가 게이트 하이 전압(VGH)으로 발생한다. 게이트 하이 전압(VGH)은 액정셀(C1c)에 접속된 TFT들의 턴-온 전압이고, 게이트 로우 전압(VGL)은 액정셀(C1c)에 접속된 TFT들의 턴-오프 전압이다. 스캔 펄스들 각각은 도 10과 같이 1 수평기간(1H)의 펄스 폭을 갖도록 구현될 수 있다. 하지만, 스캔 펄스의 펄스 폭은 1 수평기간(1H)에 한정되지 않음에 주의하여야 한다. 1 수평기간(1H)은 하나의 스캔 라인에 접속된 화소들에 데이터전압들이 공급되는 1 라인 스캐닝 기간이다.

[0051] 도 10에서, 제1 내지 제4 기간($t_1 \sim t_4$)들은 1/2 수평기간인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 도 10과 같이 제1 디믹스 제어신호(DMS1)의 주기와 제2 디믹스 제어신호(DMS2)의 주기는 1 수평기간(1H)으로 구현되는 경우, 소스 드라이브 IC는 출력 채널들을 통해 1 수평기간(1H) 동안 두 개의 서브 화소들에 공급될 데이터전압들을 출력한다.

[0052] 이하에서, 도 9 및 도 10을 결부하여 본 발명의 제2 실시 예에 따른 액정표시패널의 동작을 상세히 살펴본다.

[0053] 첫 번째로, 제1 기간(t_1) 동안 제1 디믹스 제어신호(DMS1)는 로우 로직 레벨(L)로 발생하고, 제2 디믹스 제어신

호(DMS2)는 하이 로직 레벨(H)로 발생한다. 따라서, 제1 기간(t_1) 동안 제1 디믹스 스위치(MT1)는 로우 로직 레벨(L)을 갖는 제1 디믹스 제어신호(DMS1)에 의해 턴-오프되고, 제2 디믹스 스위치(MT2)는 하이 로직 레벨(H)을 갖는 제2 디믹스 제어신호(DMS2)에 응답하여 턴-온된다. 이로 인해, 제1 기간(t_1) 동안 제 k 출력 채널(S_k)의 데이터전압은 제 $2k+2$ 데이터 라인(D_{2k+2}) 또는 제 $2k+3$ 데이터 라인(D_{2k+3})에 공급된다. 구체적으로, 제1 기간(t_1) 동안 제1 출력 채널(S_1)의 정극성(+)의 녹색 데이터전압 "GD12"는 제5 데이터 라인(D_5)에 공급되고, 제2 출력 채널(S_2)의 정극성(+)의 적색 데이터전압 "RD13"은 제7 데이터 라인(D_7)에 공급되며, 제3 출력 채널(S_3)의 부극성(-)의 녹색 데이터전압 "GD13"은 제8 데이터 라인(D_8)에 공급된다. 또한, 제1 기간(t_1) 동안 제4 출력 채널(S_4)의 부극성(-)의 적색 데이터전압 "RD14"는 제10 데이터 라인(D_{10})에 공급되고, 제5 출력 채널(S_5)의 부극성(-)의 청색 데이터 전압 "BD14"는 제12 데이터 라인(D_{12})에 공급되며, 제6 출력 채널(S_6)의 정극성의 청색 데이터 전압 "BD15"는 제15 데이터 라인(D_{15})에 공급된다.

[0054] 또한, 제1 기간(t_1) 동안 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생하므로, 제1 스캔 라인(SL_1)에 접속된 TFT들이 턴-온된다. 이로 인해, 제1 기간(t_1) 동안 적색 서브 화소 "RP13"은 정극성(+)의 데이터전압 "RD13"을 충전하고, 적색 서브 화소 "RP14"는 부극성(-)의 데이터전압 "RD14"를 충전한다. 또한, 제1 기간(t_1) 동안 녹색 서브 화소 "GP12"은 정극성(+)의 데이터전압 "GD12"를 충전하고, 녹색 서브 화소 "GP13"은 부극성(-)의 데이터전압 "GD13"을 충전한다. 나아가, 제1 기간(t_1) 동안 청색 서브 화소 "BP14"는 부극성(-)의 데이터전압 "BD14"를 충전하고, 청색 서브 화소 "BP15"는 정극성(+)의 데이터전압 "BD15"를 충전한다.

[0055] 두 번째로, 제2 기간(t_2) 동안 제1 디믹스 제어신호(DMS1)는 하이 로직 레벨(H)로 발생하고, 제2 디믹스 제어신호(DMS2)는 로우 로직 레벨(L)로 발생한다. 따라서, 제2 기간(t_2) 동안 제1 디믹스 스위치(MT1)는 하이 로직 레벨(H)을 갖는 제1 디믹스 제어신호(DMS1)에 응답하여 턴-오프되고, 제2 디믹스 스위치(MT2)는 로우 로직 레벨(L)을 갖는 제2 디믹스 제어신호(DMS2)에 의해 턴-오프된다. 이로 인해, 제2 기간(t_2) 동안 제 k 출력 채널의 데이터전압은 제 $2k-3$ 데이터 라인(D_{2k-3}) 또는 제 $2k-4$ 데이터 라인(D_{2k-4})에 공급된다. 예를 들어, 제2 기간(t_2) 동안 제2 출력 채널(S_2)의 정극성(+)의 적색 데이터전압 "RD11"은 제1 데이터 라인(D_1)에 공급되며, 제3 출력 채널(S_3)의 부극성(-)의 녹색 데이터전압(GD11)은 제2 데이터 라인(D_2)에 공급되고, 제4 출력 채널(S_4)의 부극성(-)의 적색 데이터 전압 "RD12"은 제4 데이터 라인(D_4)에 공급된다. 또한, 제2 기간(t_2) 동안 제5 출력 채널(S_5)의 부극성(-)의 청색 데이터 전압 "BD12"은 제6 데이터 라인(D_6)에 공급되고, 제6 출력 채널(S_6)의 정극성(+)의 청색 데이터 전압 "BD14"은 제9 데이터 라인(D_9)에 공급된다. 다만, 제2 기간(t_2) 동안 제1 출력 채널(S_1)의 정극성(+)의 녹색 데이터전압 "GD1n"은 제 n 데이터 라인(D_n)에 공급됨에 유의하여야 한다.

[0056] 또한, 제2 기간(t_2) 동안 제2 스캔 펄스(SCAN2)가 게이트 하이 전압(VGH)으로 발생하므로, 제2 스캔 라인(SL_2)에 접속된 TFT들이 턴-온된다. 이로 인해, 제2 기간(t_2) 동안 적색 서브 화소 "RP11"은 정극성(+)의 데이터전압 "RD11"을 충전하고, 적색 서브 화소 "RP12"은 부극성(-)의 데이터전압 "RD12"을 충전한다. 또한, 제2 기간(t_2) 동안 녹색 서브 화소 "GP1n"는 정극성(+)의 데이터전압 "GD1n"를 충전하며, 녹색 서브 화소 "GP11"는 부극성(-)의 데이터전압 "GD11"를 충전한다. 나아가, 제2 기간(t_2) 동안 청색 서브 화소 "BP12"은 부극성(-)의 데이터전압 "BD12"을 충전하고, 청색 서브 화소 "BP13"은 정극성(+)의 데이터전압 "BD13"을 충전한다.

[0057] 제3 기간(t_3)의 동작은 제1 기간(t_1)과 유사하며, 제4 기간(t_4)의 동작은 제2 기간(t_2)과 유사하므로, 제3 기간(t_3)과 제4 기간(t_4)에 대한 자세한 설명은 생략하기로 한다.

[0058] 도 11은 화이트 색, 적색, 녹색, 및 청색을 표시하는 경우, 도 9의 제1 내지 제6 출력 채널들에 공급되는 데이터전압들의 일 예를 보여주는 도면이다. 도 9 내지 도 11을 참조하면, 디믹스 회로(102)는 제1 출력 채널(S_1)의 정극성(+)을 갖는 녹색 데이터전압들을 녹색 서브 화소(GP)들에 접속되는 데이터 라인들에 해당하는 제 n 및 제5 데이터 라인들(D_n , D_5)에 시분할하여 분배하고, 제2 출력 채널(S_2)의 정극성(+)을 갖는 적색 데이터전압들을 적색 서브 화소(RP)들에 접속되는 데이터 라인들에 해당하는 제1 및 제7 데이터 라인들(D_1 , D_7)에 시분할하여 분배하며, 제3 출력 채널(S_3)의 부극성(-)을 갖는 녹색 데이터전압들을 녹색 서브 화소(GP)들에 접속되는 데이터 라인들에 해당하는 제2 및 제8 데이터 라인들(D_2 , D_8)에 시분할하여 분배한다. 또한, 디믹스 회로(102)는 제4 출력 채널(S_4)의 부극성(-)을 갖는 적색 데이터전압들을 적색 서브 화소(RP)들에 접속되는 데이터 라인들에 해당하는 제4 및 제10 데이터 라인들(D_4 , D_{10})에 시분할하여 분배하고, 제5 출력 채널(S_5)의 부극성(-)을 갖는 청색 데이터전압들을 청색 서브 화소(BP)들에 접속되는 데이터 라인들에 해당하는 제6 및 제12 데이터 라인들(D_6 , D_{12})에 시분할하여 분배하며, 제6 출력 채널(S_6)의 정극성(+)을 갖는 청색 데이터전압들을 청색 서브 화소(BP)들에 접속되는 데이터 라인들에 해당하는 제9 및 제15 데이터 라인들(D_9 , D_{15})에 시분할하여 분배한다.

- [0059] 그 결과, 본 발명의 제2 실시 예에 따른 소스 드라이브 IC는 화이트 색을 표시하는 경우, 도 11과 같이 제1 출력 채널(S1)을 통해 정극성(+)의 녹색 데이터전압들을 출력하고, 제2 출력 채널(S2)을 통해 정극성(+)의 적색 데이터전압들을 출력하며, 제3 출력 채널(S3)을 통해 부극성(-)의 녹색 데이터전압들을 출력한다. 또한, 소스 드라이브 IC는 화이트 색을 표시하는 경우, 제4 출력 채널(S4)을 통해 부극성(-)의 적색 데이터전압들을 출력하고, 제5 출력 채널(S5)을 통해 부극성(-)의 청색 데이터전압들을 출력하며, 제6 출력 채널(S6)을 통해 정극성(+)의 청색 데이터전압들을 출력한다. 즉, 본 발명의 제2 실시 예에 따른 소스 드라이브 IC는 화이트 색을 표시하는 경우, 1 프레임 기간 동안 출력 채널들에 정극성 또는 부극성의 데이터전압들만을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 따라서, 본 발명의 제2 실시 예는 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.
- [0060] 또한, 본 발명의 제2 실시 예에 따른 소스 드라이브 IC는 적색을 표시하는 경우, 도 11과 같이 제2 출력 채널(S1)을 통해 정극성(+)의 적색 데이터전압들을 출력하고, 제4 출력 채널(S4)을 통해 부극성(-)의 적색 데이터전압들을 출력하며, 제1, 제3, 제5, 및 제6 출력 채널들(S1, S3, S5, S6)을 통해 공통전압(Vcom)을 출력한다. 노멀리 블랙 모드(normally black mode)에서, 공통전압(Vcom)을 서브 화소의 화소 전극에 공급하는 경우, 상기 서브 화소는 블랙 계조(black gray scale)를 표시한다. 즉, 본 발명의 제2 실시 예에 따른 소스 드라이브 IC는 적색을 표시하는 경우, 1 프레임 기간 동안 출력 채널들에 정극성 또는 부극성의 데이터전압들, 또는 공통전압(Vcom)을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 이는 본 발명의 제2 실시 예에 따른 소스 드라이브 IC가 녹색, 청색, 및 혼색을 표시하는 경우에도 마찬가지이다. 혼색은 적색, 녹색, 및 청색 중 두 가지 색을 혼합한 색을 지시한다. 따라서, 본 발명의 제2 실시 예는 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.
- [0061] 도 12는 본 발명의 제3 실시 예에 따른 소스 드라이브 IC의 출력 채널들, 디믹스 회로, 및 액정표시패널을 보여주는 도면이다. 도 12를 참조하면, 디믹스 회로(102)는 소스 드라이브 IC의 어느 한 출력 채널의 데이터전압들을 시분할하여 p 개의 데이터라인들에 분배하기 위한 p 개의 디믹스 스위치들을 포함한다. 본 발명의 제3 실시 예에서 p는 3인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.
- [0062] 소스 드라이브 IC의 출력 채널들 각각은 디믹스 회로(102)의 3 개의 디믹스 스위치들(MT1, MT2, MT3)에 접속된다. 제1 디믹스 스위치(MT1)는 제1 디믹스 제어라인(DM1)의 제1 디믹스 제어신호(DMS1)에 응답하여 제k 출력 채널(Sk)을 제1 색의 서브 화소들에 접속된 데이터 라인에 접속시킨다. 제2 디믹스 스위치(MT2)는 제2 디믹스 제어라인(DM2)의 제2 디믹스 제어신호(DMS2)에 응답하여 제k 출력 채널(Sk)을 제2 색의 서브 화소들에 접속된 데이터 라인에 접속시킨다. 제3 디믹스 스위치(MT3)는 제3 디믹스 제어라인(DM3)의 제3 디믹스 제어신호(DMS3)에 응답하여 제k 출력 채널(Sk)을 제3 색의 서브 화소들에 접속된 데이터 라인에 접속시킨다. 예를 들어, 도 12와 같이 제1 디믹스 스위치(MT1)는 제1 디믹스 제어라인(DM1)의 제1 디믹스 제어신호(DMS1)에 응답하여 제1 출력 채널(S1)을 제1 데이터 라인(D1)에 접속시키고, 제2 디믹스 스위치(MT2)는 제2 디믹스 제어라인(DM2)의 제2 디믹스 제어신호(DMS2)에 응답하여 제1 출력 채널(S1)을 제2 데이터 라인(D2)에 접속시키며, 제3 디믹스 스위치(MT3)는 제3 디믹스 제어라인(DM3)의 제3 디믹스 제어신호(DMS3)에 응답하여 제1 출력 채널(S1)을 제3 데이터 라인(D3)에 접속시킬 수 있다.
- [0063] 액정표시패널(100)의 화소들 각각은 제1 내지 제3 색의 서브 화소들을 포함한다. 제1 내지 제3 색의 서브 화소들은 도 6과 같이 적색, 녹색, 및 청색 서브 화소(RP, GP, BP)들로 구현될 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 액정표시패널(100)의 어느 한 데이터 라인에 공통으로 접속된 동일한 색의 서브 화소들은 열 방향(y축 방향)을 따라 어느 한 데이터 라인의 좌측 또는 우측에 일렬로 배치된다. 예를 들어, 제1 데이터 라인(D1)에 공통으로 접속된 적색 서브 화소(RP)들은 열 방향(y축 방향)을 따라 제1 데이터 라인(D1)의 좌측에 일렬로 배치된다.
- [0064] 또한, 서브 화소는 열 방향(y축 방향)으로 인접한 서브 화소들 중 어느 하나와 그들 사이에 배치된 스캔 라인에 공통으로 접속되지 않는다. 즉, 어느 한 수평 라인의 서브 화소들은 어느 한 스캔 라인에 접속된다.
- [0065] 도 13은 도 12의 제1 내지 제3 디믹스 제어신호들, 제1 및 제2 출력 채널들의 데이터전압들, 및 제1 및 제2 스캔 펄스들을 보여주는 일 예시도면이다. 도 13을 참조하면, 제1 내지 제3 디믹스 제어신호들(DMS1, DMS2, DMS3) 각각의 주기는 서로 동일하다. 제1 내지 제3 디믹스 제어신호들(DMS1, DMS2, DMS3) 각각의 하이 로직 레

벨(H) 기간은 서로 중첩되지 않는다. 예를 들어, 제1 디먹스 제어신호(DMS1)가 하이 로직 레벨(H)로 발생하는 경우, 제2 및 제3 디먹스 제어신호들(DMS2, DMS3)은 로우 로직 레벨(L)로 발생한다. 또한, 제2 디먹스 제어신호(DMS2)가 하이 로직 레벨(H)로 발생하는 경우, 제1 및 제3 디먹스 제어신호들(DMS1, DMS3)은 로우 로직 레벨(L)로 발생한다. 또한, 제3 디먹스 제어신호(DMS3)가 하이 로직 레벨(H)로 발생하는 경우, 제1 및 제2 디먹스 제어신호들(DMS1, DMS2)은 로우 로직 레벨(L)로 발생한다. 하이 로직 레벨(H)은 제1 및 제2 스위치들(MT1, MT2)의 턴-온 전압에 해당하고, 로우 로직 레벨(L)은 제1 및 제2 디먹스 스위치들(MT1, MT2)의 턴-오프 전압에 해당한다.

[0066] 소스 드라이브 IC는 1 프레임 기간 동안 제1 출력 채널(S1)을 통해 정극성(+)의 적색, 녹색, 및 청색 데이터전압들을 순차적으로 출력하고, 제2 출력 채널(S2)을 통해 부극성(-)의 적색, 녹색, 및 청색 데이터전압들을 순차적으로 출력한다. 정극성의 데이터전압은 도 13과 같이 공통전압(Vcom) 대비 높은 레벨을 갖는 데이터전압을 지시하며, 부극성의 데이터전압은 공통전압(Vcom) 대비 낮은 레벨을 갖는 데이터전압을 지시한다. 도 13에서, "RD11"은 첫 번째 행과 첫 번째 열에 배치된 화소의 적색 서브 화소(RP11)에 공급되는 데이터전압을 지시한다.

[0067] 스캔 펄스들은 순차적으로 발생한다. 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생한 후, 제2 스캔 펄스(SCAN2)가 게이트 하이 전압(VGH)으로 발생한다. 게이트 하이 전압(VGH)은 액정셀(C1c)에 접속된 TFT들의 턴-온 전압이고, 게이트 로우 전압(VGL)은 액정셀(C1c)에 접속된 TFT들의 턴-오프 전압이다. 스캔 펄스들 각각은 도 13과 같이 1 수평기간(1H)의 펄스 폭을 갖도록 구현될 수 있다. 하지만, 스캔 펄스의 펄스 폭은 1 수평기간(1H)에 한정되지 않음에 주의하여야 한다. 1 수평기간(1H)은 하나의 스캔 라인에 접속된 화소들에 데이터전압들이 공급되는 1 라인 스캐닝 기간이다.

[0068] 도 13에서, 제1 내지 제4 기간(t1~t4)들은 1/2 수평기간인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 도 13과 같이 제1 내지 제3 디먹스 제어신호들(DMS1, DMS2, DMS3)의 주기가 1 수평기간(1H)으로 구현되는 경우, 소스 드라이브 IC는 출력 채널들을 통해 1 수평기간(1H) 동안 3 개의 서브 화소들에 공급될 데이터전압들을 출력한다.

[0069] 이하에서, 도 12 및 도 13을 결부하여 본 발명의 제3 실시 예에 따른 액정표시패널의 동작을 상세히 살펴본다.

[0070] 첫 번째로, 제1 기간(t1) 동안 제1 디먹스 제어신호(DMS1)는 하이 로직 레벨(H)로 발생하고, 제2 및 제3 디먹스 제어신호들(DMS2, DMS3)은 로우 로직 레벨(L)로 발생한다. 따라서, 제1 기간(t1) 동안 제1 디먹스 스위치(MT1)는 하이 로직 레벨(H)을 갖는 제1 디먹스 제어신호(DMS1)에 응답하여 턴-온된다. 또한, 제2 디먹스 스위치(MT2)는 로우 로직 레벨(L)을 갖는 제2 디먹스 제어신호(DMS2)에 의해 턴-오프되고, 제3 디먹스 스위치(MT3)는 로우 로직 레벨(L)을 갖는 제3 디먹스 제어신호(DMS3)에 의해 턴-오프된다. 이로 인해, 제1 기간(t1) 동안 제k 출력 채널(Sk)의 데이터전압은 제3k-2 데이터 라인(D3k-2)에 공급된다. 구체적으로, 제1 기간(t1) 동안 제1 출력 채널(S1)의 정극성(+)의 적색 데이터전압 "RD11"은 제1 데이터 라인(D1)에 공급되고, 제2 출력 채널(S2)의 부극성(-)의 적색 데이터전압 "RD12"은 제4 데이터 라인(D4)에 공급된다.

[0071] 또한, 제1 기간(t1) 동안 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생하므로, 제1 스캔 라인(SL1)에 접속된 TFT들이 턴-온된다. 이로 인해, 제1 기간(t1) 동안 적색 서브 화소 "RP11"은 정극성(+)의 데이터전압 "RD11"을 충전하고, 적색 서브 화소 "RP12"는 부극성(-)의 데이터전압 "RD12"을 충전한다.

[0072] 두 번째로, 제2 기간(t2) 동안 제2 디먹스 제어신호(DMS2)는 하이 로직 레벨(H)로 발생하고, 제1 및 제3 디먹스 제어신호들(DMS1, DMS3)은 로우 로직 레벨(L)로 발생한다. 따라서, 제2 기간(t2) 동안 제2 디먹스 스위치(MT2)는 하이 로직 레벨(H)을 갖는 제2 디먹스 제어신호(DMS2)에 응답하여 턴-온된다. 또한, 제1 디먹스 스위치(MT1)는 로우 로직 레벨(L)을 갖는 제1 디먹스 제어신호(DMS1)에 의해 턴-오프되고, 제3 디먹스 스위치(MT3)는 로우 로직 레벨(L)을 갖는 제3 디먹스 제어신호(DMS3)에 의해 턴-오프된다. 이로 인해, 제2 기간(t2) 동안 제k 출력 채널(Sk)의 데이터전압은 제3k+2 데이터 라인(D3k+2)에 공급되고, 제k+1 출력 채널(Sk+1)의 데이터전압은 제3k-1 데이터 라인(D3k-1)에 공급된다. 구체적으로, 제2 기간(t2) 동안 제1 출력 채널(S1)의 정극성(+)의 녹색 데이터전압 "GD12"은 제5 데이터 라인(D5)에 공급되고, 제2 출력 채널(S2)의 부극성(-)의 녹색 데이터전압 "GD11"은 제2 데이터 라인(D2)에 공급된다.

[0073] 또한, 제2 기간(t2) 동안 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생하므로, 제1 스캔 라인(SL1)에 접속된 TFT들이 턴-온된다. 이로 인해, 제2 기간(t2) 동안 녹색 서브 화소 "GP11"은 부극성(-)의 데이터전압 "GD11"을 충전하고, 녹색 서브 화소 "GP12"는 정극성(+)의 데이터전압 "GD12"을 충전한다.

[0074] 세 번째로, 제3 기간(t3) 동안 제3 디먹스 제어신호(DMS3)는 하이 로직 레벨(H)로 발생하고, 제1 및 제2 디먹스

제어신호들(DMS1, DMS2)는 로우 로직 레벨(L)로 발생한다. 따라서, 제3 기간(t3) 동안 제3 디먹스 스위치(MT3)는 하이 로직 레벨(H)을 갖는 제3 디먹스 제어신호(DMS3)에 응답하여 턴-온된다. 또한, 제1 디먹스 스위치(MT1)는 로우 로직 레벨(L)을 갖는 제1 디먹스 제어신호(DMS1)에 의해 턴-오프되고, 제2 디먹스 스위치(MT2)는 로우 로직 레벨(L)을 갖는 제2 디먹스 제어신호(DMS2)에 의해 턴-오프된다. 이로 인해, 제3 기간(t3) 동안 제k 출력 채널(Sk)의 데이터전압은 제3k 데이터 라인(D3k)에 공급된다. 구체적으로, 제3 기간(t3) 동안 제1 출력 채널(S1)의 정극성(+)의 청색 데이터전압 "BD11"은 제3 데이터 라인(D3)에 공급되고, 제2 출력 채널(S2)의 부극성(-)의 청색 데이터전압 "BD12"은 제6 데이터 라인(D6)에 공급된다.

[0075] 또한, 제3 기간(t3) 동안 제1 스캔 펄스(SCAN1)가 게이트 하이 전압(VGH)으로 발생하므로, 제1 스캔 라인(SL1)에 접속된 TFT들이 턴-온된다. 이로 인해, 제3 기간(t2) 동안 청색 서브 화소 "BP11"은 정극성(+)의 데이터전압 "BD11"를 충전하고, 청색 서브 화소 "BP12"는 부극성(-)의 데이터전압 "BD12"를 충전한다.

[0076] 도 14는 화이트 색, 적색, 녹색, 및 청색을 표시하는 경우, 도 12의 제1 및 제2 출력 채널들에 공급되는 데이터 전압들의 일 예를 보여주는 도면이다. 도 12 내지 도 14를 참조하면, 디믹스 회로(102)는 제1 출력 채널(S1)의 정극성(+)을 갖는 적색, 녹색, 및 청색 데이터전압들을 적색 서브 화소(RP)들에 접속된 제1 데이터 라인(D1), 녹색 서브 화소(GP)들에 접속된 제5 데이터 라인(D5), 및 청색 서브 화소(BP)에 접속된 제3 데이터 라인(D3)에 시분할하여 분배한다. 또한, 디믹스 회로(102)는 제2 출력 채널(S2)의 부극성(-)을 갖는 적색, 녹색, 및 청색 데이터전압들을 적색 서브 화소(RP)들에 접속된 제4 데이터 라인(D4), 녹색 서브 화소(GP)들에 접속된 제2 데이터 라인(D2), 및 청색 서브 화소(BP)에 접속된 제6 데이터 라인(D6)에 시분할하여 분배한다.

[0077] 그 결과, 본 발명의 제3 실시 예에 따른 소스 드라이브 IC는 화이트 색을 표시하는 경우, 도 12와 같이 제1 출력 채널(S1)을 통해 정극성(+)의 데이터전압들을 출력하고, 제2 출력 채널(S2)을 통해 부극성(-)의 데이터전압들을 출력한다. 즉, 본 발명의 제2 실시 예에 따른 소스 드라이브 IC는 화이트 색을 표시하는 경우, 1 프레임 기간 동안 출력 채널들에 정극성 또는 부극성의 데이터전압들만을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 따라서, 본 발명의 제2 실시 예는 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.

[0078] 이 상에서 살펴본 바와 같이, 본 발명은 소스 드라이브 IC의 어느 한 출력 채널로부터 출력되는 동일한 극성의 데이터전압들을 디믹스 회로를 이용하여 복수 개의 데이터 라인들로 시분할하여 분배한다. 그 결과, 본 발명은 화이트 색을 표시하는 경우, 1 프레임 기간 동안 소스 드라이브 IC의 출력 채널들에 정극성 또는 부극성의 데이터전압들만을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 따라서, 본 발명은 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.

[0079] 또한, 본 발명은 소스 드라이브 IC의 어느 한 출력 채널로부터 출력되는 동일한 극성을 갖는 동일한 색의 데이터전압들을 디믹스 회로를 이용하여 복수 개의 데이터 라인들로 시분할하여 분배한다. 그 결과, 본 발명은 단색 또는 혼색을 표시하는 경우, 1 프레임 기간 동안 소스 드라이브 IC의 출력 채널들에 정극성 또는 부극성의 데이터전압들만을 출력하므로, 데이터전압들을 정극성에서 부극성 또는 부극성에서 정극성으로 스윙(swing)할 필요가 없다. 따라서, 본 발명은 소스 드라이브 IC의 소비전력을 크게 줄일 수 있는 장점이 있다.

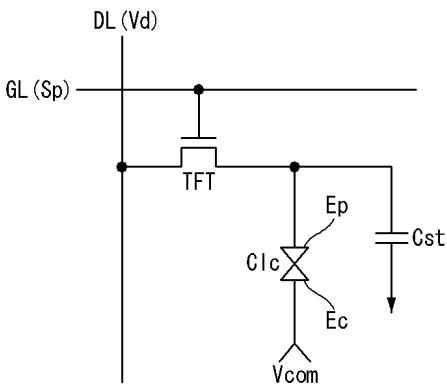
[0080] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

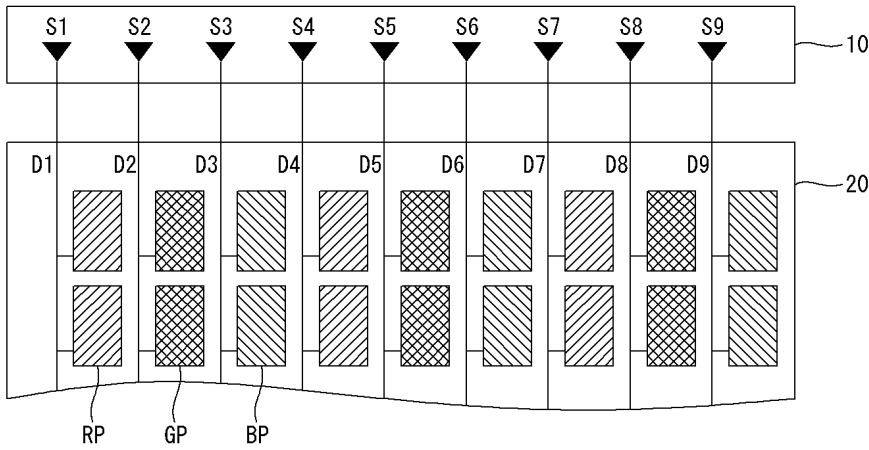
[0081]	100 : 액정표시패널	102 : 디먹스 회로
	104 : 화소 어레이	110 : 데이터 구동회로
	120 : 게이트 구동회로	130 : 디먹스 제어신호 발생회로
	140 : 타이밍 컨트롤러	

도면

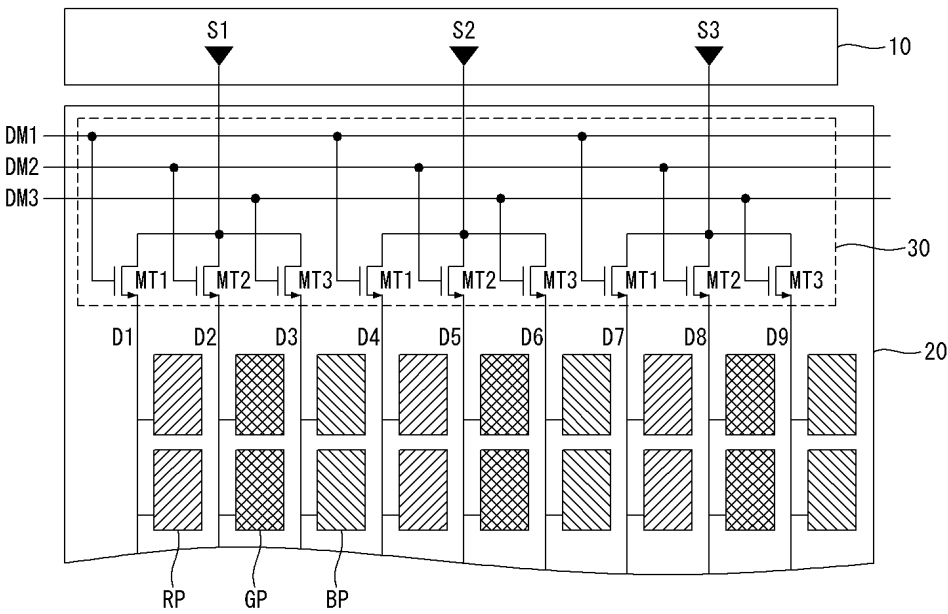
도면1



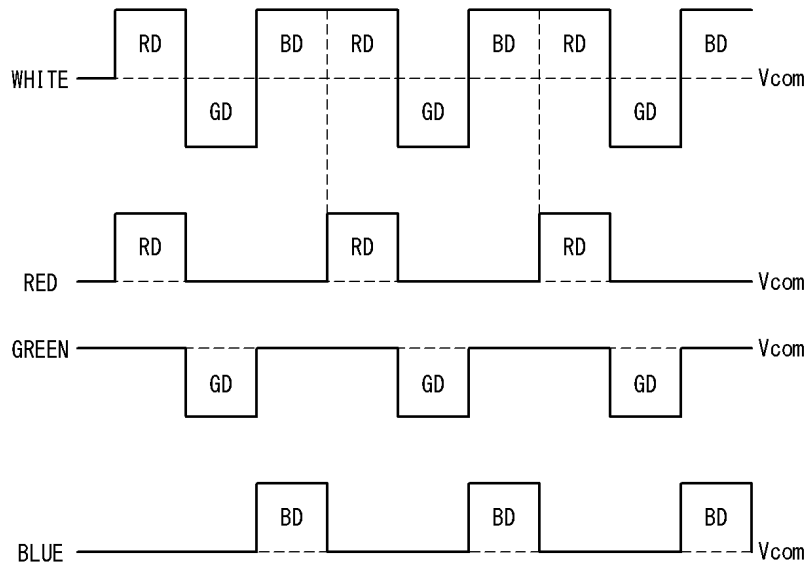
도면2



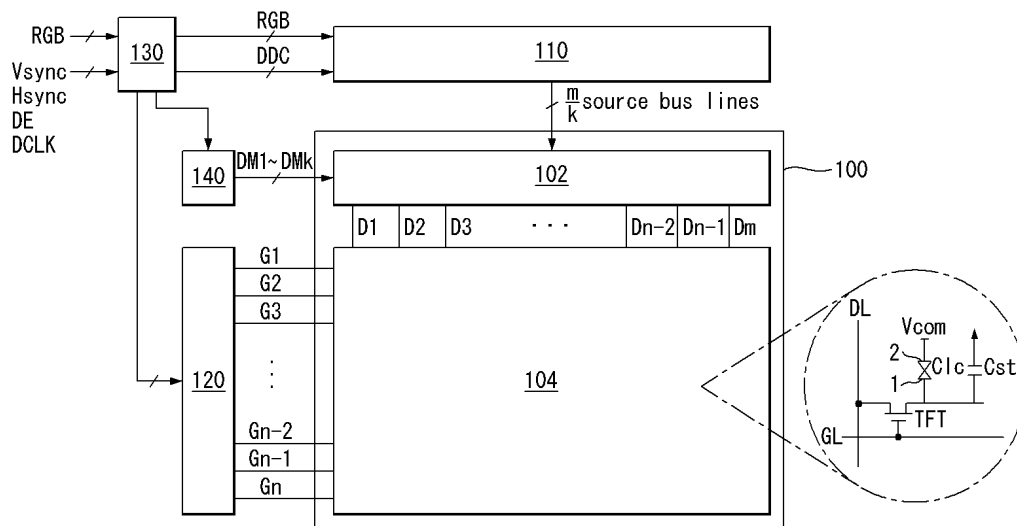
도면3



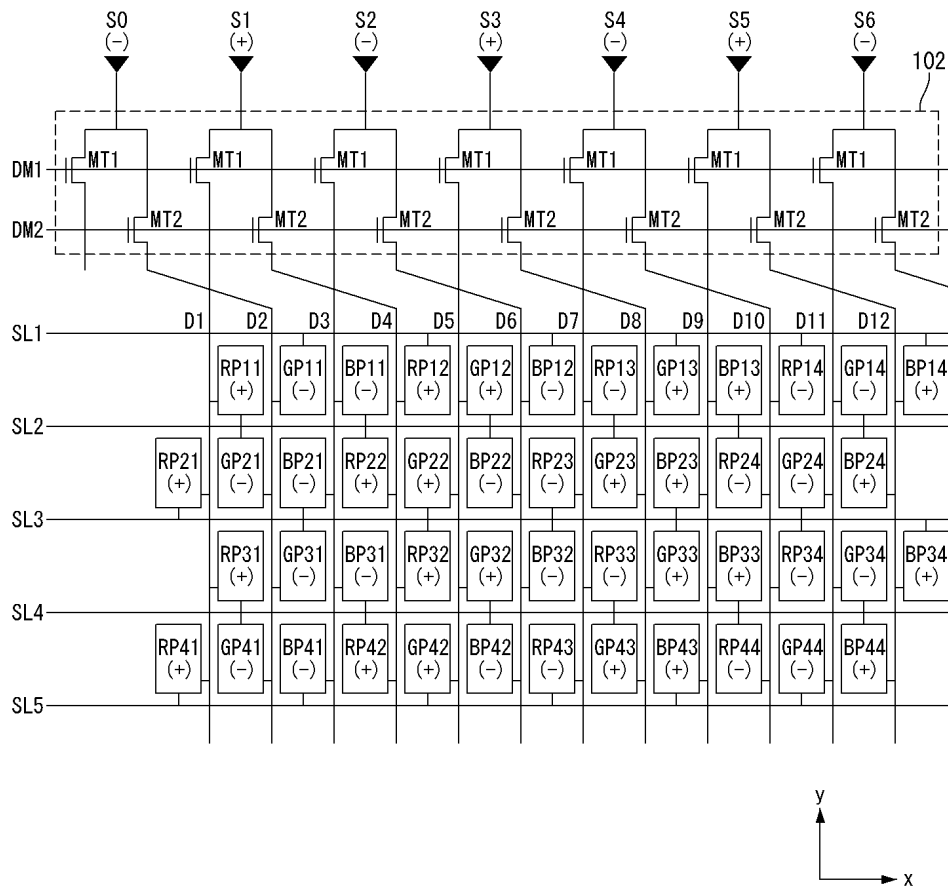
도면4



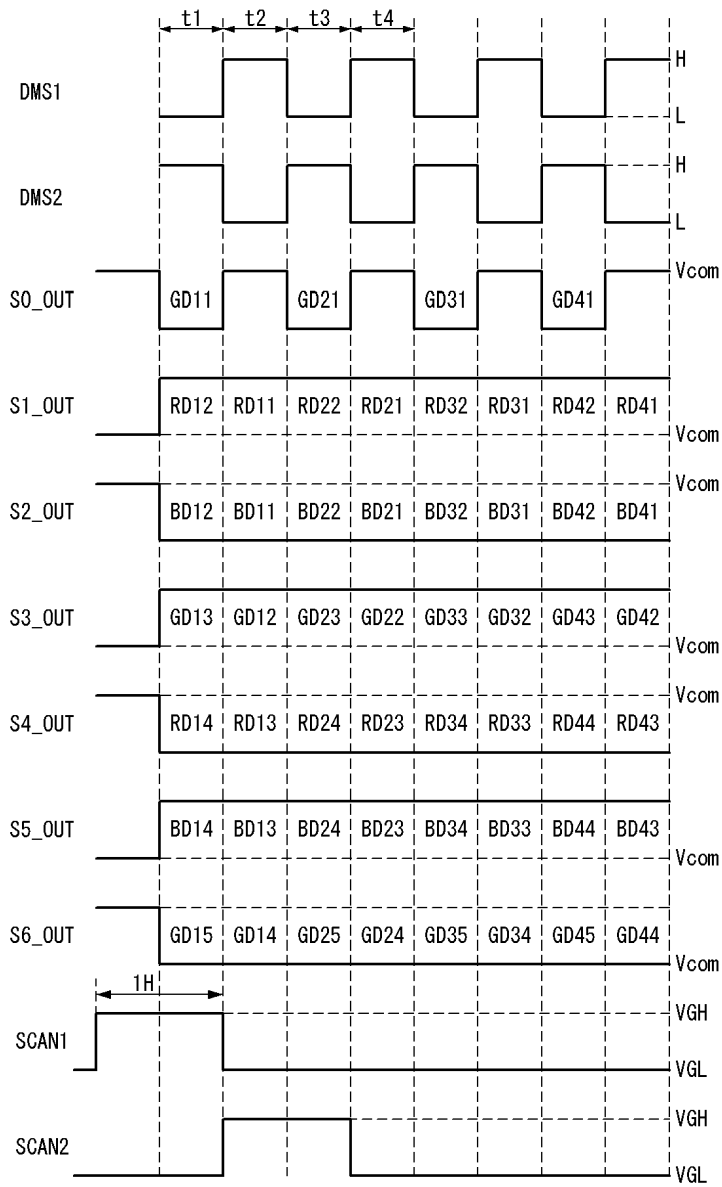
도면5



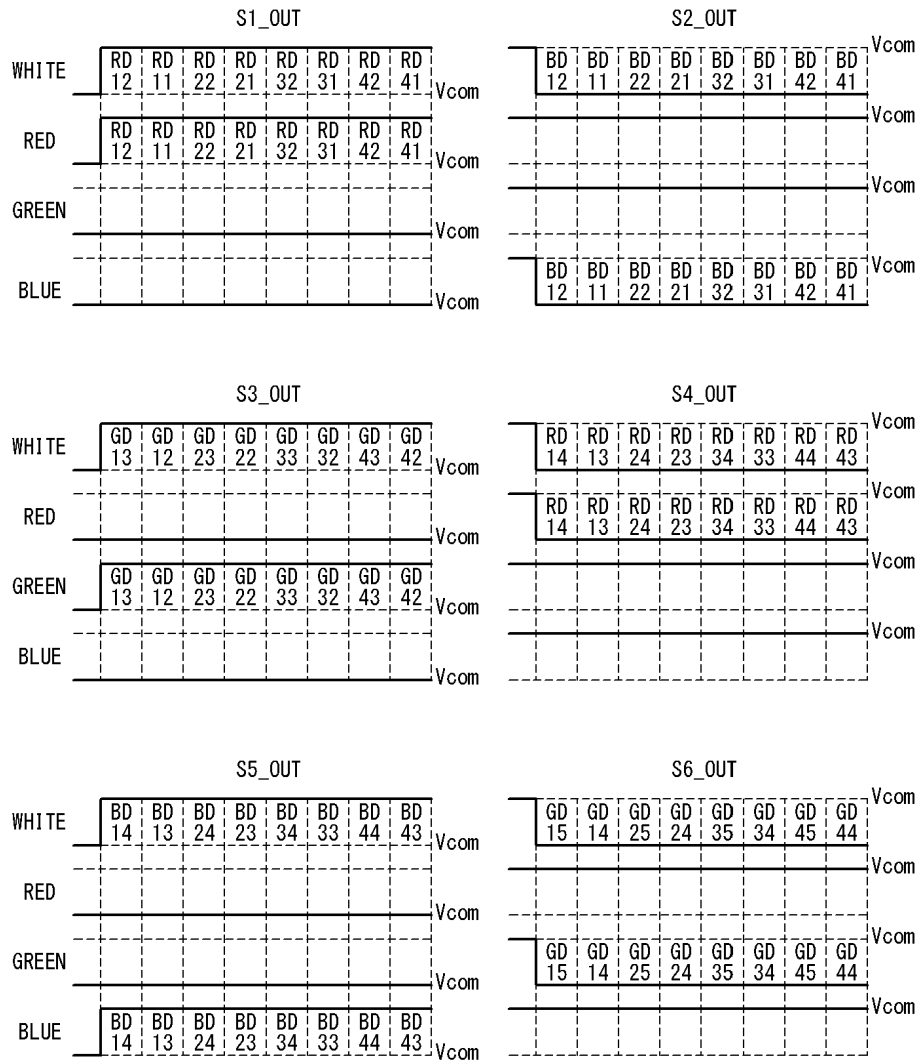
도면6



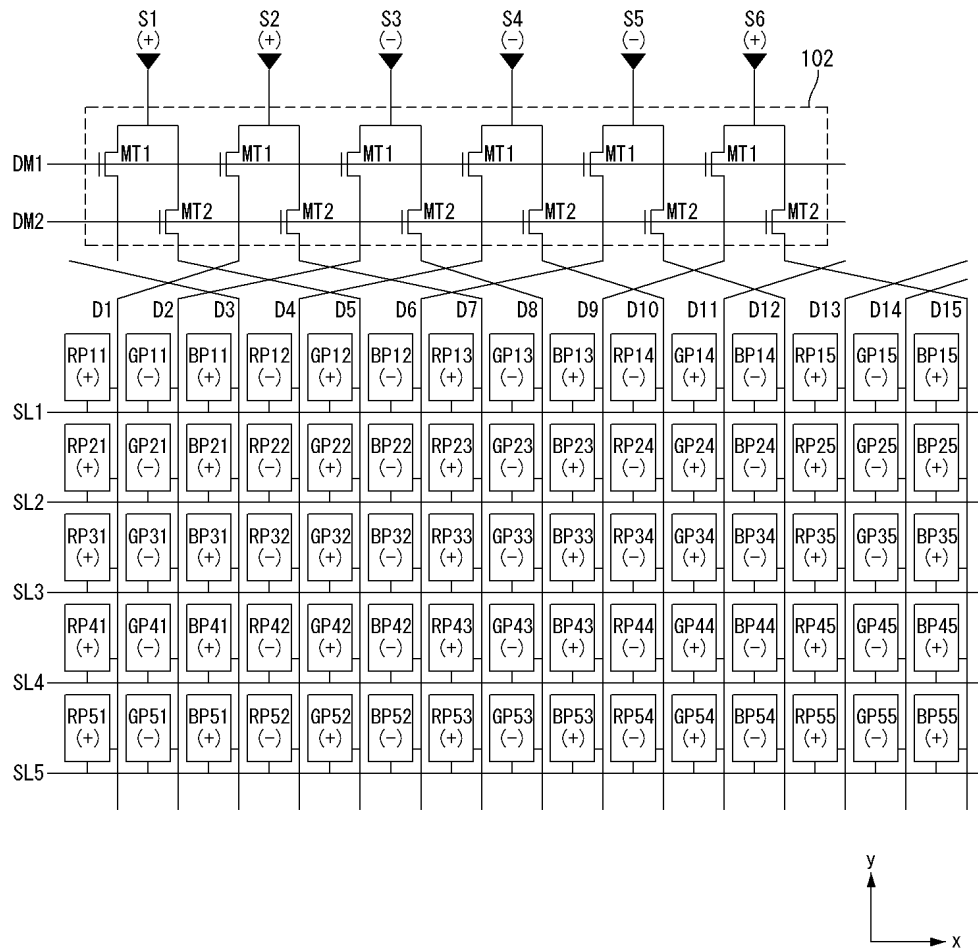
도면7



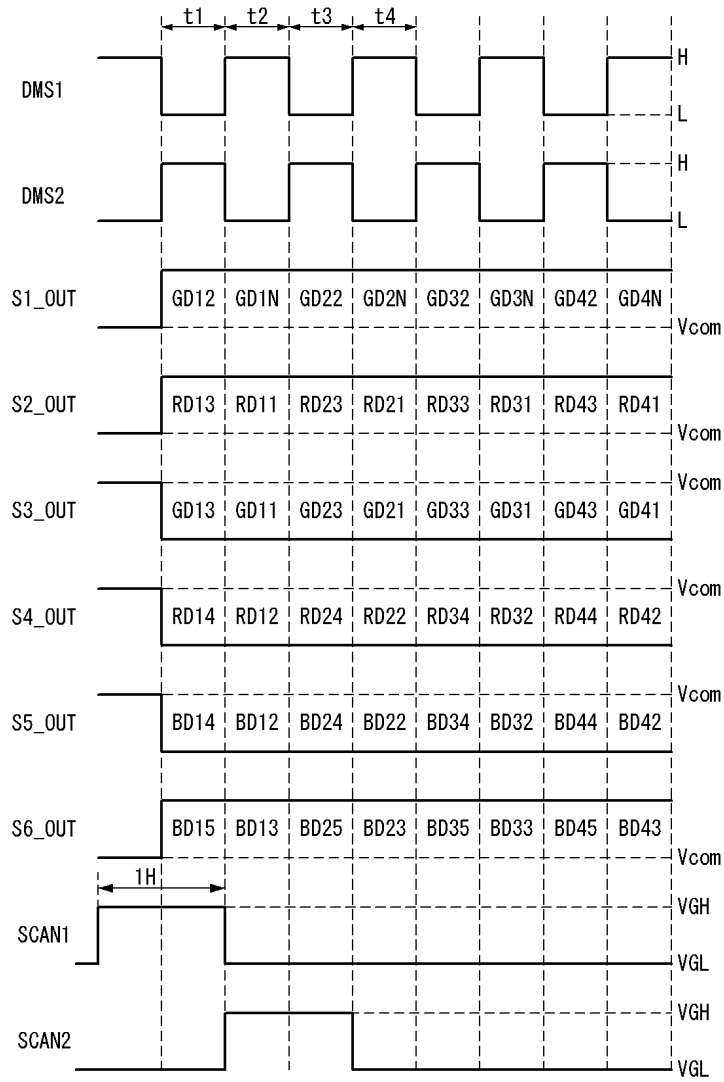
도면8



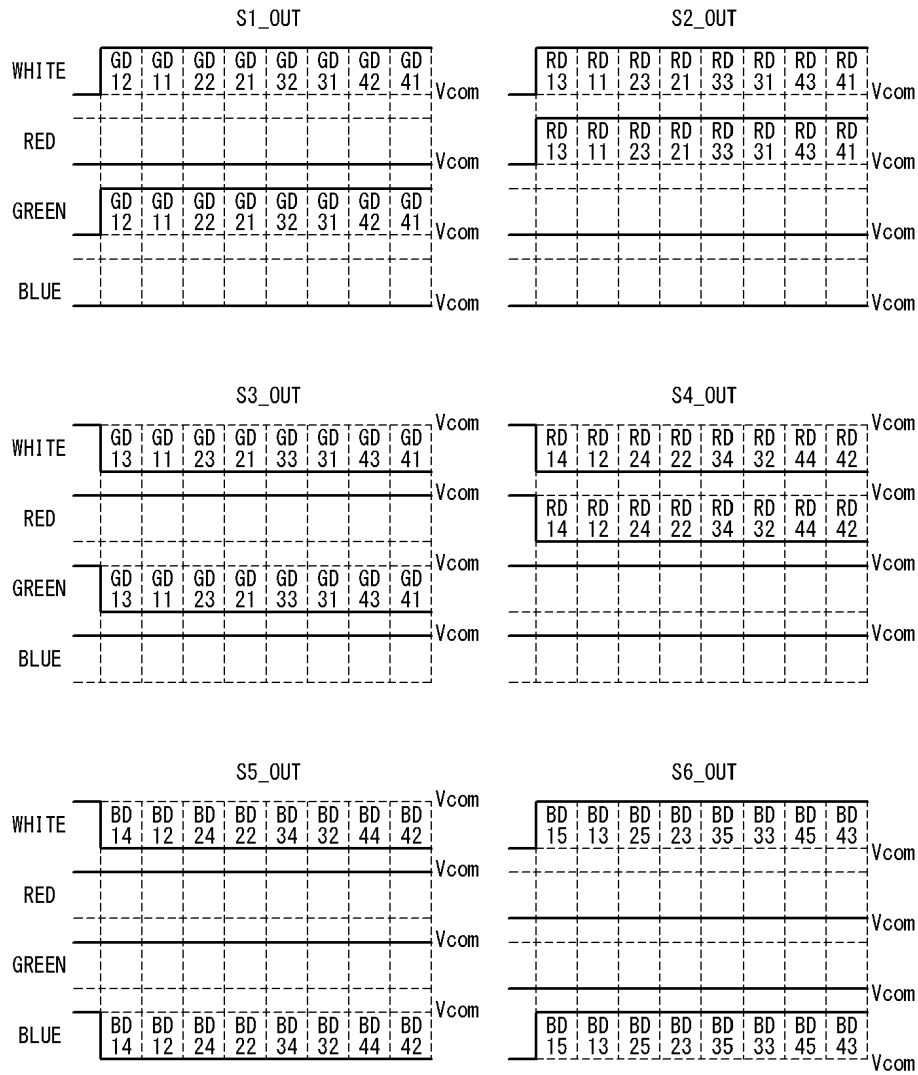
도면9



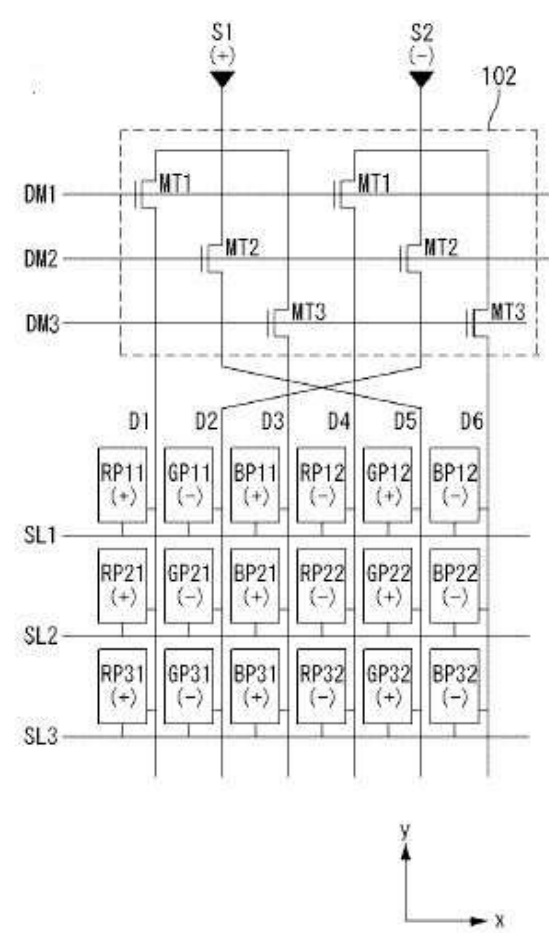
도면10



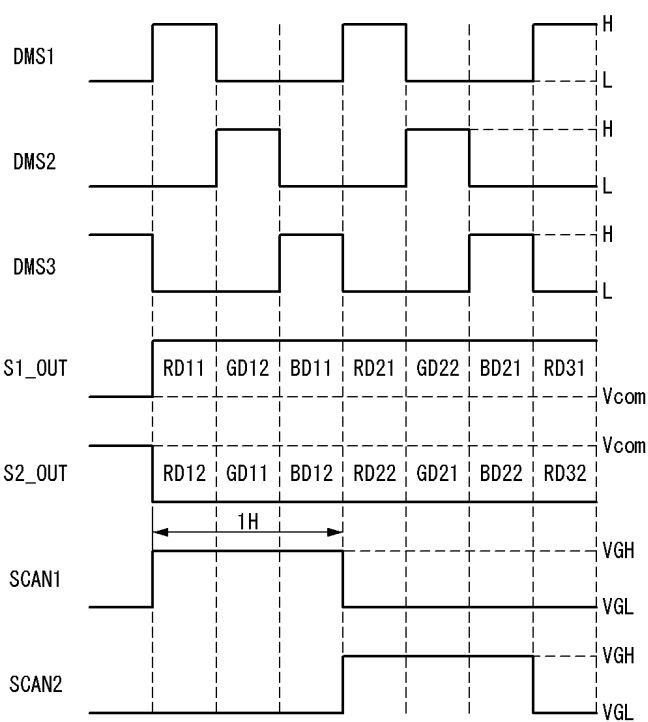
도면11



도면12



도면13



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR102063346B1	公开(公告)日	2020-01-07
申请号	KR1020130023993	申请日	2013-03-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	상우규 김규진		
发明人	상우규 김규진		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G02F1/133 G09G3/3614 G09G2310/0297 G09G2330/021		
审查员(译)	酋长姬		
其他公开文献	KR1020140109697A		
外部链接	Espacenet		

摘要(译)

根据本发明实施例的液晶显示装置包括：液晶显示面板，其包括数据线，扫描线和在数据线和扫描线之间的相交区域中以矩阵形式排列的子像素。源极驱动IC将数据电压提供给数据线；一种多路分解器电路，其包括连接到源极驱动IC的一个输出通道之一的p个（多为两个或多个正整数）个多路分解器开关，并且该多路分解器电路通过切换操作对输出通道之一的数据电压进行时分。解复用器切换为分配给p条数据线，其中，输出通道之一的数据电压为极性相同的数据电压。此外，具有与输出通道之一相同极性的数据电压是具有相同颜色的数据电压。

