

(45) 공고일자 2020년01월02일
(11) 등록번호 10-2061643
(24) 등록일자 2019년12월26일

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자
원상혁
경기 파주시 문산읍 당동1로 11, 604동 1003호 (자연엔꿈에그린6단지아파트)

방정호
경기 파주시 가람로116번길 130, 702동 1001호 (와동동, 가람마을7단지한라비발디)

(74) 대리인
특허법인인벤스크

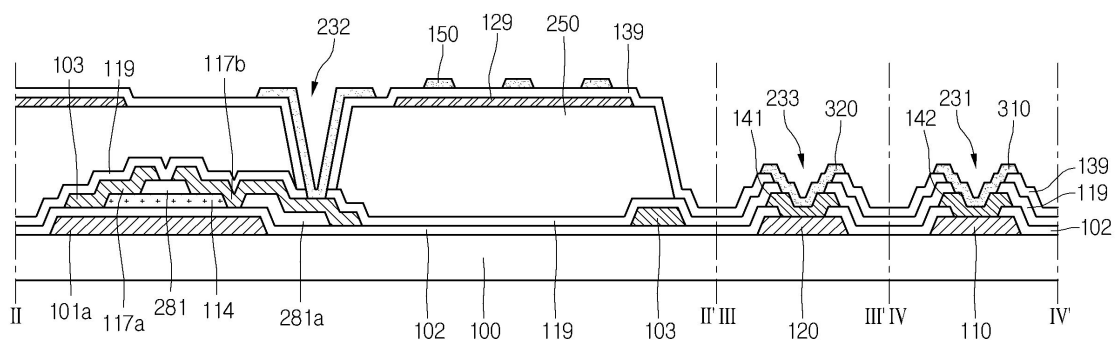
심사관 : 박정근

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치를 개시한다. 개시된 본 발명의 액정표시장치는, 표시 영역과 패드 영역으로 구획된 기판; 상기 표시 영역의 화소 영역을 정의하기 위해 배치된 게이트 라인과 데이터 라인; 상기 게이트 라인과 데이터 라인의 교차 영역에 산화물 채널층을 구비한 박막 트랜지스터; 상기 화소 영역에 배치된 게이트 절연막, 제 (뒷면에 계속)

대표도



1 보호막 및 유기막; 상기 화소 영역의 유기막 상에 배치된 공통 전극; 상기 공통 전극과 유기막 상에 형성된 제 2 보호막; 및 상기 제2 보호막 상에 상기 공통 전극과 중첩되도록 배치된 화소 전극을 포함하고, 상기 박막 트랜지스터의 산화물 채널층 상에는 에치스톱퍼가 형성되고, 상기 박막 트랜지스터의 게이트 전극과 드레인 전극의 교차 영역과 상기 데이터 라인과 게이트 라인의 교차 영역에 각각 제1 내지 제3 보상패턴들이 형성된 것을 특징으로 한다.

본 발명에 따른 액정표시장치는, 박막 트랜지스터의 채널층을 보호하기 위한 에치스톱퍼 형성시, 게이트 전극과 게이트 라인의 단차 영역에 각각 보상패턴들을 형성하여, 게이트 전극과 소스/드레인 전극 또는 데이터 라인과 단락 불량을 방지한 효과가 있다.

명세서

청구범위

청구항 1

표시 영역과 패드 영역으로 구획된 기판;

상기 표시 영역의 화소 영역을 정의하기 위해 배치된 게이트 라인과 데이터 라인;

상기 게이트 라인과 상기 데이터 라인의 교차 영역에 산화물 채널층을 구비한 박막 트랜지스터;

상기 기판 상에서 상기 화소 영역에 형성되는 게이트 전극, 상기 게이트 라인 및 상기 패드 영역에 형성되는 데이터 패드 및 게이트 패드;

상기 게이트 전극, 상기 게이트 라인, 상기 데이터 패드 및 상기 게이트 패드 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 형성된 제1 보호막;

상기 화소 영역에서 상기 게이트 절연막과 상기 제1 보호막 사이에 형성되는 에치스톱퍼, 소스 전극, 드레인 전극 및 상기 데이터 라인;

상기 패드 영역에서 상기 게이트 절연막과 상기 제1 보호막 사이에 형성되고, 상기 데이터 패드 및 상기 게이트 패드 상에 각각 형성된 제1 연결부 및 제2 연결부;

상기 패드 영역을 제외한 상기 표시 영역의 상기 제1 보호막 상에 형성된 유기막;

상기 화소 영역에서 상기 유기막 상에 형성된 공통 전극;

상기 화소 영역에서 상기 공통 전극 상에 형성되고, 상기 패드 영역에서 상기 제1 연결부 및 상기 제2 연결부 상에 형성되는 제2 보호막;

상기 화소 영역에서 상기 제2 보호막 상에 상기 공통 전극과 중첩되도록 형성되는 화소 전극;

상기 패드 영역에서 상기 제2 보호막 상에 상기 제1 연결부 및 상기 제2 연결부와 접촉하여 형성되는 데이터 패드 콘택 전극 및 게이트 패드 콘택 전극을 포함하고,

상기 박막 트랜지스터의 상기 산화물 채널층 상에는 상기 에치스톱퍼가 형성되고, 상기 박막 트랜지스터의 상기 게이트 전극과 상기 드레인 전극의 교차 영역과 상기 데이터 라인과 상기 게이트 라인의 교차 영역에 각각 제1 내지 제3 보상패턴들이 형성된 것을 특징으로 하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 에치스톱퍼와 제1 내지 제3 보상패턴들은 일체로 형성된 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서, 상기 제1 내지 제3 보상패턴들은 각각 요철구조로 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 에치스톱퍼와 제1 내지 제3 보상패턴들은 서로 분리된 구조로 형성된 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 산화물 채널층은 IGZO(Indium Gallium Zinc Oxide)인 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서, 상기 에치스톱퍼의 두께는 1000Å인 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서, 상기 제1 내지 제3 보상패턴들의 두께는 상기 에치스톱퍼의 두께의 두 배인 것을 특징으로 하는 액정표시장치.

청구항 8

제 1항에 있어서,

상기 소스 전극, 상기 드레인 전극, 상기 데이터 라인, 상기 제1 연결부 및 상기 제2 연결부는 상기 게이트 절연막 상에서 동일 물질로 동일 층 상에 형성되는, 액정표시장치.

청구항 9

제 1항에 있어서,

상기 데이터 라인에서 연장된 상기 소스 전극과 상기 게이트 라인 사이에서 상기 소스 전극의 상단부 및 하단부에 각각 형성되는 상기 제2 보상패턴 및 상기 제3 보상패턴을 더 포함하는, 액정표시장치.

청구항 10

제 1항에 있어서,

상기 데이터 패드 콘택 전극 및 상기 게이트 패드 콘택 전극은 상기 화소 전극과 동일 물질로 동일 층 상에 형성되는, 액정표시장치.

청구항 11

제 1항에 있어서,

상기 데이터 패드는 상기 패드 영역에서 상기 데이터 라인으로부터 연장된, 액정표시장치.

청구항 12

제 1항에 있어서,

상기 게이트 패드는 상기 패드 영역에서 상기 게이트 라인으로부터 연장된, 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 산화물 박막 트랜지스터를 구비한 액정표시장치에 관한 것이다.

배경 기술

- [0002] 통상적으로 액정표시장치(Liquid Crystal Display)는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 액정표시장치는 주로 컬러필터 어레이가 형성되는 컬러필터 기판과 박막 트랜지스터(TFT: Thin Film Transistor) 어레이가 형성되는 박막 트랜지스터 어레이 기판이 액정을 사이에 두고 합착되어 형성된다.
- [0003] 최근에는 액정표시장치의 협소한 시야각 문제를 해결하기 위해 여러가지 새로운 방식을 채용한 액정표시장치가 개발되고 있다. 광시야각 특성을 갖는 액정표시장치는 횡전계 방식(IPS:in-plane switching mode), OCB 방식(optically compensated birefringence mode) 및 FFS(Fringe Field Swithcing) 방식 등이 있다.
- [0004] 이중 상기 횡전계 방식 액정표시장치는 화소 전극과 공통 전극을 동일한 기판 상에 배치하여 전극들 간에 수평 전계가 발생하도록 한다. 이로 인하여 액정 분자들의 장축이 기판에 대해서 수평 방향으로 배열되어 종래 TN(Twisted Nematic) 방식 액정표시장치에 비해 광시야각 특성이 있다.
- [0005] 도 1은 종래 기술에 따른 액정표시장치의 화소 구조를 도시한 도면이고, 도 2는 I-I'선을 절단한 단면도이다.
- [0006] 도 1 및 도 2를 참조하면, 액정표시장치의 화소 구조는 복수개의 게이트 라인(11)과 데이터 라인(13)이 서로 교차하여 다수개의 화소 영역을 정의하고, 각각의 화소 영역에는 화소 전극(9)과 공통 전극(미도시)이 배치된다.
- [0007] 또한, 상기 게이트 라인(11)과 데이터 라인(13)의 교차 영역에는 박막 트랜지스터(Thin Film Transistor: TFT)가 배치되어 있다.
- [0008] 상기 박막 트랜지스터(TFT)는 기판(10) 상에 형성된 게이트 전극(1), 게이트 절연막(2), 채널층(14), 소스 전극(15) 및 드레인 전극(16)을 포함하고, 상기 드레인 전극(16)은 보호막(19)에 형성된 콘택홀을 통해 화소 전극(9)과 전기적으로 연결된다.
- [0009] 최근에는 평판 표시장치에 형성되는 박막 트랜지스터의 경우는 고속 응답 특성이 요구되기 때문에 채널층(14)을 비정질 실리콘(a-Si:H)으로 형성하지 않고, 산화물(IGZO: Indium Gallium Zinc Oxide)을 이용하고 있다.
- [0010] 그러나 도 2에 도시된 바와 같이, 기판(10) 상에 형성되는 게이트 라인(11) 및 게이트 전극(1)의 두께에 비해 게이트 절연막(2)의 두께가 얇아, 상기 게이트 라인(11)과 게이트 전극(1)의 가장자리 영역에서 단차로 인한 게이트 절연막(2)의 굽힘 불량 등이 발생된다.
- [0011] 상기와 같이, 게이트 절연막(2)의 불량은 게이트 전극(1)과 소스/드레인 전극(15, 16) 간의 단락(short) 불량을 야기한다. 이러한 불량은 상기 데이터 라인(13)과 게이트 라인(11)의 교차 영역에서도 동일하게 발생된다.
- [0012] 도 2에서는 게이트 전극(1)과 소스/드레인 전극(15, 16)의 교차 영역에서 발생하는 단락 불량(A, B)을 도시하였다.
- [0013] 특히, 산화물 박막 트랜지스터에서는 게이트 절연막(2)을 SiN_x 보다는 SiO_2 를 많이 사용하는데, 테이퍼 특성은 SiN_x 보다 SiO_2 가 좋지 않아 단락 불량이 더욱 빈번하게 발생된다.
- [0014] 또한, 상기 게이트 절연막(2)의 얇은 두께로 인하여 게이트 전극(1)과 게이트 라인(11)의 단차 영역에서 정전기로 인한 게이트 절연막(2)의 손상으로도 단락 불량(Short)이 발생 될 수 있다.

발명의 내용

해결하려는 과제

- [0015] 본 발명은, 박막 트랜지스터의 채널층을 보호하기 위한 에치스톱퍼 형성시, 게이트 전극과 게이트 라인의 단차 영역에 각각 보상패턴들을 형성하여, 게이트 전극과 소스/드레인 전극 또는 데이터 라인과의 단락 불량을 방지한 액정표시장치를 제공하는데 그 목적이 있다.
- [0016] 또한, 본 발명은, 박막 트랜지스터의 채널층의 보호하기 위한 에치스톱퍼 보다 두꺼운 보상패턴들을 게이트 전극과 게이트 라인의 단차 영역에 각각 형성하여, 단차를 보상하면서 단락 불량을 방지한 액정표시장치를 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0017] 상기와 같은 종래 기술의 과제를 해결하기 위한 본 발명의 액정표시장치는, 표시 영역과 패드 영역으로 구획된 기관; 상기 표시 영역의 화소 영역을 정의하기 위해 배치된 게이트 라인과 데이터 라인; 상기 게이트 라인과 데이터 라인의 교차 영역에 산화물 채널층을 구비한 박막 트랜지스터; 상기 화소 영역에 배치된 게이트 절연막, 제1 보호막 및 유기막; 상기 화소 영역의 유기막 상에 배치된 공통 전극; 상기 공통 전극과 유기막 상에 형성된 제2 보호막; 및 상기 제2 보호막 상에 상기 공통 전극과 중첩되도록 배치된 화소 전극을 포함하고, 상기 박막 트랜지스터의 산화물 채널층 상에는 에치스톱퍼가 형성되고, 상기 박막 트랜지스터의 게이트 전극과 드레인 전극의 교차 영역과 상기 데이터 라인과 게이트 라인의 교차 영역에 각각 제1 내지 제3 보상패턴들이 형성된 것을 특징으로 한다.

발명의 효과

- [0018] 본 발명에 따른 액정표시장치는, 박막 트랜지스터의 채널층을 보호하기 위한 에치스톱퍼 형성시, 게이트 전극과 게이트 라인의 단차 영역에 각각 보상패턴들을 형성하여, 게이트 전극과 소스/드레인 전극 또는 데이터 라인과 단락 불량을 방지한 효과가 있다.
- [0019] 또한, 본 발명에 따른 액정표시장치는, 박막 트랜지스터의 채널층의 보호하기 위한 에치스톱퍼 보다 두꺼운 보상패턴들을 게이트 전극과 게이트 라인의 단차 영역에 각각 형성하여, 단차를 보상하면서 단락 불량을 방지한 효과가 있다.

도면의 간단한 설명

- [0020] 도 1은 종래 기술에 따른 액정표시장치의 화소 구조를 도시한 도면이다.
- 도 2는 I-I'선을 절단한 단면도이다.
- 도 3은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 도면이다.
- 도 4는 상기 도 3의 II-II', III-III' 및 IV-IV' 선의 단면도이다.
- 도 5 및 도 6은 도 4의 에치스톱퍼로부터 연장 형성된 단차보상패턴들의 다른 실시예를 도시한 도면이다.
- 도 7은 본 발명의 다른 실시예를 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0021] 이하, 본 발명의 실시예들은 도면을 참고하여 상세하게 설명한다. 다음에 소개되는 실시예들은 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 예로서 제공되어지는 것이다. 따라서, 본 발명은 이하 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 그리고 도면들에 있어서, 장치의 크기 및 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.
- [0022] 도 3은 본 발명에 따른 액정표시장치의 화소 구조를 도시한 도면이고, 도 4는 상기 도 3의 II-II', III-III' 및 IV-IV' 선의 단면도이다.
- [0023] 도 3 및 도 4를 참조하면, 본 발명의 박막 트랜지스터 액정표시장치의 어레이 기관은 복수개의 화소 영역이 형성되는 표시 영역과 게이트 패드와 데이터 패드들이 형성된 비표시 영역으로 구분되고, 상기 화소 영역(sub-pixel region)은 게이트 라인(101)과 데이터 라인(103)이 교차 배열되어 정의된다.
- [0024] 상기 게이트 라인(101)과 데이터 라인(103)이 교차되는 영역에는 스위칭 소자인 박막 트랜지스터(TFT)가 배치되어 있다. 박막 트랜지스터는, 상기 게이트 라인(101)보다 폭이 넓고, 화소 영역 방향으로 인출된 게이트 전극(도 4의 101a), 게이트 절연막(102), 에치스톱퍼(281), 소스/드레인 전극(117a, 117b) 및 채널층(114)을 포함

한다.

- [0025] 상기 화소 영역에는 플레이트(plate) 구조를 갖는 공통 전극(129)이 상기 데이터 라인(103)과 평행한 방향으로 배치되어 있다. 또한, 상기 공통 전극(129) 상에는 다수개의 슬릿바 구조로 형성된 화소 전극(150)이 배치되어 있다.
- [0026] 또한, 본 발명의 공통 전극(129)과 화소 전극(150)은 상기 게이트 라인(101)과 평행한 화소 영역의 중심선(미도시)을 기준으로 상기 데이터 라인(103) 방향으로 상하 대칭되게 절곡된 구조로 형성된다.
- [0027] 즉, 상기 화소 전극(150)의 슬릿바들은 소정의 간격으로 화소 영역에 배치되며, 상기 게이트 라인(101)과 평행한 화소 영역의 중심선을 기준으로 상하 방향으로 소정의 각도로 서로 대칭되게 배치된다. 따라서, 상기 화소 영역의 중심선을 기준으로 상하 방향에는 서로 다른 방향의 전계가 형성되어 멀티 도메인(multi-domain)이 형성될 수 있다.
- [0028] 또한, 화소 영역의 둘레에는 상기 화소 전극(150)과 일체로 형성된 쉴드패턴(151)이 상기 데이터 라인(103)과 오버랩되도록 배치되어 있다.
- [0029] 상기 화소 전극(150)은 제2 콘택홀(232)을 통해 박막 트랜지스터의 드레인 전극(117b)과 전기적으로 접속된다.
- [0030] 또한, 상기 공통 전극(129)은 사각형 플레이트(plate) 형태로 형성되어 있지만, 이는 고정된 것이 아니다. 따라서, 상기 화소 전극(150)과 같이 다수개의 슬릿바 구조로 형성될 수 있다.
- [0031] 또한, 상기 공통 전극(129)과 화소 전극(150)은 제2 보호막(139)을 사이에 두고 서로 중첩되도록 형성되어 있지만, 이는 고정된 것이 아니다. 따라서, 상기 공통 전극(129)이 슬릿바 구조로 형성될 수 있고, 이럴 경우, 상기 제2 보호막(139) 상에 상기 화소 전극(150)과 서로 교대로 배치될 수 있다.
- [0032] 또한, 상기 화소 전극(150)과 공통 전극(129)의 슬릿바 구조로 형성될 경우, 상기 제2 보호막(139) 하부의 유기막(250) 상에 서로 교대로 배치될 수 있다.
- [0033] 또한, 본 발명의 박막 트랜지스터는 인듐(In), 아연(Zn), 갈륨(Ga) 또는 하프늄(Hf) 중 적어도 하나를 포함하는 비정질 산화물을 이용하여 채널층(114)을 형성할 수 있다. 상기 채널층(114) 상에는 식각 공정에 의한 손상을 방지하기 위해 에치스톱퍼(281)가 형성된다. 상기 에치스톱퍼(281)는 양측 가장자리에 형성된 소스/드레인 전극(117a, 117b)의 일부와 중첩되고, 상기 소스/드레인 전극(117a, 117b)은 상기 에치스톱퍼(281)을 사이에 두고 서로 마주하도록 배치된다.
- [0034] 본 발명에서는 상기 게이트 전극(101a)과 게이트 라인(101)의 가장자리에 형성되는 단차에서 발생된 게이트 절연막(102)의 테이퍼 불량(꺾임 불량)으로 인해 단락이 발생하는 것을 방지하기 위해 상기 에치스톱퍼(281)와 일체로 형성된 제1 내지 제3 단차보상패턴들(281a, 281b, 281c)을 형성하였다.
- [0035] 즉, 상기 제1 단차보상패턴(281a)은 상기 에치스톱퍼(281)로부터 연장되며, 상기 드레인 전극(117b)과 게이트 전극(101a)의 교차 영역에 형성되고, 상기 제2 및 제3 단차보상패턴들(281b, 281c)은 상기 에치스톱퍼(281)로부터 연장되며, 상기 데이터 라인(103)과 게이트 라인(101)의 교차 영역에 각각 형성된다.
- [0036] 상기 제1 내지 제3 단차보상패턴(281a, 281b, 281c)들은 상기 게이트 전극(101a)과 소스/드레인 전극(117a, 117b)의 교차 영역 또는 상기 게이트 라인(101)과 데이터 라인(103)의 교차 영역에서 게이트 절연막(102)의 테이퍼 불량이 발생되더라도 소스/드레인 전극(117a, 117b)과 게이트 전극(101a) 또는 데이터 라인(103)과 게이트 라인(101) 사이의 단락이 발생하는 것을 방지한다.
- [0037] 또한, 액정표시장치의 게이트 패드 영역에는 상기 게이트 라인(101)으로부터 연장된 게이트 패드(110)가 형성되고, 상기 게이트 패드(110) 상에는 제1 콘택홀(231)을 통해 서로 전기적으로 콘택된 게이트 패드 콘택전극(310)이 형성된다.
- [0038] 또한, 액정표시장치의 데이터 패드 영역에는 상기 데이터 라인(103)으로부터 연장된 데이터 패드(120)가 형성되고, 상기 데이터 패드(120) 상에는 제3 콘택홀(233)을 통해 서로 전기적으로 콘택된 데이터 패드 콘택전극(320)이 형성된다.
- [0039] 이와 같은 본 발명의 액정표시장치의 구체적인 제조 공정은 다음과 같다.
- [0040] 도 4에 도시된 바와 같이, 투명성 절연물질로 된 하부기판(100) 상에 금속막을 스퍼터링 방식으로 증착한 다음,

제 1 마스크 공정에 따라 표시 영역인 화소 영역에 게이트 전극(101a)을 형성하고, 비표시 영역인 패드 영역에 게이트 패드(110)와 데이터 패드(120)를 형성한다.

- [0041] 제 1 마스크 공정에서는 증착된 금속막 상에 감광성 물질인 감광막(photo resist)을 형성한 다음, 마스크를 이용하여 노광 및 현상 공정으로 감광막 패턴을 형성하고, 감광막 패턴을 마스크로 하여 식각 공정을 진행한다.
- [0042] 상기와 같이, 제 1 마스크 공정에서는 게이트 전극(101a), 게이트 패드(110) 및 데이터 패드(120)뿐만 아니라 게이트 라인(도 3의 도면부호 101)도 함께 형성된다.
- [0043] 상기 제 1 마스크 공정에서 형성되는 금속막은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 또는 투명성 도전물질인 ITO, IZO 및 ITZO 중 적어도 하나 이상을 적층하여 형성할 수 있다.
- [0044] 도면에서는 게이트 전극(101a)과 게이트 패드(110)가 두 개의 금속층이 적층된 구조로 형성되어 있지만, 이것은 고정된 것이 아니므로 단일 금속층 또는 3개 이상의 금속층으로 적층하여 형성할 수 있다.
- [0045] 상기와 같이, 게이트 전극(101a) 등이 하부 기판(100) 상에 형성되면, 게이트 절연막(102), 산화물층을 형성하고, 제2 마스크 공정에 따라 채널층(114)을 형성한다. 상기 게이트 절연막(102)은 SiN_x 또는 SiO_2 계열의 물질로 형성될 수 있다.
- [0046] 상기 산화물층은 인듐(In), 아연(Zn), 갈륨(Ga) 또는 하프늄(Hf) 중 적어도 하나를 포함하는 비정질 산화물로 이루어질 수 있다. 예컨대 스퍼터링(sputtering) 공정으로 Ga-In-Zn-O 산화물 반도체를 형성할 경우, In₂O₃, Ga₂O₃ 및 ZnO 로 형성된 각각의 타겟을 이용하거나, Ga-In-Zn 산화물의 단일 타겟을 이용할 수 있다. 또한, 스퍼터링(sputtering) 공정으로 hf-In-Zn-O 산화물 반도체를 형성할 경우, HfO₂, In₂O₃ 및 ZnO로 형성된 각각의 타겟을 이용하거나, Hf-In-Zn 산화물의 단일 타겟을 이용할 수 있다.
- [0047] 그런 다음, 절연층을 하부 기판(100) 상에 형성한 다음, 제 3 마스크 공정에 따라 상기 게이트 전극(101a)과 대응되는 상기 채널층(114) 상에 에치스톱퍼(281)를 형성하고, 도 3에서와 같이, 이후 형성될 소스/드레인 전극(117a, 117b)과 게이트 전극(101a)의 교차 영역과 게이트 라인(101)과 데이터 라인(103)의 교차 영역에 각각 에치스톱퍼(281)로부터 확장 형성된 제 1 내지 제 3 단차보상패턴들(281a, 281b, 281c)을 형성한다.
- [0048] 상기 에치스톱퍼(281)와 제 1 내지 제 3 단차보상패턴들(281a, 281b, 281c)의 두께는 1000Å일 수 있다.
- [0049] 그런 다음, 소스/드레인 금속막을 하부기판(100) 상에 형성하고, 제 4 마스크 공정에 따라 소스/드레인 전극(117a, 117b)을 형성하여 박막 트랜지스터를 완성한다. 이때, 패드 영역의 게이트 패드(110)와 데이터 패드(120) 상에는 제1 및 제2 연결부(142, 141)가 형성된다.
- [0050] 상기 소스/드레인 금속막은 몰리브덴(Mo), 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 구리(Cu), 크롬(Cr), 알루미늄(Al), 이들의 조합으로부터 형성되는 합금 중 어느 하나를 이용할 수 있다. 또한, ITO(Indium Tin Oxide)와 같은 투명성 도전물질을 사용할 수 있다. 또한, 도면에서는 단일 금속막으로 형성되어 있지만 경우에 따라서는 적어도 2개 이상의 금속막들을 적층하여 형성할 수 있다.
- [0051] 상기와 같이, 소스/드레인 전극(117a, 117b)들이 형성되면, 상기 하부기판(100) 전면에서 제1 보호막(119)과 유기막(250)을 형성한 후, 제 5 마스크 공정에 따라 제1, 2, 3 콘택홀(231, 232, 233)들을 형성한다.
- [0052] 그런 다음, 금속막(ITO, IZO, ITZO 또는 MoTi)을 하부기판(100) 상에 형성한 다음, 제 6 마스크 공정에 따라 화소 영역의 유기막(250) 상에 공통전극(250)을 형성한다. 도면에서는 플레이트 형태로 형성하였지만, 이것은 고정된 것이 아니다. 따라서, 공통전극(250)도 화소 전극과 같이 다수개의 슬릿바 형태로 형성할 수 있다.
- [0053] 상기와 같이, 공통전극(250)이 하부기판(100) 상에 형성되면, 제2 보호막(139)을 하부기판(100) 전면에서 형성한다. 상기 제2 보호막(139)은 SiN_x 또는 SiO_2 계열의 물질로 형성할 수 있고, 두께는 2000Å 내외로 형성할 수 있다.
- [0054] 이와 같이, 본 발명은 액정표시장치 제조 공정에서 추가 공정을 진행하지 않으면서, 단차로 인해 게이트 절연막의 테이퍼 불량이 발생될 영역에 각각 단차보상패턴들을 형성함으로써, 게이트 라인(또는 게이트 전극)과 데이터 라인(또는 소스/드레인 전극)의 단락 불량을 방지할 수 있다.
- [0055] 도 5 및 도 6은 도 4의 에치스톱퍼로부터 연장 형성된 단차보상패턴들의 다른 실시예를 도시한 도면이다.

- [0056] 도 4와 동일한 도면부호는 동일한 구성부를 지칭하는 것이므로, 이하 구별되는 부분을 중심으로 설명한다.
- [0057] 도 3, 도 5 및 도 6을 참조하면, 본 발명에서는 게이트 전극(101a)과 게이트 라인(101)의 가장자리 영역에서 발생하는 단차로 인하여, 이후 형성되는 데이터 라인(103) 또는 소스/드레인 전극(117a, 117b)과의 단락 불량을 방지하기 위한 것이다.
- [0058] 따라서, 상기 게이트 전극(101a) 또는 게이트 라인(101)의 가장자리 단차 영역에서 게이트 절연막(102) 불량이 발생되면, 상기 게이트 라인(101) 또는 게이트 전극(101a)의 일부가 외부로 노출된다.
- [0059] 이는, 단차로 인한 게이트 절연막(102)의 테이퍼 불량으로 발생 되거나 두께가 얇은 게이트 절연막(102)이 정전기로 인해 손상되는 경우를 포함한다.
- [0060] 상기와 같이, 게이트 전극(101a) 또는 게이트 라인(101)의 단차 영역에서 게이트 절연막(102)이 손상되면, 이후 형성될 데이터 라인(103) 또는 소스/드레인 전극(117a, 117b)과의 단락 불량이 발생하는데, 본 발명에서는 이를 방지하기 위해 에치스톱퍼(281) 형성시, 에치스톱퍼(281)로부터 연장된 요철보상패턴(291)을 형성하였다.
- [0061] 도 5에 도시한 요철보상패턴(291)은 도 3에 도시한 바와 같이, 에치스톱퍼(281)로부터 게이트 라인(101)과 데이터 라인(103) 또는 게이트 전극(101a)과 소스/드레인 전극(117a, 117b)의 교차 영역까지 연장된 구조를 갖는다. 즉, 도면에서는 드레인 전극(117b)과 게이트 전극(101a)의 교차 영역에 요철보상패턴(291)이 형성되어 있지만, 도 3에서와 같이, 요철보상패턴(291)은 게이트 라인(101)과 데이터 라인(103)의 교차 영역에도 형성된다.
- [0062] 상기 요철보상패턴(291)은 상기 에치스톱퍼(281)를 형성하는 마스크 공정시 하프 톤 마스크 또는 회절 마스크를 이용하여 상기 요철보상패턴(291)을 형성한다.
- [0063] 즉, 상기 요철보상패턴(291)에 대응되는 감광막에 노광량이 서로 다르게 하여 요철 구조를 갖는 감광막패턴을 형성하고, 이를 토대로 식각 공정을 진행하여, 감광막패턴 중 두께가 얇은 영역에서 절연막의 과식각이 발생하도록 하여 요철 구조를 형성한다.
- [0064] 도 6에서는 본 발명의 산화물 박막 트랜지스터의 채널층(114)을 보호하기 위해 형성하는 에치스톱퍼(381)의 두께보다 두꺼운 절연막을 형성한 다음, 하프톤 마스크 또는 회절 마스크 공정을 이용하여, 상기 채널층(114) 상에 형성되는 에치스톱퍼(381)의 두께보다 두꺼운 단차보상패턴(391)들을 형성한 것이다.
- [0065] 도면에서는 게이트 전극(101a)과 드레인 전극(117b)의 교차 영역에만 단차보상패턴(391)이 형성되어 있지만, 도 3에서와 같이, 게이트 라인(101)과 데이터 라인(103)의 교차 영역에도 각각 형성될 수 있다.
- [0066] 이와 같이, 단차보상패턴(291)의 두께를 두껍게 함으로써, 게이트 전극(101a)과 게이트 라인(101)의 가장자리 영역에서 발생하는 단차를 보상하면서, 데이터 라인(103) 또는 소스/드레인 전극(117a, 117b)과 단락 불량을 방지할 수 있다. 상기 단차보상패턴(291)의 두께는 상기 에치스톱퍼(381)의 두께의 두 배일 수 있다. 예를 들어, 에치스톱퍼(381)의 두께가 1000Å이면, 상기 단차보상패턴(291)의 두께는 2000Å이다.
- [0067] 도 7은 본 발명의 다른 실시예를 도시한 도면이다.
- [0068] 도면에 도시된 도면 부호 중 에치스톱퍼(481)와 제1 내지 제3 보상패턴들(481a, 481b, 481c)의 도면 부호들만 도 3 및 도 4와 구별되고, 구조적으로 동일하기 때문에 도 3, 4를 참조하여 도 7을 설명한다.
- [0069] 도 3, 4 및 도 7을 참조하면, 본 발명의 액정표시장치는, 게이트 라인(101)과 데이터 라인(103)이 교차되는 영역에 스위칭 소자인 박막 트랜지스터(TFT)가 배치된다.
- [0070] 상기 박막 트랜지스터는, 상기 게이트 라인(101)보다 폭이 넓게 화소 영역 방향으로 인출된 게이트 전극(도 4의 101a), 게이트 절연막(102), 에치스톱퍼(481), 소스/드레인 전극(117a, 117b) 및 채널층(114)을 포함한다.
- [0071] 본 발명에서는 도 3과 달리 에치스톱퍼(281)와 분리된 제1 내지 제3 보상패턴들(481a, 481b, 481c)을 상기 게이트 전극(101a)과 게이트 라인(101)의 가장자리에 형성되는 단차 영역에 형성하였다.
- [0072] 상기 제1 보상패턴(481a)은 드레인 전극(117b)과 게이트 전극(101a)의 교차 영역에 형성되고, 상기 제2 및 제3 보상패턴(481b, 481c)들은 상기 게이트 라인(101)과 데이터 라인(103)의 교차 영역에 각각 형성된다.
- [0073] 즉, 상기 제1 내지 제3 보상패턴(481a, 481b, 481c)들은 상기 게이트 전극(101a)과 소스/드레인 전극(117a, 117b)의 교차 영역 또는 상기 게이트 라인(101)과 데이터 라인(103)의 교차 영역에서 각각 게이트 절연막(102)의 테이퍼 불량이 발생하더라도 소스/드레인 전극(117a, 117b)과 게이트 전극(101a) 또는 데이터 라인(103)과

게이트 라인(101)의 단락 불량을 방지하는 역할을 한다.

[0074] 또한, 도면에는 도시하지 않았지만, 도 5와 도 6에서 설명한 실시예들을 동일하게 적용할 수 있다.

[0075] 예를 들어, 도 7에서는 에치스톱퍼(481)와 제1 내지 제 3 보상패턴들(481a, 481b, 481c)이 분리된 형태로 형성되었지만, 상기 제1 내지 제 3 보상패턴들(481a, 481b, 481c)에 대해서 하프톤 마스크 또는 회절 마스크를 이용하여 요철구조로 형성할 수 있다.

[0076] 또한, 도 6에 도시된 바와 같이, 도 7의 에치스톱퍼(481)의 두께보다 두꺼운 절연막을 형성한 다음, 하프톤 마스크 또는 회절 마스크를 이용하여 상기 제1 내지 제 3 보상패턴들(481a, 481b, 481c)이 상기 에치스톱퍼(481)의 두께보다 두껍게 형성하여, 단차를 보상하면서 단락 불량을 방지하도록 할 수 있다.

[0077] 이와 같이, 본 발명에 따른 액정표시장치는, 박막 트랜지스터의 채널층을 보호하기 위한 에치스톱퍼 형성시, 게이트 전극과 게이트 라인의 단차 영역에 각각 보상패턴들을 형성하여, 게이트 전극과 소스/드레인 전극 또는 데이터 라인과 단락 불량을 방지한 효과가 있다.

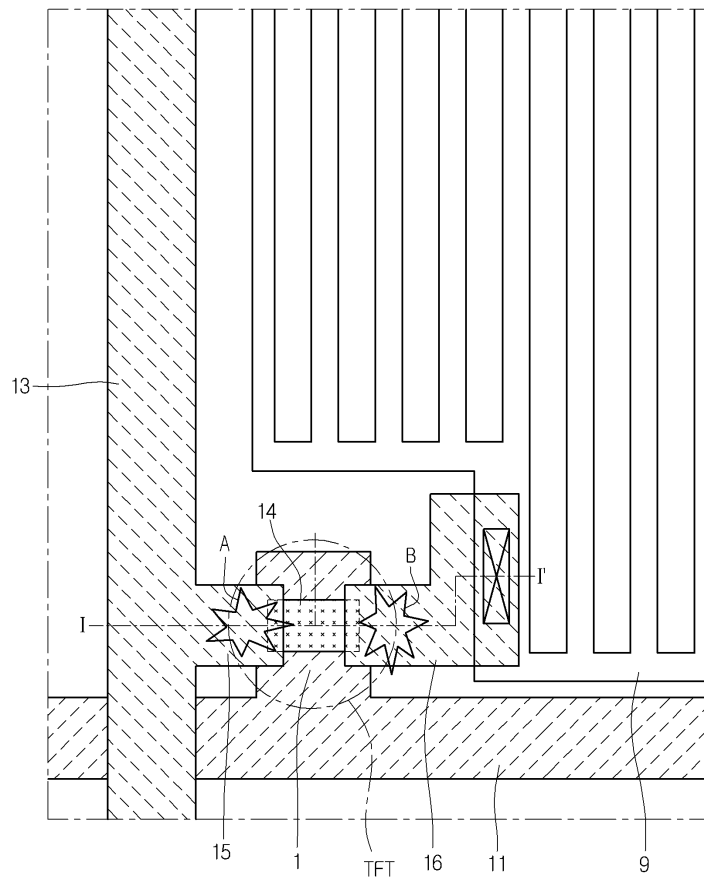
[0078] 또한, 본 발명에 따른 액정표시장치는, 박막 트랜지스터의 채널층을 보호하기 위한 에치스톱퍼보다 두꺼운 보상패턴들을 게이트 전극과 게이트 라인의 단차 영역에 각각 형성하여, 단차를 보상하면서 단락 불량을 방지한 효과가 있다.

부호의 설명

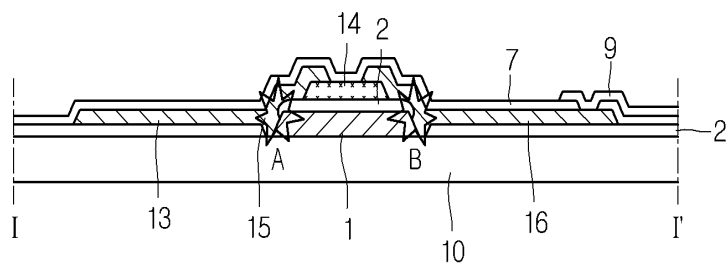
[0079]	101: 게이트 라인	103: 데이터 라인
	129: 공통 전극	150: 화소 전극
	114: 채널층	281: 에치스톱퍼
	250: 유기막	119: 제1 보호막
	139: 제2 보호막	281a: 제1 단차보상패턴
	281b: 제2 단차보상패턴	281c: 제3 단차보상패턴

도면

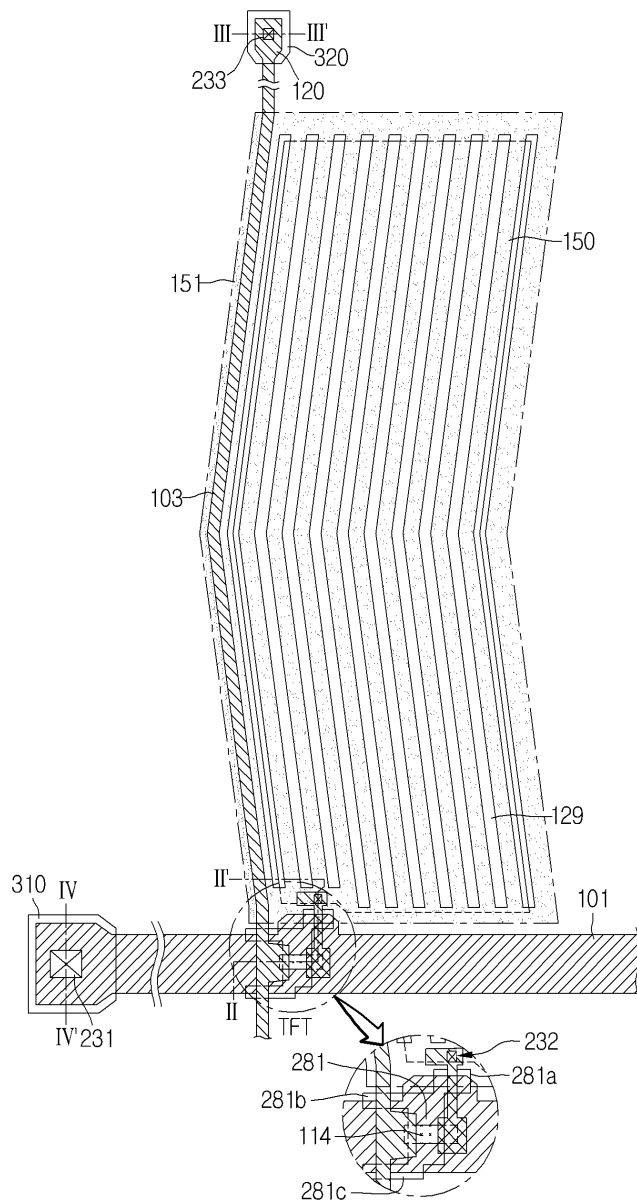
도면1



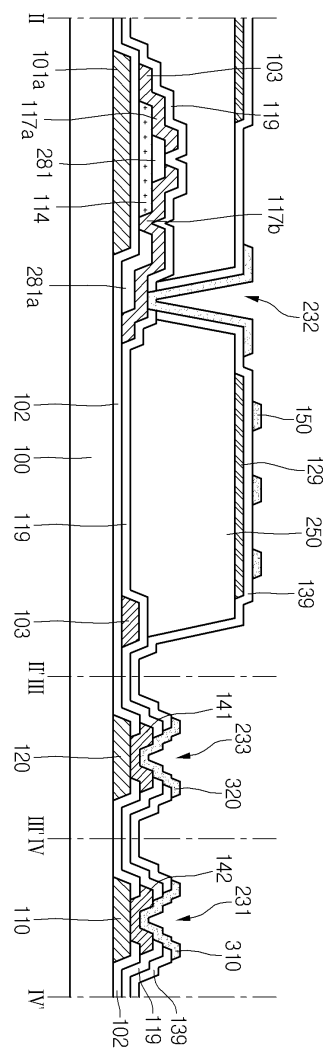
도면2



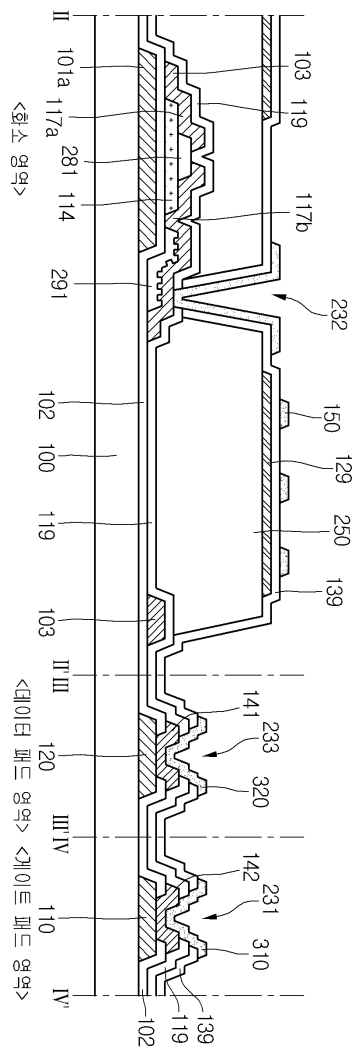
도면3



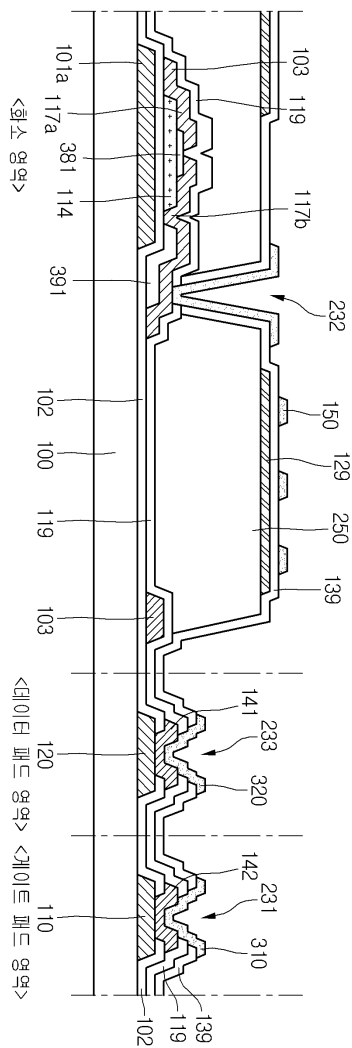
도면4



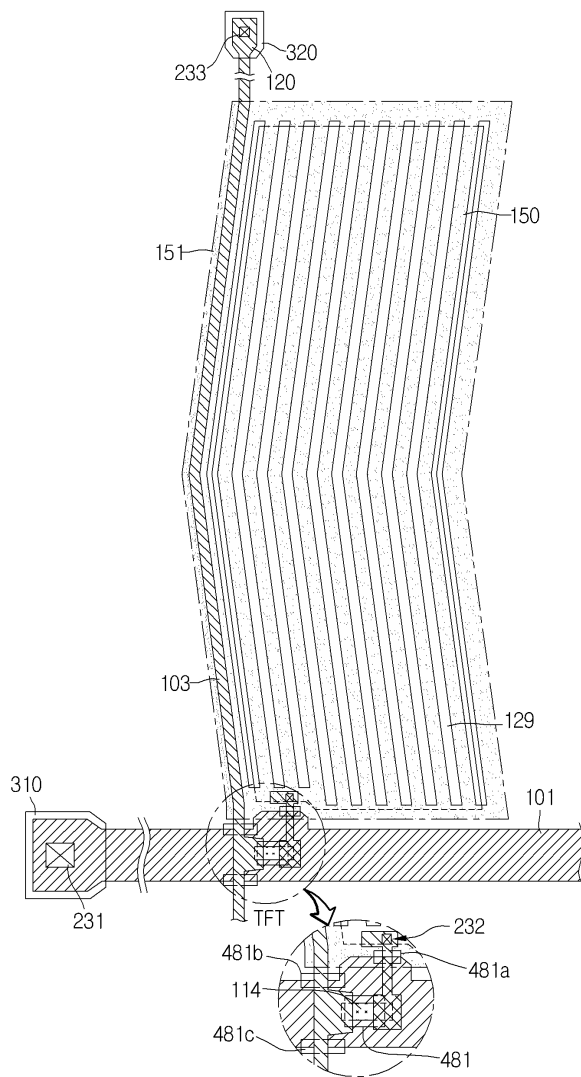
도면5



도면6



도면7



专利名称(译)	液晶显示装置		
公开(公告)号	KR102061643B1	公开(公告)日	2020-01-02
申请号	KR1020130047289	申请日	2013-04-29
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	원상혁 방정호		
发明人	원상혁 방정호		
IPC分类号	G02F1/136 G02F1/1343		
CPC分类号	G02F1/134363 G02F1/136227 G02F1/136286 G02F1/1368 G02F2001/134372		
审查员(译)	朴贞根		
其他公开文献	KR1020140128639A		
外部链接	Espacenet		

摘要(译)

该说明书公开了一种液晶显示装置。根据本发明的公开的液晶显示装置包括：基板，其被划分为显示区域和焊盘区域；以及栅极线和数据线布置成限定显示区域的像素区域；薄膜晶体管（TFT），其在栅极线和数据线之间的交叉区域处形成有氧化物沟道层；布置在像素区域中的栅极绝缘膜；第一保护膜和有机膜；在像素区域中的有机膜上布置的公共电极；在公共电极和有机膜上形成第二保护膜；像素电极与第二保护膜上的公共电极重叠，其特征在于，在TFT的氧化物沟道层上形成蚀刻停止层，在两者之间的交叉区域上形成第一至第三补偿图案。栅电极和漏电极以及数据线和栅线之间的交叉区域。在根据本发明的液晶显示装置中，当形成用于保护TFT的沟道层的蚀刻停止层时，补偿图案分别形成在栅电极和栅极线的台阶区域上，因此防止由于栅电极与源/漏电极或数据线之间形成的短路引起的故障的效果。

