



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0115141
(43) 공개일자 2019년10월11일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/134309 (2013.01)
G02F 1/13439 (2013.01)
(21) 출원번호 10-2018-0036820
(22) 출원일자 2018년03월29일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
신동희
충청남도 아산시 탕정면 탕정면로 37, 탕정삼성트
라팰리스아파트 402동 3401호
라유미
경기도 안산시 단원구 안산천남로 211, 보네르빌
리시아파트 108동 406호 (고잔동)
(74) 대리인
특허법인가산

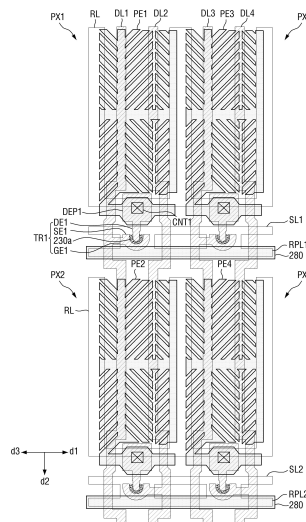
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치는 제1 방향으로 연장되는 제1 줄기부, 제1 줄기부와 연결되며 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 제1 줄기부와 연결되며 제2 방향으로 연장되는 제3 줄기부, 제2 줄기부로부터 제3 줄기부 방향으로 연장되는 복수의 제1 가지부 및 제3 줄기부로부터 제2 줄기부 방향으로 연장되는 복수의 제2 가지부를 포함하는 제1 화소 전극; 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인; 제2 방향으로 연장되며, 복수의 제1 가지부 및 복수의 제2 가지부와 중첩되는 제2 데이터 라인; 제1 방향으로 연장되는 제1 스캔 라인; 및 제1 스캔 라인과 연결되는 제어 전극, 제1 데이터 라인과 연결되는 일 전극 및 제1 화소 전극과 연결되는 타 전극을 갖는 제1 스위칭 소자를 포함한다.

대표도 - 도3a



(52) CPC특허분류

G02F 1/136213 (2013.01)

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

G02F 2201/123 (2013.01)

(72) 발명자

송형진

경기도 화성시 동탄반석로 205, 동탄시범한빛마을
삼부르네상스 210동 2202호 (반송동)

전수홍

서울특별시 마포구 도화길 28, 마포삼성아파트 11
4동 1301호 (도화동)

명세서

청구범위

청구항 1

제1 방향으로 연장되는 제1 줄기부, 상기 제1 줄기부와 연결되며 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 상기 제1 줄기부와 연결되며 상기 제2 방향으로 연장되는 제3 줄기부, 상기 제2 줄기부로부터 상기 제3 줄기부 방향으로 연장되는 복수의 제1 가지부 및 상기 제3 줄기부로부터 상기 제2 줄기부 방향으로 연장되는 복수의 제2 가지부를 포함하는 제1 화소 전극;

상기 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인;

상기 제2 방향으로 연장되며, 상기 복수의 제1 가지부 및 상기 복수의 제2 가지부와 중첩되는 제2 데이터 라인;

상기 제1 방향으로 연장되는 제1 스캔 라인; 및

상기 제1 스캔 라인과 연결되는 제어 전극, 상기 제1 데이터 라인과 연결되는 일 전극 및 상기 제1 화소 전극과 연결되는 타 전극을 갖는 제1 스위칭 소자를 포함하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 제1 스캔 라인과 동일 층에 배치되는 스토리지 라인을 더 포함하고,

상기 스토리지 라인은 상기 제2 줄기부와 적어도 일부가 중첩되는 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 화소 전극은 상기 제2 줄기부로부터 상기 복수의 제1 가지부가 연장되는 방향과 대칭인 방향으로 연장되는 복수의 제3 가지부를 더 포함하고,

상기 스토리지 라인은 상기 복수의 제3 가지부와 중첩되는 제1 영역 및 상기 제2 줄기부와 중첩되는 제2 영역을 포함하고,

상기 제1 영역은 상기 제1 데이터 라인과 중첩되지 않고, 상기 제2 영역은 상기 제2 데이터 라인과 중첩되지 않는 액정 표시 장치.

청구항 4

제3항에 있어서,

상기 제1 영역과 상기 제1 데이터 라인 사이의 최단 거리는 상기 제2 영역과 상기 제2 데이터 라인 사이의 최단 거리와 동일한 액정 표시 장치.

청구항 5

제1항에 있어서,

상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 적어도 하나는 구부러진 영역을 포함하고,

상기 구부러진 영역은 상기 제1 화소 전극과 적어도 일부가 중첩되는 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 제1 화소 전극은 상기 제1 스위칭 소자의 타 전극과 직접 연결되는 연결부를 더 포함하고,

상기 연결부는 상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 적어도 하나와 중첩되는 액정 표시 장치.

청구항 7

제1항에 있어서,

상기 제1 방향으로 연장되는 제2 스캔 라인;

상기 제1 스캔 라인과 상기 제2 스캔 라인 사이에 배치되는 제2 화소 전극; 및

상기 제2 스캔 라인과 연결되는 제어 전극, 상기 제1 데이터 라인과 연결되는 일 전극 및 상기 제2 화소 전극과 연결되는 타 전극을 갖는 제2 스위칭 소자를 더 포함하고,

상기 제1 스위칭 소자 및 상기 제2 스위칭 소자는 동시에 스위칭 동작을 수행하는 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 제1 스캔 라인과 상기 제2 스캔 라인은 서로 전기적으로 연결되는 액정 표시 장치.

청구항 9

제1 방향으로 연장되는 제1 줄기부, 상기 제1 줄기부와 연결되며 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 상기 제1 줄기부와 연결되며 상기 제2 방향으로 연장되는 제3 줄기부, 상기 제2 줄기부로부터 연장되어 상기 제3 줄기부와 연결되는 복수의 제1 가지부 및 상기 제3 줄기부로부터 연장되어 상기 복수의 제1 가지부가 연장되는 방향과 대칭되는 방향으로 연장되는 복수의 제2 가지부를 포함하는 제1 화소 전극;

상기 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인; 및

상기 제2 방향으로 연장되며, 상기 제3 줄기부와 중첩되는 제2 데이터 라인을 포함하는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 제1 화소 전극을 둘러싸도록 배치되는 스토리지 라인을 더 포함하고,

상기 제1 화소 전극은 상기 제2 줄기부로부터 연장되어 상기 스토리지 라인과 적어도 일부가 중첩되는 복수의 제3 가지부를 더 포함하는 액정 표시 장치.

청구항 11

제10항에 있어서,

상기 스토리지 라인은 상기 복수의 제3 가지부와 중첩되는 제1 영역 및 상기 복수의 제2 가지부와 중첩되는 제2 영역을 포함하고,

상기 제1 영역은 상기 제1 데이터 라인과 중첩되지 않고, 상기 제2 영역은 상기 제2 데이터 라인과 중첩되지 않는 액정 표시 장치

청구항 12

제11항에 있어서,

상기 제1 영역과 상기 제1 데이터 라인 사이의 최단 거리는 상기 제2 영역과 상기 제2 데이터 라인 사이의 최단 거리보다 긴 액정 표시 장치.

청구항 13

제9항에 있어서,

상기 제1 방향으로 연장되는 제1 스캔 라인;

상기 제1 스캔 라인과 연결되는 제어 전극, 상기 제1 데이터 라인과 연결되는 일 전극 및 상기 제1 화소 전극과

연결되는 타 전극을 갖는 제1 스위칭 소자를 더 포함하고,

상기 제1 화소 전극은 상기 제1 스위칭 소자의 타 전극과 직접 연결되는 연결부를 더 포함하며, 상기 연결부는 상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 적어도 하나와 중첩되는 액정 표시 장치.

청구항 14

제9항에 있어서,

상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 적어도 하나는 구부러진 영역을 포함하고,

상기 구부러진 영역은 상기 제1 화소 전극과 적어도 일부가 중첩되는 액정 표시 장치.

청구항 15

제1 방향으로 연장되는 제1 줄기부, 상기 제1 줄기부와 연결되며 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 상기 제1 줄기부와 연결되며 상기 제2 방향으로 연장되는 에지 바 및 상기 제2 줄기부로부터 연장되어 상기 에지 바가 배치된 방향으로 연장되는 복수의 제1 가지부를 포함하는 제1 화소 전극;

상기 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인;

상기 제2 방향으로 연장되며, 상기 복수의 제1 가지부와 중첩되는 제2 데이터 라인;

상기 제1 방향으로 연장되는 제1 스캔 라인; 및

상기 제1 스캔 라인과 연결되는 제어 전극, 상기 제1 데이터 라인과 연결되는 일 전극 및 상기 제1 화소 전극과 연결되는 타 전극을 갖는 제1 스위칭 소자를 포함하는 액정 표시 장치.

청구항 16

제15항에 있어서,

상기 제2 방향으로 인접하게 배치되는 제2 화소 전극을 더 포함하고,

상기 제1 화소 전극과 상기 제2 화소 전극 사이에서 상기 제1 방향으로 연장되는 가상선을 기준으로, 상기 제1 화소 전극의 형상은 상기 제2 화소 전극의 형상과 대칭인 액정 표시 장치.

청구항 17

제16항에 있어서,

상기 제1 방향으로 인접하게 배치되는 제3 화소 전극을 더 포함하고,

상기 제1 화소 전극과 상기 제2 화소 전극 사이에서 상기 제2 방향으로 연장되는 가상선을 기준으로, 상기 제1 화소 전극의 형상은 상기 제3 화소 전극의 형상과 대칭인 액정 표시 장치.

청구항 18

제15항에 있어서,

상기 제1 화소 전극을 둘러싸도록 배치되는 스토리지 라인을 더 포함하고,

상기 에지 바는 상기 스토리지 라인과 적어도 일부가 중첩되는 액정 표시 장치.

청구항 19

제15항에 있어서,

상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 적어도 하나는 구부러진 영역을 포함하고,

상기 구부러진 영역은 상기 제1 화소 전극과 적어도 일부가 중첩되는 액정 표시 장치.

청구항 20

제15항에 있어서,

상기 제1 화소 전극은 상기 제1 스위칭 소자의 타 전극과 직접 연결되는 연결부를 더 포함하고,
상기 연결부는 상기 제1 데이터 라인 및 상기 제2 데이터 라인 중 적어도 하나와 중첩되는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 표시 장치는 멀티미디어의 발달과 함께 그 중요성이 증대되고 있다. 이에 부응하여 액정 표시 장치(Liquid Crystal Display, LCD), 유기 발광 표시 장치(Organic Light Emitting Display, OLED) 등과 같은 여러 종류의 표시 장치가 사용되고 있다.

[0003] 표시 장치 중 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전기장 생성전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 과제는, 고해상도 구동을 수행할 수 있으면서도 개구율 손실이 적은 액정 표시 장치를 제공한다.

[0005] 본 발명의 과제들은 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0006] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 방향으로 연장되는 제1 줄기부, 상기 제1 줄기부와 연결되며 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 상기 제1 줄기부와 연결되며 상기 제2 방향으로 연장되는 제3 줄기부, 상기 제2 줄기부로부터 상기 제3 줄기부 방향으로 연장되는 복수의 제1 가지부 및 상기 제3 줄기부로부터 상기 제2 줄기부 방향으로 연장되는 복수의 제2 가지부를 포함하는 제1 화소 전극; 상기 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인; 상기 제2 방향으로 연장되며, 상기 복수의 제1 가지부 및 상기 복수의 제2 가지부와 중첩되는 제2 데이터 라인; 상기 제1 방향으로 연장되는 제1 스캔 라인; 및 상기 제1 스캔 라인과 연결되는 제어 전극, 상기 제1 데이터 라인과 연결되는 일 전극 및 상기 제1 화소 전극과 연결되는 타 전극을 갖는 제1 스위칭 소자를 포함한다.

[0007] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치는, 제1 방향으로 연장되는 제1 줄기부, 상기 제1 줄기부와 연결되며 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 상기 제1 줄기부와 연결되며 상기 제2 방향으로 연장되는 제3 줄기부, 상기 제2 줄기부로부터 연장되어 상기 제3 줄기부와 연결되는 복수의 제1 가지부 및 상기 제3 줄기부로부터 연장되어 상기 복수의 제1 가지부가 연장되는 방향과 대칭되는 방향으로 연장되는 복수의 제2 가지부를 포함하는 제1 화소 전극; 상기 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인; 및 상기 제2 방향으로 연장되며, 상기 제3 줄기부와 중첩되는 제2 데이터 라인을 포함한다.

[0008] 본 발명의 또 다른 실시예에 따른 액정 표시 장치는 제1 방향으로 연장되는 제1 줄기부, 상기 제1 줄기부와 연결되며 상기 제1 방향과 교차되는 제2 방향으로 연장되는 제2 줄기부, 상기 제1 줄기부와 연결되며 상기 제2 방향으로 연장되는 제3 줄기부, 상기 제2 줄기부로부터 연장되어 상기 제3 줄기부와 연결되는 복수의 제1 가지부를 포함하는 제1 화소 전극; 상기 제2 방향으로 연장되며, 제2 줄기부와 중첩되는 제1 데이터 라인; 상기 제2 방향으로 연장되며, 상기 복수의 제1 가지부와 중첩되는 제2 데이터 라인; 상기 제1 방향으로 연장되는 제1 스캔 라인; 및 상기 제1 스캔 라인과 연결되는 제어 전극, 상기 제1 데이터 라인과 연결되는 일 전극 및 상기 제1 화소 전극과 연결되는 타 전극을 갖는 제1 스위칭 소자를 포함한다.

[0009] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 발명의 실시예들에 의하면, 고해상도 구동을 수행할 수 있으면서도 개구율 감소를 최소화시킬 수 있다.

[0011] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[0012] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.

도 2는 도 1에 도시한 제1 내지 제4 화소부의 등가 회로도이다.

도 3a는 도 1에 도시한 제1 내지 제4 화소부를 나타낸 레이아웃도이다.

도 3b는 도 3a에 도시한 제1 화소부를 보다 상세히 나타낸 도면이다.

도 4는 도 3b에 도시한 제1 화소부에 포함되는 게이트 도전체를 나타낸 도면이다.

도 5는 도 3b에 도시한 제1 화소부에 포함되는 데이터 도전체를 나타낸 도면이다.

도 6은 도 3b에 도시한 제1 화소부에 포함된 투명 도전체를 나타낸 도면이다.

도 7은 도 3b에 도시한 I1-I1'선을 따라 자른 단면도이다.

도 8은 도 3b에 도시한 I2-I2'선을 따라 자른 단면도이다.

도 9는 도 3에 도시한 제1 화소부의 데이터 도전체 및 투명 도전체를 함께 도시한 도면이다.

도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치를 나타낸 등가 회로도이다.

도 11은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구성 중 화소부를 나타낸 레이아웃도이다.

도 12는 도 11에 도시한 화소부의 구성 중 투명 도전체를 나타낸 도면이다.

도 13은 도 11에 도시한 화소부의 구성 중 데이터 도전체 및 투명 도전체를 함께 도시한 도면이다.

도 14a는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구성 중 제1 내지 제4 화소부를 나타낸 레이아웃도이다.

도 14b는 도 14a에 도시한 제1 화소부를 보다 상세히 나타낸 도면이다.

도 15는 도 14b에 도시한 제1 화소부의 구성 중 투명 도전체를 나타낸 도면이다. 전술한 내용과 중복되는 설명은 생략하기로 한다.

도 16은 본 발명의 다른 실시예에 따른 액정 표시 장치를 나타낸 레이아웃도이다.

도 17은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구성 중 제1 화소부를 나타낸 등가 회로도이다.

도 18a는 도 17에 도시한 제1 화소부를 보다 상세히 나타낸 레이아웃도이다.

도 18b는 도 17에 도시한 제1 화소부를 포함하는 제1 내지 제4 화소부를 나타낸 레이아웃도이다.

도 19는 도 18a에 도시한 제1 서브 화소 전극 및 제2 서브 화소 전극을 함께 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0014] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층

의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.

- [0015] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "위(on)", "상(on)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래"로 기술된 소자는 다른 소자의 "위"에 놓여질 수 있다. 또한 도면을 기준으로 다른 소자의 "좌측"에 위치하는 것으로 기술된 소자는 시점에 따라 다른 소자의 "우측"에 위치할 수도 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있으며, 이 경우 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0016] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있음은 물론이다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는다.
- [0017] 명세서 전체를 통하여 동일하거나 유사한 부분에 대해서는 동일한 도면 부호를 사용한다.
- [0018] 이하, 도면을 참조하여 본 발명의 실시예들에 대하여 설명한다.
- [0019] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치를 개략적으로 나타낸 블록도이다.
- [0020] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치는 표시부(110), 스캔 구동부(120), 데이터 구동부(130) 및 타이밍 제어부(140)를 포함할 수 있다.
- [0021] 표시부(110)는 화상을 표시하는 영역으로 정의된다. 표시부(110)는 제1 내지 제4 화소부(PX1 내지 PX4)를 포함하는 복수의 화소부가 배치될 수 있다. 복수의 화소부 각각은 제1 내지 제n 스캔 라인(SL1 내지 SLn, n은 2 이상의 자연수) 중 하나와, 제1 내지 제m 데이터 라인(DL1 내지 DLm, m은 2 이상의 자연수) 중 하나와 각각 전기적으로 연결될 수 있다. 여기서, 제1 내지 제n 스캔 라인(SL1 내지 SLn)은 제1 방향(d1)으로 연장될 수 있다. 또한, 제1 내지 제m 데이터 라인(DL1 내지 DLm)은 제2 방향(d2)으로 연장될 수 있다. 제1 방향(d1)은 제2 방향(d2)과 일 실시예로 교차될 수 있다. 도 1을 기준으로, 제1 방향(d1)을 행 방향으로 제2 방향(d2)을 열 방향으로 예시한다. 한편, 제1 내지 제n 스캔 라인(SL1 내지 SLn) 중 인접한 두 개의 스캔 라인은 서로 전기적으로 연결될 수 있다. 예를 들어, 제1 스캔 라인(SL1)은 제2 스캔 라인(SL2)과 전기적으로 연결될 수 있다. 이에 대해서는 도 2를 참조하여 보다 상세히 설명하기로 한다.
- [0022] 스캔 구동부(120)는 타이밍 제어부(140)로부터 제공받은 제1 제어 신호(CONT1)를 기초로, 제1 내지 제n 스캔 신호(S1 내지 Sn)를 생성할 수 있다. 스캔 구동부(120)는 생성된 제1 내지 제n 스캔 신호(S1 내지 Sn)를 제1 내지 제n 스캔 라인(SL1 내지 SLn)을 통해 표시부(110)에 배치되는 복수의 화소부에 제공할 수 있다. 스캔 구동부(120)는 일 실시예로 복수의 스위칭 소자를 통해 형성될 수도 있으며, 다른 실시예로 집적 회로일 수도 있다.
- [0023] 데이터 구동부(130)는 타이밍 제어부(140)로부터 제2 제어 신호(CONT2) 및 영상 데이터(DATA)를 제공받을 수 있다. 데이터 구동부(130)는 제2 제어 신호(CONT2) 및 영상 데이터(DATA)를 기초로, 제1 내지 제m 데이터 신호(D1 내지 Dm)를 생성할 수 있다. 데이터 구동부(130)는 생성된 제1 내지 제m 데이터 신호(D1 내지 Dm)를 제1 내지 제m 데이터 라인(DL1 내지 DLm)을 통해 표시부(110)에 배치되는 복수의 화소부에 제공할 수 있다. 데이터 구동부(130)는 일 실시예로 쉬프트 레지스터(shift register), 래치(latch) 및 디지털-아날로그 변환부 등을 포함할 수 있다.
- [0024] 타이밍 제어부(140)는 외부로부터 영상 신호(RGB) 및 제어 신호(CS)를 입력받을 수 있다. 타이밍 제어부(140)는 영상 신호(RGB) 및 제어 신호(CS)를 표시부(110)의 동작 조건에 적합하도록 처리하여, 영상 데이터(DATA), 제1 제어 신호(CONT1) 및 제2 제어 신호(CONT2)를 생성할 수 있다. 일 실시예로, 타이밍 제어부(140)는 120HZ 구동 방식에 적합한 제1 제어 신호(CONT1) 및 제2 제어 신호(CONT2)를 생성할 수 있다.

- [0025] 영상 신호(RGB)는 표시부(110)에 제공될 복수의 계조 데이터를 포함할 수 있다. 또한, 제어 신호(CS)는 일 실시예로, 수평 동기 신호, 수직 동기 신호 및 메인 클럭 신호 등을 포함할 수 있다. 수평 동기 신호는 표시부(110)의 한 라인을 표시하는데 걸리는 시간을 나타낸다. 수직 동기 신호는 한 프레임(frame)의 영상을 표시하는데 걸리는 시간을 나타낸다. 메인 클럭 신호는 타이밍 제어부(140)가 스캔 구동부(120) 및 데이터 구동부(130) 각각과 동기되어, 각종 신호 생성을 위한 기준이 되는 신호이다.
- [0026] 이하, 표시부(110)에 배치되는 복수의 화소부에 대해, 제1 내지 제4 화소부(PX1 내지 PX4)를 기준으로 보다 상세히 설명하기로 한다.
- [0027] 도 2는 도 1에 도시한 제1 내지 제4 화소부의 등가 회로도이다. 도 3a는 도 1에 도시한 제1 내지 제4 화소부를 나타낸 레이아웃도이다. 도 3b는 도 3a에 도시한 제1 화소부를 보다 상세히 나타낸 도면이다.
- [0028] 도 2 및 도 3을 참조하면, 제1 화소부(PX1) 및 제2 화소부(PX2)는 제2 방향(d2)을 따라 인접하게 배치될 수 있다. 또한, 제3 화소부(PX3) 및 제4 화소부(PX4)도 제2 방향(d2)을 따라 인접하게 배치될 수 있다. 제1 내지 제4 화소부(PX1 내지 PX4)는 서로 다른 데이터 라인, 즉 제1 내지 제4 데이터 라인(DL1 내지 DL4) 각각으로부터 서로 다른 데이터 신호를 제공받을 수 있다. 한편, 서로 동일한 행에 배치되는 화소부 간에는 서로 동일한 스캔 라인으로부터 스캔 신호를 제공받을 수 있다. 즉, 제1 화소부(PX1) 및 제3 화소부(PX3)는 제1 스캔 라인(SL1)으로부터 제1 스캔 신호(S1)를 제공받을 수 있으며, 제2 화소부(PX2) 및 제4 화소부(PX4)는 제2 스캔 라인(SL2)으로부터 제2 스캔 신호(S2)를 제공받을 수 있다.
- [0029] 여기서, 제1 스캔 라인(SL1) 및 제2 스캔 라인(SL2)은 제1 노드(N1)를 통해 서로 전기적으로 연결된다. 즉, 제1 스캔 라인(SL1)으로부터 제공되는 제1 스캔 신호(S1) 및 제2 스캔 라인(SL2)으로부터 제공되는 제2 스캔 신호(S2)는 서로 동일한 신호일 수 있다. 제1 노드(N1)의 위치는 특별히 제한되지 않으며, 일 실시예로 화상이 표시되지 않는 비표시 영역에 배치될 수 있다. 한편, 제1 스캔 라인(SL1) 및 제2 스캔 라인(SL2)이 제1 노드(N1)에 서만 전기적으로 연결되는 것은 아니다. 즉, 제1 스캔 라인(SL1) 및 제2 스캔 라인(SL2)이 서로 연결되는 노드의 개수는 복수일 수도 있다.
- [0030] 제1 내지 제4 화소부(PX1 내지 PX4)는 각각 스위칭 소자, 화소 전극, 액정 커패시터 및 스토리지 커패시터를 포함할 수 있다. 이에 대해서는 제1 화소부(PX1)를 기준으로 보다 상세히 설명하기로 한다.
- [0031] 제1 화소부(PX1)는 제1 스위칭 소자(TR1), 제1 화소 전극(PE1), 제1 액정 커패시터(C1c1) 및 제1 스토리지 커패시터(Cst1)를 포함할 수 있다.
- [0032] 제1 스위칭 소자(TR1)는 일 실시예로 입력 전극, 출력 전극 및 제어 전극을 갖는 박막 트랜지스터일 수 있다. 이하, 입력 전극을 소스 전극, 출력 전극을 드레인 전극, 제어 전극을 게이트 전극으로 표현하기로 한다.
- [0033] 제1 스위칭 소자(TR1)는 제1 스캔 라인(SL1)과 전기적으로 연결되는 제1 게이트 전극(GE1), 제1 데이터 라인(DL1)과 전기적으로 연결되는 제1 소스 전극(SE1) 및 제1 화소 전극(PE1)과 전기적으로 연결되는 제1 드레인 전극(DE1)을 포함할 수 있다. 여기서, 제1 스위칭 소자(TR1)의 제1 드레인 전극(DE1)은 제1 컨택홀(CNT1)을 통해 제1 화소 전극(PE1)과 전기적으로 연결될 수 있다. 제1 스위칭 소자(TR1)는 제1 스캔 라인(SL1)으로부터 제공받은 제1 스캔 신호(S1)를 기초로 스위칭 동작을 수행하여, 제1 데이터 라인(DL1)으로부터 제공받은 제1 데이터 신호(D1)를 제1 화소 전극(PE1)에 제공할 수 있다.
- [0034] 제1 액정 커패시터(C1c1)는 제1 화소 전극(PE1)과 공통 전압(Vcom)이 제공되는 공통 전극(도 7 참조) 사이에서 형성된다. 제1 스토리지 커패시터(Cst1)는 제1 화소 전극(PE1)과 스토리지 전압(Vcst)이 제공되는 스토리지 라인(RL) 사이에서 형성된다. 제1 화소 전극(PE1)의 형상 및 다른 구성과의 관계에 대해서는 후술하기로 한다.
- [0035] 이하, 제1 화소부(PX1) 및 제2 화소부(PX2)를 기준으로, 본 발명의 일 실시예에 따른 액정 표시 장치의 구동에 대해 설명하기로 한다.
- [0036] 제1 스위칭 소자(TR1)는 제1 스캔 신호(S1)를 기초로 스위칭 동작을 수행한다. 또한, 제2 스위칭 소자(TR2)는 제2 스캔 신호(S2)를 기초로 스위칭 동작을 수행한다. 다만, 전술한 바와 같이, 제1 스캔 라인(SL1) 및 제2 스캔 라인(SL2)은 서로 전기적으로 연결된다. 즉, 제1 스캔 신호(S1) 및 제2 스캔 신호(S2)는 실질적으로 동일한 신호이다.
- [0037] 이에 따라, 제1 스위칭 소자(TR1) 및 제2 스위칭 소자(TR2)가 서로 동일한 스위칭 동작을 수행하게 된다. 다만, 제1 스위칭 소자(TR1)는 제1 데이터 라인(DL1)과 전기적으로 연결되는 반면, 제2 스위칭 소자(TR2)는 제2 데이터 라인(DL2)과 전기적으로 연결되므로, 제1 화소 전극(PE1) 및 제2 화소 전극(PE2) 각각에는 서로 다른 데이터

신호가 제공될 수 있다. 즉, 제1 화소 전극(PE1) 및 제2 화소 전극(PE2)는 동시에 서로 다른 데이터 신호를 제공받을 수 있다. 이를 통해, 본 발명의 일 실시예에 따른 액정 표시 장치는 고주파수 구동이 요구되는 고해상도 제품에도 적용이 가능하다.

- [0038] 다음으로, 도 3 내지 도 8을 참조하여, 본 발명의 일 실시예에 따른 액정 표시 장치의 구성들의 배치 관계에 대해 설명하기로 한다. 설명의 편의를 위해, 제1 화소부(PX1)를 기준으로 설명하기로 한다.
- [0039] 도 4는 도 3b에 도시한 제1 화소부에 포함되는 게이트 도전체를 나타낸 도면이다. 도 5는 도 3b에 도시한 제1 화소부에 포함되는 데이터 도전체를 나타낸 도면이다. 도 6은 도 3b에 도시한 제1 화소부에 포함된 투명 도전체를 나타낸 도면이다. 도 7은 도 3b에 도시한 I1-I1'선을 따라 자른 단면도이다. 도 8은 도 3b에 도시한 I2-I2'선을 따라 자른 단면도이다. 이하, 제1 화소부(PX1)의 구성을 기준으로 설명하기로 한다.
- [0040] 제1 표시판(200)은 제2 표시판(300)과 서로 마주보도록 배치된다. 액정층(400)은 제1 표시판(200) 및 제2 표시판(300) 사이에 개재된다. 액정층(400)은 복수의 액정 분자(410)를 포함할 수 있다. 제1 표시판(200)은 일 실시예로 제2 표시판(300)과 실링(sealing)을 통해 합착될 수 있다.
- [0041] 제1 표시판(200)에 대해 설명하기로 한다.
- [0042] 제1 기관(210)은 일 실시예로 투명 절연 기관일 수 있다. 여기서 투명 절연 기관은 유리 재료, 석영 재료 또는 투광성 플라스틱 재료를 포함할 수 있다. 다른 실시예로, 제1 기관(210)은 플렉서블(flexible) 기관이거나, 복수의 필름 등이 적층된 형상일 수도 있다.
- [0043] 게이트 도전체(GW)는 제1 기관(210) 상에 배치될 수 있다. 게이트 도전체(GW)는 제1 스캔 라인(SL1)을 포함하는 복수의 스캔 라인, 제1 게이트 전극(GE1)을 포함하는 복수의 게이트 전극 및 스토리지 라인(RL)을 포함할 수 있다. 또한, 게이트 도전체(GW)는 제1 리페어 라인(RPL1)을 포함하는 복수의 리페어 라인을 더 포함할 수 있다.
- [0044] 제1 스캔 라인(SL1)은 제1 방향(d1)을 따라 연장되며, 게이트 전극(GE1)과 직접 연결된다. 제1 리페어 라인(RPL1)은 제1 방향(d1)을 따라 연장되며, 제1 스캔 라인(SL1)과 이격되어 배치될 수 있다. 제1 리페어 라인(RPL1)은 제1 스캔 라인(SL1)과 전기적으로 연결될 수 있다. 일 실시예로, 제1 리페어 라인(RPL1)은 제1 게이트 전극(GE1) 및 상기 제1 게이트 전극(GE1)과 동일 행에 배치되는 게이트 전극과 직접 연결됨으로써, 제1 스캔 라인(SL1)과 전기적으로 연결될 수 있다. 제1 리페어 라인(RPL1)도 제1 스캔 라인(SL1)과 동일한 스캔 신호를 제공할 수 있다. 이에 따라, 제1 스캔 라인(SL1)이 단선되는 경우에도, 제1 스위칭 소자(TR1)는 정상적으로 스위칭 동작을 수행할 수 있다. 한편, 제1 리페어 라인(RPL1)은 생략될 수도 있다. 또한, 제1 리페어 라인(RPL1)과 제1 스캔 라인(SL1)의 위치가 서로 변경될 수도 있다.
- [0045] 스토리지 라인(RL)은 제1 스캔 라인(SL1)을 포함하는 복수의 스캔 라인과 동일 층에 배치될 수 있다. 스토리지 라인(RL)은 일 실시예로, 제1 화소 전극(PE1)을 둘러싸도록 배치될 수 있다. 다만, 스토리지 라인(RL)은 도 3 및 도 4에 도시된 것으로 형상이 제한되지는 않는다.
- [0046] 스토리지 라인(RL)은 제1 화소 전극(PE1) 중 적어도 일부와 중첩될 수 있다. 본 명세서에서 "중첩된다"라고 표현하면, 다른 정의가 없는 한 두 구성이 제1 기관(210)을 기준으로 수직 방향으로 서로 중첩(overlap)되는 것을 의미한다. 제1 화소 전극(PE1) 및 스토리지 라인(RL)이 중첩됨에 따라, 전술한 제1 스토리지 커패시터(Cst1)가 형성될 수 있다.
- [0047] 게이트 도전체(GW)는 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 텅스텐(W), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 중에서 선택되는 단일 막, 적어도 두 개로 구성되는 이중 막 또는 세 개로 구성되는 삼중 막으로 형성될 수 있다. 게이트 도전체(GW)에 포함되는 제1 스캔 라인(SL1)을 포함하는 복수의 스캔 라인, 제1 게이트 전극(GE1)을 포함하는 복수의 게이트 전극, 스토리지 라인(RL) 및 제1 리페어 라인(RPL1)을 포함하는 복수의 리페어 라인은 서로 동일한 마스크 공정을 통해 동시에 형성될 수 있다.
- [0048] 게이트 절연층(220)은 게이트 도전체(GW) 상에 배치될 수 있다. 게이트 절연층(220)은 일 실시예로 질화 규소 또는 산화 규소 등으로 형성될 수 있다. 게이트 절연층(220)은 물리적 성질이 다른 적어도 두 개의 절연층을 포함하는 다중 막 구조를 가질 수도 있다.
- [0049] 데이터 도전체(DW)는 게이트 절연층(220) 상에 배치될 수 있다. 데이터 도전체(DW)는 제1 데이터 라인(DL1)을 포함하는 복수의 데이터 라인, 제1 소스 전극(SE1)을 포함하는 복수의 소스 전극, 제1 드레인 전극(DE1)을 포함

하는 복수의 드레인 전극 및 제1 반도체 패턴(230a)을 갖는 반도체층(230)을 포함할 수 있다.

[0050] 반도체층(230)은 게이트 절연층(220) 상에 배치될 수 있다. 반도체층(230)은 일 실시예로, 비정질 규소, 다결정 규소 등으로 형성될 수도 있다. 다른 실시예로, 반도체층(230)은 산화물 반도체를 포함할 수 있다. 반도체층(230)이 산화물 반도체를 포함하는 경우, 반도체층(230)은 IGZO(In-Ga-Zinc-Oxide), ZnO, ZnO₂, CdO, SrO, SrO₂, CaO, CaO₂, MgO, MgO₂, InO, In₂O₃, GaO, Ga₂O, Ga₂O₃, SnO, SnO₂, GeO, GeO₂, PbO, Pb₂O₃, Pb₃O₄, TiO, TiO₂, Ti₂O₃, 및 Ti₃O₅을 포함한 산화물 반도체 중에서 선택되는 하나로 형성될 수 있다.

[0051] 상기 반도체층(230) 중 제1 반도체 패턴(230a)은 제1 스위칭 소자(TR1)의 채널 영역을 형성할 수 있다.

[0052] 데이터 도전체(DW)는 저항성 접촉층(240)을 더 포함할 수 있다. 저항성 접촉층(240)은 반도체층(230)의 상부에 배치될 수 있다. 저항성 접촉층(240)은 인(phosphorus)과 같은 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 다만, 저항성 접촉층(240)은 반도체층(230)이 산화물 반도체로 이루어지는 경우라면, 생략될 수 있다. 이하, 본 명세서에서는 저항성 접촉층(240)을 포함하는 것으로 설명하기로 한다.

[0053] 제1 데이터 라인(DL1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)은 게이트 절연층(220) 및 저항성 접촉층(240) 상에 배치될 수 있다. 제1 소스 전극(SE1)은 제1 데이터 라인(DL1)으로부터 분리되어 적어도 일부가 제1 게이트 전극(GE1)과 중첩될 수 있다. 제1 드레인 전극(DE1)은 제1 게이트 전극(GE1)과 중첩되며, 제1 소스 전극(SE1)과 소정의 거리 이격되어 배치될 수 있다. 한편, 제1 드레인 전극(DE1)은 제1 드레인 전극 연장부(DEP1)를 더 포함할 수 있다. 제1 드레인 전극 연장부(DEP1)는 스토리지 라인(RL) 및 제1 컨택홀(CNT1)과 중첩될 수 있다.

[0054] 도 3 및 도 5에서 제1 소스 전극(SE1)의 모양이 U자이며, 제1 드레인 전극(DE1)이 제1 소스 전극(SE1)에 의해 둘러싸인 것으로 도시하였으나, 이에 제한되는 것은 아니다. 제1 소스 전극(SE1), 제1 드레인 전극(DE1), 제1 반도체 패턴(230a) 및 제1 게이트 전극(GE1)은 전술한 제1 스위칭 소자(TR1)를 형성한다.

[0055] 제1 데이터 라인(DL1)은 제1 드레인 전극 연장부(DEP1)와의 쇼트(short)를 방지하기 위해, 제1 구부러진 영역(BP1)을 포함할 수 있다. 또한, 제2 데이터 라인(DL2)은 제1 드레인 전극 연장부(DEP1)와의 쇼트를 방지하기 위해, 제2 구부러진 영역(BP2)을 포함할 수 있다. 여기서, 제1 및 제2 구부러진 영역(BP1, BP2)은 후술하는 제1 화소 전극(PE1)과 중첩되는 위치에 배치될 수 있다. 다만, 이에 제한되는 것은 아니며, 구부러진 영역이 생략되거나 또는 구부러진 영역의 위치가 도면에 도시된 것으로 제한되는 것은 아니다.

[0056] 데이터 도전체(DW)는 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 텅스텐(W), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 중에서 선택되는 단일 막, 적어도 두 개로 구성되는 이중 막 또는 세 개로 구성되는 삼중 막으로 형성될 수 있다. 다만 이에 제한되는 것은 아니며, 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다. 데이터 도전체(DW)는 일 실시예로 동일한 마스크 공정을 통해 동시에 형성될 수 있다.

[0057] 제1 패시베이션막(250)은 데이터 도전체(DW) 상에 배치될 수 있다. 제1 패시베이션막(250)은 제1 드레인 전극 연장부(DEP1)의 적어도 일부를 노출시키는 개구부를 포함한다. 제1 패시베이션막(250)은 일 실시예로 질화 규소와 산화 규소 등의 무기 절연물로 형성될 수 있다. 제1 패시베이션막(250)은 후술하는 유기 절연막(260)의 안료가 제1 반도체 패턴(230a)으로 유입되는 것을 방지할 수 있다.

[0058] 컬러 필터(CF)는 제1 패시베이션막(250) 상에 배치될 수 있다. 컬러 필터(CF)를 통과한 광은 적색(red), 녹색(green) 및 청색(blue)의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 다만, 상기 컬러 필터를 통과한 광의 표시 색이 기본색으로 제한되는 것은 아니며, 청록색(cyan), 자홍색(magenta), 옐로(yellow) 및 화이트(white) 계열의 색 중 어느 하나를 표시할 수도 있다. 컬러 필터(CF)는 인접하는 화소부마다 서로 다른 색을 표시하는 물질로 형성될 수 있다. 도 7 및 도 8에서는 컬러 필터(CF)가 제1 표시판(200)에 배치되는 것으로 도시하였으나, 이와는 달리 제2 표시판(300)에 배치될 수도 있다.

[0059] 유기 절연막(260)은 제1 패시베이션막(250) 및 컬러 필터(CF) 상에 배치될 수 있다. 유기 절연막(260)은 제1 패시베이션막(250)의 개구부와 중첩되며, 제1 드레인 전극 연장부(DEP1)의 적어도 일부를 노출시키는 개구부를 포함한다. 유기 절연막(260)은 평탄화 특성이 우수하며, 감광성(photosensitivity)을 가지는 유기 물질을 포함할 수 있다. 유기 절연막(260)은 생략될 수도 있다.

- [0060] 제2 패시베이션막(270)은 유기 절연막(260) 상에 배치될 수 있다. 제2 패시베이션막(270)은 일 실시예로 질화 규소와 산화 규소 등의 무기 절연물로 형성될 수 있다. 제2 패시베이션막(270)은 생략될 수도 있다.
- [0061] 제1 패시베이션막(250)의 개구부, 유기 절연막(260)의 개구부 및 제2 패시베이션막(270)의 개구부는 제1 컨택홀(CNT1)을 형성할 수 있다.
- [0062] 투명 도전체(TE)는 제2 패시베이션막(270) 상에 배치될 수 있다. 투명 도전체(TE)는 투명 도전 물질을 포함할 수 있다. 여기서, 투명 도전 물질은 다결정, 단결정 또는 비정질의 ITO(Indium Tin Oxide)를 포함할 수 있다. 투명 도전체(TE)는 제1 화소 전극(PE1)을 포함하는 복수의 화소 전극 및 차폐 전극(280)을 포함할 수 있다. 제1 화소 전극(PE)은 차폐 전극(280)과 일 실시예로 동일한 마스크 공정에 의해 동시에 형성될 수 있다. 제1 화소 전극(PE1) 및 차폐 전극(280)은 서로 동일 층에 배치되며, 물리적 및 전기적으로 절연된다.
- [0063] 차폐 전극(280)은 대체로 제1 방향(d1)을 따라 연장될 수 있다. 차폐 전극(280)은 일 실시예로, 제1 리페어 라인(RPL1)을 포함하는 복수의 리페어 라인과 중첩될 수 있다. 차폐 전극(280)에 제공되는 전압은 일 실시예로 공통 전극(CE)에 제공되는 공통 전압(Vcom, 도 2 참조)과 전압 레벨이 동일할 수 있다. 다른 실시예로, 차폐 전극(280)은 상기 공통 전압(Vcom)이 직접 제공될 수 있다.
- [0064] 제1 화소 전극(PE1)은 제1 컨택홀(CNT1)을 통해 노출된 제1 드레인 전극 연장부(DEP1)와 직접 접촉될 수 있다. 또한, 제1 화소 전극(PE1)은 공통 전극(CE)과 중첩된다. 이에 따라, 제1 액정 커패시터(C1c1, 도 2 참조)는 서로 중첩되는 제1 화소 전극(PE1)과 공통 전극(CE) 사이에서 형성될 수 있다.
- [0065] 이하, 제1 화소 전극(PE1)의 형상에 대해 보다 상세히 설명하기로 한다.
- [0066] 제1 화소 전극(PE1)은 제1 방향(d1)으로 연장되는 제1 줄기부(PE1a1), 제2 방향(d2)으로 연장되는 제2 줄기부(PE1a2) 및 제2 방향(d2)으로 연장되며 제2 줄기부(PE1a2)와 이격되어 배치되는 제3 줄기부(PE1a3)를 포함할 수 있다. 즉, 제1 줄기부(PE1a1)는 도 6을 기준으로 가로 방향으로 연장되는 가로 줄기부이며, 제2 줄기부(PE1a2) 및 제3 줄기부(PE1a3)는 세로 방향으로 연장되는 세로 줄기부이다. 제1 줄기부(PE1a1), 제2 줄기부(PE1a2) 및 제3 줄기부(PE1a3)는 서로 물리적 및 전기적으로 연결된다. 일 실시예로, 제2 줄기부(PE1a2) 및 제3 줄기부(PE1a3)는 제1 줄기부(PE1a1)를 통해 서로 전기적으로 연결될 수 있다. 한편, 제1 줄기부(PE1a1)의 일 측 및 타 측은 일 실시예로 스토리지 라인(RL)의 제1 영역(G1) 및 제2 영역(G2)과 적어도 일부가 중첩될 수 있다. 제2 줄기부(PE1a2)는 제1 데이터 라인(DL1)과 중첩될 수 있다. 또한, 제3 줄기부(PE1a3)는 스토리지 라인(RL)의 제2 영역(G2)과 적어도 일부가 중첩될 수 있다.
- [0067] 제1 화소 전극(PE1)은 복수의 제1 가지부(PE1b1), 복수의 제2 가지부(PE1b2), 복수의 제3 가지부(PE1b3) 및 복수의 제4 가지부(PE1b4)를 포함할 수 있다.
- [0068] 복수의 제1 가지부(PE1b1) 및 복수의 제2 가지부(PE1b2)는 상기 제2 줄기부(PE1a2)로부터 연장되는 가지부로 정의된다. 보다 상세하게는, 복수의 제1 가지부(PE1b1)는 제2 줄기부(PE1a2)의 일 측에 배치되며, 제3 줄기부(PE1a3)가 배치된 방향(대체로, 제1 방향(d1))으로 연장되는 가지부로 정의된다.
- [0069] 복수의 제2 가지부(PE1b2)는 제2 줄기부(PE1a2)의 타 측에 배치되며, 스토리지 라인(RL)의 제1 영역(G1)이 배치된 방향(대체로, 제3 방향(d3))으로 연장되는 가지부로 정의된다. 즉, 복수의 제1 가지부(PE1b1)의 연장 방향은 복수의 제2 가지부(PE1b2)의 연장 방향과 복수의 제2 줄기부(PE1a2)를 기준으로 서로 대칭될 수 있다. 여기서, 복수의 제1 가지부(PE1b1)의 적어도 일부는 제2 데이터 라인(DL2)과 적어도 일부 중첩될 수 있다. 또한, 복수의 제2 가지부(PE1b2)의 적어도 일부는 일 실시예로 스토리지 라인(RL)의 제1 영역(G1)과 중첩될 수 있다.
- [0070] 복수의 제3 가지부(PE1b3)는 상기 제3 줄기부(PE1a3)로부터 연장되는 가지부로 정의된다. 보다 상세하게는, 복수의 제3 가지부(PE1b3)는 제3 줄기부(PE1a3)로부터 제2 줄기부(PE1a2)가 배치된 방향으로 연장되는 가지부로 정의된다. 또는, 복수의 제3 가지부(PE1b3)는 복수의 제1 가지부(PE1b1)와 마주보도록 제3 줄기부(PE1a3)로부터 연장되는 가지부로도 정의될 수 있다. 여기서, 복수의 제3 가지부(PE1b3)의 적어도 일부는 제2 데이터 라인(DL2)과 적어도 일부 중첩될 수 있다. 즉, 제2 데이터 라인(DL2)은 복수의 제1 가지부(PE1b1)의 적어도 일부 및 복수의 제3 가지부(PE1b3)의 적어도 일부 각각과 중첩될 수 있다. 이에 따라, 제2 데이터 라인(DL2)은 복수의 제1 가지부(PE1b1) 및 복수의 제3 가지부(PE1b3) 사이의 빈 공간에 배치될 수 있다.
- [0071] 전술한 바와 같이, 제1 데이터 라인(DL1)은 제1 화소 전극(PE1)의 제2 줄기부(PE1a2)와 중첩될 수 있다. 제2 데이터 라인(DL2)은 복수의 제1 가지부(PE1b1) 및 복수의 제3 가지부(PE1b3)의 끝단과 중첩되도록 배치되어, 복수의 제1 가지부(PE1b1) 및 복수의 제3 가지부(PE1b3) 사이의 빈 공간에 배치될 수 있다. 이를 통해, 제1 화소부

(PX1)의 개구 영역(광이 투과되는 영역) 내에서, 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)에 의한 암부 면적을 최소화시킬 수 있다. 또한, 암부의 면적이 최소화됨에 따라, 개구율을 향상시킬 수 있다.

[0072] 한편, 제1 데이터 라인(DL1) 중 제1 화소 전극(PE1)과 중첩되는 영역과, 제2 데이터 라인(DL2) 중 제1 화소 전극(PE1)과 중첩되는 영역은 스토리지 라인(RL)의 제1 영역(G1) 및 제2 영역(G2) 사이에 배치될 수 있다. 즉, 제1 데이터 라인(DL1)과 스토리지 라인(RL)의 제1 영역(G1) 사이의 거리(I1)는 제2 데이터 라인(DL2)과 스토리지 라인(RL)의 제2 영역(G2) 사이의 거리(I2)와 실질적으로 동일할 수 있다.

[0073] 복수의 제4 가지부(PE1b4)는 제1 줄기부(PE1a1)로부터 연장되는 가지부로 정의된다. 복수의 제4 가지부(PE1b4)의 연장 방향은 배치 위치에 따라 상이하나 대체로 인접한 가지부의 연장 방향과 동일할 수 있다. 한편, 복수의 제4 가지부(PE1b4)는 제1 데이터 라인(DL1)과 중첩되는 가지부 및 제2 데이터 라인(DL2)과 중첩되는 가지부 중 적어도 하나를 포함할 수 있다.

[0074] 제1 화소 전극(PE1)은 제1 연결부(PE1c)를 더 포함할 수 있다. 제1 연결부(PE1c)는 복수의 제2 가지부(PE1b2)로부터 연장되되, 제1 컨택홀(CNT1)과 중첩되는 영역으로 정의된다. 따라서, 제1 화소 전극(PE1)의 제1 연결부(PE1c)는 노출된 제1 드레인 전극 연장부(DEP1)와 직접 연결될 수 있다. 또한, 제1 화소 전극(PE1)의 제1 연결부(PE1c)는 일 실시예로, 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2) 중 적어도 하나와 중첩될 수 있다. 한편, 제1 연결부(PE1c)는 복수의 제2 가지부(PE1b2) 외에도, 복수의 제1 가지부(PE1b1), 제2 줄기부(PE1a2) 및 제3 줄기부(PE1a3) 중 적어도 하나와 연결될 수도 있다.

[0075] 이하, 제1 화소 전극(PE1)의 도메인 영역에 대해 도 9를 참조하여 보다 상세히 설명하기로 한다.

[0076] 도 9는 도 3에 도시한 제1 화소부의 데이터 도전체 및 투명 도전체를 함께 도시한 도면이다.

[0077] 도 9를 참조하면, 제1 화소 전극(PE1)은 일 실시예로 제1 내지 제3 도메인 영역(DM1 내지 DM3)을 포함할 수 있다.

[0078] 제1 도메인 영역(DM1)은 제1 데이터 라인(DL1)의 일 측에 배치된다. 즉, 제1 도메인 영역(DM1)은 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에 배치된다. 제2 도메인 영역(DM2)은 제1 데이터 라인(DL1)의 일 측에 대향되는 타 측에 배치된다. 제3 도메인 영역(DM3)은 제2 데이터 라인(DL2)의 일 측에 배치된다.

[0079] 제1 도메인 영역(DM1)에 배치되는 복수의 액정 분자는 전계가 형성되는 경우, 대체로 제1 방향(d1)에 대향되는 제3 방향(d3)으로 배향될 수 있다. 이에 반해, 제2 도메인 영역(DM2) 및 제3 도메인 영역(DM3)에 배치되는 복수의 액정 분자는 전계가 형성되는 경우, 대체로 제1 방향(d1)으로 배향될 수 있다.

[0080] 제1 도메인 영역(DM1)의 면적은 제2 도메인 영역(DM2)의 면적 및 제3 도메인 영역(DM3)의 면적의 합과 실질적으로 동일할 수 있다. 이는 곧, 제3 방향(d3)의 액정 방향을 갖는 복수의 액정 분자가 배치되는 제1 도메인 영역(DM1)의 면적은 제1 방향(d1)의 액정 방향을 갖는 복수의 액정 분자가 배치되는 제2 도메인 영역(DM2) 및 제3 도메인 영역(DM3)의 면적의 합과 실질적으로 동일한 것으로도 표현될 수 있다.

[0081] 다시 도 3 내지 도 8을 참조하면, 제1 배향막(도면 미도시)은 투명 도전체(TE) 상에 배치될 수 있다. 제1 배향막은 액정층(400) 내의 복수의 액정 분자의 초기 배향을 유도할 수 있다. 제1 배향막은 일 실시예로 주쇄의 반복 단위 내에 이미드기를 갖는 고분자 유기 재료를 포함하여 이루어질 수 있다.

[0082] 다음으로, 제2 표시판(300)에 대해 설명하기로 한다.

[0083] 제2 기관(310)은 제1 기관(210)과 대향되도록 배치된다. 제2 기관(310)은 투명한 유리 또는 플라스틱 등으로 형성될 수 있으며, 일 실시예로 제1 기관(210)과 동일한 재질로 형성될 수 있다.

[0084] 블랙 매트릭스(BM)는 제2 기관(310) 상에 배치될 수 있다. 블랙 매트릭스(BM)는 영상을 표시하는 화소 영역을 제외한 나머지 영역, 즉 비화소 영역과 중첩될 수 있다. 블랙 매트릭스(BM)는 상기 비화소 영역으로 광이 투과되는 것을 차단할 수 있다. 블랙 매트릭스(BM)의 재료는 광을 차단할 수 있는 경우라면 특별히 제한되지 않는다. 블랙 매트릭스(BM)는 일 실시예로, 감광성 조성물, 유기물 또는 금속성 물질 등으로 형성될 수 있다. 감광성 조성물은 일 실시예로, 바인더 수지, 중합성 모노머, 중합성 올리고머, 안료, 분산제 등을 포함할 수 있다. 금속성 물질은 크롬 등을 포함할 수 있다.

[0085] 평탄화층(320)은 블랙 매트릭스(BM) 상에 배치될 수 있다. 평탄화층(320)은 공통 전극(CE)에 대해 평탄성을 제공할 수 있다. 평탄화층(320)의 재료는 특별히 제한되지 않으며, 일 실시예로 유기 물질 또는 무기 물질을 포함할 수 있다.

- [0086] 공통 전극(CE)은 평탄화층(320) 상에 배치될 수 있다. 공통 전극(CE)은 적어도 일부가 제1 화소 전극(PE1)과 중첩될 수 있다. 공통 전극(CE)은 일 실시예로 통관 형태로 형성될 수 있다. 다만, 이에 제한되는 것은 아니며, 공통 전극(CE)은 복수의 슬릿부를 포함할 수도 있다. 공통 전극(CE)은 일 실시예로 ITO 및 IZO 등의 투명 도전 물질이나, 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 형성될 수 있다.
- [0087] 도면에는 도시하지 않았으나, 공통 전극(CE) 상에는 제2 배향막이 배치될 수 있다. 제2 배향막은 액정층(400) 내의 복수의 액정 분자의 초기 배향을 유도할 수 있다. 제2 배향막은 일 실시예로 제1 배향막과 동일한 재료로 형성될 수 있다.
- [0088] 이어서 액정층(400)에 대하여 설명하기로 한다.
- [0089] 액정층(400)은 복수의 액정 분자를 포함한다. 복수의 액정 분자는 일 실시예로, 음의 유전율 이방성을 가지고 초기 배향 상태에서 수직 배향될 수 있다. 복수의 액정 분자는 초기 배향 상태에서 소정의 선 경사(pretilt) 각도를 가질 수도 있다. 복수의 액정 분자의 초기 배향은 전술한 제1 및 제2 배향막에 의해 유도될 수 있다. 복수의 액정 분자는 제1 표시판(200)과 제2 표시판(300) 사이에 전계가 형성되면, 특정 방향으로 기울어지거나 또는 회전함으로써 액정층을 통과하는 광의 편광 상태를 변화시킬 수 있다.
- [0090] 즉, 본 발명의 일 실시예에 따른 액정 표시 장치는 고해상도 구동을 위해, 이웃하는 두 개의 스캔 라인을 서로 전기적으로 연결시켜 상기 두 개의 스캔 라인에 연결되는 화소 전극들에 동시에 데이터 신호를 제공할 수 있다. 또한, 데이터 라인을 화소부의 줄기부 및 가지부 사이의 공간과 각각 중첩시킴으로써, 데이터 라인에 의한 압부면적을 줄여 개구율을 향상시킬 수 있다.
- [0091] 다음으로, 본 발명의 다른 실시예에 따른 액정 표시 장치에 대해 설명하기로 한다. 다만, 도 1 내지 도 9에서 설명한 내용과 중복되는 설명은 생략하기로 한다. 또한, 도 1 내지 도 9에서 설명한 구성과 동일한 구성에 대해서는 동일한 도면 부호를 사용하기로 한다.
- [0092] 도 10은 본 발명의 다른 실시예에 따른 액정 표시 장치를 나타낸 등가 회로도이다.
- [0093] 도 10에 도시한 액정 표시 장치는 도 2에 도시한 액정 표시 장치 대비, 제3 화소부(PX3')에 포함된 제3 스위칭 소자(TR3')가 제4 데이터 라인(DL4)과 전기적으로 연결되고, 제4 화소부(PX4')에 포함된 제4 스위칭 소자(TR4')가 제3 데이터 라인(DL3)과 연결되는 점에서 차이가 있다.
- [0094] 즉, 도 10에 도시한 액정 표시 장치는 동일 열에 배치되는 화소부가 서로 엇갈려 배치되되, 엇갈림 방향이 도 2에 도시한 액정 표시 장치와 상이하다.
- [0095] 도 11은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구성 중 화소부를 나타낸 레이아웃도이다. 도 12는 도 11에 도시한 화소부의 구성 중 투명 도전체를 나타낸 도면이다. 도 13은 도 11에 도시한 화소부의 구성 중 데이터 도전체 및 투명 도전체를 함께 도시한 도면이다.
- [0096] 도 11 내지 도 13에 도시한 액정 표시 장치는, 도 1 내지 도 9에 도시한 액정 표시 장치 대비, 화소 전극의 형상 및 데이터 라인의 형상이 상이하다. 이하, 본 발명의 다른 실시예에 따른 액정 표시 장치에 대해, 제1 내지 제4 화소부(PX1_1 내지 PX4_1) 중 제1 화소부(PX1_1)를 기준으로 설명하기로 한다.
- [0097] 제1 화소 전극(PE1_1)은 제1 방향(d1)으로 연장되는 제1 줄기부(PE1a1_1), 제2 방향(d2)으로 연장되는 제2 줄기부(PE1a2_1) 및 제2 방향(d2)으로 연장되되 제2 줄기부(PE1a2_1)와 이격되어 배치되는 제3 줄기부(PE1a3_1)를 포함할 수 있다. 즉, 제1 줄기부(PE1a1_1)는 도 11을 기준으로 가로 방향으로 연장되는 가로 줄기부이며, 제2 줄기부(PE1a2_1) 및 제3 줄기부(PE1a3_1)는 세로 방향으로 연장되는 세로 줄기부이다.
- [0098] 제1 줄기부(PE1a1_1), 제2 줄기부(PE1a2_1) 및 제3 줄기부(PE1a3_1)는 서로 물리적 및 전기적으로 연결된다. 일 실시예로, 제2 줄기부(PE1a2_1) 및 제3 줄기부(PE1a3_1)는 제1 줄기부(PE1a1_1)를 통해, 서로 전기적으로 연결될 수 있다.
- [0099] 한편, 제1 줄기부(PE1a1_1)의 일 측 및 타 측은 일 실시예로 스토리지 라인(RL)의 제1 영역(G1) 및 제2 영역(G2)과 적어도 일부가 중첩될 수 있다. 제2 줄기부(PE1a2_1)는 제1 데이터 라인(DL1_1)과 중첩될 수 있다. 또한, 제3 줄기부(PE1a3_1)는 제2 데이터 라인(DL2_1)과 중첩될 수 있다. 즉, 도 10에 도시한 액정 표시 장치는 제3 줄기부(PE1a3_1)도 제2 데이터 라인(DL2_1)과 중첩된다. 이에 따라, 제1 데이터 라인(DL1_1) 및 제2 데이터 라인(DL2_1) 각각은 제2 줄기부(PE1a2_1) 및 제3 줄기부(PE1a3_1)와 중첩될 수 있다.
- [0100] 한편, 제3 줄기부(PE1a3_1)는 스토리지 라인(RL)의 제2 영역(G2)과는 중첩되지 않는다. 또한, 제2 줄기부

(PE1a2_1)와 스토리지 라인(RL)의 제1 영역(G1) 사이의 거리(11_1)는 제3 줄기부(PE1a3_1)와 스토리지 라인(RL)의 제2 영역(G2) 사이의 거리(12_1)보다 길 수 있다.

- [0101] 제1 화소 전극(PE1_1)은 복수의 제1 가지부(PE1b1_1), 복수의 제2 가지부(PE1b2_1), 복수의 제3 가지부(PE1b3_1) 및 복수의 제4 가지부(PE1b4_1)를 더 포함할 수 있다.
- [0102] 복수의 제1 가지부(PE1b1_1) 및 복수의 제2 가지부(PE1b2_1)는 상기 제2 줄기부(PE1a2_1)로부터 연장되는 가지부로 정의된다. 보다 상세하게는, 복수의 제1 가지부(PE1b1_1)는 제2 줄기부(PE1a2_1)의 일 측에 배치되되, 제3 줄기부(PE1a3_1)가 배치된 방향(제1 방향(d1))으로 연장되는 가지부로 정의된다.
- [0103] 복수의 제2 가지부(PE1b2_1)는 제2 줄기부(PE1a2_1)의 타 측에 배치되되, 스토리지 라인(RL)의 제1 영역(G1)이 배치된 방향(제3 방향(d3))으로 연장되는 가지부로 정의된다. 여기서, 복수의 제1 가지부(PE1b1_1)의 적어도 일부는 제2 데이터 라인(DL2_1)과 적어도 일부 중첩될 수 있다. 또한, 복수의 제1 가지부(PE1b1_1)의 적어도 일부는 제3 줄기부(PE1a3_1)와 직접 접촉될 수도 있다.
- [0104] 복수의 제3 가지부(PE1b3_1)는 상기 제3 줄기부(PE1a3_1)로부터 연장되는 가지부로 정의된다. 보다 상세하게는, 복수의 제3 가지부(PE1b3_1)는 제3 줄기부(PE1a3_1)로부터 스토리지 라인(RL)의 제2 영역(G2) 방향으로 연장되는 가지부로 정의된다. 복수의 제3 가지부(PE1b3_1)의 적어도 일부는 스토리지 라인(RL)의 제2 영역(G2)과 중첩될 수 있다.
- [0105] 제2 줄기부(PE1a2_1) 및 제3 줄기부(PE1a3_1)는 별도의 제2 연결부(PE1d) 및 복수의 제1 가지부(PE1b1_1)를 통해서도 전기적으로 연결될 수 있다. 한편, 제2 연결부(PE1d)의 위치나 형상은 도 11 및 도 12에 도시된 것으로 제한되는 것은 아니다. 또한, 제2 연결부(PE1d)는 생략될 수도 있으며, 제2 연결부(PE1d)가 직접 제2 줄기부(PE1a2_1) 및 제3 줄기부(PE1a3_1) 각각과 연결될 수도 있다.
- [0106] 제1 화소 전극(PE1_1)은 일 실시예로 제1 내지 제3 도메인 영역(DM1_1 내지 DM3_1)을 포함할 수 있다.
- [0107] 제1 도메인 영역(DM1_1)은 제1 데이터 라인(DL1_1)의 일 측에 배치된다. 즉, 제1 도메인 영역(DM1_1)은 제1 데이터 라인(DL1_1)과 제2 데이터 라인(DL2_1) 사이에 배치된다. 제2 도메인 영역(DM2_1)은 제1 데이터 라인(DL1_1)의 일 측에 대향되는 타 측에 배치된다. 제3 도메인 영역(DM3_1)은 제2 데이터 라인(DL2_1)의 일 측에 배치된다.
- [0108] 제1 도메인 영역(DM1_1) 및 제3 도메인 영역(DM3_1)에 배치되는 복수의 액정 분자는 전계가 형성되는 경우, 대체로 제1 방향(d1)에 대향되는 제3 방향(d3)으로 배향될 수 있다. 이에 반해, 제2 도메인 영역(DM2_1)에 배치되는 복수의 액정 분자는 전계가 형성되는 경우, 대체로 제1 방향(d1)으로 배향될 수 있다. 제2 도메인 영역(DM2_1)의 면적은 제1 도메인 영역(DM1_1)의 면적 및 제3 도메인 영역(DM3_1)의 면적의 합과 실질적으로 동일할 수 있다.
- [0109] 다음으로, 본 발명의 또 다른 실시예에 따른 액정 표시 장치에 대해 설명하기로 한다. 다만, 도 1 내지 도 9에서 설명한 내용과 중복되는 설명은 생략하기로 한다.
- [0110] 도 14a는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구성 중 제1 내지 제4 화소부를 나타낸 레이아웃도이다. 도 14b는 도 14a에 도시한 제1 화소부를 보다 상세히 나타낸 도면이다. 도 15는 도 14b에 도시한 제1 화소부의 구성 중 투명 도전체를 나타낸 도면이다. 전술한 내용과 중복되는 설명은 생략하기로 한다.
- [0111] 도 14 및 도 15에 도시한 액정 표시 장치는, 도 1 내지 도 9에 도시한 액정 표시 장치 대비, 화소 전극의 형상이 상이하다. 이하, 본 발명의 다른 실시예에 따른 액정 표시 장치에 대해, 제1 내지 제4 화소부(PX1_2 내지 PX4_2) 중 제1 화소부(PX1_2)를 기준으로 설명하기로 한다.
- [0112] 제1 화소 전극(PE1_2)은 제1 방향(d1)으로 연장되는 제1 줄기부(PE1a1_2) 및 제2 방향(d2)으로 연장되는 제2 줄기부(PE1a2_2)를 포함할 수 있다. 즉, 제1 줄기부(PE1a1_2)는 도 14b를 기준으로 가로 방향으로 연장되는 가로 줄기부이며, 제2 줄기부(PE1a2_2)는 세로 방향으로 연장되는 세로 줄기부이다. 일 실시예로, 제1 줄기부(PE1a1_2) 및 제2 줄기부(PE1a2_2)는 서로 교차될 수 있다. 제2 줄기부(PE1a2_2)는 제1 데이터 라인(DL1_2)과 중첩될 수 있다.
- [0113] 제1 화소 전극(PE1_2)은 복수의 제1 가지부(PE1b1_2), 복수의 제2 가지부(PE1b2_2) 및 복수의 제3 가지부(PE1b3_2)를 더 포함할 수 있다. 복수의 제1 가지부(PE1b1_2) 및 복수의 제2 가지부(PE1b2_2)는 상기 제2 줄기부(PE1a2_2)로부터 연장되는 가지부로 정의된다.

- [0114] 보다 상세하게는, 복수의 제1 가지부(PE1b1_2)는 제2 줄기부(PE1a2_2)의 일 측에 배치되되, 후술하는 제1 에지 바(PE1e)가 배치된 방향, 즉 대체로 제1 방향(d1)으로 연장되는 가지부로 정의된다. 복수의 제2 가지부(PE1b2_2)는 제2 줄기부(PE1a2_2)의 타 측에 배치되되, 스토리지 라인(RL)의 제1 영역(G1)이 배치된 방향(대체로 제3 방향(d3))으로 연장되는 가지부로 정의된다. 복수의 제3 가지부(PE1b3_2)는 상기 제1 줄기부(PE1a1_2)로부터 연장되는 가지부로 정의된다. 복수의 제1 가지부(PE1b1_2) 및 복수의 제3 가지부(PE1b3_2)의 적어도 일부는 제2 데이터 라인(DL2_2)과 중첩될 수 있다.
- [0115] 한편, 제1 화소 전극(PE1_2)은 제1 에지 바(PE1e)를 더 포함할 수 있다. 제1 에지 바(PE1e)는 제2 방향(d2)을 따라 연장되되, 제1 줄기부(PE1a1_2)와 직접 접촉될 수 있다. 제1 에지 바(PE1e)는 제2 가지부(PE1b2_2)에 비해 상대적으로 길이가 더 긴 제1 가지부(PE1b1_2)와 인접하도록 배치될 수 있다. 제1 에지 바(PE1e)는 스토리지 라인(RL)의 제2 영역(G2)과 적어도 일부가 중첩될 수 있다.
- [0116] 제1 에지 바(PE1e)와 제2 데이터 라인(DL2_2)까지의 이격 거리(14)는 일 실시예로 약 10um 이상일 수 있다. 또한, 제1 데이터 라인(DL1_2)과 스토리지 전극(RL)의 제1 영역(G1)까지의 이격 거리(13)는 약 10um 이상 15um 이하일 수 있다.
- [0117] 만약, 화소 전극에 포함되는 가지부의 길이가 짧은 경우 액정 제어력이 약해, 에지 바를 적용하더라도 시인성 향상 효과가 적다. 이에 반해, 본 발명의 다른 실시예에 따른 액정 표시 장치는, 복수의 제1 가지부(PE1b1_2)의 길이를 상대적으로 복수의 제2 가지부(PE1b2_2)의 길이보다 길게 형성하고, 제1 에지 바(PE1e)를 복수의 제1 가지부(PE1b1_2)와 인접하게 배치시키되 제2 데이터 라인(DL2_2)과 일정 거리 이격시킴으로써, 에지 바 적용에 의한 시인성 향상 효과를 증가시킬 수 있다.
- [0118] 즉, 화소 전극의 에지 바는 상대적으로 길이가 더 긴 가지부와 인접하도록 배치될 수 있다. 이에 따라, 화소 전극의 가지부의 형상이 변하더라도, 에지 바는 상대적으로 더 긴 가지부와 인접하게 배치될 수 있다. 예를 들어 설명하면, 제3 화소부(PX3_2)의 경우, 제1 가상선(AL1)을 기준으로 제1 화소부(PX1_2)와 서로 대칭될 수 있다. 또한, 제2 화소부(PX2_2)는 제1 가상선(AL1)을 기준으로 제4 화소부(PX4_2)와 서로 대칭될 수 있다. 이에 따라, 각 화소부에 배치되는 에지 바의 위치는 서로 상이할 수 있다.
- [0119] 또한, 도 14a에서는 화소 전극의 형상 및 스위칭 소자와 데이터 라인 간의 연결 관계가 1개의 화소부를 주기로 변경되었으나, 이에 제한되는 것은 아니다. 이에 대해서는 도 16을 참조하여 설명하기로 한다.
- [0120] 도 16은 본 발명의 다른 실시예에 따른 액정 표시 장치를 나타낸 레이아웃도이다.
- [0121] 도 16을 참조하면, 화소 전극의 형상 및 스위칭 소자와 데이터 라인 간의 연결 관계가 3개의 화소부를 주기로 변경된다. 예를 들면, 제1 화소부(PX1_3), 제3 화소부(PX3_3) 및 제5 화소부(PX5)는 서로 동일한 형상을 가질 수 있으며, 제7 화소부(PX7), 제8 화소부(PX8) 및 제9 화소부(PX9)도 서로 동일한 형상을 가질 수 있다. 다만, 제2 가상선(AL2)을 기준으로, 제1 내지 제3 화소부(PX1_3 내지 PX3_3)의 형상과 제7 내지 제9 화소부(PX7 내지 PX9)의 형상은 서로 대칭될 수 있다. 또한, 서로 동일 열에 배치되는 화소부의 형상도 상이할 수도 있다.
- [0122] 도 17은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 구성 중 제1 화소부를 나타낸 등가 회로도이다. 도 18a는 도 17에 도시한 제1 화소부를 보다 상세히 나타낸 레이아웃도이다. 도 18b는 도 17에 도시한 제1 화소부를 포함하는 제1 내지 제4 화소부를 나타낸 레이아웃도이다. 도 19는 도 18a에 도시한 제1 서브 화소 전극 및 제2 서브 화소 전극을 함께 도시한 도면이다.
- [0123] 도 17 내지 도 19를 참조하면, 제1 내지 제4 화소부(PX1_4 내지 PX4_4)에 포함된 구성에 대해서는 제1 화소부(PX1_4)를 기준으로 설명하기로 한다. 한편, 제1 스캔 라인(SL1_4) 및 제2 스캔 라인(SL_4)뿐만 아니라, 이를 포함하는 복수의 스캔 라인은 서로 전기적으로 연결되지 않는다.
- [0124] 제1 화소부(PX1_4)는 제1 스위칭 소자(TR1a), 제2 스위칭 소자(TR2a), 제1 서브 화소 전극(SPE1), 제2 서브 화소 전극(SPE2), 제1 서브 액정 커패시터(C1c_H), 제2 서브 액정 커패시터(C1c_L), 제1 서브 스토리지 커패시터(Cst_H) 및 제2 서브 스토리지 커패시터(Cst_L)를 포함할 수 있다.
- [0125] 제1 스위칭 소자(TR1a)는 제1 스캔 라인(SL1_4)과 전기적으로 연결되는 제1 게이트 전극(GE1_4), 제1 데이터 라인(DL1_4)과 전기적으로 연결되는 제1 소스 전극(SE1_4) 및 제1 서브 화소 전극(SPE1)과 전기적으로 연결되는 제1 드레인 전극(DE1_4)을 포함할 수 있다. 여기서, 제1 스위칭 소자(TR1a)의 제1 드레인 전극(DE1_4)은 제1 서브 화소 전극(SPE1)과 전기적으로 연결될 수 있다.
- [0126] 즉, 제1 스위칭 소자(TR1a)는 제1 스캔 라인(SL1_4)으로부터 제공받은 제1 스캔 신호(S1_4)를 기초로 스위칭 동

작을 수행하여, 제2 데이터 라인(DL2_4)으로부터 제공받은 제2 데이터 신호(D2_4)를 제1 서브 화소 전극(SPE1)에 제공할 수 있다.

- [0127] 제2 스위칭 소자(TR2a)는 제1 스캔 라인(SL1_4)과 전기적으로 연결되는 제2 게이트 전극(GE2_4), 제1 데이터 라인(DL1_4)과 전기적으로 연결되는 제2 소스 전극(SE2_4) 및 제2 서브 화소 전극(SPE2)과 전기적으로 연결되는 제2 드레인 전극(DE2_4)을 포함할 수 있다. 여기서, 제2 스위칭 소자(TR2a)의 제2 드레인 전극(DE2_4)은 제2 서브 화소 전극(SPE2)과 전기적으로 연결될 수 있다.
- [0128] 즉, 제2 스위칭 소자(TR2a)는 제1 스캔 라인(SL1_4)으로부터 제공받은 제1 스캔 신호(S1_4)를 기초로 스위칭 동작을 수행하여, 제2 데이터 라인(DL2_4)으로부터 제공받은 제2 데이터 신호(D2_4)를 제2 서브 화소 전극(SPE2)에 제공할 수 있다.
- [0129] 제1 서브 액정 커패시터(C1c_H)는 제1 서브 화소 전극(SPE1)과 공통 전압(Vcom)이 제공되는 공통 전극 사이에서 형성된다. 또한, 제2 서브 액정 커패시터(C1c_L)는 제2 서브 화소 전극(SPE2)과 공통 전압(Vcom)이 제공되는 공통 전극 사이에서 형성된다.
- [0130] 즉, 제1 화소부(PX1_4)는 서로 동시에 턴 온되도록 서로 다른 데이터 라인과 전기적으로 연결되는 두 개의 스위칭 소자의 스위칭 동작을 통해, 서로 다른 데이터 신호를 제공받는 두 개의 서브 화소 전극을 포함할 수 있다. 이에 따라, 하나의 화소부 내에서도 영역 별로 복수의 액정 분자의 배열을 제어할 수 있으며, 이를 통해 측면 시야각을 향상시킬 수 있다.
- [0131] 제1 서브 화소 전극(SPE1) 및 제2 서브 화소 전극(SPE2)에 대해 보다 상세히 설명하기로 한다. 제1 서브 화소 전극(SPE1)의 면적은 일 실시예로 제2 서브 화소 전극(SPE2)의 면적보다 작을 수 있다.
- [0132] 제1 서브 화소 전극(SPE1)은 제1 방향(d1)으로 연장되는 제1 줄기부(SPE1a), 제2 방향(d2)으로 연장되는 제2 줄기부(SPE1b) 및 복수의 제1 가지부(SPE1c)를 포함할 수 있다.
- [0133] 제1 줄기부(SPE1a)는 제1 데이터 라인(DL1_4) 및 제2 데이터 라인(DL2_4) 각각과 교차될 수 있다. 이에 따라, 제1 줄기부(SPE1a)는 제1 데이터 라인(DL1_4)과 중첩되는 영역 및 제2 데이터 라인(DL2_4)과 중첩되는 영역을 포함할 수 있다.
- [0134] 제2 줄기부(SPE1b)는 제1 데이터 라인(DL1_4)과 동일한 방향으로 연장되되, 제1 데이터 라인(DL1_4)과 중첩될 수 있다. 이를 통해, 제1 데이터 라인(DL1_4)에 의한 압부 면적을 최소화시킬 수 있다.
- [0135] 복수의 제1 가지부(SPE1c)는 제1 줄기부(SPE1a) 및 제2 줄기부(SPE1b) 중 적어도 하나로부터 연장될 수 있다. 보다 상세하게는, 복수의 제1 가지부(SPE1c)는 제1 줄기부(SPE1a)를 기준으로 서로 대칭되는 복수의 제1 서브 가지부(SPE1c_1) 및 복수의 제2 서브 가지부(SPE1c_2)를 포함할 수 있다. 복수의 제1 가지부(SPE1c)는 제2 데이터 라인(DL2_4)과 적어도 일부가 중첩될 수 있다.
- [0136] 제2 서브 화소 전극(SPE2)은 제1 방향(d1)으로 연장되는 제1 줄기부(SPE2a), 제2 방향(d2)으로 연장되는 제2 줄기부(SPE2b) 및 복수의 제1 가지부(SPE2c)를 포함할 수 있다.
- [0137] 제1 줄기부(SPE2a)는 제1 데이터 라인(DL1_4) 및 제2 데이터 라인(DL2_4) 각각과 교차될 수 있다. 이에 따라, 제1 줄기부(SPE2a)는 제1 데이터 라인(DL1_4)과 중첩되는 영역 및 제2 데이터 라인(DL2_4)과 중첩되는 영역을 포함할 수 있다.
- [0138] 제2 줄기부(SPE2b)는 제2 데이터 라인(DL2_4)과 동일한 방향으로 연장되되, 제2 데이터 라인(DL2_4)과 중첩될 수 있다. 이를 통해, 제2 데이터 라인(DL2_4)에 의한 압부 면적을 최소화시킬 수 있다. 복수의 제1 가지부(SPE2c)는 제1 줄기부(SPE2a) 및 제2 줄기부(SPE2b) 중 적어도 하나로부터 연장될 수 있다.
- [0139] 제2 줄기부(SPE2b)는 제1 서브 화소 전극(SPE1)의 제2 줄기부(SPE1b)와는 달리, 제2 데이터 라인(DL2_4)과 중첩될 수 있다. 따라서, 제1 서브 화소 전극(SPE1)의 제2 줄기부(SPE1b)와 제2 서브 화소 전극(SPE2)의 제2 줄기부(SPE2b)는 제2 방향(d2)을 기준으로 서로 동일 선상에 배치되지 않는다. 이에 따라, 제1 서브 화소 전극(SPE1)의 복수의 제1 가지부(SPE1c)의 연장 방향과 제2 서브 화소 전극(SPE2)의 복수의 제1 가지부(SPE2c)의 연장 방향은 서로 반대될 수 있다.
- [0140] 한편, 서로 동일 행에 배치되는 화소부 간에는 두 개의 서브 화소 전극 각각의 형상이 서로 동일할 수 있다. 즉, 제1 화소부(PX1_4)에 포함되는 두 개의 서브 화소 전극 각각의 형상은 제1 화소부(PX1_4)와 동일 행에 배치되는 제2 화소부(PX2_4)에 포함되는 두 개의 서브 화소 전극 각각의 형상과 동일할 수 있다. 또한, 제3 화소부

(PX3_4)에 포함되는 두 개의 서브 화소 전극 각각의 형상은 제3 화소부(PX3_4)와 동일 행에 배치되는 제4 화소부(PX4_4)에 포함되는 두 개의 서브 화소 전극 각각의 형상과 동일할 수 있다.

[0141] 이에 반해, 서로 동일 열에 배치되는 화소부 간에는 두 개의 서브 화소 전극 각각의 형상이 서로 다를 수 있다. 보다 상세하게는, 서브 화소 전극에 포함되는 복수의 가지부의 연장 방향이 서로 반대될 수 있다. 즉, 동일 열에 배치되는 화소부 간에는 서브 화소 전극에 포함된 복수의 가지부의 연장 방향이 서로 엇갈리도록 배치될 수 있다.

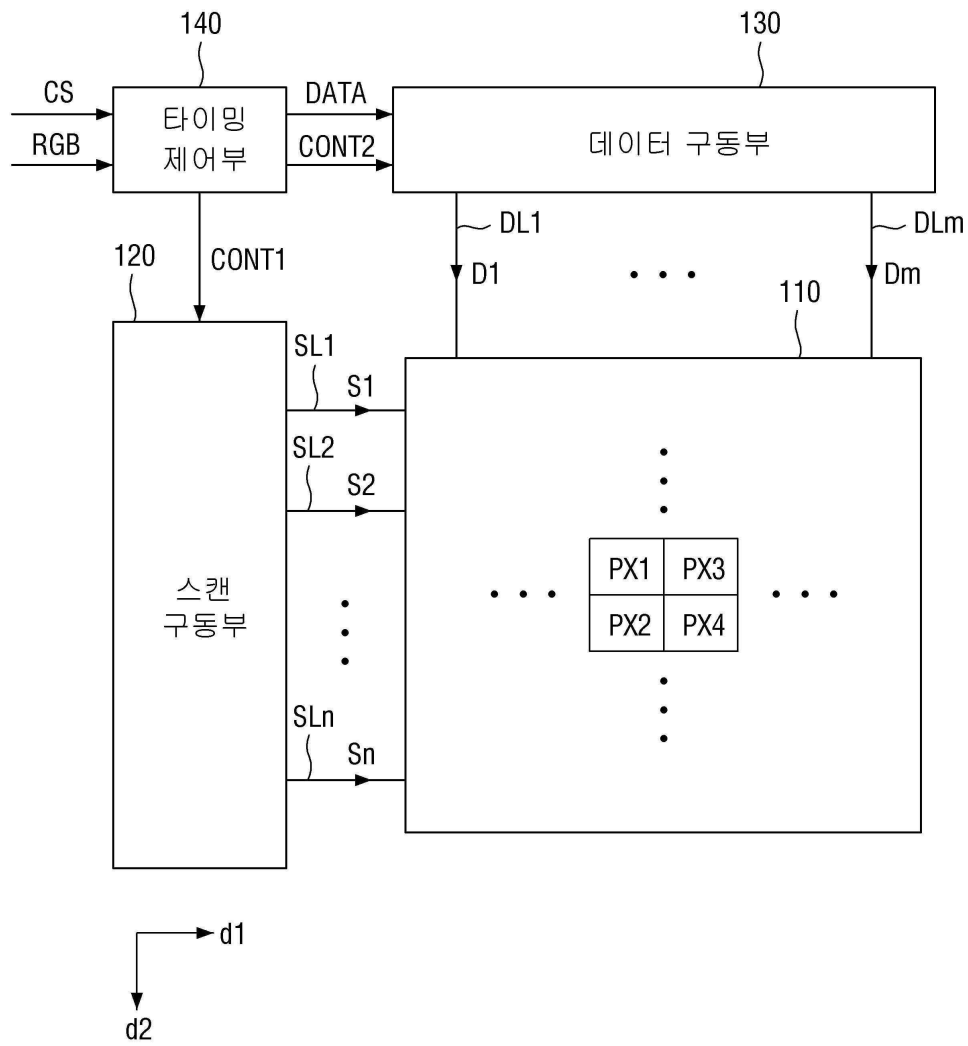
[0142] 이상에서 본 발명의 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 본 발명의 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

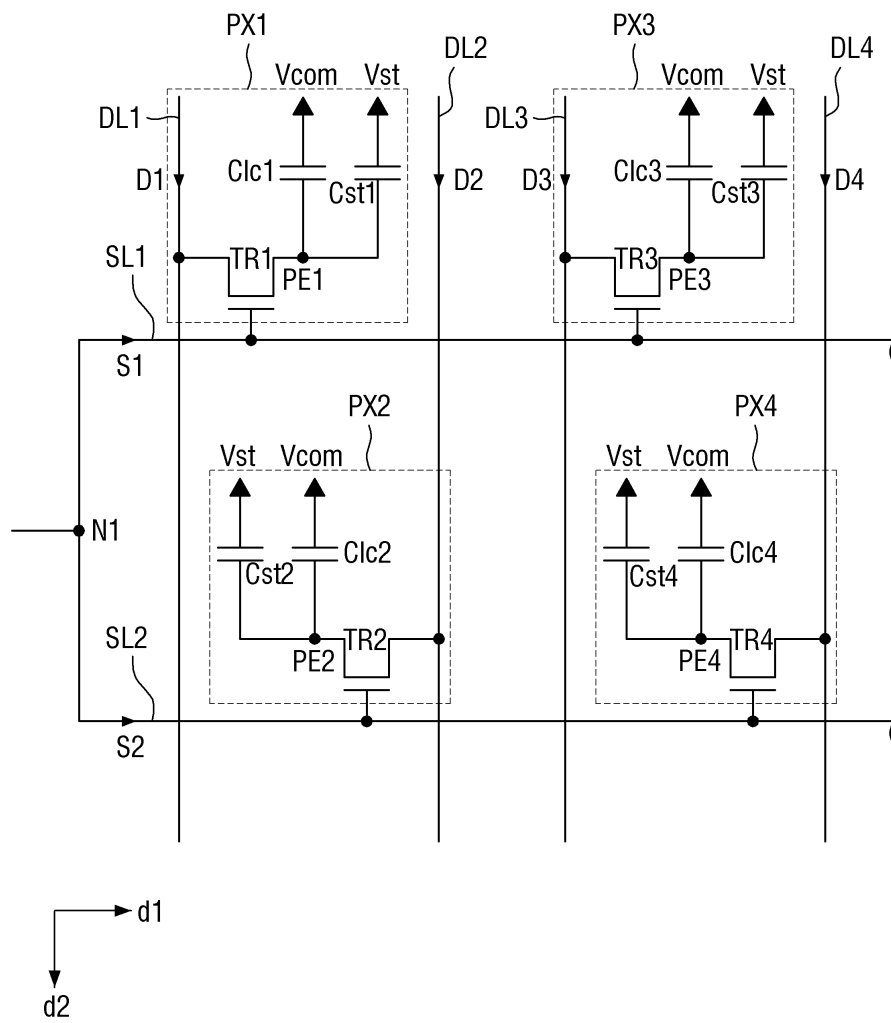
[0143] 110: 표시부;
120: 스캔 구동부;
130: 데이터 구동부;
140: 타이밍 제어부;
210: 제1 기판;
220: 게이트 절연층;
230: 반도체층;
240: 저항성 접촉층;
TR1: 제1 스위칭 소자;
PE1: 제1 화소 전극;
PX1: 제1 화소부;
310: 제2 기판;
320: 평탄화층;
CE: 공통 전극;
BM: 블랙 매트릭스;
400: 액정층;

도면

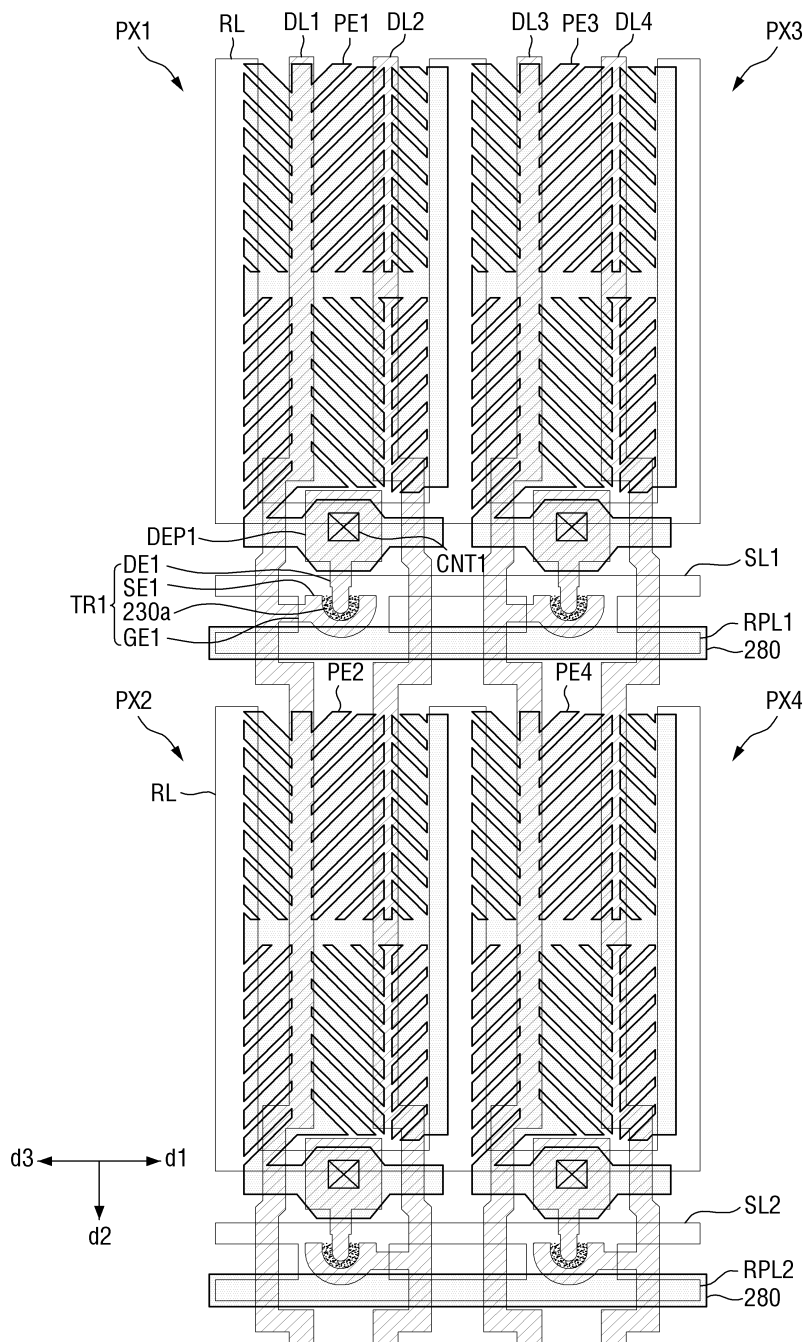
도면1



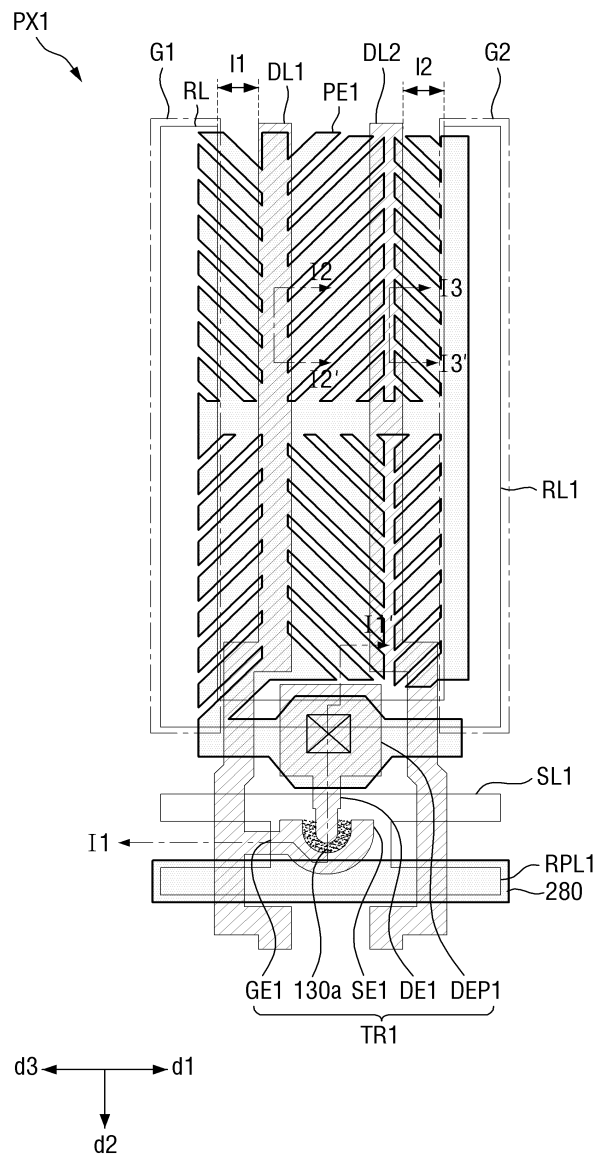
도면2



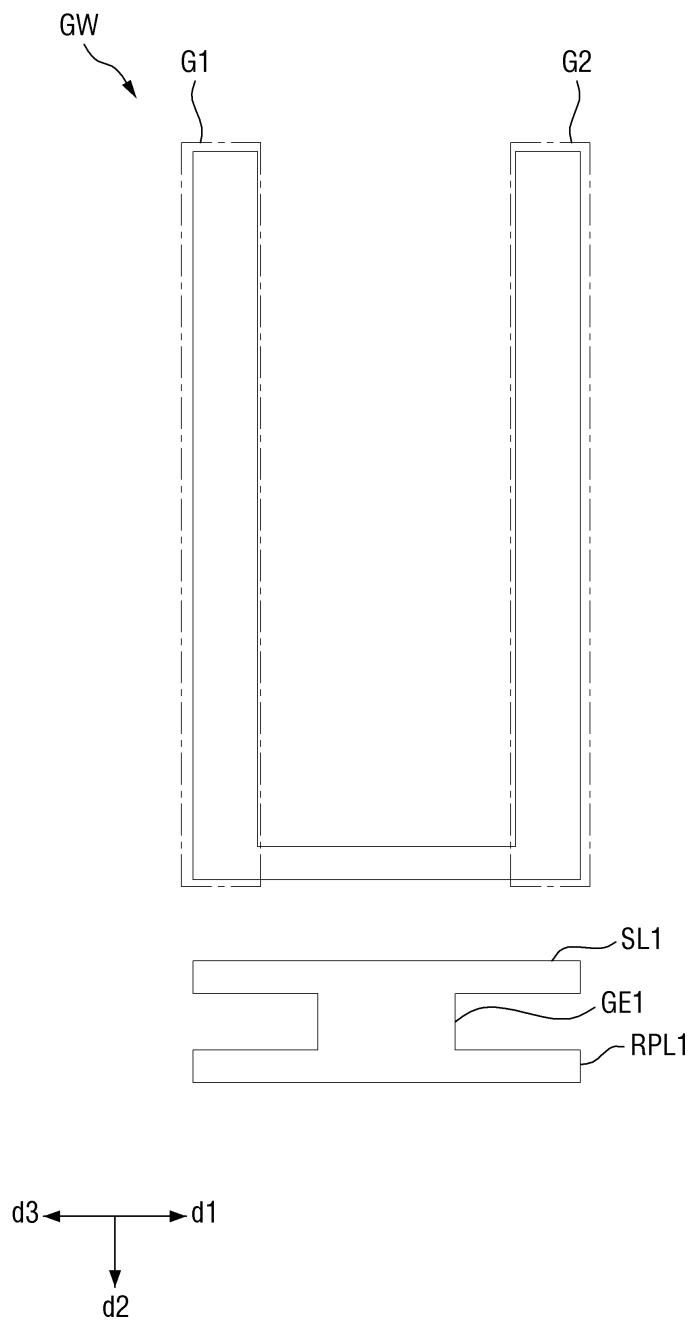
도면3a



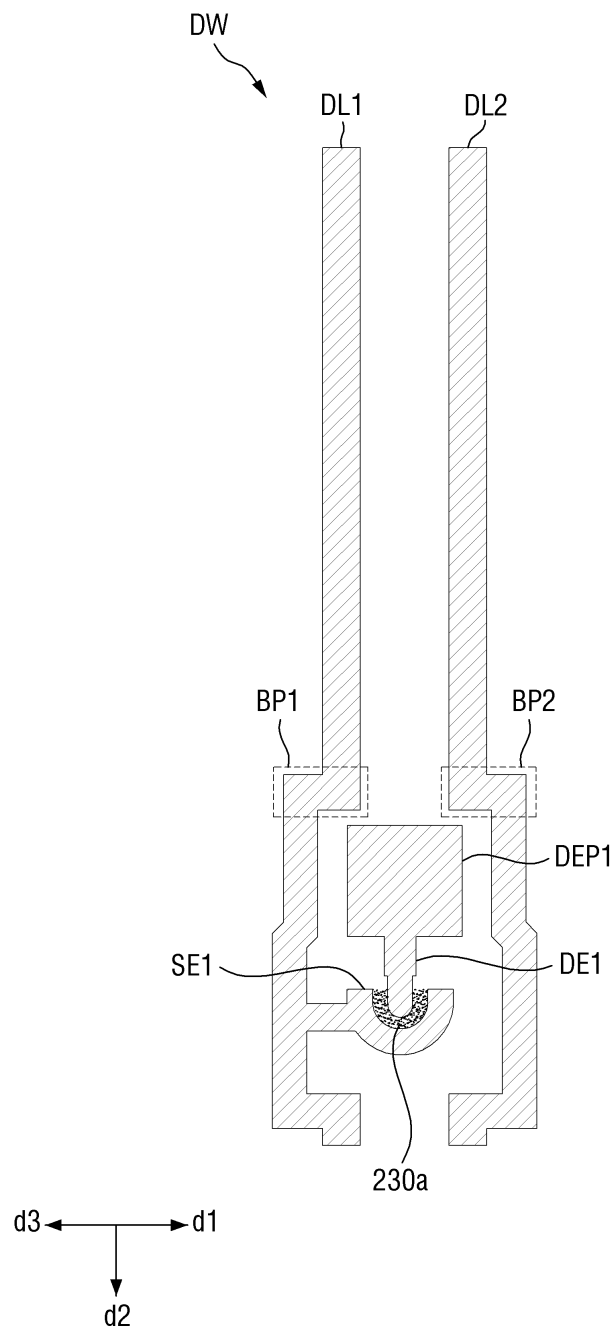
도면3b



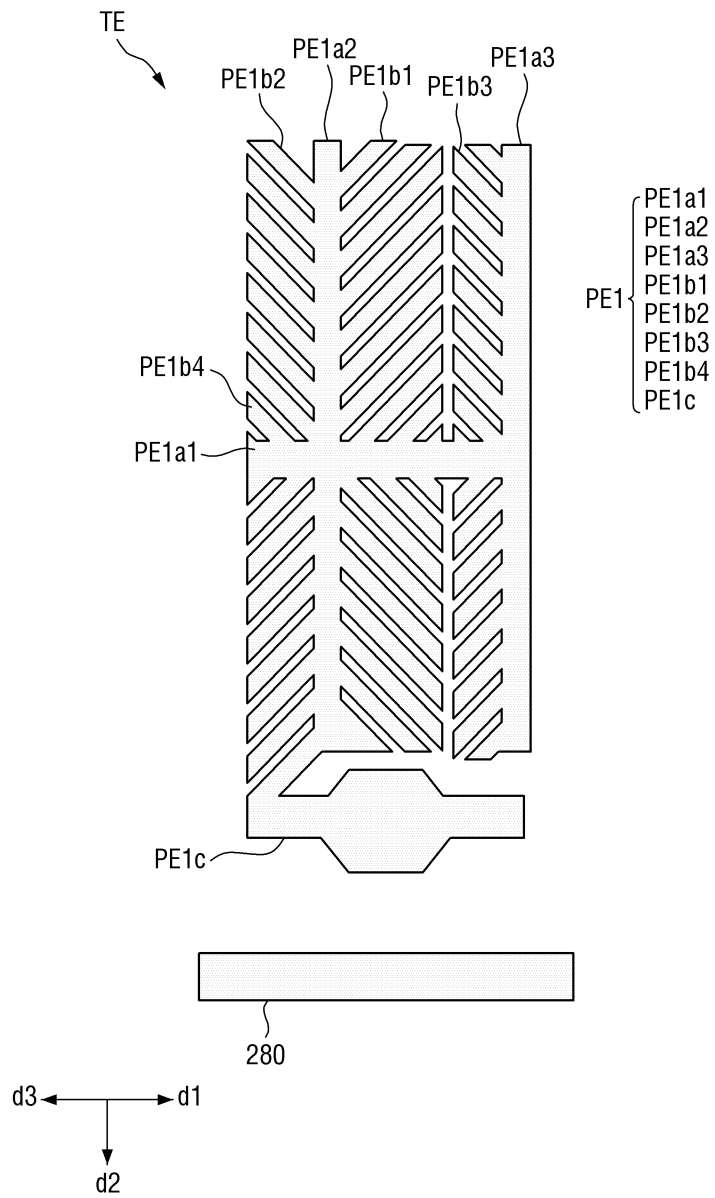
도면4



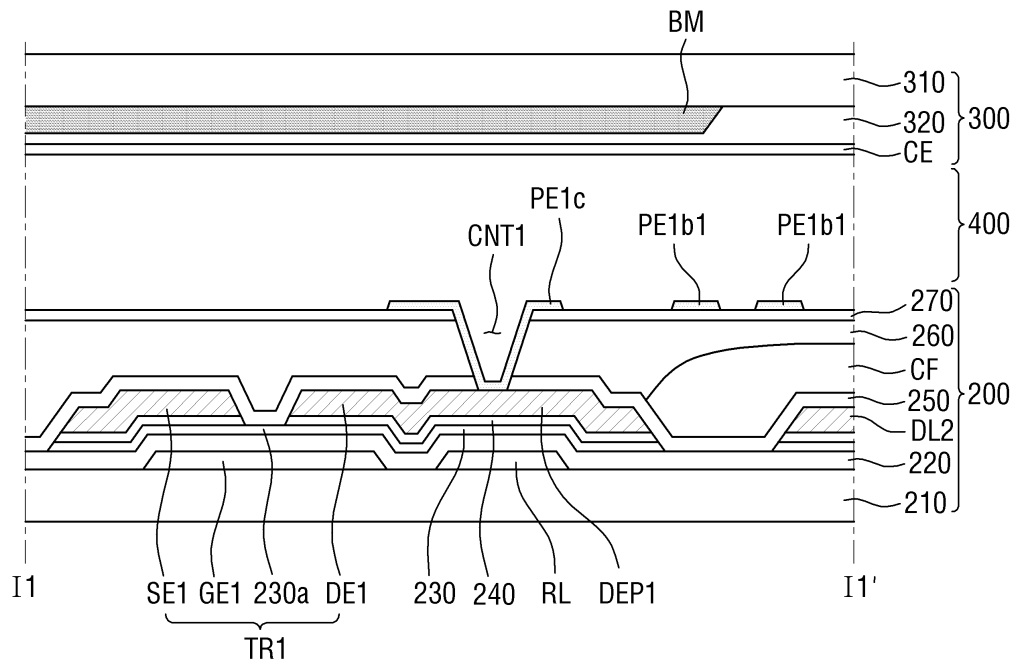
도면5



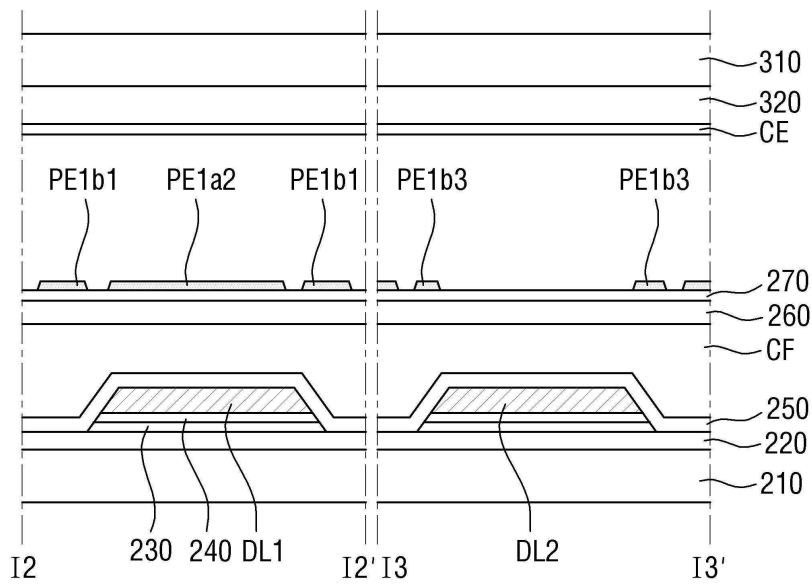
도면6



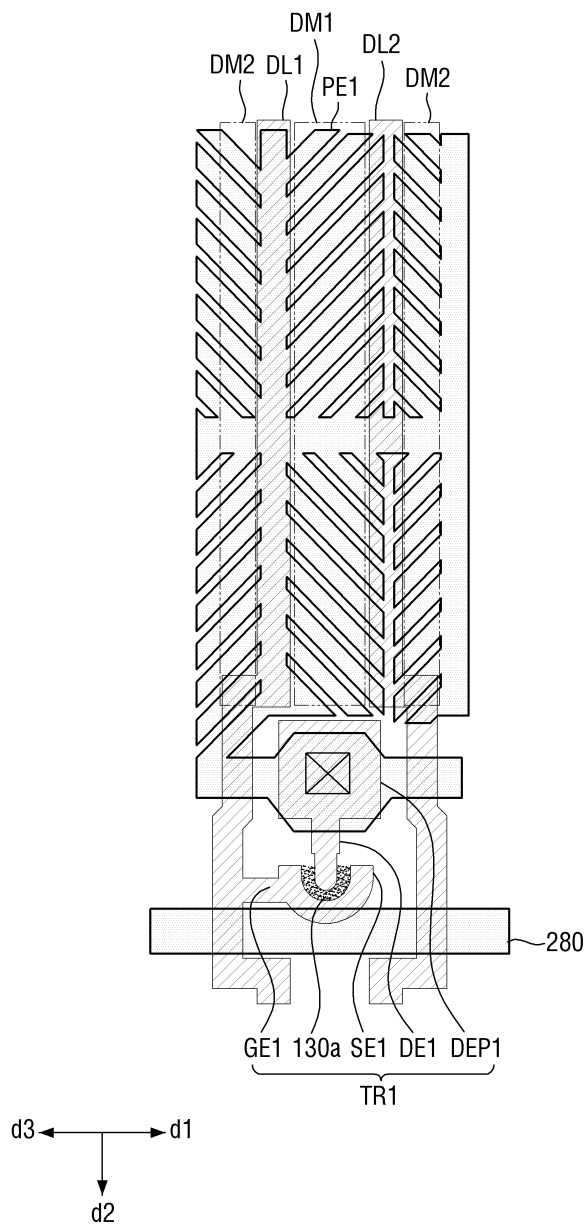
도면7



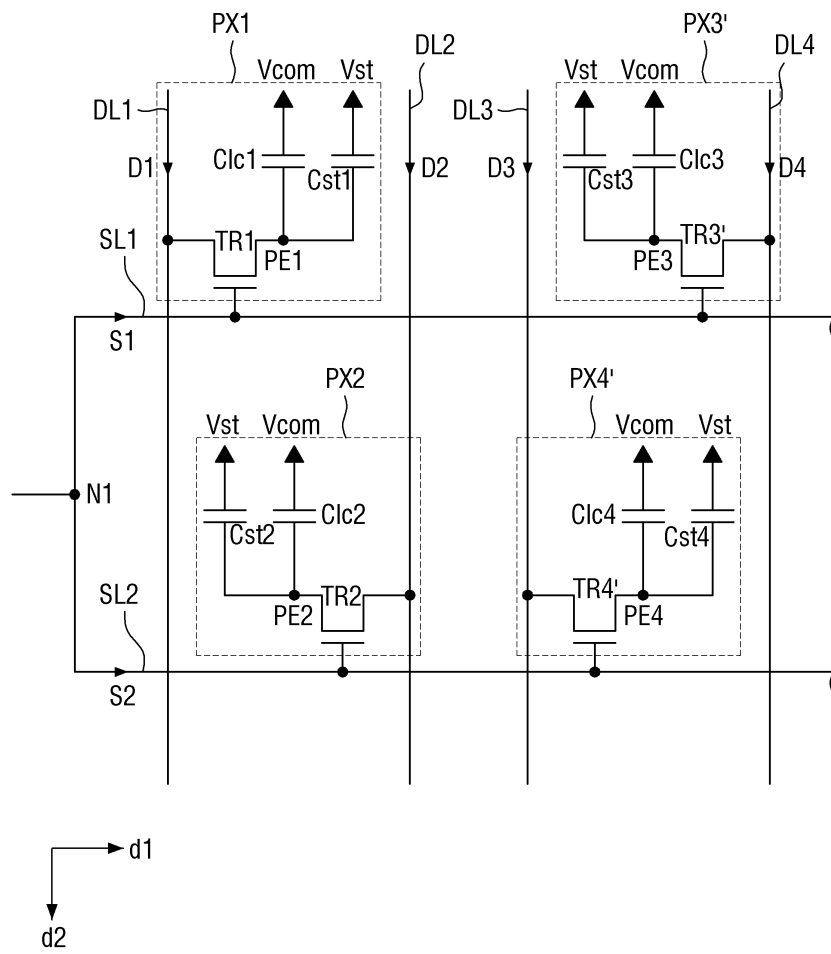
도면8



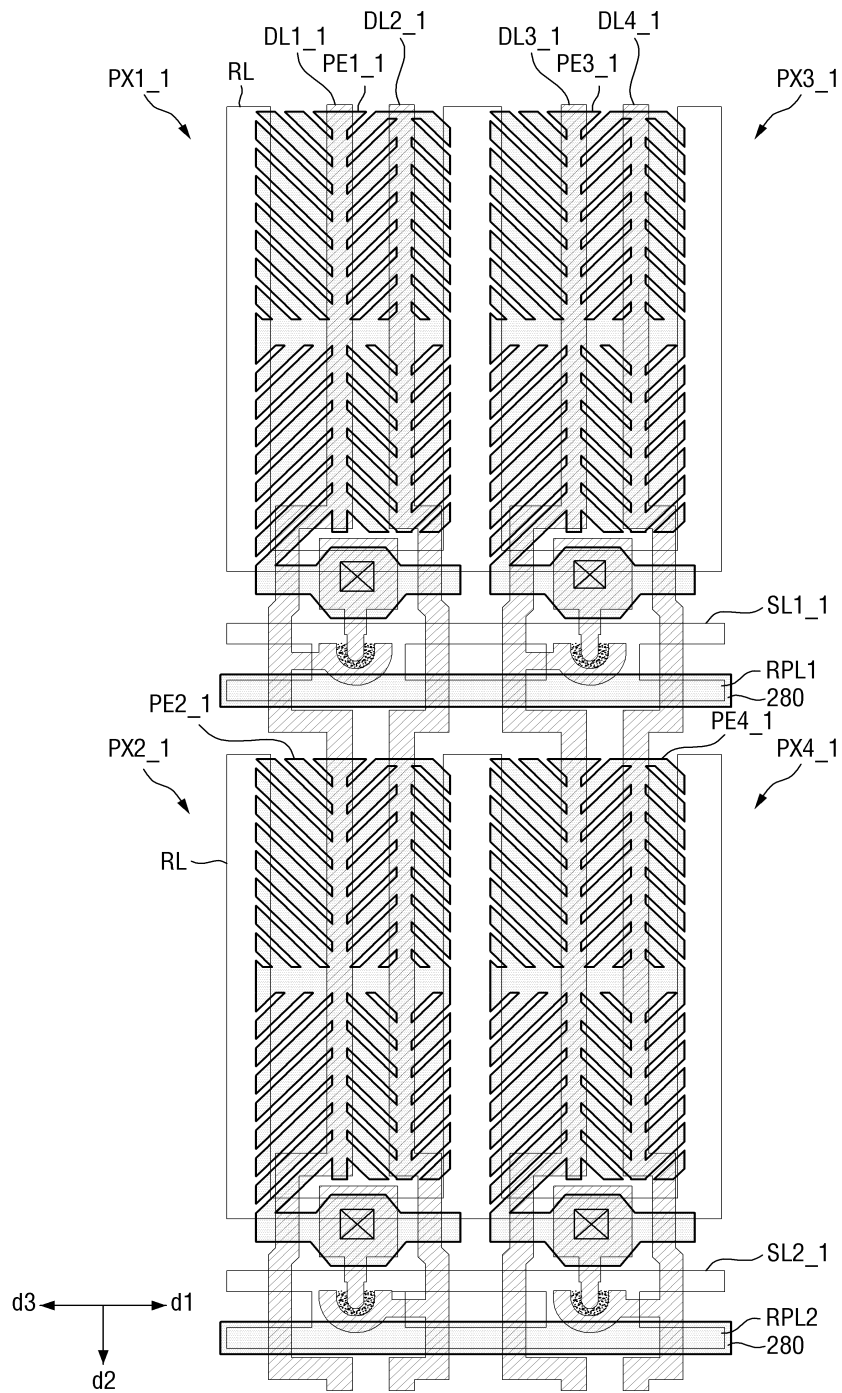
도면9



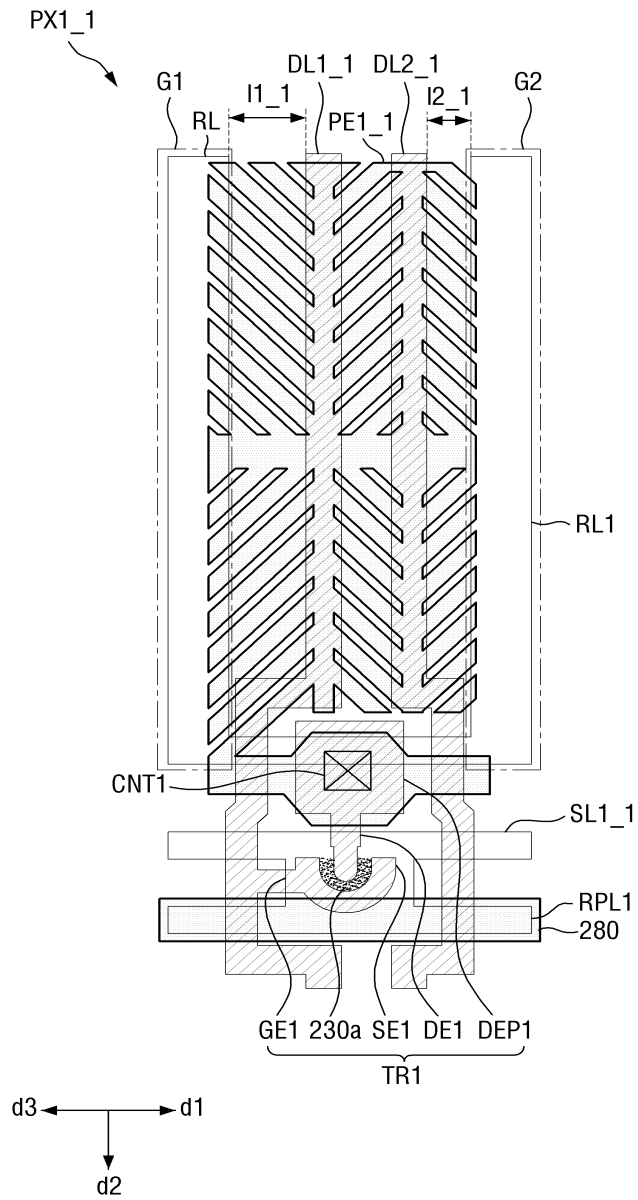
도면10



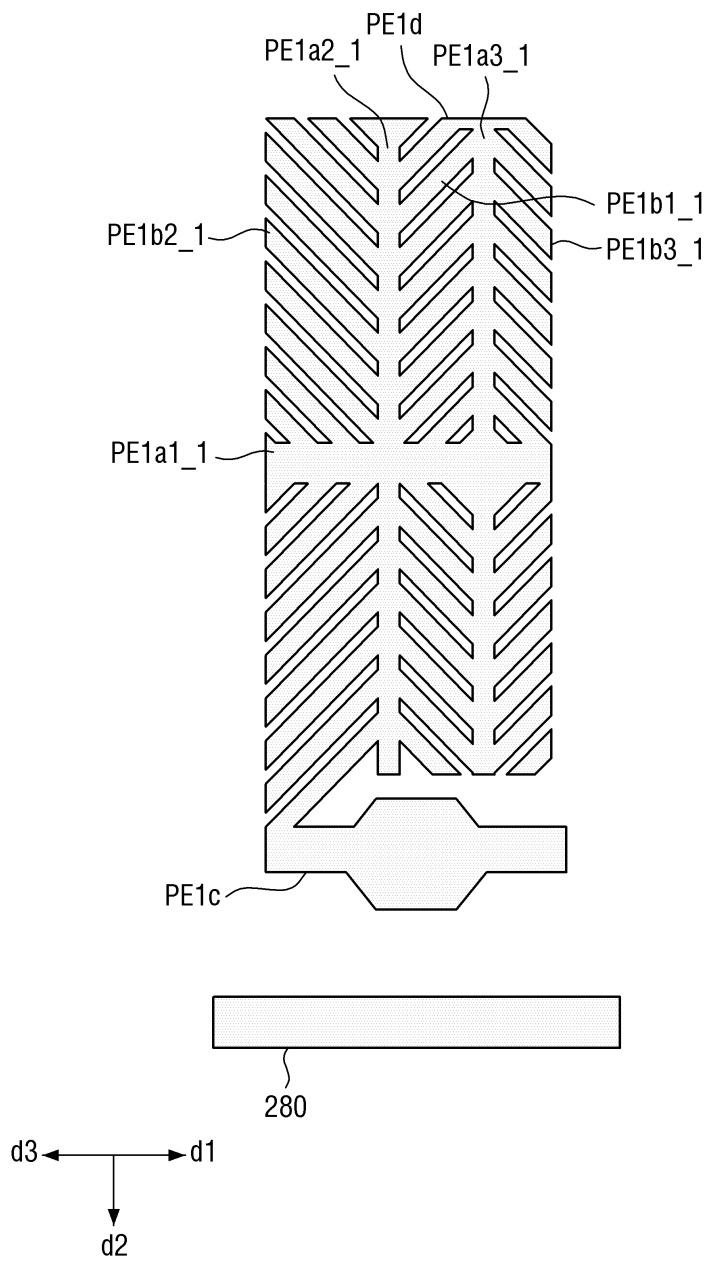
도면11a



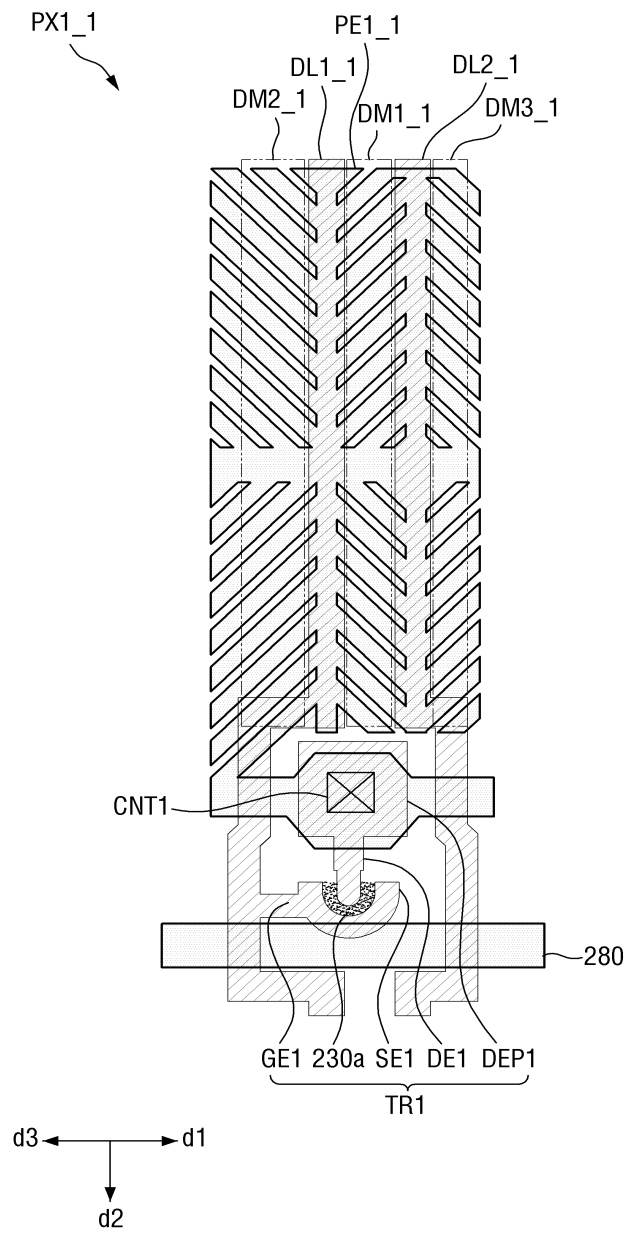
도면11b



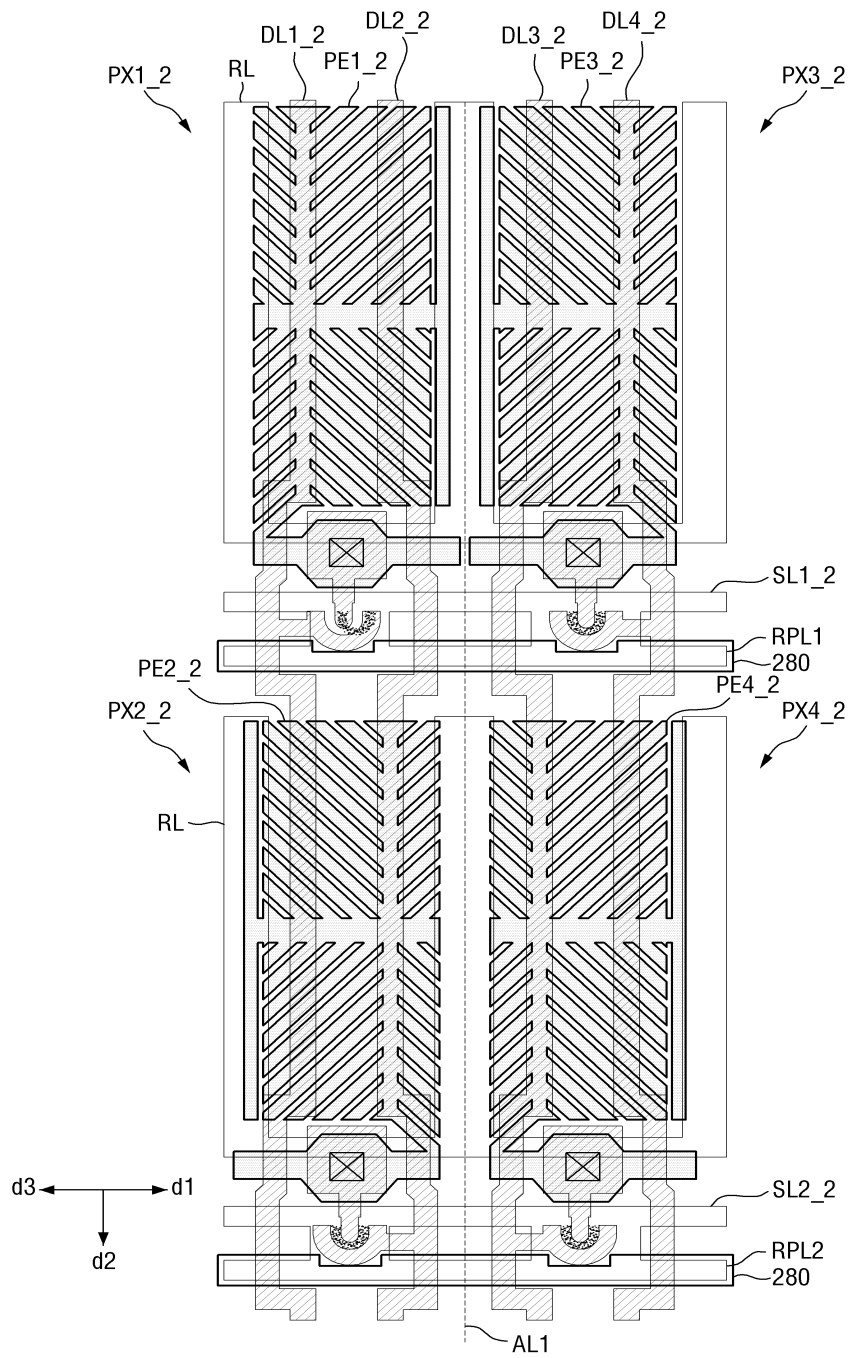
도면12



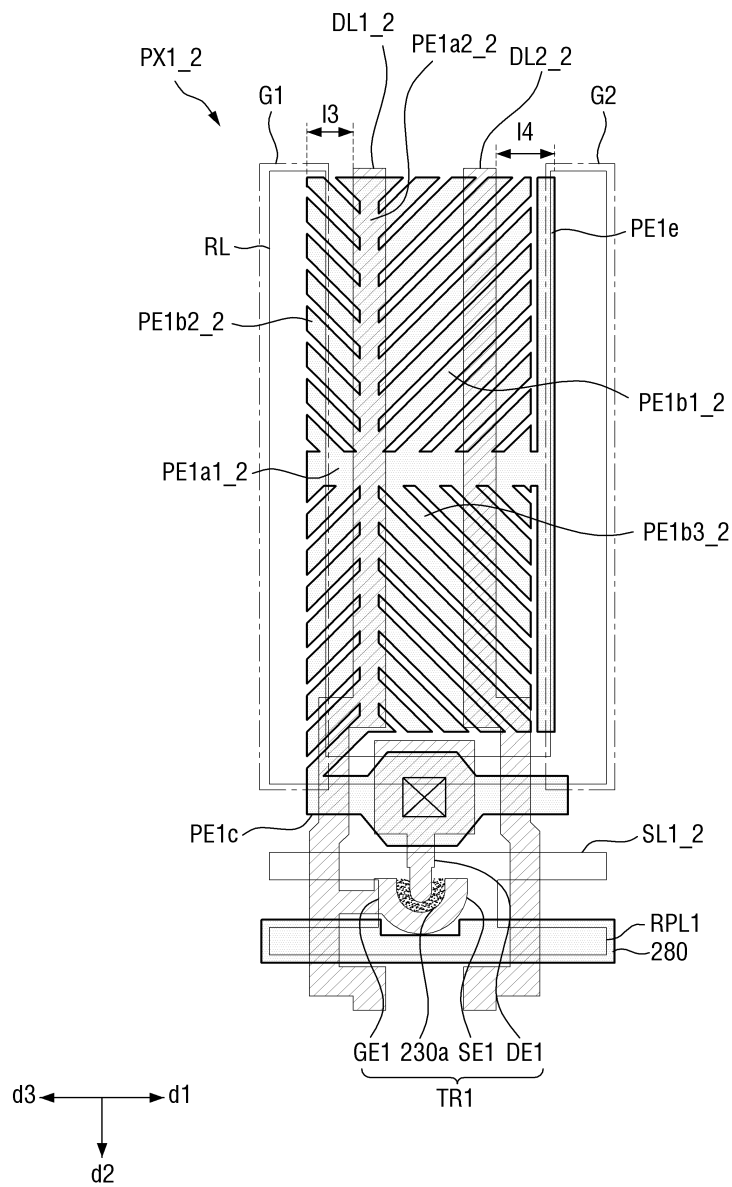
도면13



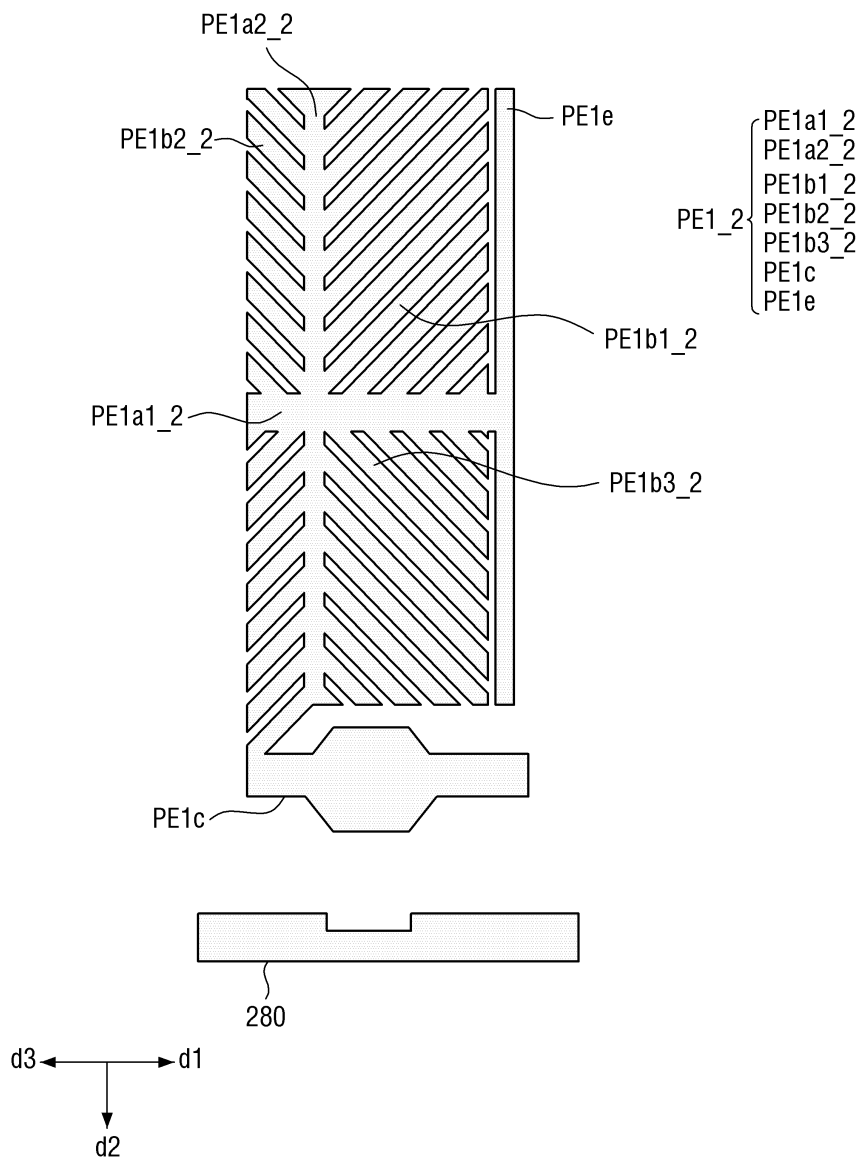
도면14a



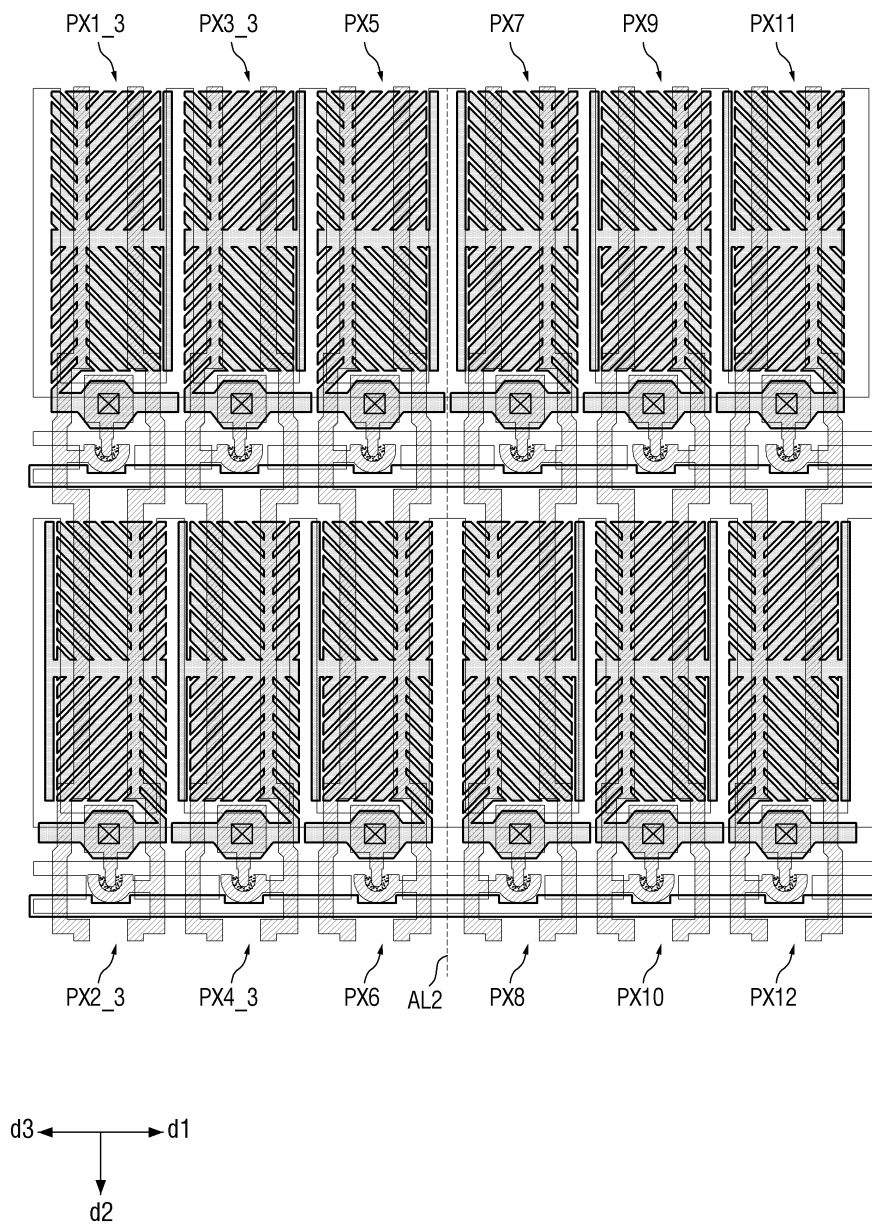
도면14b



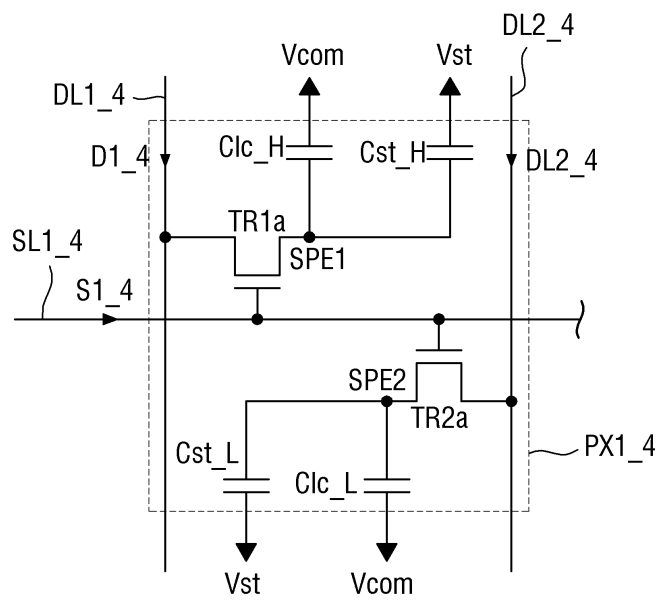
도면15



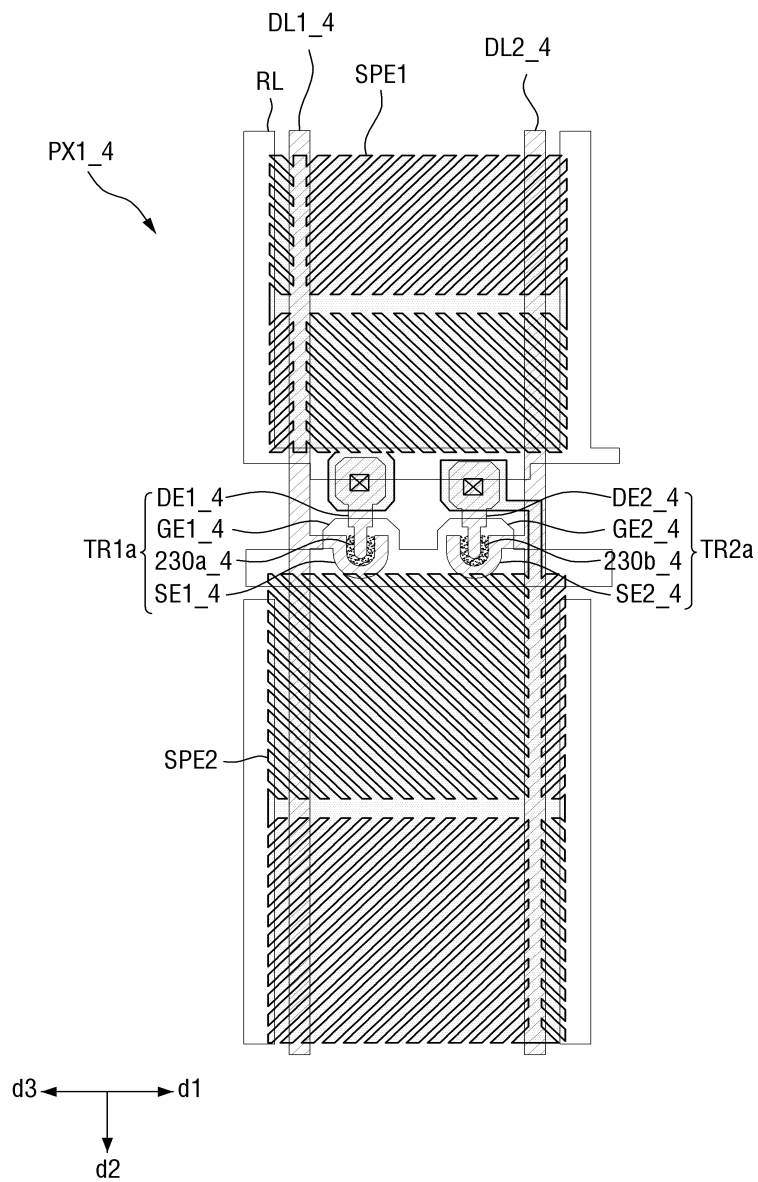
도면16



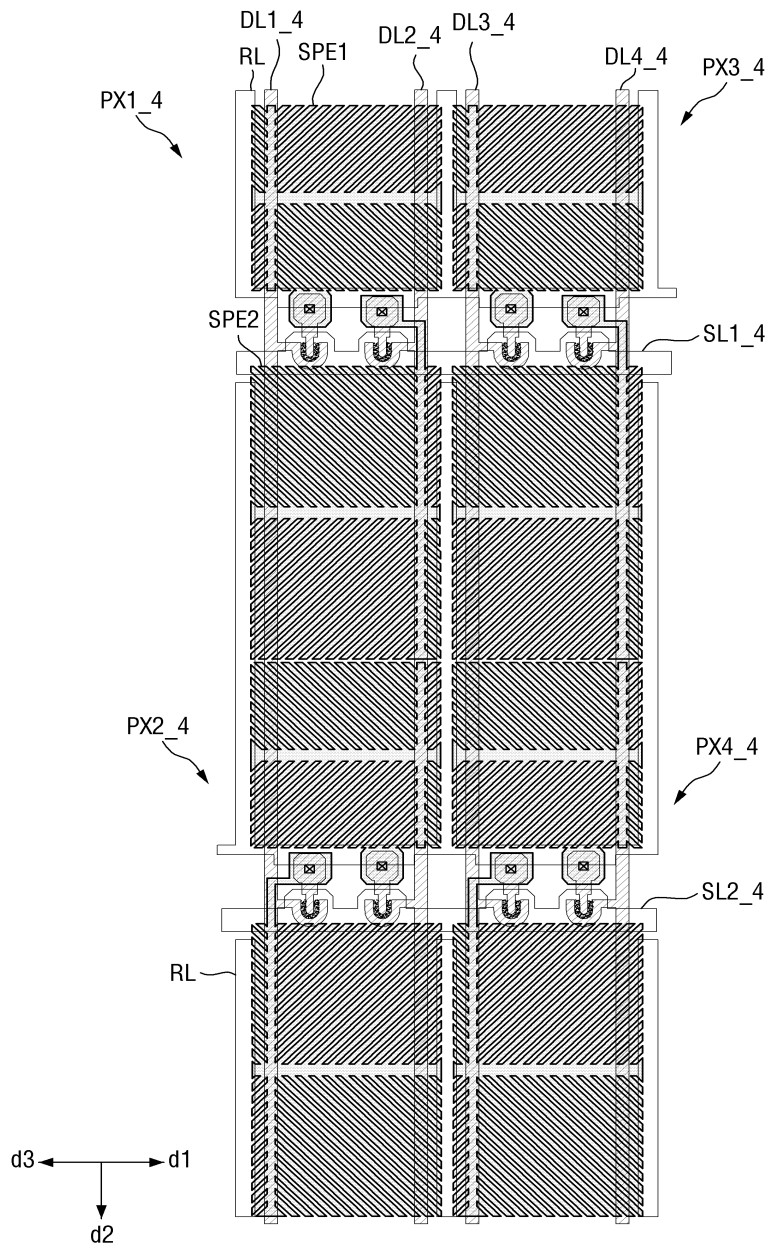
도면17



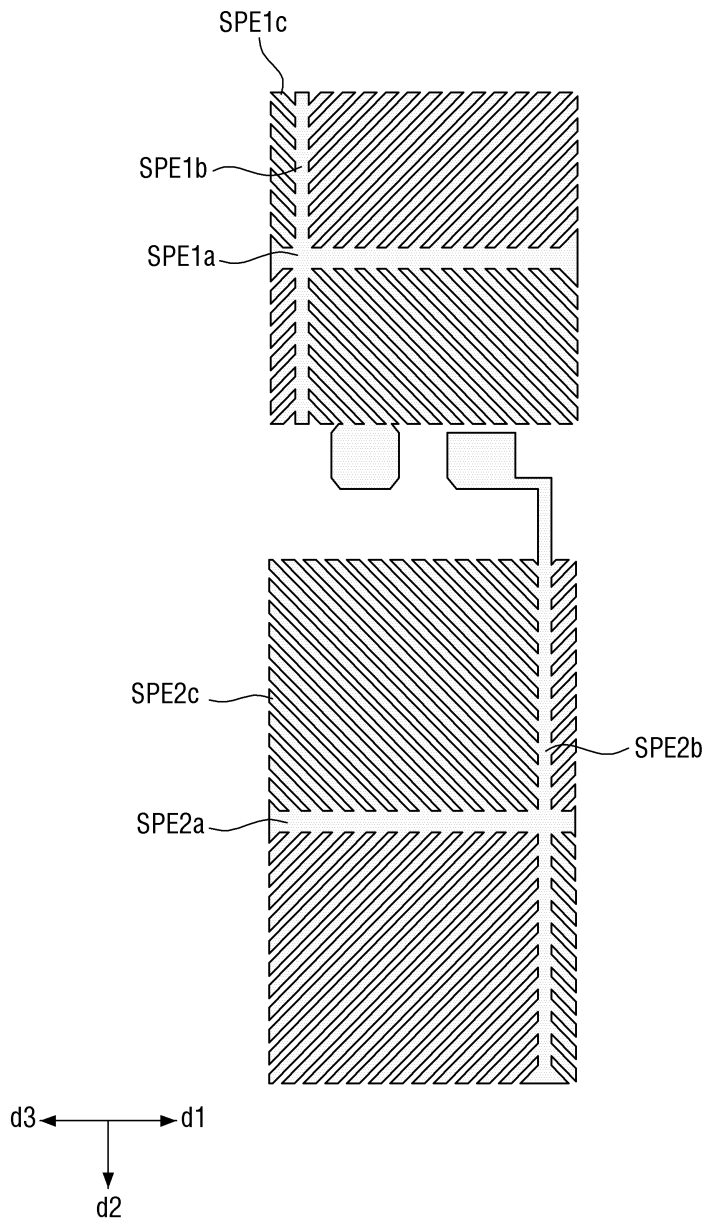
도면18a



도면18b



도면19



专利名称(译)	液晶显示器		
公开(公告)号	KR1020190115141A	公开(公告)日	2019-10-11
申请号	KR1020180036820	申请日	2018-03-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	신동희 라유미 송형진 전수홍		
发明人	신동희 라유미 송형진 전수홍		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/13439 G02F1/136213 G02F1/136286 G02F1/1368 G02F2201/123 G02F1/13624 G02F2001/134345 G02F1/133707 G09G3/36 G09G2300/0426 G09G2300/0447 G02F1/136277 G02F2001/136222 G09G3/3677 G09G3/3688 G09G2300/0465 G09G2300/0809 G09G2310/08		
外部链接	Espacenet		

摘要(译)

根据本发明的实施例，一种液晶显示装置包括：第一像素电极，其包括在第一方向上延伸的第一主干部分，连接到第一主干部分并在与第一主干部分相交的第二方向上延伸的第二主干部分。方向，第三茎部连接到第一茎部并在第二方向上延伸，多个第一分支部从第二茎部延伸到第三茎部，以及多个第二分支部从第三茎部延伸到第二茎部分；在第二方向上延伸并与第二茎部重叠的第一数据线；在第二方向上延伸并与第一和第二分支部分重叠的第二数据线；在第一方向上延伸的第一扫描线；第一开关元件，其包括连接至第一扫描线的控制电极，连接至第一数据线的电极，以及连接至第一像素电极的另一个电极。

