



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0053931
(43) 공개일자 2018년05월24일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/136259 (2013.01)
G02F 1/134363 (2013.01)
(21) 출원번호 10-2016-0151103
(22) 출원일자 2016년11월14일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
신동수
경기도 파주시 청암로 28 (목동동, 산내마을8단지
월드메르디앙아파트) 815동 1406호
(74) 대리인
특허법인로얄

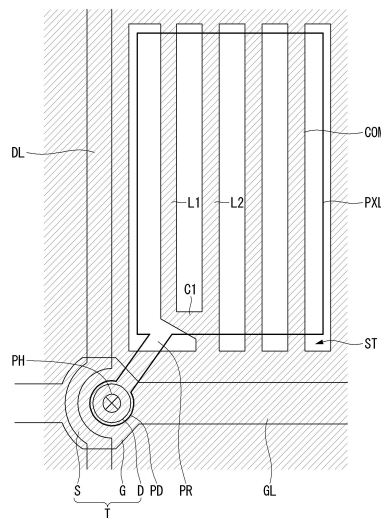
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 고 투과율을 갖는 고 해상도 액정표시장치용 박막 트랜지스터 기판

(57) 요약

본 발명은 고 투과율을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기판에 관한 것이다. 본 발명에 의한 박막 트랜지스터 기판은, 게이트 배선, 데이터 배선, 화소 영역, 박막 트랜지스터, 화소 전극, 화소 리페어부, 드레인 연결부, 그리고 공통 전극을 포함한다. 게이트 배선은, 기판의 가로 방향으로 진행한다. 데이터 배선은, 기판의 세로 방향으로 진행한다. 화소 영역, 게이트 배선과 데이터 배선에 의해 정의된다. 박막 트랜지스터는, 게이트 배선과 데이터 배선의 교차점에 배치된다. 화소 전극은, 화소 영역 내에 배치된 장방 형상을 갖는다. 화소 리페어부는, 화소 전극에서 분기되어 박막 트랜지스터로 연장된다. 드레인 연결부는, 화소 리페어부의 끝단에서 박막 트랜지스터와 연결된다. 공통 전극은, 화소 전극과 중첩하는 다수 개의 선분 형상을 갖고, 화소 리페어부를 우회한다.

대표도 - 도5



(52) CPC특허분류

G02F 1/136286 (2013.01)

G02F 1/1368 (2013.01)

G02F 2201/121 (2013.01)

G02F 2201/123 (2013.01)

G02F 2201/40 (2013.01)

명세서

청구범위

청구항 1

기판의 가로 방향으로 진행되는 게이트 배선;
상기 기판의 세로 방향으로 진행되는 데이터 배선;
상기 게이트 배선과 상기 데이터 배선에 의해 정의된 화소 영역;
상기 게이트 배선과 상기 데이터 배선이 교차점에 배치된 박막 트랜지스터;
상기 화소 영역 내에 배치된 장방 형상의 화소 전극;
상기 화소 전극에서 분기되어 상기 박막 트랜지스터로 연장된 화소 리페어부;
상기 화소 리페어부의 끝단에서 상기 박막 트랜지스터와 연결되는 드레인 연결부; 그리고
상기 화소 전극과 중첩하는 다수 개의 선분 형상을 갖고, 상기 화소 리페어부를 우회하는 공통 전극을 포함하는 박막 트랜지스터 기판.

청구항 2

제 1 항에 있어서,
상기 공통 전극의 상기 다수 개의 선분들 중, 그 연장 선상에 상기 화소 리페어부와 중첩하는 제1 선분은,
상기 화소 리페어부를 우회하여, 이웃하는 제2 선분과 연결되는 우회 연결부를 포함하는 박막 트랜지스터 기판.

청구항 3

제 1 항에 있어서,
상기 공통 전극은,
상기 다수 개의 선분 형상 사이에 배치된 슬릿부를 더 포함하고,
상기 화소 리페어부는 상기 슬릿부 내에 배치된 박막 트랜지스터 기판.

청구항 4

제 1 항에 있어서,
상기 박막 트랜지스터는,
상기 교차점에서 상기 게이트 배선의 폭과 너비가 확대된 게이트 전극;
상기 게이트 전극과 중첩하는 상기 데이터 배선의 일부인 소스 전극; 그리고
상기 게이트 전극과 중첩하며, 상기 데이터 배선과 일정 거리 이격된 드레인 전극을 포함하는 박막 트랜지스터 기판.

청구항 5

제 4 항에 있어서,

상기 드레인 전극은,

상기 게이트 전극과 중첩하며, 상기 소스 전극과 대향하는 채널 대향부; 그리고

상기 채널 대향부에서 상기 게이트 배선 상부로 연장 확대된 화소전극 연결부를 더 포함하는 박막 트랜지스터 기판.

청구항 6

제 5 항에 있어서,

상기 화소전극 연결부와 중첩하는 상기 게이트 배선은,

상기 게이트 배선의 폭보다 좁은 폭을 갖는 협소부를 갖는 박막 트랜지스터 기판.

청구항 7

제 5 항에 있어서,

상기 화소전극 연결부는,

상기 드레인 연결부와 접촉하는 박막 트랜지스터 기판.

청구항 8

제 4 항에 있어서,

상기 소스 전극은, 반원호 형상을 가지며,

상기 드레인 전극은, 원형 형상을 갖고, 상기 소스 전극과 일정 거리 이격된 박막 트랜지스터 기판.

청구항 9

제 8 항에 있어서,

상기 소스 전극은,

상부 원호부;

하부 원호부; 그리고

상기 상부 원호부와 상기 하부 원호부를 연결하는 수직 선분부를 포함하고,

상기 드레인 전극은,

상기 원형을 이루는 원주부; 그리고

상기 수직 선분부와 대향하도록 상기 원주부의 일부를 자른 직선부를 포함하는 박막 트랜지스터 기판.

청구항 10

제 9 항에 있어서,

상기 수직 선분부 및 상기 직선부의 길이는 2 ~ 6 μ m인 박막 트랜지스터 기판.

발명의 설명

기술분야

[0001] 본 발명은 고 투과율을 갖는 고 해상도 액정 표시장치(Liquid Crystal Display: LCD)용 박막 트랜지스터(Thin Film Transistor: TFT) 기판에 관한 것이다. 특히, 본 발명은 휴대용 액정 표시장치에서 고 해상도를 구현할 경우, 화소의 크기가 작아짐에 따라 발생하는 투과율 저하 문제를 해소한, 고 투과율을 갖는 고 해상도 액정 표시장치용 박막 트랜지스터 기판에 관한 것이다.

배경기술

[0002] 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 능동형으로 구동하는 액정 표시장치, 유기발광 표시장치 및 전기영동 표시장치의 경우, 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기판을 포함한다. 액정표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 구분한다.

[0004] 수직 전계형 액정표시장치는 상 하부 기판에 대향하게 배치된 화소 전극과 공통전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면, 시야각이 90도 정도로 좁은 단점이 있다.

[0005] 수평 전계형 액정표시장치는 하부 기판에 평행하게 배치된 화소 전극과 공통전극 사이에 수평 전계를 형성하여 인-플레인 스위칭(In Plane Switching: IPS) 모드의 액정을 구동한다. 이러한 IPS 모드의 액정표시장치는 시야각이 160도 정도로 넓은 장점이 있으나, 개구율 및 투과율이 낮은 단점이 있다. 구체적으로 IPS 모드의 액정표시장치는 인 플레인 필드(In Plane Field)를 형성하기 위해서 공통전극과 화소전극간의 간격을 상부 기판과 하부 기판의 간격(셀 갭: Cell Gap)보다 넓게 형성하고, 적절한 세기의 전계를 얻기 위해서 공통전극과 화소 전극을 일정한 너비를 갖는 띠 형태로 형성한다. 이와 같은 IPS 모드의 화소 전극 및 공통전극 사이에는 기판과 거의 평행한 전계가 형성되지만, 일정 너비를 갖는 화소 전극 및 공통전극들 상부의 액정에는 전계가 형성되지 않는다. 즉, 화소 전극 및 공통전극 상부에 놓인 액정분자들은 구동되지 않고 초기 배열 상태를 유지한다. 초기 상태를 유지하는 액정은 광을 투과시키지 못하여 개구율 및 투과율을 저하하는 요인이 된다.

[0006] 이러한 IPS 모드의 액정표시장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작하는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정표시장치가 제안되었다. FFS 타입의 액정표시장치는 각 화소 영역에 절연막을 사이에 둔 공통전극과 화소 전극을 구비하고, 그 공통전극과 화소 전극이 수직 방향으로 서로 중첩되거나, 중첩하지 않더라도 수평 방향으로의 이격 간격이 상부 기판과 하부 기판의 간격보다 좁게 형성하여 공통전극과 화소 전극 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상 하부 기판 사이에 개재된 액정 분자들은 모두 동작함으로써 개구율 및 투과율이 향상된 결과를 얻을 수 있다.

[0007] 프린지 필드 방식의 액정표시장치는 공통 전극과 화소 전극이 중첩되거나 상당히 가까운 위치에 배치되기 때문에 공통 전극과 화소 전극 사이에서 보조 용량이 형성된다. 따라서, IPS 모드와 달리 보조 용량을 형성하지 않아도 된다는 장점이 있다. 하지만, 대화면 표시장치를 프린지 필드 방식으로 구현할 경우, 화소의 크기가 커지고 따라서 보조 용량의 크기도 커지므로 이를 구동하기 위해서는 박막 트랜지스터가 커져야 한다는 문제점이 있다.

[0008] 이러한 문제점을 해결하기 위해, 박막 트랜지스터의 크기를 키우지 않고도 고용량 구동 특성을 갖는 금속 산화물 반도체 층을 갖는 박막 트랜지스터 기판이 응용되고 있다. 도 1은 종래의 프린지 필드 방식의 액정표시장치에 포함된 산화물 반도체 층을 갖는 박막 트랜지스터 기판을 나타내는 평면도이다. 도 2는 도 1에 도시한 박막 트랜지스터 기판을 절취선 I-I' 선을 따라 자른 단면도이다.

[0009] 도 1 및 도 2에 도시된 금속 산화물 반도체 층을 갖는 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL), 그 교차 구조에 의해 정의된 각 화소 영역 내에 형성된 박막 트랜지스터(T)를 구비한다.

- [0010] 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기된 게이트 전극(G), 데이터 배선(DL)에서 분기된 소스 전극(S), 소스 전극(S)과 대향하는 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하면 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 층(A)을 포함한다.
- [0011] 특히, 반도체 층(A)을 산화물 반도체 물질로 형성하는 경우, 높은 전하 이동도 특성에 의해 충전 용량이 큰 대면적 박막 트랜지스터 기판에 유리하다. 그러나 산화물 반도체 물질은 소자의 안정성을 확보하기 위해 상부 표면에 식각액으로부터 보호를 위한 에치 스톱퍼(ES)를 더 포함하는 것이 바람직하다. 구체적으로, 소스 전극(S)과 드레인 전극(D) 사이의 분리된 부분을 통해 유입되는 식각액으로부터 반도체 층(A)을 보호하도록 에치 스톱퍼(ES)를 형성하는 것이 바람직하다.
- [0012] 게이트 배선(GL)의 일측 단부에는 외부로부터 게이트 신호를 인가받기 위한 게이트 패드(GP)를 포함한다. 게이트 패드(GP)는 게이트 절연막(GI)을 관통하는 제1 게이트 패드 콘택홀(GH1)을 통해 게이트 패드 중간 단자(IGT)와 접촉한다. 게이트 패드 중간 단자(IGT)는 제1 보호막(PA1)과 제2 보호막(PA2)을 관통하는 제2 게이트 패드 콘택홀(GH2)을 통해 게이트 패드 단자(GPT)와 접촉한다. 한편, 데이터 배선(DL)의 일측 단부에는 외부로부터 화소 신호를 인가받기 위한 데이터 패드(DP)를 포함한다. 데이터 패드(DP)는 제1 보호막(PA1) 및 제2 보호막(PA2)을 관통하는 데이터 패드 콘택홀(DPH)을 통해 데이터 패드 단자(DPT)와 접촉한다.
- [0013] 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PA2)을 사이에 두고 형성된 화소 전극(PXL)과 공통 전극(COM)을 구비한다. 공통 전극(COM)은 게이트 배선(GL)과 나란하게 배열된 공통 배선(CL)과 접촉된다. 공통 전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.
- [0014] 공통 전극(COM)과 화소 전극(PXL)의 위치 및 모양은 설계 환경과 목적에 맞추어 다양하게 형성할 수 있다. 공통 전극(COM)은 일정한 기준 전압이 인가되는 반면, 화소 전극(PXL)은 구현하고자 하는 비디오 데이터에 따라 수시로 변화하는 전압 값이 인가된다. 따라서, 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량이 발생할 수 있다. 이러한 기생 용량으로 인해 화질에 문제를 야기할 수 있기 때문에, 유전율이 낮은 유기물질을 두껍게 형성한 평탄화막(PAC)으로 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 것이 바람직하다.
- [0015] 즉, 데이터 배선(DL) 및 박막 트랜지스터(T)를 덮는 제1 보호막(PA1) 위에 유전율이 낮은 유기물질을 두껍게 형성한 평탄화막(PAC)을 형성한 후에, 공통 전극(COM)을 형성한다. 그리고 공통 전극(COM)을 덮는 제2 보호막(PA2)을 형성한 후, 공통 전극(COM)과 중첩하는 화소 전극(PXL)을 제2 보호막(PA2) 위에 형성한다. 이러한 구조에서는 화소 전극(PXL)이 데이터 배선(DL)과 제1 보호막(PA1), 평탄화막(PAC), 그리고 제2 보호막(PA2)에 의해 이격되므로 데이터 배선(DL)과 화소 전극(PXL) 사이에 기생 용량을 줄일 수 있다.
- [0016] 공통 전극(COM)은 화소 영역의 형태에 대응하는 장방형으로 형성되고, 화소 전극(PXL)은 다수 개의 선분 형상으로 형성된다. 특히, 화소 전극(PXL)은 제2 보호막(PA2)을 사이에 두고 공통 전극(COM)과 수직 상으로 중첩하는 구조를 갖는다. 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드가 형성되어 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.
- [0017] 이와 같은 박막 트랜지스터 기판을 고 해상도 휴대용 액정 표시장치에 적용할 경우, 화소의 크기가 작아지므로, 단일 화소에서 충분한 광량을 확보하는 것이 필요하다. 하지만, 도 1 및 2에서 도시한 구조와 같은 박막 트랜지스터 기판은, 드레인 전극(D)은 드레인 콘택홀(DH)을 통해 화소 전극(PXL)과 접촉한다. 즉, 드레인 전극(D)이 화소 전극(PXL)의 영역을 향해 연장된 구조를 갖는다.
- [0018] 드레인 전극(D)이 화소 전극(PXL) 쪽으로 연장되어 드레인 콘택홀(DH)을 형성할 만한 충분한 공간을 확보하여야 한다. 이러한 드레인 콘택홀(DH)을 형성하기 위한 공간으로 인해 개구 영역을 결정하는 화소 전극(PXL)의 영역이 축소된다. 저 해상도의 경우, 드레인 콘택홀(DH)이 차지하는 면적 비율이 크게 문제되지 않는다. 하지만, 300ppi(pixel per inch) 이상의 초고 해상도 표시장치에서는 단일 화소의 크기가 현저히 줄어들기 때문에, 드레인 콘택홀(DH)의 크기도 개구율을 감소하는 데 큰 영향을 준다.
- [0019] 따라서, 화면의 크기가 비교적 작은 휴대용 표시장치에서 초고해상도를 구현하기 위한 액정 표시장치에서 고 개구율을 확보할 수 있는 구조를 갖는 박막 트랜지스터 기판에 대한 필요성이 필요하다.

발명의 내용

해결하려는 과제

[0020] 본 발명의 목적은 상기 문제점들을 극복하기 위해 고안된 것으로, 초고 해상도를 갖고, 고 개구율을 확보한 액정 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다. 본 발명의 다른 목적은, 박막 트랜지스터를 게이트 요소와 중첩하여 고 개구율을 확보한 액정 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다. 본 발명의 또 다른 목적은, 박막 트랜지스터를 게이트 요소와 중첩한 구조에서, 불량 화소를 암점화할 수 있는 화소 리페어부를 구비한 액정 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다. 특히 화소 리페어부를 이용하여 화소 암점화 공정을 수행할 때 화소 전극과 공통 전극이 단락되지 않는 액정 표시장치용 박막 트랜지스터 기판을 제공하는 데 있다.

과제의 해결 수단

[0021] 상기 본 발명의 목적을 달성하기 위해, 본 발명에 의한 박막 트랜지스터 기판은, 게이트 배선, 데이터 배선, 화소 영역, 박막 트랜지스터, 화소 전극, 화소 리페어부, 드레인 연결부, 그리고 공통 전극을 포함한다. 게이트 배선은, 기판의 가로 방향으로 진행한다. 데이터 배선은, 기판의 세로 방향으로 진행한다. 화소 영역, 게이트 배선과 데이터 배선에 의해 정의된다. 박막 트랜지스터는, 게이트 배선과 데이터 배선의 교차점에 배치된다. 화소 전극은, 화소 영역 내에 배치된 장방 형상을 갖는다. 화소 리페어부는, 화소 전극에서 분기되어 박막 트랜지스터로 연장된다. 드레인 연결부는, 화소 리페어부의 끝단에서 박막 트랜지스터와 연결된다. 공통 전극은, 화소 전극과 중첩하는 다수 개의 선분 형상을 갖고, 화소 리페어부를 우회한다.

[0022] 일례로, 공통 전극의 공통 전극의 다수 개의 선분들은 제1 선분과 제2 선분을 포함한다. 제1 선분은 그 연장 선상에 화소 리페어부와 중첩한다. 제1 선분은, 화소 리페어부를 우회하여, 이웃하는 제2 선분과 연결되는 우회 연결부를 포함한다.

[0023] 일례로, 공통 전극은, 다수 개의 선분 형상 사이에 배치된 슬릿부를 더 포함한다. 화소 리페어부는, 슬릿부 내에 배치된다.

[0024] 일례로, 박막 트랜지스터는, 게이트 전극, 소스 전극 그리고 드레인 전극을 포함한다. 게이트 전극은, 교차점에서 게이트 배선의 폭과 너비가 확대된 것이다. 소스 전극은, 게이트 전극과 중첩하는 데이터 배선의 일부이다. 드레인 전극은, 게이트 전극과 중첩하며, 데이터 배선과 일정 거리 이격된다.

[0025] 일례로, 드레인 전극은, 채널 대향부와 화소전극 연결부를 더 포함한다. 채널 대향부는, 게이트 전극과 중첩하며, 소스 전극과 대향한다. 화소전극 연결부는, 채널 대향부에서 게이트 배선 상부로 연장 확대된다.

[0026] 일례로, 화소전극 연결부와 중첩하는 게이트 배선은, 게이트 배선의 폭보다 좁은 폭을 갖는 협소부를 갖는다.

[0027] 일례로, 화소전극 연결부는, 드레인 연결부와 접촉한다.

[0028] 일례로, 소스 전극은, 반원호 형상을 가진다. 드레인 전극은, 원형 형상을 갖고, 소스 전극과 일정 거리 이격된다.

[0029] 일례로, 소스 전극은, 상부 원호부, 하부 원호부 및 수직 선분부를 포함한다. 드레인 전극은, 원주부 및 직선부를 포함한다. 원주부는, 원형상을 갖는다. 직선부는, 수직 선분부와 대향하도록 원주부의 일부를 자른 부분이다.

[0030] 일례로, 수직 선분부 및 직선부의 길이는 2 ~ 6 μ m이다.

발명의 효과

[0031] 본 발명에 의한 박막 트랜지스터 기판은, 초고 해상도 및 고 개구율을 갖는 수평 전계 방식의 액정 표시장치에 적용할 수 있다. 본 발명에 의한 액정 표시장치는, 박막 트랜지스터가 화소 영역 내에 차지하는 면적을 극소화하여 고 개구율을 달성할 수 있다. 본 발명에 의한 액정 표시장치는 박막 트랜지스터와 게이트 요소 사이에 발생하는 기생 용량을 최소한으로 억제할 수 있다. 또한, 본 발명에 의한 액정 표시장치에서는, 화소 암점화를 위한 리페어 수단을 구비한다. 특히, 화소 리페어 공정에서, 화소 전극과 공통 전극이 단락되지 않아, 리페어 공정을 온전하게 수행할 수 있다.

도면의 간단한 설명

[0032] 도 1은 종래의 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기판을 나타내는 평면도.

도 2는 도 1에 도시한 박막 트랜지스터 기판을 절취선 I-I'선을 따라 자른 단면도.

도 3은 본 발명의 제1 실시 예에 의한 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기관의 구조를 보여주는 평면도.

도 4는 도 3에 도시한 박막 트랜지스터 기관을 절취성 II-II'선을 따라 자른 단면도.

도 5는 본 발명의 제2 실시 예에 의한 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기관의 구조를 보여주는 평면도.

도 6은 본 발명의 제3 실시 예에 의한 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기관의 구조를 보여주는 평면도.

발명을 실시하기 위한 구체적인 내용

- [0033] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0034] <제1 실시 예>
- [0035] 이하, 도 3 및 4를 참조하여 본 발명의 제1 실시 예에 대해 설명한다. 도 3은 본 발명의 제1 실시 예에 의한 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기관의 구조를 보여주는 평면도이다. 도 4는 도 3에 도시한 박막 트랜지스터 기관을 절취성 II-II'선을 따라 자른 단면도이다.
- [0036] 도 3을 참조하면, 기관(SUB) 위에는 가로 방향으로 진행되는 게이트 배선(GL)과 세로 방향으로 진행되는 데이터 배선(DL)이 배치되어 있다. 게이트 배선(GL)과 데이터 배선(DL)이 교차 배치된 구조에 의해 매트릭스 방식으로 배열된 다수 개의 화소 영역들이 정의된다. 게이트 배선(GL)과 데이터 배선(DL)이 교차하는 교차점에는 박막 트랜지스터(T)가 배치되어 있다. 여기서, 교차점이란, 단순히 교차하는 부위를 포괄적으로 의미하는 것이 아니고, 교차하는 바로 그 부위를 의미한다.
- [0037] 본 발명에서는, 박막 트랜지스터(T)가 화소 영역 내에서 최소한의 면적을 차지하도록 하기 위해, 게이트 배선(GL) 위에 배치한 구조를 제안한다. 예를 들어, 게이트 배선(GL)과 데이터 배선(DL)이 교차하는 부분에, 박막 트랜지스터(T)의 게이트 전극(G)이 배치되어 있다. 게이트 전극(G)은 게이트 배선(GL)이 확대된 형상을 갖는다. 예를 들어, 게이트 배선(GL)의 폭 및 너비를 일부 영역 확장한 형상을 교차점에 형성하여, 게이트 전극(G)으로 사용한다.
- [0038] 또한, 게이트 전극(G)과 중첩되도록, 박막 트랜지스터(T)의 소스 전극(S)과 드레인 전극(D)이 배치되어 있다. 소스 전극(S)은 게이트 전극(G)과 중첩된 데이터 배선(DL)의 일부분이다. 소스 전극(S)과 드레인 전극(D) 사이에는 반도체 층의 채널 영역이 형성된다. 채널 폭을 가급적 넓게 형성하기 위해, 소스 전극(S)과 드레인 전극(D)이 대향하여 형성하는 폭(width)을 가급적 넓게 형성하는 것이 바람직하다. 예를 들어, 소스 전극(S)은 게이트 전극(G)의 외곽 형상을 따라 "C"자 형상을 갖는 것이 바람직하다.
- [0039] 드레인 전극(D)은 채널 대향부(Dc)와 화소전극 연결부(Dp)를 포함한다. 드레인 전극(D)의 채널 대향부(Dc)는 소스 전극(S)의 "C"자형 내측면과 대향하여, 채널 영역을 형성하는 막대 형상을 갖는다. 드레인 전극(D)의 채널 대향부(Dc)는 게이트 전극(G)과 중첩하여 배치된다. 드레인 전극(D)의 화소전극 연결부(Dp)는 채널 대향부(Dc)보다 넓은 폭을 갖는 사각형상을 갖는다. 화소전극 연결부(Dp)는 화소 전극(PXL)과 연결되는 부분으로서 접촉 저항을 낮추기 위한 충분한 면적을 갖는 것이 바람직하다. 화소전극 연결부(Dp) 면적으로 인해 개구율이 저하되는 것을 방지하기 위해, 화소전극 연결부(Dp)를 게이트 배선(GL)과 중첩하도록 배치하는 것이 바람직하다.
- [0040] 화소전극 연결부(Dp)는 드레인 전극(D)의 일부로서 게이트 배선(GL)과 중첩되어 있으면, 그 사이에 기생 용량이 발생할 수 있다. 기생 용량은 게이트 배선(GL)의 신호 전달을 늦추거나, 박막 트랜지스터(T)의 성능을 열화 시킬 수 있다. 따라서, 기생 용량의 크기를 최소화하는 것이 필요하다. 이를 위해, 제1 실시 예에서는, 화소전극 연결부(Dp)와 중첩하는 게이트 배선(GL)은 다른 부분의 폭보다 좁은 폭을 갖는 협소부(NW)로 형성하는 것이 바람직하다.
- [0041] 하나의 화소 영역 내에는 화소 전극(PXL)이 배치되어 있다. 화소 전극(PXL)은 화소 영역 내부를 채우는 사각형상을 가질 수 있다. 또한, 화소 전극(PXL)은, 화소 콘택홀(DH)을 통해, 드레인 전극(D)의 화소전극 연결부(D

p)와 연결되어 있다. 화소 전극(PXL)은 드레인 연결부(PD)와 화소 리페어부(PR)를 포함한다.

- [0042] 드레인 연결부(PD)는, 화소전극 연결부(Dp)와 직접 연결되는 부분이다. 화소 리페어부(PR)는, 화소 전극(PXL)과 드레인 연결부(PD)를 연결하는 부분이다. 화소 리페어부(PR)는, 화소 전극(PXL)에 불량 발생한 경우, 화소 전극(PXL)에 데이터 전압이 인가되지 않도록 박막 트랜지스터(T)와의 연결을 단선(Cutting)할 수 있는 부분이다. 따라서, 약 4 μ m 정도의 협소한 폭을 갖는 병목(Bottle Neck) 형상을 갖는 것이 바람직하다.
- [0043] 기관(SUB)의 전체 표면 위에는 공통 전극(COM)이 배치되어 있다. 특히, 화소 전극(PXL)과의 사이에 프린지 필드를 형성할 수 있는 형상을 갖는 것이 바람직하다. 예를 들어, 공통 전극(COM)은, 일정 간격으로 배치된 다수 개의 선분 형상이 화소 전극(PXL)과 중첩하는 형상을 가질 수 있다.
- [0044] 여기서, 공통 전극(COM)은 화소 전극(PXL)의 화소 리페어부(PR)와 중첩하지 않도록 배치되는 것이 바람직하다. 예를 들어, 공통 전극(COM)은 선분부와 선분부 사이에 슬릿부(ST)를 구비하는데, 슬릿부(ST) 내에 화소 리페어부(PR)이 배치되는 구조를 갖는 것이 바람직하다. 이러한 구조로 인해, 공통 전극(COM)의 선분부들 중에서, 계속 연장될 경우, 화소 리페어부(PR)와 중첩될 수 있는 선분(L1)은 화소 리페어부(PR)를 우회하는 우회 선분(C1)을 통해, 이웃하는 선분(L2)과 연결된다.
- [0045] 도 4를 참조하여, 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기관의 단면 구조에 대해 설명한다. 도 4를 참조하면, 기관(SUB) 위에 게이트 배선(GL) 및 게이트 전극(G)이 배치되어 있다. 게이트 전극(G)은 게이트 배선(GL)의 일부분으로서, 폭이 확장된 모양을 갖는다.
- [0046] 게이트 전극(G) 및 게이트 배선(GL) 위에는 게이트 절연막(GI)이 기관(SUB) 전체 표면을 덮고 있다. 게이트 절연막(GI) 위에는 반도체 층(A), 소스 전극(S) 및 드레인 전극(D)이 형성되어 있다. 반도체 층(A), 소스 전극(S) 및 드레인 전극(D)은 외곽 형상은 동일한 형상을 갖는다.
- [0047] 특히, 드레인 전극(D)은 소스 전극(S)과 대향하는 채널 대향부(Dc)와 화소전극 연결부(Dp)를 포함한다. 소스 전극(S)과 드레인 전극(D)의 채널 대향부(Dc) 사이는 분리되어 있어, 그 사이에 배치된 반도체 층(A)의 영역이 채널 영역으로 정의된다. 소스 전극(S) 및 드레인 전극(D)의 채널 대향부(Dc)는 데이터 배선(DL)의 일부분으로 게이트 전극(G)과 중첩되어 있다. 드레인 전극(D)의 화소전극 연결부(Dp)는 게이트 배선(GL)과 중첩되어 있다.
- [0048] 게이트 전극(G), 반도체 층(A), 소스 전극(S) 및 드레인 전극(D)으로 구성된 박막 트랜지스터(T) 위에는 평탄화막(PAC)이 기관(SUB) 전체 표면을 덮도록 배치되어 있다. 평탄화 막(PAC)에는 드레인 전극(D)의 화소전극 연결부(Dp)를 노출하는 화소 콘택홀(PH)이 형성되어 있다.
- [0049] 평탄화 막(PAC) 위에는 화소 전극(PXL)이 형성되어 있다. 화소 전극(PXL)은 화소 콘택홀(PH)을 통해 드레인 전극(D)의 화소전극 연결부(Dp)와 접촉하고 있다. 화소 전극(PXL)은, 화소전극 연결부(Dp)와 접촉하는 드레인 연결부(PD) 그리고 드레인 연결부(PD)와 연결되는 병목부인 화소 리페어부(PR)를 더 포함한다.
- [0050] 화소 전극(PXL) 위에는 보호막(PAS)이 기관(SUB) 전체를 덮고 있다. 보호막(PAS) 위에는 공통 전극(COM)이 형성되어 있다. 공통 전극(COM)은 다수 개의 선분 형상 여러 개가 일정 간격으로 배치된 구조를 갖는다.
- [0051] <제2 실시 예>
- [0052] 이하, 도 5를 참조하여 본 발명의 제2 실시 예에 대해 설명한다. 도 5는 본 발명의 제2 실시 예에 의한 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기관의 구조를 보여주는 평면도이다. 제2 실시 예에 의한 박막 트랜지스터 기관의 단면 구조는 제1 실시 예의 것과 거의 유사한 구조를 갖는다. 따라서, 단면 구조에 대한 설명은 생략한다.
- [0053] 도 5를 참조하면, 기관(SUB) 위에는 가로 방향으로 진행되는 게이트 배선(GL)과 세로 방향으로 진행되는 데이터 배선(DL)이 배치되어 있다. 게이트 배선(GL)과 데이터 배선(DL)이 교차 배치된 구조에 의해 매트릭스 방식으로 배열된 다수 개의 화소 영역들이 정의된다. 게이트 배선(GL)과 데이터 배선(DL)이 교차하는 교차점에는 박막 트랜지스터(T)가 배치되어 있다.
- [0054] 박막 트랜지스터(T)가 화소 영역 내에서 최소한의 면적을 차지하도록 하기 위해, 게이트 전극(G) 위에 배치되어 있다. 구체적으로 설명하면, 게이트 배선(GL)과 데이터 배선(DL)이 교차하는 부분에, 박막 트랜지스터(T)의 게이트 전극(G)이 배치되어 있다. 게이트 전극(G)은 게이트 배선(GL)이 확대된 형상을 갖는다. 예를 들어, 게이트 배선(GL)의 폭 및 너비를 일부 영역 확장한 형상을 교차점에 형성하여, 게이트 전극(G)으로 사용한다.
- [0055] 또한, 게이트 전극(G)과 중첩되도록, 박막 트랜지스터(T)의 소스 전극(S)과 드레인 전극(D)이 배치되어 있다.

소스 전극(S)은 게이트 전극(G)과 중첩된 데이터 배선(DL)의 일부분이다. 소스 전극(S)과 드레인 전극(D) 사이에는 반도체 층의 채널 영역이 형성된다. 채널 폭을 가급적 넓게 형성하기 위해, 소스 전극(S)과 드레인 전극(D)이 대향하여 형성하는 폭(width)을 가급적 넓게 형성하는 것이 바람직하다. 예를 들어, 소스 전극(S)은 게이트 전극(G)의 외곽 형상을 따라 "C"자 형상을 갖는 것이 바람직하다.

[0056] 드레인 전극(D)은 원형상을 갖고, 게이트 전극(G) 위에 배치되어 있다. 원형 드레인 전극(D) 중에서 소스 전극(S)의 "C"자형 내측면과 대향하는 반원형부와, 소스 전극(S) 사이에 채널 영역이 형성된다. 제2 실시 예의 특징은, 드레인 전극(D)이 원형 형상을 가짐으로써, 채널부와 화소전극 연결부가 하나의 몸체로 이루어진 구조를 갖는다.

[0057] 제2 실시 예에 의한 드레인 전극(D)은 게이트 전극(G)과 중첩하는 원형 형상을 갖는다. 따라서, 제1 실시 예와 같이 게이트 배선(GL)과 드레인 전극(D)이 중첩하지는 않는다. 그러므로 제1 실시 예에서와 같이 게이트 배선(GL)에 협소부(NW)와 같이 기생 용량을 줄이기 위한 구성이 필요없다.

[0058] 드레인 전극(D)이 게이트 전극(G)과 중첩되어 있으므로, 그 사이에 형성되는 기생 용량으로 인해 박막 트랜지스터의 특성이 열화될 수 있다. 이를 최소화하기 위해서, 제2 실시 예에서는 드레인 전극(D)의 형상을 원형으로 형성한다. 예를 들어, 드레인 전극(D)을 정사각형으로 형성할 경우, 드레인 전극(D)의 면적은, 일측면 길이 a의 제곱이된다. 하지만, 정사각형에 내접하는 원형으로 형성할 경우, 동일한 변길이를 가지면서, 면적은 최소한의 값을 가질 수 있다.

[0059] 하나의 화소 영역 내에는 화소 전극(PXL)이 배치되어 있다. 화소 전극(PXL)은 화소 영역 내부를 채우는 사각형상을 가질 수 있다. 또한, 화소 전극(PXL)은, 화소 콘택홀(DH)을 통해, 드레인 전극(D)과 연결되어 있다. 화소 전극(PXL)은 드레인 연결부(PD)와 화소 리페어부(PR)를 포함한다.

[0060] 드레인 연결부(PD)는, 드레인 전극(D)과 직접 연결되는 부분이다. 화소 리페어부(PR)는, 화소 전극(PXL)에서 드레인 연결부(PD)로 연장되는 부분이다. 화소 리페어부(PR)는, 화소 전극(PXL)에 불량이 발생한 경우, 화소 전극(PXL)에 데이터 전압이 인가되지 않도록 박막 트랜지스터(T)와의 연결을 단선(Cutting)할 수 있는 부분이다. 따라서, 약 4 μ m 정도의 협소한 폭을 갖는 병목(Bottle Neck) 형상을 갖는 것이 바람직하다.

[0061] 기관(SUB)의 전체 표면 위에는 공통 전극(COM)이 배치되어 있다. 특히, 화소 전극(PXL)과의 사이에 프린지 필드를 형성할 수 있는 형상을 갖는 것이 바람직하다. 예를 들어, 공통 전극(COM)은, 일정 간격으로 배치된 다수개의 선분 형상이 화소 전극(PXL)과 중첩하는 형상을 가질 수 있다.

[0062] 여기서, 공통 전극(COM)은 화소 전극(PXL)의 화소 리페어부(PR)와 중첩하지 않도록 배치되는 것이 바람직하다. 예를 들어, 공통 전극(COM)은 선분부와 선분부 사이에 슬릿부(ST)를 구비하는데, 슬릿부(ST) 내에 화소 리페어부(PR)이 배치되는 구조를 갖는 것이 바람직하다. 이러한 구조로 인해, 공통 전극(COM)의 선분부들 중에서, 계속 연장될 경우, 화소 리페어부(PR)와 중첩될 수 있는 선분(L1)은 화소 리페어부(PR)를 우회하는 우회 선분(C1)을 통해, 이웃하는 선분(L2)과 연결된다.

[0063] <제3 실시 예>

[0064] 이하, 도 6을 참조하여, 본 발명의 제3 실시 예를 설명한다. 도 6은 본 발명의 제3 실시 예에 의한 프린지 필드 방식의 액정 표시장치에 포함된 박막 트랜지스터 기관의 구조를 보여주는 평면도이다.

[0065] 제3 실시 예에 의한 박막 트랜지스터 기관의 구조는 제2 실시 예의 것과 실질적으로 동일하다. 차이가 있다면, 소스 전극(S)과 드레인 전극(D)의 형상에 있다.

[0066] 예를 들어, 도 6을 참조하면, 제3 실시 예에 의한 박막 트랜지스터 기관에서, 소스 전극(S)은 반원호 형상을 갖되 중간 부위에 수직 선분부(Lv)를 포함한다. 즉, 소스 전극(S)은 상부 원호부(Ac1)와 하부 원호부(Ac2)를 포함하고, 두 개의 원호 선분부들(Ac1 및 Ac2) 사이를 수직 선분부(Lv)가 연결된 구조를 갖는다. 또한, 드레인 전극(D)은 원형 모양을 갖되, 소스 전극(S)의 수직 선분부(Lv)에 대향하는 부분에 직선부(Dv)를 포함한다. 즉, 드레인 전극(D)은 원주부(Dc)와 그 원주부(Dc)의 일부를 자른 직선부(Dv)를 포함한다.

[0067] 수직 선분부(Lv)와 직선부(Dv)는 일정 거리를 두고 이격되어 있다. 마찬가지로, 소스 전극(S)의 원호 선분부(Ac)와 드레인 전극(D)의 원주부(Dc)도 일정 거리를 두고 이격되어 있다. 소스 전극(S)과 드레인 전극(D)이 원호 형상을 갖고 일정 거리 이격되어 채널 영역을 형성하는 경우, 채널 형성이 일정하지 않을 수 있다. 예를 들어, 제조 공정 중에 정렬 오차로 인해 원호 형상이 상하로 혹은 좌우로 치우쳐졌을 때, 소스 전극(S)과 드레인

전극(D) 사이의 간격이 일정하지 않을 수 있다.

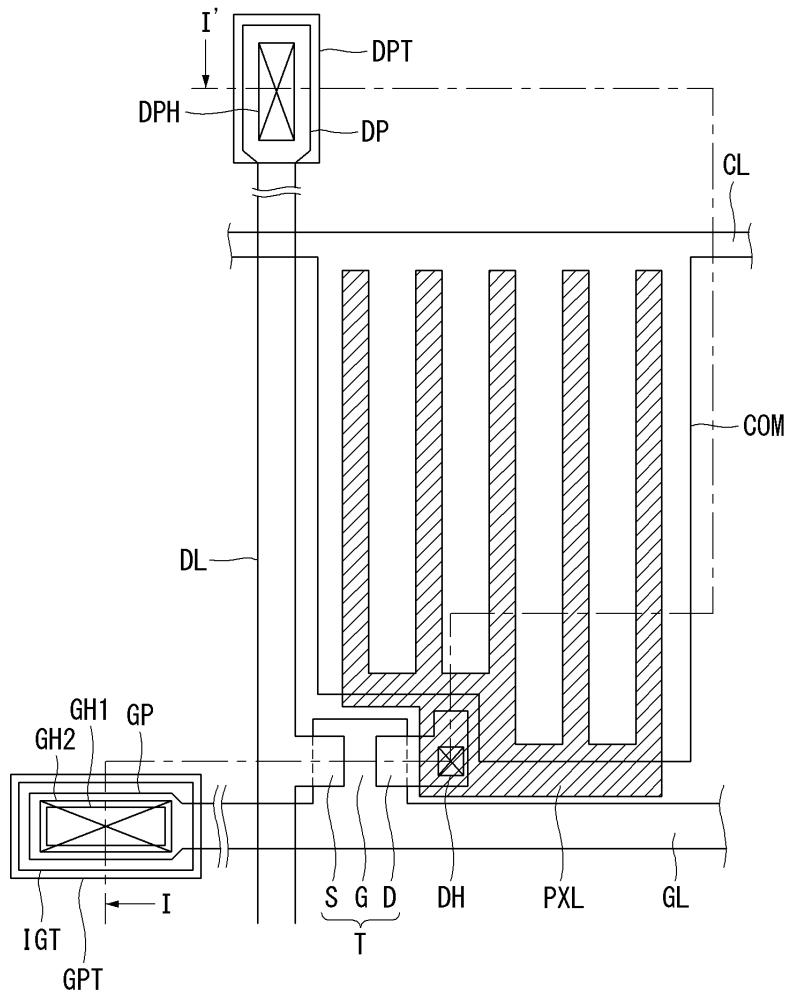
- [0068] 이와 같이 채널 형성이 일정하지 않아지는 문제를 해결하기 위해, 원호 형상의 채널 영역 일부에 수직 채널 영역을 형성함으로써 채널 영역을 일정하게 유지할 수 있는 부분을 확보한다. 특히, 수직 선분부(Lv)와 직선부(Dv)는 최소한의 채널 영역을 확보하기 위해, 길이(L)는 2 μ m ~ 6 μ m를 확보하는 것이 바람직하다. 가장 바람직하게는 4 μ m를 확보하는 것이 좋다.
- [0069] 이상 설명한 여러 실시 예들을 바탕으로 본 발명의 핵심 특징은, 게이트 배선(GL)과 데이터 배선(DL)의 교차 구조로 정의된 화소 영역 내에서 박막 트랜지스터(T)가 차지하는 면적을 최소화하기 위한 구조에 있다. 이를 위해, 게이트 전극(G)은 게이트 배선(GL)의 일부를 확장된 폭을 갖도록 형성함으로써 구성한다. 또한, 게이트 전극(G) 위에 소스 전극(S)과 드레인 전극(D)이 모두 증착된 구조를 갖는다.
- [0070] 따라서, 어느 화소에서 불량이 발생할 경우, 해당 화소에 할당된 박막 트랜지스터(T)를 단선하기 위해 드레인 전극(D)을 끊어야 하는데, 본 발명에서는 드레인 전극(D)을 단선하면, 게이트 배선(GL)이 함께 단선될 수 있다. 따라서, 본 발명에 의한 박막 트랜지스터 기관에서 불량 화소를 리페어하기 위해서는 박막 트랜지스터(T)를 단선하지 못한다. 즉, 본 발명에 의한 박막 트랜지스터 기관에서는 화소 리페어를 위해서는 화소 전극(PXL)에서 드레인 전극(D)에 연결되는 부분을 단선하여야 한다.
- [0071] 그러므로 본 발명의 다른 핵심 특징은, 화소 전극(PXL)에는 드레인 전극(D)과 연결되는 드레인 연결부와 드레인 연결부로 연장되는 화소 리페어부(PR)을 더 포함한 구조를 갖는다.
- [0072] 화소 리페어부(PR)를 단선할 때, 공통 전극(COM)이 화소 리페어부(PR)와 단락될 수 있다. 박막 트랜지스터(T)가 단선되어 있다면, 공통 전극(COM)과 화소 전극(PXL)이 단락되어도 문제가 발생되지 않는다. 하지만, 본 발명에 의한 박막 트랜지스터 기관에서는 박막 트랜지스터(T)를 단선할 수 없는 구조를 가진다. 따라서, 화소 리페어부(PR)와 공통 전극(COM)이 단락되지 않는 것이 바람직하다.
- [0073] 따라서, 공통 전극(COM)과 화소 리페어부(PR)가 단락되는 문제가 발생하지 않도록 하기 위해서는, 공통 전극(COM)이 화소 리페어부(PR)를 우회하는 형상을 갖는 것이 바람직하다.
- [0074] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

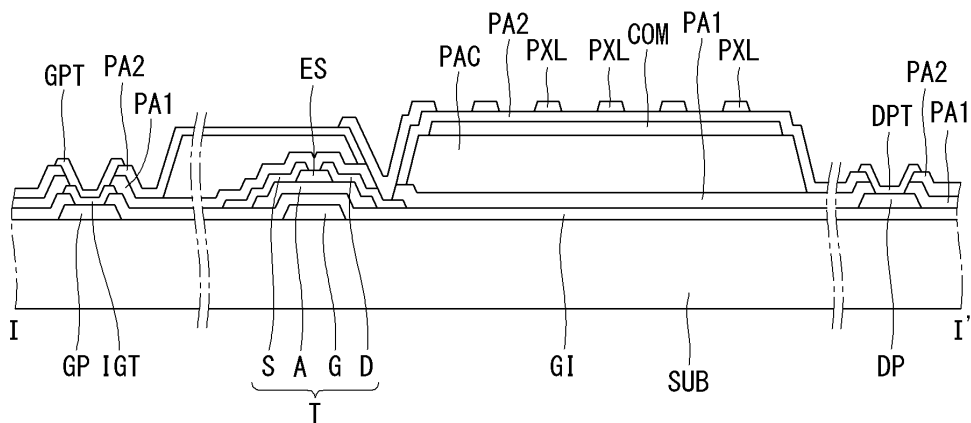
- [0075] T: 박막 트랜지스터 SUB: 기관
- GL: 게이트 배선 CL: 공통 배선
- DL: 데이터 배선 PXL: 화소 전극
- COM: 공통 전극 GP: 게이트 패드
- DP: 데이터 패드 GPT: 게이트 패드 단자
- DPT: 데이터 패드 단자
- G: 게이트 전극 S: 소스 전극
- D: 드레인 전극 A: 반도체 채널 층
- GI: 게이트 절연막 DH: 드레인 콘택홀
- PA1: 제1 보호막 PA2: 제2 보호막
- PAC: 평탄화 막 ES: 에치 스톱퍼

도면

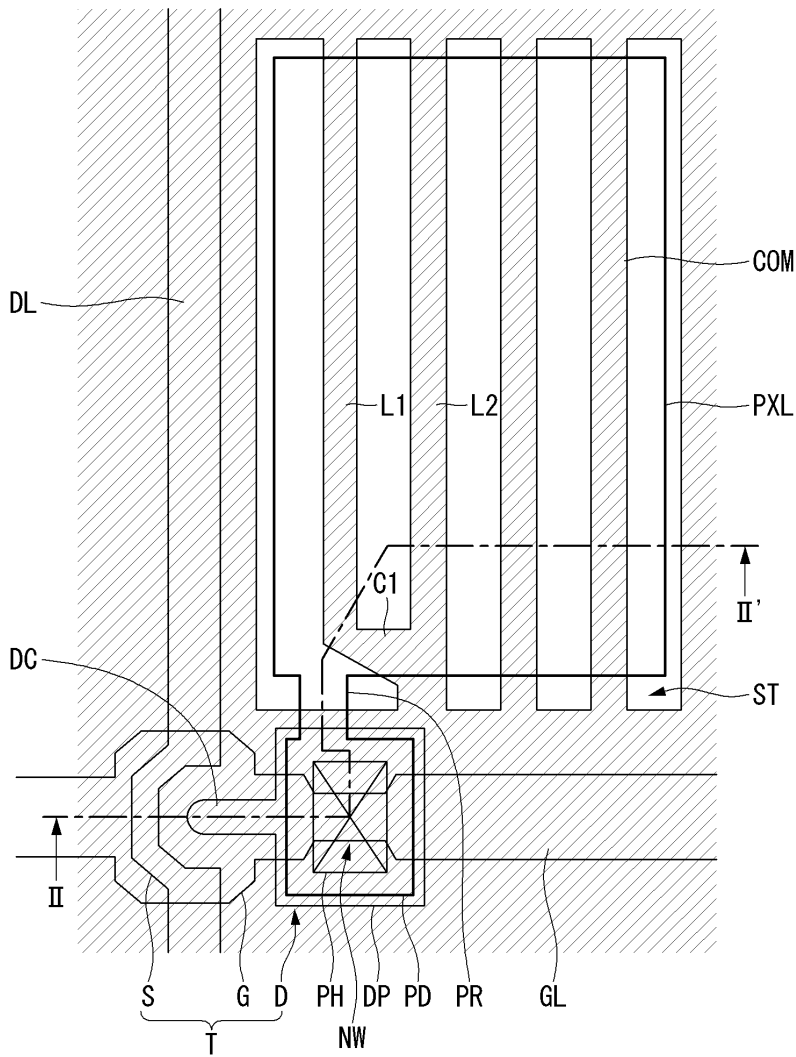
도면1



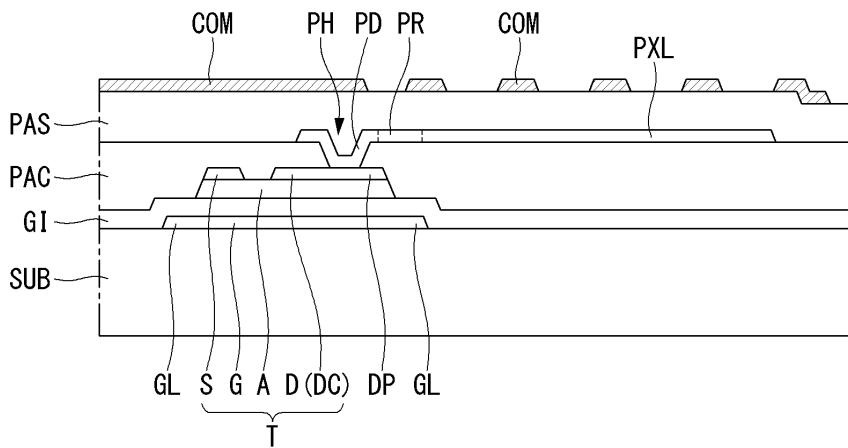
도면2



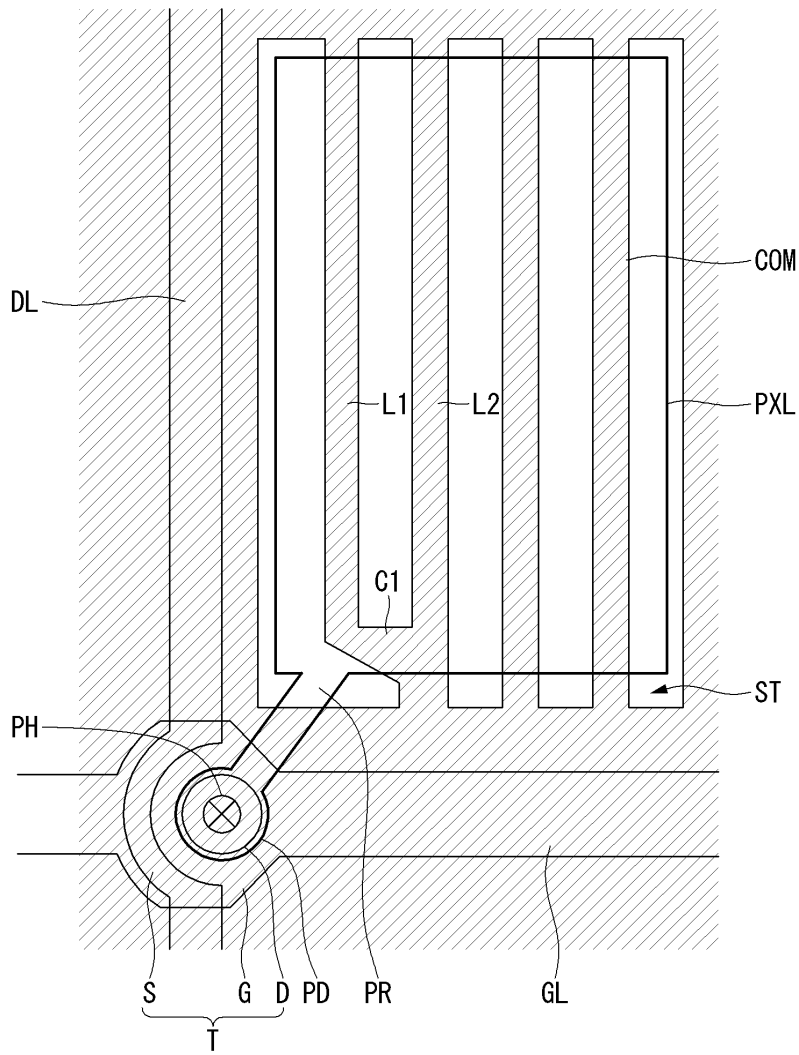
도면3



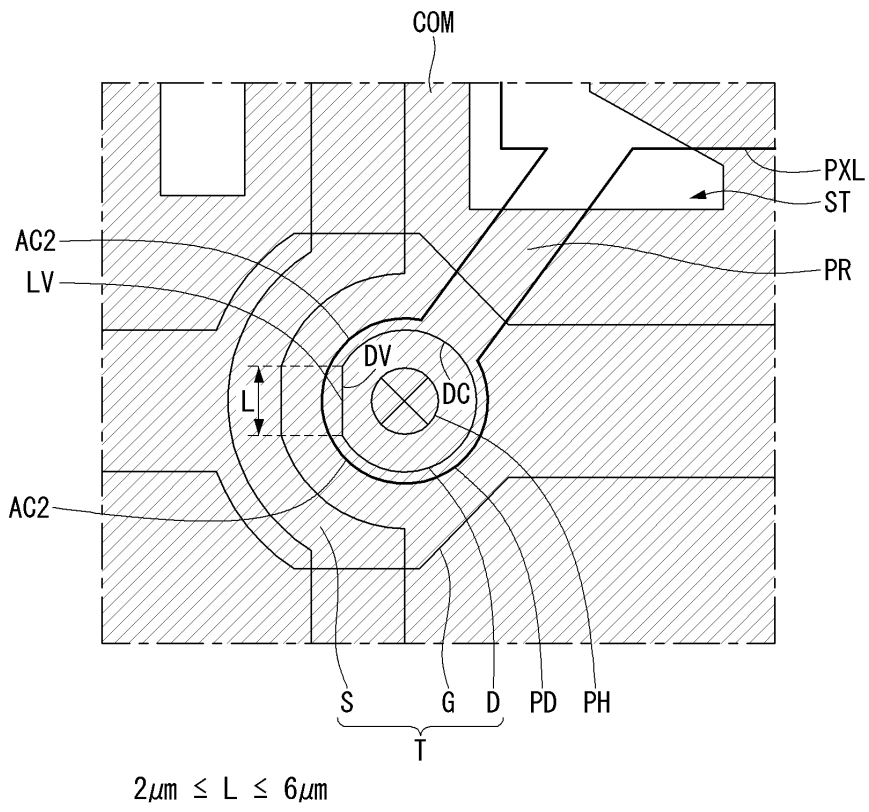
도면4



도면5



도면6



专利名称(译)	一种用于高分辨率液晶显示器件的薄膜晶体管基板，具有高透射率		
公开(公告)号	KR1020180053931A	公开(公告)日	2018-05-24
申请号	KR1020160151103	申请日	2016-11-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SHIN DONG SU 신동수		
发明人	신동수		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136259 G02F1/1368 G02F1/134363 G02F1/136286 G02F2201/121 G02F2201/123 G02F2201/40		

摘要(译)

本发明涉及一种用于具有高透射率的高分辨率液晶显示装置的薄膜晶体管基板。根据本发明的薄膜晶体管基板包括栅极布线，数据布线，像素区域，薄膜晶体管，像素电极，像素修复部分，漏极连接部分和公共电极。栅极布线在衬底的横向方向上进行。数据布线沿基板的纵向进行。像素区域，栅极布线和数据布线。薄膜晶体管设置在栅极布线和数据布线的交叉处。像素电极具有设置在像素区域中的矩形形状。像素修复部分从像素电极分支并延伸到薄膜晶体管。漏极连接部分在像素修复部分的末端连接到薄膜晶体管。公共电极具有与像素电极重叠的多个线段，并绕过像素修复部分。

