



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2018-0003381  
(43) 공개일자 2018년01월09일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1362 (2006.01) G02F 1/1335 (2006.01)  
G02F 1/1343 (2006.01) G02F 1/1368 (2006.01)

(52) CPC특허분류  
G02F 1/136227 (2013.01)  
G02F 1/133509 (2013.01)

(21) 출원번호 10-2016-0111728  
(22) 출원일자 2016년08월31일  
심사청구일자 없음

(30) 우선권주장  
1020160082856 2016년06월30일 대한민국(KR)

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
김시현  
경기도 파주시 문산읍 당동1로 11, 604동 503호(자연엔꿈에그린6단지아파트)

(74) 대리인  
특허법인인벤투스

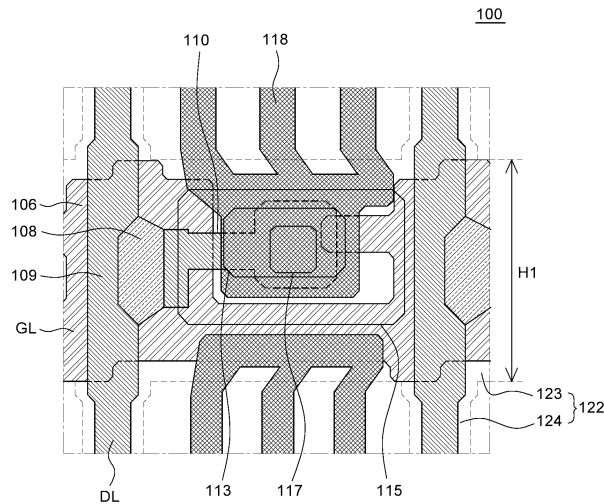
전체 청구항 수 : 총 26 항

(54) 발명의 명칭 액정 표시 장치

**(57) 요약**

본 발명의 실시예에 따른 액정 표시 장치는 기판 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층 및 제 1 보호층 상에 있으며, 제 2 컨택홀을 갖는 제 2 보호층을 포함하고, 제 2 컨택홀의 크기는 제 1 컨택홀의 크기보다 크고, 제 2 컨택홀은 제 1 컨택홀 내에 있는 것을 특징으로 한다.

**대표도** - 도2



(52) CPC특허분류

*G02F 1/136286* (2013.01)

*G02F 1/1368* (2013.01)

*G02F 2001/134318* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

기관 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터;  
상기 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층; 및  
상기 제 1 보호층 상에 있으며, 제 2 컨택홀을 갖는 제 2 보호층을 포함하고,  
상기 제 2 컨택홀의 크기는 상기 제 1 컨택홀의 크기보다 작고, 상기 제 2 컨택홀은 상기 제 1 컨택홀 내에 있는 액정 표시 장치.

#### 청구항 2

제 1 항에 있어서,  
상기 제 2 컨택홀의 에지(edge)는 상기 제 1 컨택홀의 에지와 중첩되지 않는 액정 표시 장치.

#### 청구항 3

제 1 항에 있어서,  
상기 제 1 보호층 상에 위치하는 공통 전극과 화소 전극을 더 포함하고,  
상기 제 1 보호층은 유기 절연 물질로 이루어진 액정 표시 장치.

#### 청구항 4

제 3 항에 있어서,  
상기 공통 전극은 홀을 포함하며,  
상기 제 1 컨택홀과 상기 제 2 컨택홀은 상기 공통 전극 홀 내에 있는 액정 표시 장치.

#### 청구항 5

제 4 항에 있어서,  
상기 공통 전극 홀의 크기는 상기 제 1 컨택홀과 상기 제 2 컨택홀의 크기에 따라 결정되는 액정 표시 장치.

#### 청구항 6

제 3 항에 있어서,  
상기 화소 전극은 복수의 핑거(finger) 구조를 가지며,  
상기 드레인 전극은 상기 핑거와 중첩되지 않는 액정 표시 장치.

#### 청구항 7

제 3 항에 있어서,

상기 화소 전극은 상기 드레인 전극의 적어도 세 면과 컨택(contact)을 이루는 액정 표시 장치.

#### 청구항 8

제 1 항에 있어서,

상기 게이트 전극의 적어도 일부는 상기 제 1 컨택홀 내에서 상기 드레인 전극과 중첩된 액정 표시 장치.

#### 청구항 9

제 1 항에 있어서,

상기 반도체층은 금속 산화물로 이루어진 액정 표시 장치.

#### 청구항 10

제 1 항에 있어서,

상기 박막 트랜지스터와 상기 제 1 보호층 사이에 제 3 보호층을 더 포함하는 액정 표시 장치.

#### 청구항 11

제 3 항에 있어서,

상기 공통 전극은 홀을 포함하며,

상기 공통 전극 홀의 크기는 상기 제 1 컨택홀의 크기보다 작고, 상기 공통 전극 홀은 상기 제 1 컨택홀 내에 있는 액정 표시 장치.

#### 청구항 12

제 11 항에 있어서,

상기 공통 전극 홀의 크기는 상기 제 2 컨택홀의 크기보다 크고, 상기 제 2 컨택홀은 상기 공통 전극 홀 내에 있는 액정 표시 장치.

#### 청구항 13

제 3 항에 있어서,

상기 공통 전극은 상기 제 1 보호층을 완전히 덮는 액정 표시 장치.

#### 청구항 14

제 1 기관 상에 있는 박막 트랜지스터;

상기 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층;

상기 제 1 보호층 상에 있으며, 상기 제 1 컨택홀 보다 크기가 작고, 상기 제 1 컨택홀 내에 있는 제 2 컨택홀을 갖는 제 2 보호층;

상기 제 1 보호층 상에 있는 공통 전극 및 화소 전극;

상기 제 1 기판과 대향하여 위치하며, 개구 영역과 차광 영역을 가지는 블랙 매트릭스(BM)를 포함하는 제 2 기판; 및

상기 제 1 기판과 상기 제 2 기판 사이에 있으며, 음의 유전율 이방성을 갖는 액정층을 포함하는 액정 표시 장치.

#### 청구항 15

제 14 항에 있어서,

상기 제 1 기판은 게이트 라인 및 데이터 라인을 포함하며,

상기 블랙 매트릭스는 상기 게이트 라인을 따라 배치된 게이트 BM 및 상기 데이터 라인을 따라 배치된 데이터 BM을 포함하는 액정 표시 장치.

#### 청구항 16

제 15 항에 있어서,

상기 게이트 BM의 폭은 상기 제 2 컨택홀이 상기 제 1 컨택홀 내에 있지 않은 액정 표시 장치의 게이트 BM의 폭보다 작은 액정 표시 장치.

#### 청구항 17

제 15 항에 있어서,

상기 게이트 BM의 폭은 상기 제 2 컨택홀과 상기 공통 전극의 마진에 따라 결정되는 액정 표시 장치.

#### 청구항 18

제 14 항에 있어서,

상기 공통 전극과 상기 화소 전극은 상기 제 2 보호층을 사이에 두고 서로 다른 층에 있는 액정 표시 장치.

#### 청구항 19

제 14 항에 있어서,

상기 제 2 컨택홀의 에지(edge)는 상기 제 1 컨택홀의 에지와 중첩되지 않는 액정 표시 장치.

#### 청구항 20

제 14 항에 있어서,

상기 박막 트랜지스터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하고,

상기 반도체층은 금속 산화물로 이루어진 액정 표시 장치.

#### 청구항 21

제 20 항에 있어서,

상기 게이트 전극의 적어도 일부는 상기 제 1 컨택홀 내에서 상기 드레인 전극과 중첩된 액정 표시 장치.

#### 청구항 22

제 15 항에 있어서,

상기 제 1 컨택홀은 상기 데이터 라인이 연장된 방향보다 상기 게이트 라인이 연장된 방향으로 길게 형성된 액정 표시 장치.

#### 청구항 23

제 15 항에 있어서,

상기 공통 전극은 홀을 더 포함하고,

상기 공통 전극 홀은 상기 데이터 라인이 연장된 방향보다 상기 게이트 라인이 연장된 방향으로 길게 형성된 액정 표시 장치.

#### 청구항 24

제 14 항에 있어서,

상기 공통 전극은 홀을 포함하며,

상기 공통 전극 홀 및 상기 제 2 컨택홀의 크기는 각각 상기 제 1 컨택홀의 크기보다 작으며, 상기 공통 전극 홀 및 상기 제 2 컨택홀은 상기 제 1 컨택홀 내에 있는 액정 표시 장치.

#### 청구항 25

제 24 항에 있어서,

상기 제 2 컨택홀은 상기 공통 전극 홀 내에 있는 액정 표시 장치.

#### 청구항 26

제 24 항에 있어서,

상기 공통 전극 홀의 적어도 일부가 상기 제 1 보호층의 경사면 상에 형성되지 않은 액정 표시 장치.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 공통 전극과 화소 전극의 접촉에 의한 구동 불량의 발생이 최소화되고 개구율 및 투과율이 향상될 수 있는 액정 표시 장치에 관한 것이다.

#### 배경 기술

[0002] 본격적인 정보화 시대가 도래함에 따라, 전기적 정보 신호를 시각적으로 표시하는 디스플레이(display) 분야가 급속도로 발전하고 있다. 이에 여러 가지 다양한 표시 장치(Display Device)에 대해 박형화, 경량화 및 저 소비 전력화 등의 성능을 개선시키기 위한 연구가 계속되고 있다.

[0003] 이와 같은 표시 장치의 대표적인 예로는 액정 표시 장치(Liquid Crystal Display device: LCD), 플라즈마 표시

장치(Plasma Display Panel device: PDP), 전계 방출 표시 장치(Field Emission Display device: FED) 및 유기 발광 표시 장치(Organic Light Emitting Display device: OLED) 등을 들 수 있다.

- [0004] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있다. 액정 표시 장치는 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.
- [0005] 액정 표시 장치(LCD)는 컬러 필터가 형성된 컬러 필터 어레이 기판, 박막 트랜지스터가 형성된 박막 트랜지스터 어레이 기판 및 컬러 필터 어레이 기판과 박막 트랜지스터 어레이 기판 사이에 형성된 액정층을 포함하여 이루어진다.
- [0006] 다양한 액정 모드의 액정 표시 장치 중에서, 수평 전계 방식의 액정 표시 장치는 하부 기판에 평행하게 배치된 화소 전극과 공통 전극 사이에 수평 전계를 형성하여 인 플레인 스위칭(In Plane Switching: IPS) 방식으로 액정층을 구동한다. 이러한 인 플레인 스위칭 방식의 액정 표시 장치는 시야각이 넓은 장점이 있으나 개구율 및 투과율이 낮은 단점을 가진다.
- [0007] 이러한 IPS 모드의 액정 표시 장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작되는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정 표시 장치가 제안되었다. 프린지 필드 스위칭 방식의 액정 표시 장치는 각 화소 영역에 절연층을 사이에 두고 위치하는 공통 전극과 화소 전극을 구비하고, 공통 전극과 화소 전극의 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상부 기판 및 하부 기판 사이에 개재된 액정 분자들이 모두 동작하게 함으로써 IPS 모드의 액정 표시 장치 대비 개구율 및 투과율이 향상될 수 있다.
- [0008] 프린지 필드 스위칭 방식의 액정 표시 장치는 박막 트랜지스터와 박막 트랜지스터 상에 형성되는 복수의 보호층을 포함하여 구성될 수 있다. 상기 복수의 보호층 각각에 콘택홀을 형성하고, 상기 콘택홀을 통해 박막 트랜지스터의 하부 전극과 박막 트랜지스터 상부에 형성되는 화소 전극을 전기적으로 연결한다.
- [0009] 이러한 프린지 필드 스위칭 방식의 액정 표시 장치의 경우, 화소 전극 하부에 공통 전극이 위치할 수 있는데, 상기 공통 전극 홀 형성 및 보호층 콘택홀 형성 공정에서 각각의 마스크(mask)의 정렬 오차, 즉 마스크 미스 얼라인먼트(mis-alignment)가 발생하는 경우, 공통 전극 홀이 시프트(shift)되고, 또한 보호층 콘택홀이 시프트되어 오버 에치(over etch)되면서, 공통 전극의 일부가 보호층 밖으로 노출될 수 있으며, 노출된 공통 전극의 일부가 보호층 상부에 형성되는 화소 전극과 접촉될 수 있다. 상기와 같이 콘택홀 영역에서 공통 전극과 화소 전극의 접촉에 의한 액정 표시 장치의 구동 불량 발생하고 있다.
- [0010] 또한 상기 보호층에 콘택홀을 형성하는 공정에서 보호층 콘택홀 마스크(mask)의 정렬 오차에 의해 보호층 콘택홀이 오버 에치되면서 발생한 보호층 에지(edge)에서의 단차에 의해서 보호층 상에 형성되는 화소 전극이 단선되는 문제가 발생하고 있다.
- [0011] 이와 같이 보호층 콘택홀 형성 공정 중에 나타날 수 있는 불량 발생을 최소화 하기 위해 복수의 보호층 콘택홀과 공통 전극 사이에 충분한 거리가 유지되도록 마진(margin)을 적용하였으나 상기 마진에 따라 블랙 매트릭스의 폭이 증가하게 되어 액정 표시 장치의 개구율 및 투과율을 향상시키는데 어려움이 따르고 있다.

**발명의 내용**

**해결하려는 과제**

- [0012] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출된 것으로, 박막 트랜지스터의 제 1 보호층 상의 제 2 보호층에 구비된 제 2 콘택홀이 유기 제 1 보호층에 구비된 제 1 콘택홀 내에 위치하도록 함으로써 화소 전극의 단선 또는 공통 전극과 화소 전극의 접촉에 의한 구동 불량 발생이 최소화되고 개구율 및 투과율이 향상될 수 있는 액정 표시 장치를 제공하는 것이다.
- [0013] 본 발명의 실시예에 따른 해결 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

**과제의 해결 수단**

- [0014] 본 발명의 실시예에 따른 액정 표시 장치는 기판 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포

합하는 박막 트랜지스터와 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층 및 제 1 보호층 상에 있으며, 제 2 컨택홀을 갖는 제 2 보호층을 포함하고, 제 2 컨택홀의 크기는 제 1 컨택홀의 크기보다 작고, 제 2 컨택홀이 제 1 컨택홀 내에 위치한다.

- [0015] 또한 다른 측면에서 본 발명의 실시예에 따른 액정 표시 장치는 제 1 기판 상에 있는 박막 트랜지스터와 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층과 제 1 보호층 상에 있으며, 제 1 컨택홀 보다 크기가 작고, 제 1 컨택홀 내에 있는 제 2 컨택홀을 갖는 제 2 보호층과 제 1 보호층 상에 있는 공통 전극 및 화소 전극과 제 1 기판과 대향하여 위치하며, 개구 영역과 차광 영역을 가지는 블랙 매트릭스(BM)를 포함하는 제 2 기판 및 제 1 기판과 제 2 기판 사이에 있으며, 음의 유전율 이방성을 갖는 액정층을 포함한다.
- [0016] 또한 다른 측면에서 본 발명의 실시예에 따른 액정 표시 장치는 공통 전극 홀의 크기가 제 1 컨택홀의 크기보다 작고, 공통 전극 홀은 제 1 컨택홀 내에 위치한다. 그리고 제 2 컨택홀의 크기는 공통 전극 홀의 크기보다 작고, 제 2 컨택홀은 공통 전극 홀 내에 위치한다.
- [0017] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

**발명의 효과**

- [0018] 본 발명의 실시예에 따른 액정 표시 장치는 박막 트랜지스터의 제 1 보호층 상의 제 2 보호층에 구비된 제 2 컨택홀이 제 1 보호층에 구비된 제 1 컨택홀 내에 위치하도록 함으로써, 화소 전극의 단선 또는 공통 전극과 화소 전극의 접촉 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다.
- [0019] 또한 본 발명의 실시예에 따른 액정 표시 장치는 기존 구조 대비 제 1 보호층 컨택홀과 공통 전극 사이 또는 제 2 보호층 컨택홀과 공통 전극 사이의 마진(margin)을 줄임으로써 공통 전극 홀의 크기를 줄일 수 있고 블랙 매트릭스의 게이트 BM 폭을 최소화할 수 있어 기존 액정 표시 장치 구조와 대비하여 개구율 및 투과율을 향상시킬 수 있다.
- [0020] 또한 본 발명의 실시예에 따른 액정 표시 장치는 제 1 컨택홀 내에 공통 전극 홀이 위치하고, 또한 공통 전극 홀 내에 제 2 컨택홀이 위치하도록 함으로써 화소 전극의 단선 또는 공통 전극과 화소 전극의 접촉 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다. 또한 기존 구조 대비 공통 전극 홀의 크기를 줄일 수 있고 블랙 매트릭스의 게이트 BM 폭을 최소화할 수 있어 기존 액정 표시 장치 구조 대비 개구율 및 투과율을 향상시킬 수 있다.
- [0021] 본 발명의 효과는 이상에서 언급한 효과에 제한되지 않으며, 언급되지 않은 또 다른 효과는 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.
- [0022] 이상에서 해결하고자 하는 과제, 과제 해결 수단, 효과에 기재한 발명의 내용이 청구항의 필수적인 특징을 특정하는 것은 아니므로, 청구항의 권리범위는 발명의 내용에 기재된 사항에 의하여 제한되지 않는다.

**도면의 간단한 설명**

- [0023] 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 평면 구조를 나타내는 도면이다.
- 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 컨택홀 영역의 평면 구조를 나타내는 도면이다.
- 도 3은 본 발명의 실시예에 따른 액정 표시 장치의 컨택홀 영역의 단면 구조를 나타내는 도면이다.
- 도 4a 및 4b는 기존 구조에 따른 액정 표시 장치에서 보호층 컨택홀 마스크의 미스 얼라인먼트 시 컨택홀 영역에서 발생하는 불량을 설명하기 위한 도면이다.
- 도 5a 및 도 5b는 본 발명의 실시예에 따른 액정 표시 장치에서 보호층 컨택홀 마스크의 미스 얼라인먼트 시 컨택홀 영역에서의 구조를 설명하기 위한 도면이다.
- 도 6은 비교예와 본 발명의 실시예에 따른 액정 표시 장치의 개구율 비교 결과를 나타낸 도면이다.
- 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 컨택홀 영역의 평면 구조를 나타내는 도면이다.
- 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치의 컨택홀 영역의 단면 구조를 나타내는 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0024] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0025] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0026] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다. 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0027] 또한 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.
- [0028] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0029] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 따른 액정 표시 장치에 대해 상세히 설명하기로 한다.
- [0030] 도 1은 본 발명의 실시예에 따른 액정 표시 장치의 평면 구조를 나타내는 도면이다.
- [0031] 도 1을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 복수의 게이트 라인(GL), 복수의 데이터 라인(DL) 및 복수의 게이트 라인(GL)과 복수의 데이터 라인(DL)에 연결된 복수의 표시 화소(P)를 포함하는 제 1 기판(101)을 포함하여 구성된다.
- [0032] 또한, 본 발명의 실시예에 따른 액정 표시 장치(100)의 게이트 구동 IC(integrated circuit)(130) 및 데이터 구동 IC(135)는 표시 영역 또는 표시 영역 외곽의 비표시 영역에 형성된다. 상기 게이트 구동 IC(130) 및 데이터 구동 IC(135)는 표시 영역의 표시 화소(P)가 동작하도록 게이트 라인(GL) 및 데이터 라인(DL) 상에 각각 게이트 신호 및 데이터 신호를 제공하기 위해 구성된다.
- [0033] 각각의 표시 화소(P)는 게이트 전극, 소스 전극 및 드레인 전극을 갖는 박막 트랜지스터(Thin Film Transistor: TFT)를 포함한다. 또한, 각각의 표시 화소(P)는 화소 전극(118)과 공통 전극(114)으로 형성된 커패시터(capacitor)를 포함한다.
- [0034] 박막 트랜지스터(TFT)의 게이트 전극은 게이트 라인(GL)에 연결되고, 박막 트랜지스터(TFT)의 소스 전극은 데이터 라인(DL)에 연결되고, 박막 트랜지스터(TFT)의 드레인 전극은 표시 화소(P)의 화소 전극(118)에 연결된다.
- [0035] 게이트 라인(GL)은 게이트 패드를 통해 게이트 구동 IC(130)로부터 스캔 신호를 공급하고, 데이터 라인(DL)은 데이터 패드를 통해 데이터 구동 IC(135)로부터의 화소 신호를 공급한다. 이러한 게이트 라인(GL) 및 데이터 라인(DL)은 게이트 절연층(gate insulation layer)을 사이에 두고 교차할 수 있으며, 각 표시 화소(P) 영역을 정의할 수 있다.
- [0036] 도 1에서 게이트 구동 IC(130) 및 데이터 구동 IC(135) 각각은 액정 표시 장치(100)에서 별개의 구성 요소로 도시되어 있지만, 이러한 구동 IC들의 일부 또는 전부는 단일의 구성 요소로 서로 통합될 수도 있다. 예를 들어, 게이트 구동 IC(130)는 제 1 기판(101) 상에 형성되어 제 1 기판(101)의 일 부분으로서 제공될 수 있다.
- [0037] 또한, 데이터 구동 IC(135)는 액정 표시 장치(100) 상의 터치 센싱 관련 신호를 송신하고 수신하도록 구성된 터치 구동 IC와 함께 제 1 기판(101) 상에 형성된 공통 신호 배선들 및 데이터 라인들과 연결된 동일한 인쇄 회로 기판 상에 형성될 수도 있다.

- [0038] 또한, 본 발명의 실시예에 따른 액정 표시 장치(100)의 표시 화소(P)들은 표시 기능 및 터치 센싱 기능을 위해 사용될 수 있는 정전 용량 구성 요소(capacitive elements) 또는 전극을 포함할 수 있다. 예를 들어서 본 발명의 실시예에 따른 액정 표시 장치(100)의 공통 전극(114)은 복수의 공통 전극 블록(block)들로 분리되어 구성될 수도 있다.
- [0039] 도 2는 본 발명의 실시예에 따른 액정 표시 장치의 컨택홀 영역의 평면 구조를 나타내는 도면이다.
- [0040] 그리고, 도 3은 본 발명의 실시예에 따른 액정 표시 장치의 컨택홀 영역의 단면 구조를 나타내는 도면이다.
- [0041] 이하에서 도 2 및 도 3을 참조하여 본 발명의 실시예에 따른 액정 표시 장치의 구조에 대해 상세히 설명한다.
- [0042] 도 2 및 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)의 제 1 기관(101) 상에는 게이트 전극(106), 반도체층(108), 소스 전극(109) 및 드레인 전극(110)을 포함하는 역 스테거드(inverted staggered) 구조의 박막 트랜지스터(TFT)가 형성된다.
- [0043] 보다 구체적으로, 제 1 기관(101) 상에 게이트 전극(106)이 형성되고, 게이트 절연층(107)이 게이트 전극(106) 상부에 형성된다. 게이트 절연층(107) 상에는 반도체층(108)이 형성된다. 반도체층(108) 상에는 소스 전극(109) 및 드레인 전극(110)이 형성된다.
- [0044] 본 명세서에서는 박막 트랜지스터가 역 스테거드 구조인 것으로 설명하였으나, 이에 제한되지 않고 본 발명의 실시예에 따른 액정 표시 장치(100)에는 코플래너(coplanar) 구조를 포함한 다양한 구조의 박막 트랜지스터가 사용될 수 있다.
- [0045] 또한, 도 2 및 도 3에서는 박막 트랜지스터가 P형(P-type) 박막 트랜지스터인 경우를 가정하여 화소 전극(118)이 드레인 전극(110)과 연결되는 것으로 설명하였다. 그러나, 박막 트랜지스터가 N형(N-type) 박막 트랜지스터인 경우에는 화소 전극(118)이 소스 전극(109)에 연결될 수도 있다.
- [0046] 제 1 기관(101)은 액정 표시 장치(100)의 다양한 구성 요소들을 지지하기 위한 것으로 절연 물질로 형성된다. 예를 들어서, 제 1 기관(101)은 글래스(glass) 또는, PET(PolyEthylene Terephthalate), PEN(PolyEthylene Naphthalate), 폴리이미드(Polyimide) 등의 플라스틱 기관 등으로 이루어질 수 있다.
- [0047] 제 1 기관(101) 상에 게이트 전극(106)이 형성된다. 게이트 전극(106)은 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오뮴(Nd), 구리(Cu) 또는 이들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0048] 게이트 전극(106)은 제 1 기관(101) 상에 제 1 방향으로 배열된 게이트 라인(GL)으로부터 각 표시 화소(P) 영역에 대응하도록 분기된 형태로 형성된다.
- [0049] 게이트 전극(106) 상의 제 1 기관(101) 전면에 게이트 전극(106)을 덮도록 게이트 절연층(107)이 형성된다.
- [0050] 게이트 절연층(107)은 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(SiN<sub>x</sub>) 등과 같은 무기 절연 물질로 이루어진 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있으나, 반드시 이에 한정되는 것은 아니다.
- [0051] 게이트 절연층(107) 상에 게이트 전극(106)의 적어도 일부와 오버랩되도록 반도체층(108)이 형성된다.
- [0052] 반도체층(108)은 비정질 실리콘(Amorphous Silicon), 다결정 실리콘(Poly Crystalline Silicon) 및 금속 산화물(Metal Oxide) 반도체 물질인 인듐 갈륨 징크 옥사이드(Indium Gallium Zinc Oxide: IGZO), 징크 틴 옥사이드(Zinc Tin Oxide: ZTO) 또는 징크 인듐 옥사이드(Zinc Indium Oxide: ZIO) 중 어느 하나로 이루어질 수 있으나, 반드시 이에 한정되지 않는다.
- [0053] 반도체층(108)의 양측 상에 각각 반도체층(108)과 중첩되고 서로 이격되도록 위치하는 소스 전극(109) 및 드레인 전극(110)이 형성된다.
- [0054] 소스 전극(109) 및 드레인 전극(110)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 구리(Cu) 또는 그들의 합금으로 이루어질 수 있으며, 상기 금속 또는 합금의 단일층 또는 2층 이상의 다중층으로 이루어질 수도 있으나, 반드시 이에 한정되는 것은 아니다.
- [0055] 소스 전극(109)은 게이트 절연층(107) 상에 상기 제 1 방향에 교차하는 수직 방향인 제 2 방향으로 배열된 데이터 라인(DL)으로부터 각 표시 화소(P) 영역에 대응하도록 분기된 형태로 형성된다.
- [0056] 소스 전극(109) 및 드레인 전극(110)은 하프톤(half tone) 마스크(mask)를 이용하여 게이트 절연층(107) 상에

순차적으로 적층되어 형성된 반도체층(108)과 함께 패터닝됨으로써 하나의 마스크 공정으로 형성될 수 있다.

- [0057] 소스 전극(109) 및 드레인 전극(110) 상의 제 1 기판(101) 전면에 반도체층(108)과 소스 전극(109) 및 드레인 전극(110)을 덮도록 형성되고, 드레인 전극(110)의 일부를 노출하는 제 1 컨택홀(113)을 구비한 제 1 보호층(112)이 형성된다.
- [0058] 제 1 보호층(112)은 포토 아크릴(photo-acryl) 또는 벤조사이클로부텐(BCB)과 같은 평탄한 표면을 갖는 유기 절연 물질로 이루어질 수 있으며, 제 1 기판(101)의 상부를 평탄화하는 평탄화층(planarization layer)일 수 있다.
- [0059] 또한 제 1 보호층(112)의 하부에는 제 3 보호층(111)을 더 포함할 수 있다. 제 3 보호층(111)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)과 같은 무기 절연 물질로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다. 그리고, 제 3 보호층(111)은 하부 드레인 전극(110)의 일부를 노출하는 컨택홀을 구비한다.
- [0060] 제 1 보호층(112) 상에 공통 전극(114)이 형성된다. 공통 전극(114)은 판(plate) 형상으로 제 1 기판(101)의 전면에 대응되도록 인듐 틴 옥사이드(Indium Tin Oxide: ITO)와 같은 투명 도전성 물질로 이루어질 수 있다. 공통 전극(114)은 드레인 전극(110)의 일부를 노출하는 공통 전극 홀(115)을 포함하여 형성된다.
- [0061] 공통 전극(114) 상의 제 1 기판(101) 전면에 제 2 보호층(116)이 형성된다. 제 2 보호층(116)은 공통 전극(114)을 덮도록 형성되고, 드레인 전극(110)의 일부를 노출하는 제 2 컨택홀(117)을 구비한다. 제 2 보호층(116)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)과 같은 무기 절연 물질로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다.
- [0062] 제 2 보호층(116) 상에 화소 전극(118)이 형성된다. 화소 전극(118)은 제 3 보호층(111)에 구비된 컨택홀과 제 1 보호층(112) 및 제 2 보호층(116) 각각에 구비된 제 1 컨택홀(113) 및 제 2 컨택홀(117)을 통해 드레인 전극(110)과 연결된다.
- [0063] 또한 화소 전극(118)은 복수의 핑거부(finger)를 포함하는 구조로 이루어질 수 있으며, 화소 전극(118)은 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.
- [0064] 또한 상기 화소 전극(118)의 복수의 핑거부(finger)는 액정 표시 장치의 개구율 측면을 고려할 때, 하부에 위치하는 드레인 전극(110)과 중첩되지 않도록 형성될 수 있다.
- [0065] 화소 전극(118)은 제 2 보호층(116)을 사이에 두고 서로 다른 층에 있는 공통 전극(114)과 프린지 필드(fringe field)를 형성한다. 그리고 프린지 필드에 의해 액정층(140)의 액정 분자들이 유전을 이방성에 의해 회전하며, 액정 분자들의 회전 정도에 따라 표시 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상이 구현된다.
- [0066] 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)의 제 1 기판(101)과 대향하여 위치하는 제 2 기판(121) 상에는 표시 화소의 개구 영역과 차광 영역을 정의하는 블랙 매트릭스(BM, 122)가 형성된다.
- [0067] 블랙 매트릭스(122)는 제 2 기판(121) 상에 인접하여 위치하는 서로 다른 색의 컬러 필터(125) 사이에 형성되어 컬러 간의 혼색을 방지할 수 있다.
- [0068] 블랙 매트릭스(122)는 제 1 기판(101)의 박막 트랜지스터, 게이트 라인(GL) 및 데이터 라인(DL) 중 적어도 어느 하나와 중첩되도록 제 2 기판(121) 상에 형성된다. 보다 구체적으로, 블랙 매트릭스(122)는 게이트 라인(GL)을 따라 배치된 게이트 BM(123) 및 데이터 라인(DL)을 따라 배치된 데이터 BM(124)을 포함하여 이루어질 수 있다. 상기 블랙 매트릭스(122)는 불투명한 유기 물질로 이루어질 수 있으며, 예를 들어서 블랙 레진(black resin)을 포함하여 이루어질 수 있다. 그리고, 블랙 매트릭스(122)는 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.
- [0069] 도 2를 참조하면, 제 2 기판(121)에 형성되는 게이트 BM(123)은 하부에 배치되는 게이트 라인(GL) 및 박막 트랜지스터 영역을 가릴 수 있도록 H1의 폭으로 형성될 수 있다.
- [0070] 제 2 기판(121) 및 블랙 매트릭스(122) 상에 컬러 필터(125)가 형성된다. 컬러 필터(125)는 적색 컬러 필터(125a), 청색 컬러 필터(125b) 및 녹색 컬러 필터를 포함할 수 있다. 상기 컬러 필터(125)는 각각 자신이 포함하고 있는 적색, 녹색, 및 청색 안료를 통해 특정 파장의 광을 흡수 또는 투과시킴으로써 적색, 녹색 및 청색을 표현할 수 있다. 그리고, 컬러 필터(125)는 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.

- [0071] 컬러 필터(125) 상에는 오버 코트(127)가 형성된다. 오버 코트(127)는 상기 컬러 필터(125)를 보호하는 역할을 할 수 있으며, 평탄화 특성이 우수한 유기 물질 또는 무기 물질로 이루어질 수 있다.
- [0072] 또한 도 3을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 제 1 기관(101)과 제 2 기관(121) 사이에 음의 유전율 이방성을 갖는 액정(LC)으로 이루어진 액정층(140)을 포함하여 구성될 수 있다.
- [0073] 액정층(140)은 제 1 기관(101) 상의 하부 배향막과 제 2 기관(121) 상의 상부 배향막 사이에 형성된다. 하부 배향막 및 상부 배향막은 액정층(140) 내 액정(LC)의 초기 배향을 결정하고 유지하는 역할을 한다.
- [0074] 상기 액정층(140) 내에 포함되는 액정(LC)은 공통 전극(114)과 화소 전극(118)에 의해 형성된 전계에 의해서 액정(LC)의 배열 상태가 조절된다. 음의 유전율 이방성을 갖는 액정(LC) 즉, 네거티브(negative) 액정은 유전율 이방성( $\Delta \epsilon = \epsilon_{\parallel} - \epsilon_{\perp}$ )이 음(-)의 값을 가지는 액정으로, 수직 유전율이 수평 유전율보다 큰 값을 갖는다. 반면에 포지티브(positive) 액정의 경우, 유전율 이방성이 양(+)의 값을 가지는 액정으로, 수평 유전율이 수직 유전율 보다 큰 값을 갖는다.
- [0075] 상기 음의 유전율 이방성을 갖는 액정(LC) 즉, 네거티브(negative) 액정은 전계 방향과 수직한 방향으로 액정(LC)의 방향자(director)가 배열된다. 따라서 공통 전극(114)과 화소 전극(118) 사이에 전계가 형성되면, 공통 전극(114)과 화소 전극(118) 사이 영역의 액정 뿐만 아니라 공통 전극(114)과 화소 전극(118) 상부 영역의 액정의 방향자가 모두 제 1 기관(101) 및 제 2 기관(121)의 수평 면에 대해서 평행하게 배열된다. 따라서, 포지티브 액정에 비하여 네거티브 액정(LC)의 경우, 광 투과율이 향상되어 상대적으로 우수한 휘도 특성을 나타낼 수 있다.
- [0076] 도 2를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)는 제 1 보호층(112)에 구비된 제 1 컨택홀(113)과 제 1 보호층 상(112)에 있으며, 제 2 컨택홀(117)을 갖는 제 2 보호층(117)을 포함하고, 제 2 컨택홀(117)의 크기는 제 1 컨택홀(113)의 크기보다 작고, 제 2 컨택홀(117)은 제 1 컨택홀(113) 내에 위치할 수 있다.
- [0077] 즉, 제 2 컨택홀(117)의 에지(edge)는 제 1 컨택홀(113)의 에지와 중첩되지 않도록 제 1 컨택홀(113) 내에서 이격되어 배치될 수 있다. 제 1 컨택홀(113) 내에 배치된 제 2 컨택홀(117)을 통해서 화소 전극(118)은 하부 드레인 전극(110)의 적어도 세 면과 컨택(contact)을 이룰 수 있다.
- [0078] 또한 제 1 컨택홀(113)은 데이터 라인(DL)이 연장된 방향보다 게이트 라인(GL)이 연장된 방향으로 길게 형성될 수 있다.
- [0079] 또한 제 1 컨택홀(113)과 제 2 컨택홀(117)은 공통 전극(114)에 공통 전극 홀(115) 내에 배치될 수 있다. 즉, 공통 전극 홀(115)의 크기는 제 1 컨택홀(113)과 제 2 컨택홀(117)의 크기보다 크게 형성될 수 있다. 또한 공통 전극 홀(115)은 데이터 라인(DL)이 연장된 방향보다 게이트 라인(GL)이 연장된 방향으로 길게 형성될 수 있다.
- [0080] 보다 구체적으로, 제 2 컨택홀(117)의 직경 또는 적어도 일측의 폭(W2)은 제 1 컨택홀(113)의 직경 또는 적어도 일측의 폭(W1)보다 작을 수 있으며, 또한 제 1 컨택홀(113)의 직경 또는 적어도 일측의 폭(W1)은 공통 전극 홀(115)의 직경 또는 적어도 일측의 폭(W3)보다 작을 수 있다.
- [0081] 즉, 공통 전극 홀(115)의 크기는 제 1 컨택홀(113)과 제 2 컨택홀(117)의 크기 및 배치 구조에 따라서 결정될 수 있다.
- [0082] 도 2를 참조하면, 또한 게이트 전극(106)의 적어도 일부는 제 1 컨택홀 내(113)에서 드레인 전극(110)과 중첩되도록 형성될 수 있다. 상기 게이트 전극(106)과 드레인 전극(110)의 중첩 구조는 액정 표시 장치의 제조 공정에서 마스크의 미스 얼라인먼트에 의해 인접한 두 화소의 전극들의 중첩이 틀어지더라도 전극들의 중첩된 면적과 틀어진 면적이 동일해지면서 표시 화소들의 커패시턴스(capacitance) 용량이 상이해져 나타나는 불량 발생을 최소화할 수 있다.
- [0083] 본 발명의 실시예에 따른 액정 표시 장치(100)의 경우, 박막 트랜지스터의 제 1 보호층(112) 상의 제 2 보호층(116)에 구비된 제 2 컨택홀(117)이 제 1 보호층(112)에 구비된 제 1 컨택홀(113) 내에 위치하도록 함으로써, 공통 전극(117)과 화소 전극(118)의 접촉 또는 화소 전극(118)의 단선 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다.
- [0084] 또한 박막 트랜지스터의 제 1 보호층(112) 상의 제 2 보호층(116)에 구비된 제 2 컨택홀(117)이 제 1 보호층(112)에 구비된 제 1 컨택홀(113) 내에 위치하도록 함으로써, 제 1 컨택홀(113)과 공통 전극(114) 사이 또는 제

2 컨택홀(117)과 공통 전극(114) 사이의 거리인 마진(margin)을 줄임으로써 공통 전극 홀(115)의 크기를 줄일 수 있고, 제 2 컨택홀이 제 1 컨택홀 내에 있지 않은 기존 액정 표시 장치 대비, 블랙 매트릭스(122)의 게이트 BM(123)의 폭(H1)을 줄일 수 있으며, 게이트 BM(123)의 폭을 최소화함으로써 액정 표시 장치의 개구율 및 투과율을 향상시킬 수 있다.

- [0085] 도 4a 및 4b는 기존 구조에 따른 액정 표시 장치에서 보호층 컨택홀 마스크 미스 얼라인먼트 시 컨택홀 영역에서 발생하는 불량을 설명하기 위한 도면이다.
- [0086] 도 4a 및 도 4b를 참조하면, 기존 구조에 따른 액정 표시 장치(200)의 경우, 제 1 기관(201) 상에 형성된 반도체층(208)과 드레인 전극(210) 상에 제 3 보호층(211) 및 제 1 컨택홀(213)을 구비한 제 1 보호층(212)이 형성된다.
- [0087] 제 1 보호층(212) 상에 공통 전극 홀(215)을 구비한 공통 전극(214)이 형성된다. 상기 공통 전극(214)은 마스크(mask)의 정렬 오차, 즉 마스크 미스 얼라인먼트(mis-alignment)에 의해 요구되는 위치에서 벗어나 일측으로 치우쳐 형성될 수 있는데, 이 때 공통 전극(214)은 제 1 보호층(212)에 구비된 제 1 컨택홀(213)의 경사면 상에 형성될 수 있다. 공통 전극(214)의 상부에는 제 2 보호층(216)이 형성된다.
- [0088] 도 4a를 참조하면, 기존 구조에 따른 액정 표시 장치(200)의 경우, 드레인 전극(210) 상에서 제 1 컨택홀(213)과 제 2 컨택홀(217)의 적어도 일측이 중첩되어 배치된 구조를 갖는다.
- [0089] 도 4b를 참조하면, 기존 구조에 따른 액정 표시 장치(200)의 경우, 제 2 컨택홀(217) 형성 공정 중에 제 2 컨택홀(217) 마스크의 미스 얼라인먼트에 의해서, 요구되는 영역인 제 2 컨택홀(217a) 영역으로부터 시프트(shift)된 제 2 컨택홀(217b) 영역에 포토 레지스트(PR)가 형성될 수 있다.
- [0090] 상기 시프트(shift)된 제 2 컨택홀(217b) 영역에서 제 2 보호층(216), 제 1 보호층(212) 및 제 3 보호층(211)의 순서로 컨택홀 형성을 위한 드라이 에치(dry etch; D/E) 공정이 진행되는 경우, 제 1 보호층(212) 단차부와 제 3 보호층(211)이 식각되는 동안 제 2 보호층(216)이 지속적으로 드라이 에치(dry etch)의 영향을 받게 되면서 포토 레지스트(PR)가 유실되고, 제 2 컨택홀(217b)이 오버 에치(over etch)되면서(도 4b에서 동그라미로 표시) 제 2 컨택홀(217b)의 크기가 설계치 대비 크게 형성될 수 있다. 이와 같이 제 2 컨택홀(217) 형성 공정에서 오버 에치가 발생하는 경우, 공통 전극(214)의 일부가 제 2 보호층(216) 밖으로 노출될 수 있다.
- [0091] 제 2 컨택홀(217b) 및 제 3 보호층(211)의 컨택홀 형성 후, 제 2 보호층(216) 상에 화소 전극(218)이 형성되는데, 이 때 제 2 보호층(216)의 제 2 컨택홀(217b)을 형성하는 과정에서 노출된 공통 전극(214)과 공통 전극(214) 상부의 화소 전극(216)이 서로 접촉(도 4b에서 동그라미로 표시)될 수 있다. 즉, 상기와 같은 공통 전극(214)과 화소 전극(216)의 접촉에 의해서 액정 표시 장치의 구동 불량이 발생하고 있다.
- [0092] 또한 제 2 보호층(216) 형성 후 제 2 컨택홀(217)을 형성하는 공정에서 제 2 컨택홀(217) 마스크의 미스 얼라인먼트에 의해, 제 2 컨택홀(217)이 오버 에치되면서 발생한 제 2 보호층(216) 에지(edge)에서의 단차에 의해서 제 2 보호층(216) 상에 형성되는 화소 전극(218)이 단선되는 문제가 발생할 수 있다.
- [0093] 상기와 같이 제 2 보호층(216)에 구비된 제 2 컨택홀(217) 형성 공정 중에 나타날 수 있는 불량을 최소화하기 위해 제 1 컨택홀(213)과 공통 전극(214) 사이 또는 제 2 컨택홀(217)과 공통 전극(214) 사이에 충분한 거리를 유지하도록 마진(margin)을 적용하였으나, 상기 마진에 따라 블랙 매트릭스(BM)의 폭, 즉 게이트 BM의 폭이 증가하게 되어 액정 표시 장치의 개구율 및 투과율을 향상시키는데 제약이 있다.
- [0094] 도 5a 및 도 5b는 본 발명의 실시예에 따른 액정 표시 장치에서 보호층 컨택홀 마스크의 미스 얼라인먼트 시 컨택홀 영역에서의 구조를 설명하기 위한 도면이다.
- [0095] 본 발명의 실시예에 따른 액정 표시 장치(100)를 설명함에 있어서, 이전 설명한 실시예인 도 2 및 도 3에서와 동일 또는 대응되는 구성 요소에 대한 중복되는 설명은 생략하기로 한다.
- [0096] 도 5a 및 도 5b를 참조하면, 본 발명의 실시예에 따른 액정 표시 장치(100)의 경우, 드레인 전극(210) 상에서 제 1 컨택홀(113)보다 크기가 작은 제 2 컨택홀(117)이 제 1 컨택홀(113) 내에 배치된 구조를 갖는다.
- [0097] 도 5a 및 도 5b를 참조하면, 제 1 기관(101) 상에 형성된 반도체층(108)과 드레인 전극(110) 상에 제 3 보호층(111) 및 제 1 컨택홀(113)을 구비한 제 1 보호층(112)이 형성된다.
- [0098] 또한 제 1 보호층(112) 상에는 공통 전극 홀(115)을 구비한 공통 전극(114)이 형성된다. 상기 공통 전극(114)은 마스크의 미스 얼라인먼트(mis-alignment)에 의해 요구되는 위치에서 벗어나 일측으로 치우쳐 형성될 수

있는데, 이 때 공통 전극(114)은 제 1 보호층(112)에 구비된 제 1 컨택홀(113)의 경사면 상에 형성될 수 있다. 공통 전극(114)의 상부에는 제 2 보호층(116)이 형성된다.

- [0099] 앞서 설명한 기존 구조에 따른 액정 표시 장치(200)와 다르게, 본 발명의 실시예에 따른 액정 표시 장치(100)의 경우, 제 2 컨택홀(117) 마스크의 미스 얼라인먼트에 의해서, 요구되는 영역인 제 2 컨택홀(117a) 영역으로부터 시프트(shift)된 제 2 컨택홀(117b) 영역에서 드라이 에치(dry etch; D/E) 공정이 진행되는 경우에도, 제 2 컨택홀(117b)이 제 1 컨택홀(113) 내에 위치하므로 지속적인 드라이 에치(dry etch)에 의해 제 2 보호층(116) 상의 포토 레지스트(PR)가 유실되거나 또는 제 2 컨택홀(117)이 오버 에치(over etch)되어 제 2 컨택홀(117)이 설계치 대비 크게 형성될 가능성이 낮으며, 따라서 공통 전극(114)의 일부가 제 2 보호층(116) 밖으로 노출될 가능성도 낮아진다.
- [0100] 따라서, 본 발명의 실시예에 따른 액정 표시 장치(100)는 공통 전극(114)이 공통 전극(214) 상부에 형성되는 화소 전극(118)과 접촉되거나 제 2 컨택홀(117b)이 오버 에치(over etch)되면서 발생하는 제 2 보호층(116) 에지(edge)에서의 단차에 의해 화소 전극(118)이 단선될 가능성이 최소화될 수 있다.
- [0101] 즉, 본 발명의 실시예에 따른 액정 표시 장치(100)는 박막 트랜지스터의 제 1 보호층(112) 상의 제 2 보호층(116)에 구비된 제 2 컨택홀(117)이 제 1 보호층(112)에 구비된 제 1 컨택홀(113) 내에 위치하도록 함으로써, 공통 전극(114)과 화소 전극(118)의 접촉 또는 화소 전극(118)의 단선 가능성을 최소화할 수 있으며, 이에 따라 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다.
- [0102] 또한 박막 트랜지스터의 제 1 보호층(112) 상의 제 2 보호층(116)에 구비된 제 2 컨택홀(117)이 제 1 보호층(112)에 구비된 제 1 컨택홀(113) 내에 위치하도록 함으로써, 제 1 컨택홀(113)과 공통 전극(114)의 사이 또는 제 2 컨택홀(117)과 공통 전극(114) 사이의 거리, 즉 마진(margin)을 기존 대비 줄임으로써 공통 전극 홀(115)의 크기를 줄일 수 있고, 제 2 컨택홀(217)이 제 1 컨택홀(213) 내에 있지 않은 기존 액정 표시 장치(200)와 대비하여 블랙 매트릭스(122)의 게이트 BM(123)의 폭(H1)을 최소화함으로써 액정 표시 장치의 개구율 및 투과율을 향상시킬 수 있다.
- [0103] 도 6은 비교예와 본 발명의 실시예에 따른 액정 표시 장치의 개구율 비교 결과를 나타낸 도면이다.
- [0104] 도 6을 참조하면, 기존 구조의 액정 표시 장치인 비교예의 경우, 제 1 컨택홀과 공통 전극 간의 거리인 마진(margin)을 6 $\mu$ m 수준으로 적용하였고, 게이트 BM 폭을 29 $\mu$ m 수준으로 적용하였다. 그 결과 기존 구조의 액정 표시 장치인 비교예의 경우, 약 54.1% 수준의 개구율을 나타내었다.
- [0105] 반면에 도 6을 참조하면, 본 발명의 실시예에 따른 액정 표시 장치의 경우, 제 2 컨택홀을 제 1 컨택홀 내에 위치시킴으로써 제 1 컨택홀과 공통 전극의 마진(margin)을 5 $\mu$ m 수준으로 적용할 수 있고 이에 따라 게이트 BM 폭을 24 $\mu$ m 수준으로 줄이는 것이 가능하다. 그 결과 본 발명의 실시예에 따른 액정 표시 장치의 경우, 약 57.7% 수준의 개구율을 나타내어 비교예 대비 개구율이 약 3.6% 수준으로 향상된 것을 확인할 수 있다.
- [0106] 도 7은 본 발명의 다른 실시예에 따른 액정 표시 장치의 컨택홀 영역의 평면 구조를 나타내는 도면이다.
- [0107] 그리고, 도 8은 본 발명의 다른 실시예에 따른 액정 표시 장치의 컨택홀 영역의 단면 구조를 나타내는 도면이다.
- [0108] 이하에서 도 7 및 도 8을 참조하여 본 발명의 다른 실시예에 따른 액정 표시 장치의 구조에 대해 설명한다.
- [0109] 도 7 및 도 8을 참조하여, 본 발명의 다른 실시예에 따른 액정 표시 장치(300)를 설명함에 있어서, 앞서 이전 실시예에서 도 2 및 도 3을 참조하여 설명한 동일 또는 대응되는 구성 요소에 대한 중복되는 설명은 생략하거나 간단히 설명하기로 한다.
- [0110] 도 7 및 도 8을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(300)는 제 1 기판(101) 상에 형성된 게이트 전극(106), 반도체층(108), 소스 전극(109) 및 드레인 전극(110)을 포함하는 역 스테거드(inverted staggered) 구조의 박막 트랜지스터(TFT)를 포함한다.
- [0111] 보다 구체적으로, 제 1 기판(101) 상에 게이트 전극(106)이 형성되고, 게이트 절연층(107)이 게이트 전극(106) 상부에 형성된다. 게이트 절연층(107) 상에는 반도체층(108)이 형성된다. 반도체층(108) 상에는 소스 전극(109) 및 드레인 전극(110)이 형성된다.
- [0112] 소스 전극(109) 및 드레인 전극(110) 상의 제 1 기판(101) 전면에 반도체층(108)과 소스 전극(109) 및 드레인 전극(110)을 덮도록 형성되고, 드레인 전극(110)의 일부를 노출하는 제 1 컨택홀(313)을 구비한 제 1 보호층

(312)이 형성된다. 제 1 보호층(312)은 포토 아크릴(photo-acryl) 또는 벤조사이클로부텐(BCB)과 같은 평탄한 표면을 갖는 유기 절연 물질로 이루어질 수 있으며, 제 1 기판(101)의 상부를 평탄화하는 평탄화층(planarization layer)일 수 있다. 도 8을 참조하면, 제 1 보호층(312)에 구비되는 제 1 컨택홀(313)의 직경 또는 적어도 일측의 폭은 W4의 크기를 갖도록 형성될 수 있다.

- [0113] 또한 제 1 보호층(312)의 하부에 제 3 보호층(111)을 더 포함할 수 있다. 제 3 보호층(111)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)과 같은 무기 절연 물질로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다. 제 3 보호층(111)은 생략될 수도 있다.
- [0114] 제 1 보호층(312) 상에 공통 전극(314)이 형성된다. 공통 전극(314)은 판(plate) 형상으로 제 1 기판(101)의 전면에 대응되도록 인듐 틴 옥사이드(Indium Tin Oxide: ITO)와 같은 투명 도전성 물질로 이루어질 수 있다. 공통 전극(314)은 드레인 전극(110)의 일부를 노출하는 공통 전극 홀(315)을 포함하여 형성된다. 도 8을 참조하면, 공통 전극(314)에 구비되는 공통 전극 홀(315)의 직경 또는 적어도 일측의 폭은 W5의 크기를 갖도록 형성될 수 있다.
- [0115] 공통 전극(314) 상의 제 1 기판(101) 전면에 제 2 보호층(316)이 형성된다. 제 2 보호층(316)은 공통 전극(314)을 덮도록 형성되고, 드레인 전극(110)의 일부를 노출하는 제 2 컨택홀(317)을 구비한다. 제 2 보호층(316)은 실리콘 산화물(SiO<sub>x</sub>) 또는 실리콘 질화물(SiN<sub>x</sub>)과 같은 무기 절연 물질로 이루어질 수 있으나, 반드시 이에 한정되는 것은 아니다. 도 8을 참조하면, 제 2 보호층(316)에 구비되는 제 2 컨택홀(317)의 직경 또는 적어도 일측의 폭은 W6의 크기를 갖도록 형성될 수 있다.
- [0116] 제 2 보호층(316) 상에 화소 전극(118)이 형성된다. 화소 전극(118)은 제 3 보호층(111)에 구비된 컨택홀, 제 1 보호층(312) 및 제 2 보호층(316) 각각에 구비된 제 1 컨택홀(313) 및 제 2 컨택홀(317)을 통해 드레인 전극(110)과 연결된다.
- [0117] 또한 화소 전극(118)은 복수의 핑거부(finger)를 포함하는 구조로 이루어질 수 있으며, 화소 전극(118)은 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.
- [0118] 또한 상기 화소 전극(118)의 복수의 핑거부(finger)는 액정 표시 장치의 개구율 측면을 고려할 때, 하부에 위치하는 드레인 전극(110)과 중첩되지 않도록 형성될 수 있다.
- [0119] 도 7 및 도 8을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(300)의 제 1 기판(101)과 대향하여 위치하는 제 2 기판(121) 상에는 표시 화소의 개구 영역과 차광 영역을 정의하는 블랙 매트릭스(BM, 122)가 형성된다.
- [0120] 블랙 매트릭스(122)는 제 2 기판(121) 상에 인접하여 위치하는 서로 다른 색의 컬러 필터(125) 사이에 형성되어 컬러 간의 혼색을 방지할 수 있다.
- [0121] 블랙 매트릭스(122)는 제 1 기판(101)의 박막 트랜지스터, 게이트 라인(GL) 및 데이터 라인(DL) 중 적어도 어느 하나와 중첩되도록 제 2 기판(121) 상에 형성된다. 보다 구체적으로, 블랙 매트릭스(122)는 게이트 라인(GL)을 따라 배치된 게이트 BM(123) 및 데이터 라인(DL)을 따라 배치된 데이터 BM(124)을 포함하여 이루어질 수 있다.
- [0122] 도 7을 참조하면, 제 2 기판(121)에 형성되는 게이트 BM(123)은 하부에 배치되는 게이트 라인(GL) 및 박막 트랜지스터 영역을 가릴 수 있도록 H2의 폭으로 형성될 수 있다.
- [0123] 제 2 기판(121) 및 블랙 매트릭스(122) 상에 컬러 필터(125)가 형성된다. 컬러 필터(125)는 직선(straight) 형상 또는 적어도 하나 이상 굴곡된 형상인 지그재그(zigzag) 형상으로 형성될 수도 있다.
- [0124] 컬러 필터(125) 상에 오버 코트(127)가 형성된다. 오버 코트(127)는 상기 컬러 필터(125)를 보호하는 역할을 할 수 있으며, 평탄화 특성이 우수한 유기 물질 또는 무기 물질로 이루어질 수 있다.
- [0125] 또한 본 발명의 다른 실시예에 따른 액정 표시 장치(300)는 제 1 기판(101)과 제 2 기판(121) 사이에 음의 유전율 이방성을 갖는 액정(LC)으로 이루어진 액정층(140)을 포함할 수 있다.
- [0126] 도 7 및 도 8을 참조하면, 본 발명의 다른 실시예에 따른 액정 표시 장치(300)는 공통 전극 홀(315)이 제 1 컨택홀(313) 내에 위치하도록 구성될 수 있다. 보다 구체적으로, 공통 전극(314)에 구비된 공통 전극 홀(315)의 직경 또는 적어도 일측의 폭(W5)은 제 1 보호층(312)에 구비된 제 1 컨택홀(313)의 직경 또는 적어도 일측의 폭(W4)보다 작게 형성되고, 공통 전극 홀(315)은 제 1 컨택홀(313) 내에 위치할 수 있다.

- [0127] 또한 공통 전극 홀(315)의 직경 또는 적어도 일측의 폭(W5)은 제 2 보호층(316)에 구비된 제 2 컨택홀(317)의 직경 또는 적어도 일측의 폭(W6)보다 크게 형성되고, 제 2 컨택홀(317)은 공통 전극 홀(315) 내에 위치할 수 있다.
- [0128] 즉, 공통 전극 홀(315)의 직경 또는 적어도 일측의 폭(W5)은 제 2 보호층(316)에 구비된 제 2 컨택홀(317)의 직경 또는 적어도 일측의 폭(W6)보다 크고, 제 1 보호층(312)에 구비된 제 1 컨택홀(313)의 직경 또는 적어도 일측의 폭(W4)보다 작게 형성될 수 있다.
- [0129] 따라서, 공통 전극 홀(315) 및 제 2 컨택홀(317)의 크기는 각각 제 1 컨택홀(313)의 크기보다 작게 형성되고, 공통 전극 홀(315) 및 제 2 컨택홀(317)은 제 1 컨택홀(313) 내에 배치될 수 있다.
- [0130] 상기와 같이, 공통 전극(314)에 구비된 공통 전극 홀(315)이 제 1 보호층(312)에 구비된 제 1 컨택홀(313)보다 작게 형성되어, 공통 전극 홀(315)이 제 1 컨택홀(313) 내에 위치하는 경우, 공통 전극(314)은 제 1 보호층(312)을 완전히 덮도록 형성되며, 공통 전극(314)에 구비되는 공통 전극 홀(315)의 적어도 일부가 제 1 보호층(312)의 경사면 상에 형성되지 않을 수 있다. 따라서, 공통 전극 홀(315) 형성 및 제 2 컨택홀(317) 형성 공정에서 각각의 마스크(mask)의 미스 얼라인먼트(mis-alignment)가 발생하는 경우에도 공통 전극(314)과 화소 전극(118)의 접촉 또는 화소 전극(118)의 단선 가능성이 최소화될 수 있으며, 액정 표시 장치의 구동 불량 발생이 최소화될 수 있다.
- [0131] 또한 제 1 컨택홀(313)과 공통 전극(314) 사이 또는 제 2 컨택홀(317)과 공통 전극(314) 사이의 마진(margin)을 줄임으로써 공통 전극 홀(315)의 크기를 줄일 수 있고, 기존 액정 표시 장치 대비 블랙 매트릭스(122)의 게이트 BM(123)의 폭(W2)을 줄일 수 있으며, 게이트 BM(123)의 폭을 최소화함으로써 액정 표시 장치의 개구율 및 투과율을 향상시킬 수 있다.
- [0132] 상기 결과로부터, 본 발명의 실시예에 따른 액정 표시 장치의 경우, 박막 트랜지스터의 제 1 보호층 상의 제 2 보호층에 구비된 제 2 컨택홀이 제 1 보호층에 구비된 제 1 컨택홀 내에 위치하도록 함으로써, 공통 전극과 화소 전극의 접촉 또는 화소 전극의 단선 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다.
- [0133] 또한 본 발명의 실시예에 따른 액정 표시 장치의 경우, 기존 대비 제 1 보호층 컨택홀과 공통 전극 사이 또는 제 2 보호층 컨택홀과 공통 전극 사이의 마진(margin)을 줄임으로써 공통 전극 홀의 크기를 줄일 수 있고 블랙 매트릭스의 게이트 BM 폭을 최소화할 수 있어 기존 액정 표시 장치 구조 대비 개구율 및 투과율을 향상시킬 수 있다.
- [0134] 또한 본 발명의 실시예에 따른 액정 표시 장치의 경우, 제 1 컨택홀 내에 공통 전극 홀이 위치하고, 또한 공통 전극 홀 내에 제 2 컨택홀이 위치하도록 함으로써 화소 전극의 단선 또는 공통 전극과 화소 전극의 접촉 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다. 또한 기존 구조 대비 공통 전극 홀의 크기를 줄일 수 있고 블랙 매트릭스의 게이트 BM 폭을 최소화할 수 있어 기존 액정 표시 장치 구조 대비 개구율 및 투과율을 향상시킬 수 있다.
- [0135] 본 발명의 실시예에 따른 액정 표시 장치는 다음과 같이 설명될 수 있다.
- [0136] 본 발명의 실시예에 따른 액정 표시 장치는 기판 상에 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하는 박막 트랜지스터와 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층 및 제 1 보호층 상에 있으며, 제 2 컨택홀을 갖는 제 2 보호층을 포함하고, 제 2 컨택홀의 크기는 제 1 컨택홀의 크기보다 작고, 제 2 컨택홀이 제 1 컨택홀 내에 위치하도록 함으로써, 공통 전극과 화소 전극의 접촉 또는 화소 전극의 단선 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다. 기존 대비 제 1 보호층 컨택홀과 공통 전극 사이 또는 제 2 보호층 컨택홀과 공통 전극 사이의 마진(margin)을 줄임으로써 공통 전극 홀의 크기를 줄일 수 있고 블랙 매트릭스의 게이트 BM 폭을 최소화할 수 있어 기존 액정 표시 장치 구조 대비 개구율 및 투과율을 향상시킬 수 있다.
- [0137] 본 발명의 다른 특징에 따르면, 제 2 컨택홀의 에지(edge)는 제 1 컨택홀의 에지와 중첩되지 않을 수 있다.
- [0138] 본 발명의 또 다른 특징에 따르면, 제 1 보호층 상에 위치하는 공통 전극과 화소 전극을 더 포함하고, 제 1 보호층은 유기 절연 물질로 이루어질 수 있다.
- [0139] 본 발명의 또 다른 특징에 따르면, 공통 전극은 홀을 포함하며, 제 1 컨택홀과 제 2 컨택홀은 공통 전극 홀 내

에 있을 수 있다.

- [0140] 본 발명의 또 다른 특징에 따르면, 공통 전극 홀의 크기는 제 1 컨택홀과 제 2 컨택홀의 크기에 따라 결정될 수 있다.
- [0141] 본 발명의 또 다른 특징에 따르면, 화소 전극은 복수의 핑거(finger) 구조를 가지며, 드레인 전극은 핑거와 중첩되지 않을 수 있다.
- [0142] 본 발명의 또 다른 특징에 따르면, 화소 전극은 드레인 전극의 적어도 세 면과 컨택(contact)을 이룰 수 있다.
- [0143] 본 발명의 또 다른 특징에 따르면, 게이트 전극의 적어도 일부는 제 1 컨택홀 내에서 드레인 전극과 중첩될 수 있다.
- [0144] 본 발명의 또 다른 특징에 따르면, 반도체층은 금속 산화물로 이루어질 수 있다.
- [0145] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터와 제 1 보호층 사이에 제 3 보호층을 더 포함할 수 있다.
- [0146] 본 발명의 또 다른 특징에 따르면, 공통 전극은 홀을 포함하며, 공통 전극 홀의 크기는 제 1 컨택홀의 크기보다 작고, 공통 전극 홀은 제 1 컨택홀 내에 있을 수 있다.
- [0147] 본 발명의 또 다른 특징에 따르면, 공통 전극 홀의 크기는 제 2 컨택홀의 크기보다 크고, 제 2 컨택홀은 공통 전극 홀 내에 있을 수 있다.
- [0148] 본 발명의 또 다른 특징에 따르면, 공통 전극은 제 1 보호층을 완전히 덮을 수 있다.
- [0149] 또한 다른 측면에서 본 발명의 실시예에 따른 액정 표시 장치는 제 1 기판 상에 있는 박막 트랜지스터와 박막 트랜지스터 상에 있으며, 제 1 컨택홀을 갖는 제 1 보호층과 제 1 보호층 상에 있으며, 제 1 컨택홀 보다 크기가 작고, 제 1 컨택홀 내에 있는 제 2 컨택홀을 갖는 제 2 보호층과 제 1 보호층 상에 있는 공통 전극 및 화소 전극과 제 1 기판과 대향하여 위치하며, 개구 영역과 차광 영역을 가지는 블랙 매트릭스(BM)를 포함하는 제 2 기판 및 제 1 기판과 제 2 기판 사이에 있으며, 음의 유전율 이방성을 갖는 액정층을 포함함으로써, 공통 전극과 화소 전극의 접촉 또는 화소 전극의 단선 가능성을 최소화할 수 있으며, 액정 표시 장치의 구동 불량 발생을 최소화할 수 있다. 또한 기존 대비 제 1 보호층 컨택홀과 공통 전극 사이 또는 제 2 보호층 컨택홀과 공통 전극 사이의 마진(margin)을 줄임으로써 공통 전극 홀의 크기를 줄일 수 있고 블랙 매트릭스의 게이트 BM 폭을 최소화할 수 있어 기존 액정 표시 장치 구조 대비 개구율 및 투과율을 향상시킬 수 있다.
- [0150] 본 발명의 다른 특징에 따르면, 제 1 기판은 게이트 라인 및 데이터 라인을 포함하며, 블랙 매트릭스는 게이트 라인을 따라 배치된 게이트 BM 및 데이터 라인을 따라 배치된 데이터 BM을 포함할 수 있다.
- [0151] 본 발명의 또 다른 특징에 따르면, 게이트 BM의 폭은 제 2 컨택홀이 제 1 컨택홀 내에 있지 않은 액정 표시 장치의 게이트 BM의 폭보다 작을 수 있다.
- [0152] 본 발명의 또 다른 특징에 따르면, 게이트 BM의 폭은 제 2 컨택홀과 공통 전극의 마진에 따라 결정될 수 있다.
- [0153] 본 발명의 또 다른 특징에 따르면, 공통 전극과 화소 전극은 제 2 보호층을 사이에 두고 서로 다른 층에 있을 수 있다.
- [0154] 본 발명의 또 다른 특징에 따르면, 제 2 컨택홀의 에지(edge)는 제 1 컨택홀의 에지와 중첩되지 않을 수 있다.
- [0155] 본 발명의 또 다른 특징에 따르면, 박막 트랜지스터는 게이트 전극, 반도체층, 소스 전극 및 드레인 전극을 포함하고, 반도체층은 금속 산화물로 이루어질 수 있다.
- [0156] 본 발명의 또 다른 특징에 따르면, 게이트 전극의 적어도 일부는 제 1 컨택홀 내에서 드레인 전극과 중첩될 수 있다.
- [0157] 본 발명의 또 다른 특징에 따르면, 제 1 컨택홀은 데이터 라인이 연장된 방향보다 게이트 라인이 연장된 방향으로 길게 형성될 수 있다.
- [0158] 본 발명의 또 다른 특징에 따르면, 공통 전극은 홀을 더 포함하고, 공통 전극 홀은 데이터 라인이 연장된 방향보다 게이트 라인이 연장된 방향으로 길게 형성될 수 있다.
- [0159] 본 발명의 또 다른 특징에 따르면, 공통 전극은 홀을 포함하며, 공통 전극 홀 및 제 2 컨택홀의 크기는 각각 제 1 컨택홀의 크기보다 작으며, 공통 전극 홀 및 제 2 컨택홀은 제 1 컨택홀 내에 있을 수 있다.

- [0160] 본 발명의 또 다른 특징에 따르면, 제 2 컨택홀은 공통 전극 홀 내에 있을 수 있다.
- [0161] 본 발명의 또 다른 특징에 따르면, 공통 전극 홀의 적어도 일부가 제 1 보호층의 경사면 상에 형성되지 않을 수 있다.
- [0162] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술 사상을 벗어나지 않는 범위 내에서 다양하게 변형되어 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 청구 범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

**부호의 설명**

- [0163] 100, 300 : 액정 표시 장치
- 101 : 제 1 기관
- 106 : 게이트 전극
- 107 : 게이트 절연층
- 108 : 반도체층
- 109 : 소스 전극
- 110 : 드레인 전극
- 111 : 제 3 보호층
- 112, 312 : 제 1 보호층
- 113, 313 : 제 1 컨택홀
- 114, 314 : 공통 전극
- 115, 315 : 공통 전극 홀
- 116, 316 : 제 2 보호층
- 117, 317 : 제 2 컨택홀
- 118 : 화소 전극
- 121 : 제 2 기관
- 122 : 블랙 매트릭스(BM)
- 123 : 게이트 BM
- 124 : 데이터 BM
- 125 : 컬러필터
- 125a : 적색 컬러필터
- 125b : 청색 컬러필터
- 127 : 오버코트
- 130 : 게이트 구동 IC
- 135 : 데이터 구동 IC
- GL : 게이트 라인

DL : 데이터 라인

P : 표시 화소

W1 : 제 1 컨택홀(113)의 폭

W2 : 제 2 컨택홀(117)의 폭

W3 : 공통 전극 홀(115)의 폭

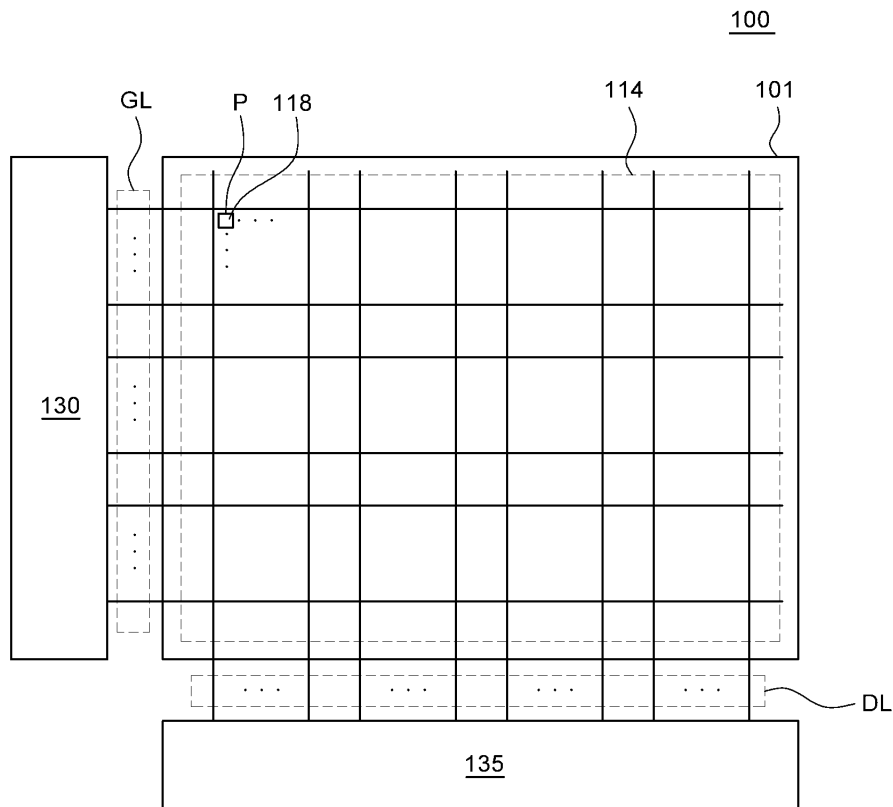
W4 : 제 1 컨택홀(313)의 폭

W5 : 공통 전극 홀(315)의 폭

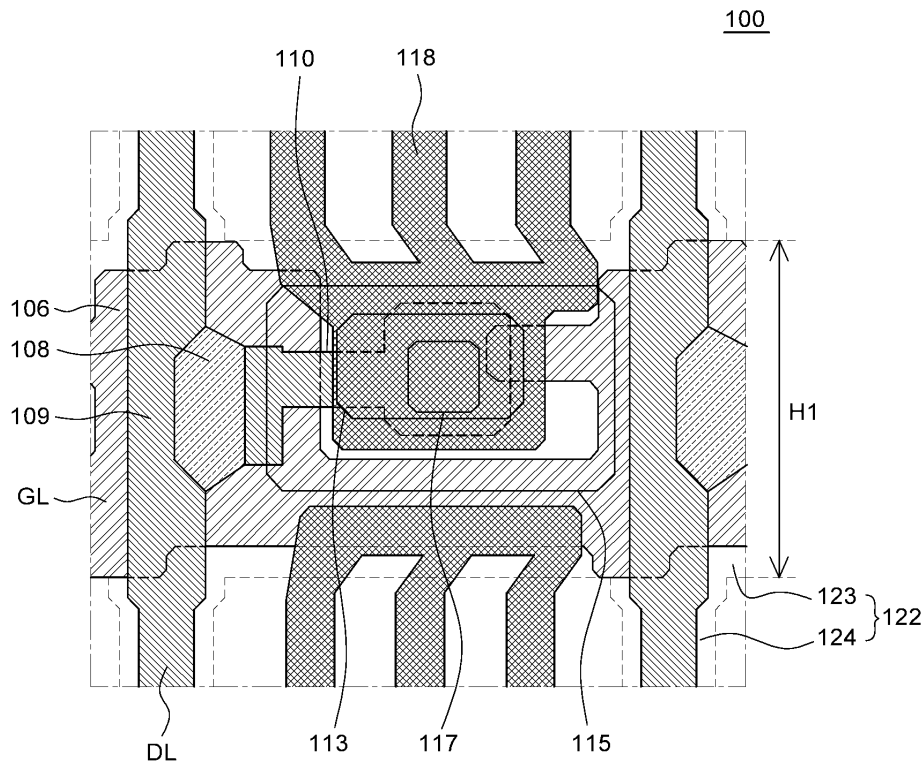
W6 : 제 2 컨택홀(317)의 폭

**도면**

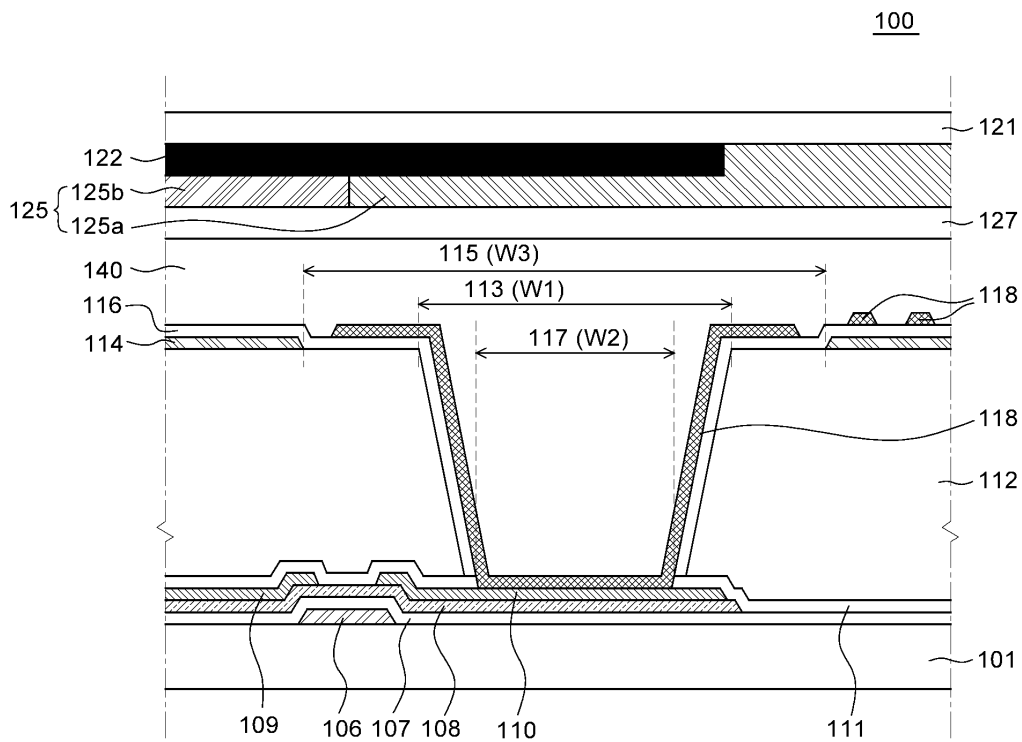
**도면1**



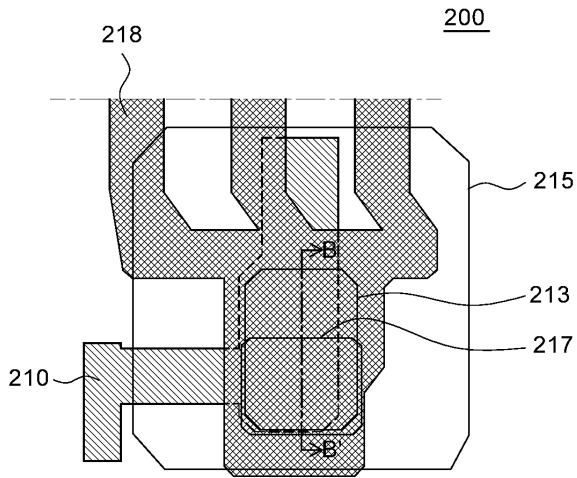
도면2



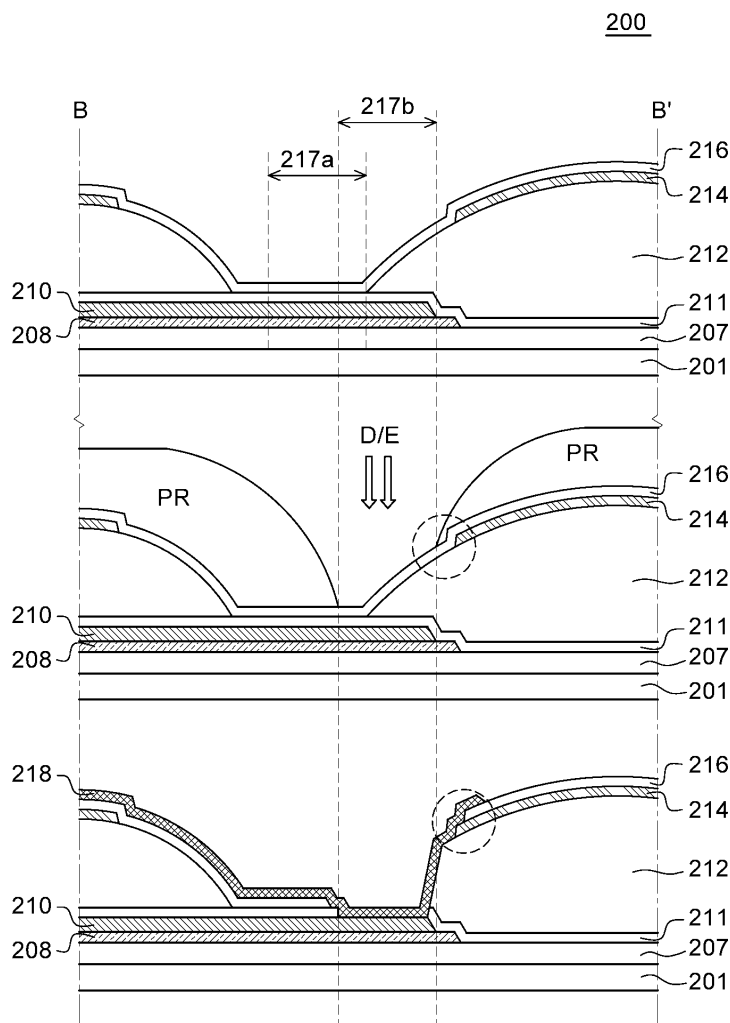
도면3



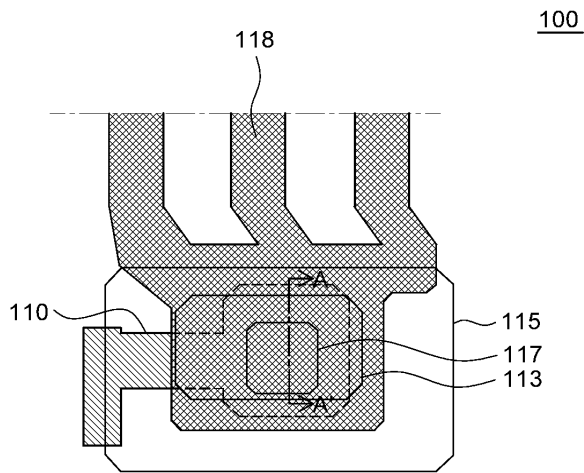
도면4a



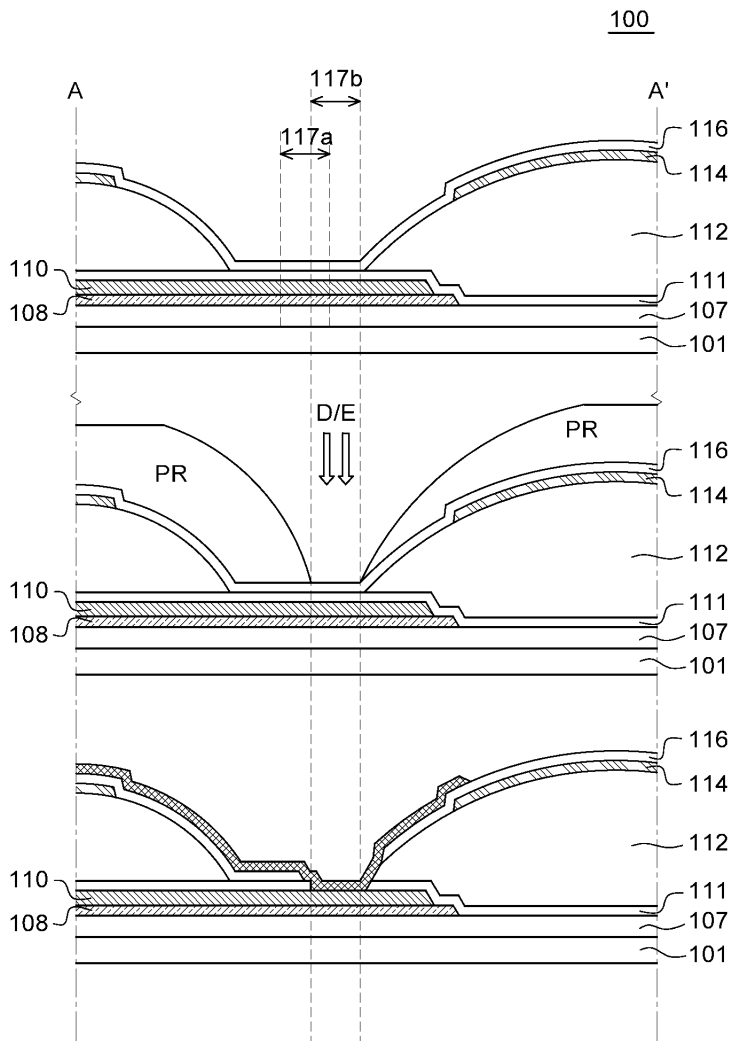
도면4b



도면5a



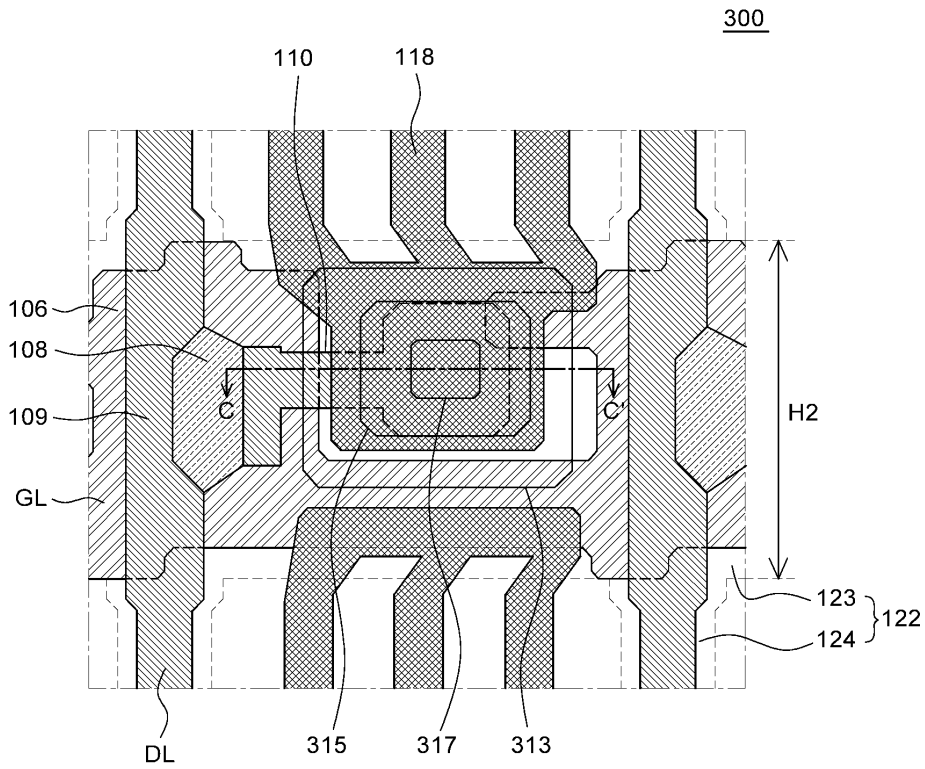
도면5b



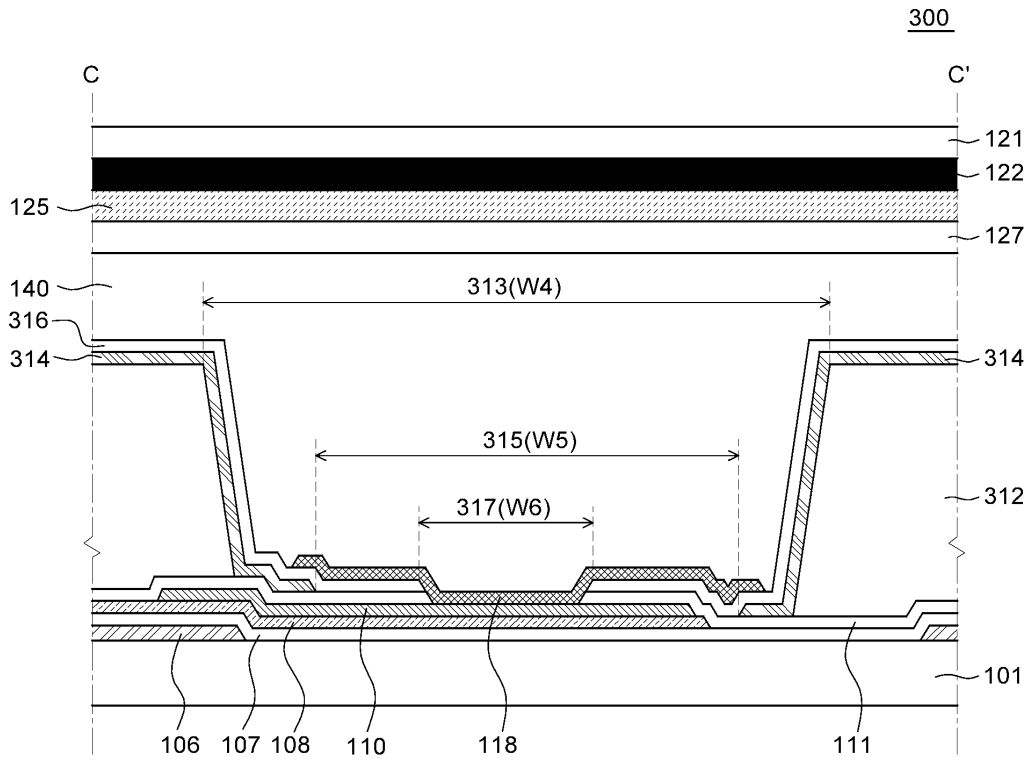
도면6

	비교예	실시예
제1 컨택홀 - 공통 전극 마진	6 $\mu\text{m}$	5 $\mu\text{m}$
게이트 BM 폭	29 $\mu\text{m}$	24 $\mu\text{m}$
개구율	51.4%	57.7%

도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020180003381A</a>	公开(公告)日	2018-01-09
申请号	KR1020160111728	申请日	2016-08-31
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM SI HYUN 김시현		
发明人	김시현		
IPC分类号	G02F1/1362 G02F1/1335 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136227 G02F1/1368 G02F1/136286 G02F1/133509 G02F2001/134318		
优先权	1020160082856 2016-06-30 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

根据本发明示例性实施例的液晶显示器包括薄膜晶体管，该薄膜晶体管包括在基板上的栅电极，半导体层，源电极和漏电极，具有第一接触孔的第一保护层，并且在保护层上具有第二保护层并具有第二接触孔，第二接触孔的尺寸大于第一接触孔的尺寸，第二接触孔位于第一接触孔中。

