



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0102283
(43) 공개일자 2017년09월08일

- (51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
- (52) CPC특허분류
G09G 3/3677 (2013.01)
G02F 1/133 (2013.01)
- (21) 출원번호 10-2017-7020841
- (22) 출원일자(국제) 2015년01월08일
심사청구일자 2017년08월01일
- (85) 번역문제출일자 2017년07월25일
- (86) 국제출원번호 PCT/CN2015/070320
- (87) 국제공개번호 WO 2016/106803
국제공개일자 2016년07월07일
- (30) 우선권주장
201410844668.4 2014년12월30일 중국(CN)

- (71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
- (72) 발명자
샤오, 준쥬
중국 광둥 518132, 구양밍 뉴 디스트릭트 센젠, 넘버 9-2 탕밍 로드
샤오, 망
중국 광둥 518132, 구양밍 뉴 디스트릭트 센젠, 넘버 9-2 탕밍 로드
티안, 용
중국 광둥 518132, 구양밍 뉴 디스트릭트 센젠, 넘버 9-2 탕밍 로드
- (74) 대리인
특허법인세립

전체 청구항 수 : 총 16 항

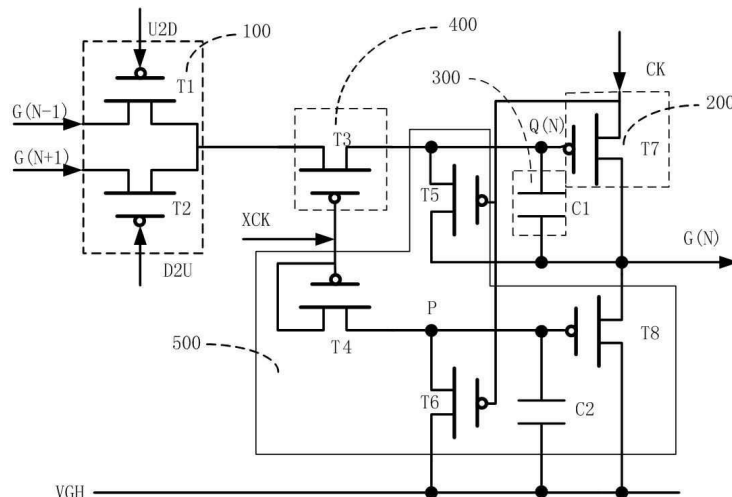
(54) 발명의 명칭 액정 디스플레이 장치에 적용되는 게이트 구동 회로

(57) 요약

액정 디스플레이 장치에 적용되는 게이트 구동(GOA) 회로가 개시되며, 액정 디스플레이 장치는 다수의 스캐닝 라인을 포함하고, GOA회로는 다수의 캐스케이드된 GOA 유닛을 포함하고, 제 N 레벨 GOA 유닛은 제 N 레벨 스캐닝 라인으로의 전하를 제어하고, 제 N 레벨 GOA 유닛은 순방향 보상 스캐닝 회로, 풀업 회로, 부트스트랩 커패시터 회로, 풀업 제어 회로 및 풀다운 유지 회로를 포함한다.

풀다운 유지 회로는 제 N 레벨 스캐닝 라인에 연결된다. 부트스트랩 커패시터 회로는 풀다운 유지 회로에 연결된다. 풀업 제어 회로는 부트스트랩 커패시터 회로에 연결된다. 순방향 보상 스캐닝 회로는 풀업 제어 회로에 연결된다. 풀업 회로는 부트스트랩 커패시터 회로에 연결된다.

대표도 - 도1



(52) CPC특허분류
G09G 2230/00 (2013.01)

명세서

청구범위

청구항 1

액정 디스플레이 장치에 적용되는 게이트 구동(Gate Driver on Array, GOA) 회로로서, 상기 액정 디스플레이 장치는 다수의 스캐닝 라인을 포함하고, 상기 GOA회로는 다수의 캐스케이드된 GOA 유닛을 포함하고, 제 N 레벨 GOA 유닛은 제 N 레벨 스캐닝 라인(G(N))으로의 전하를 제어하고, 상기 제 N 레벨 GOA 유닛은:

상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 풀다운 유지 회로(500);

상기 풀다운 유지 회로(500)에 연결되는 부트스트랩 커패시터 회로(300);

상기 부트스트랩 커패시터 회로(300)에 연결되는 풀업 제어 회로(400);

상기 풀업 제어 회로(400)에 연결되는 순방향 보상 스캐닝 회로(100); 및

상기 부트스트랩 커패시터 회로(300)에 연결되는 풀업 회로(200); 를 포함하고,

상기 풀업 회로(200), 상기 부트스트랩 커패시터 회로(300), 상기 풀업 제어 회로(400) 및 상기 풀다운 유지 회로(500)는 서로 연결되어 게이트 신호 점(Q(N))을 형성하고;

상기 풀업 회로(200), 상기 부트 스트랩 커패시터 회로(300) 및 상기 풀다운 유지 회로(500)는 각각 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되고;

상기 순방향 보상 스캐닝 회로(100)는 제 N-1 레벨 스캐닝 라인(G(N-1)) 및 제 N+1 레벨 스캐닝 라인(G(N+1))에 각각 연결되고;

상기 풀다운 유지 회로(500)는:

제 1 클록 신호(XCK)를 수신하고, 입력 단자에 연결되는 제어 단자, 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 1 박막 트랜지스터(TFT)(T4);

제 2 클록 신호(CK)를 수신하는 제어 단자, 일정한 고전압(VGH)에 연결되는 입력 단자, 상기 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 2 TFT(T6);

상기 제 1 회로 점(P(N))에 연결되는 제어 단자, 상기 일정한 고전압(VGH)에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 3 TFT(T8);

상기 제 2 클록 신호(CK)에 연결되는 제어 단자, 상기 게이트 신호 점(Q(N))에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 4 TFT(T5);

상기 일정한 고전압(VGH) 및 상기 제 1 회로 점(P(N))에 각각 연결되는 두 끝단을 가지는 제 1 커패시터(C2); 를 포함하고,

상기 순방향 보상 스캐닝 회로(100)는,

업다운 제어 신호(U2D)를 수신하는 제어 단자, 상기 제 N-1 레벨 스캐닝 라인(G(N-1))에 연결되는 입력 단자, 상기 풀업 제어 회로(400)에 연결되는 출력 단자를 가지는 제 5 TFT(T1); 및

다운업 제어 신호(D2U)를 수신하는 제어 단자, 상기 제 N+1 레벨 스캐닝 라인(G(N+1))에 연결되는 입력 단자, 상기 제 5 TFT(T1)의 출력 단자 및 상기 풀업 제어 회로(400)에 연결되는 출력 단자를 가지는 제 6 TFT(T2); 를 포함하고,

상기 제 1 클록 신호(XCK)와 상기 제 2 클록 신호(CK)는 서로 역방향 신호인, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 2

제 1 항에 있어서, 상기 풀업 회로(200)는:

상기 게이트 신호 점(Q(N))에 연결되는 제어 단자, 상기 제 2 클록 신호(CK)에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 7 TFT(T7)을 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 3

제 1 항에 있어서, 상기 부트스트랩 커패시터 회로(300)는:

상기 게이트 신호 점(Q(N)) 및 상기 제 N 레벨 스캐닝 라인(G(N))에 각각 연결되는 두 끝단을 가지는 제 2 커패시터(C1)를 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 4

제 1 항에 있어서, 상기 풀업 제어 회로(400)는:

상기 제 1 클록 신호(XCK)를 수신하고 상기 제 1 TFT(T4)의 제어 단자에 연결되는 제어 단자, 상기 제 5 TFT(T1)의 출력 단자 및 상기 제 6 TFT(T2)의 출력 단자에 연결되는 입력 단자, 상기 게이트 신호 점(Q(N))에 연결되는 출력 단자를 가지는 제 8 TFT(T3)을 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 5

액정 디스플레이 장치에 적용되는 게이트 구동(Gate Driver on Array, GOA) 회로로서, 상기 액정 디스플레이 장치는 다수의 스캐닝 라인을 포함하고, 상기 GOA회로는 다수의 캐스캐이드된 GOA 유닛을 포함하고, 제 N 레벨 GOA 유닛은 제 N 레벨 스캐닝 라인(G(N))으로의 전하를 제어하고, 상기 제 N 레벨 GOA 유닛은:

상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 풀다운 유지 회로(500);

상기 풀다운 유지 회로(500)에 연결되는 부트스트랩 커패시터 회로(300);

상기 부트스트랩 커패시터 회로(300)에 연결되는 풀업 제어 회로(400);

상기 풀업 제어 회로(400)에 연결되는 순방향 보상 스캐닝 회로(100); 및

상기 부트스트랩 커패시터 회로(300)에 연결되는 풀업 회로(200); 를 포함하고,

상기 풀업 회로(200), 상기 부트스트랩 커패시터 회로(300), 상기 풀업 제어 회로(400) 및 상기 풀다운 유지 회로(500)는 서로 연결되어 게이트 신호 점(Q(N))을 형성하고;

상기 풀업 회로(200), 상기 부트 스트랩 커패시터 회로(300) 및 상기 풀다운 유지 회로(500)는 각각 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되고;

상기 순방향 보상 스캐닝 회로(100)는 제 N-1 레벨 스캐닝 라인(G(N-1)) 및 제 N+1 레벨 스캐닝 라인(G(N+1))에 각각 연결되고;

상기 풀다운 유지 회로(500)는:

제 1 클록 신호(XCK)를 수신하고, 입력 단자에 연결되는 제어 단자, 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 1 TFT(박막 트랜지스터)(T4);

제 2 클록 신호(CK)를 수신하는 제어 단자, 일정한 고전압(VGH)에 연결되는 입력 단자, 상기 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 2 TFT(T6);

상기 제 1 회로 점(P(N))에 연결되는 제어 단자, 상기 일정한 고전압(VGH)에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 3 TFT(T8);

상기 제 2 클록 신호(CK)에 연결되는 제어 단자, 상기 게이트 신호 점(Q(N))에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 4 TFT(T5);

상기 일정한 고전압(VGH) 및 상기 제 1 회로 점(P(N))에 각각 연결되는 두 끝단을 가지는 제 1 커패시터(C2); 를 포함하고,

상기 순방향 보상 스캐닝 회로(100)는,

업다운 제어 신호(U2D)를 수신하는 제어 단자, 상기 제 N-1 레벨 스캐닝 라인(G(N-1))에 연결되는 입력 단자,

상기 풀업 제어 회로(400)에 연결되는 출력 단자를 가지는 제 5 TFT(T1); 및

다운업 제어 신호(D2U)를 수신하는 제어 단자, 상기 제 N+1 레벨 스캐닝 라인(G(N+1))에 연결되는 입력 단자, 상기 제 5 TFT(T1)의 출력 단자 및 상기 풀업 제어 회로(400)에 연결되는 출력 단자를 가지는 제 6 TFT(T2); 를 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 6

제 5 항에 있어서, 상기 풀업 회로(200)는:

상기 게이트 신호 점(Q(N))에 연결되는 제어 단자, 상기 제 2 클록 신호(CK)에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 7 TFT(T7)을 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 7

제 5 항에 있어서, 상기 부트스트랩 커패시터 회로(300)는:

상기 게이트 신호 점(Q(N)) 및 상기 제 N 레벨 스캐닝 라인(G(N))에 각각 연결되는 두 끝단을 가지는 제 2 커패시터(C1)를 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 8

제 5 항에 있어서, 상기 풀업 제어 회로(400)는:

상기 제 1 클록 신호(XCK)를 수신하고 상기 제 1 TFT(T4)의 제어 단자에 연결되는 제어 단자, 상기 제 5 TFT(T1)의 출력 단자 및 상기 제 6 TFT(T2)의 출력 단자에 연결되는 입력 단자, 상기 게이트 신호 점(Q(N))에 연결되는 출력 단자를 가지는 제 8 TFT(T3)을 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 9

제 5 항에 있어서,

상기 제 1 클록 신호(XCK)와 상기 제 2 클록 신호(CK)는 서로 역방향 신호인, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 10

액정 디스플레이 장치에 적용되는 게이트 구동(Gate Driver on Array, GOA) 회로로서, 상기 액정 디스플레이 장치는 다수의 스캐닝 라인을 포함하고, 상기 GOA회로는 다수의 캐스케이드된 GOA 유닛을 포함하고, 제 N 레벨 GOA 유닛은 제 N 레벨 스캐닝 라인(G(N))으로의 전하를 제어하고, 상기 제 N 레벨 GOA 유닛은:

상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 풀다운 유지 회로(500);

상기 풀다운 유지 회로(500)에 연결되는 부트스트랩 커패시터 회로(300);

상기 부트스트랩 커패시터 회로(300)에 연결되는 풀업 제어 회로(400);

상기 풀업 제어 회로(400)에 연결되는 순방향 보상 스캐닝 회로(100); 및

상기 부트스트랩 커패시터 회로(300)에 연결되는 풀업 회로(200); 를 포함하고,

상기 풀업 회로(200), 상기 부트스트랩 커패시터 회로(300), 상기 풀업 제어 회로(400) 및 상기 풀다운 유지 회로(500)는 서로 연결되어 게이트 신호 점(Q(N))을 형성하고;

상기 풀업 회로(200), 상기 부트 스트랩 커패시터 회로(300) 및 상기 풀다운 유지 회로(500)는 각각 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되고;

상기 순방향 보상 스캐닝 회로(100)는 제 N-1 레벨 스캐닝 라인(G(N-1)) 및 제 N+1 레벨 스캐닝 라인(G(N+1))에 각각 연결되고;

상기 풀다운 유지 회로(500)는:

제 1 클록 신호(XCK)를 수신하고, 입력 단자에 연결되는 제어 단자, 제 1 회로 점(P(N))에 연결되는 출력 단자

를 가지는 제 1 박막 트랜지스터(TFT)(T4);

제 2 클록 신호(CK)를 수신하는 제어 단자, 일정한 고전압(VGH)에 연결되는 입력 단자, 상기 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 2 TFT(T6);

상기 제 1 회로 점(P(N))에 연결되는 제어 단자, 상기 일정한 고전압(VGH)에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 3 TFT(T8);

상기 제 2 클록 신호(CK)에 연결되는 제어 단자, 상기 게이트 신호 점(Q(N))에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 4 TFT(T5);

상기 일정한 고전압(VGH) 및 상기 제 1 회로 점(P(N))에 각각 연결되는 두 끝단을 가지는 제 1 커패시터(C2); 를 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 11

제 10 항에 있어서,

상기 순방향 보상 스캐닝 회로(100)는,

업다운 제어 신호(U2D)를 수신하는 제어 단자, 제 N-1 레벨 스캐닝 라인(G(N-1))에 연결되는 입력 단자, 상기 풀업 제어 회로(400)에 연결되는 출력 단자를 가지는 제 5 TFT(T1); 및

다운업 제어 신호(D2U)를 수신하는 제어 단자, 제 N+1 레벨 스캐닝 라인(G(N+1))에 연결되는 입력 단자, 상기 제 5 TFT(T1)의 출력 단자 및 상기 풀업 제어 회로(400)에 연결되는 출력 단자를 가지는 제 6 TFT(T2); 를 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 12

제 10 항에 있어서,

상기 풀업 회로(200)는:

상기 게이트 신호 점(Q(N))에 연결되는 제어 단자, 상기 제 2 클록 신호(CK)에 연결되는 입력 단자, 상기 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 7 TFT(T7)을 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 13

제 10 항에 있어서,

상기 부트스트랩 커패시터 회로(300)는:

상기 게이트 신호 점(Q(N)) 및 상기 제 N 레벨 스캐닝 라인(G(N))에 각각 연결되는 두 끝단을 가지는 제 2 커패시터(C1)를 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 14

제 10 항에 있어서,

상기 풀업 제어 회로(400)는:

상기 제 1 클록 신호(XCK)를 수신하고 상기 제 1 TFT(T4)의 제어 단자에 연결되는 제어 단자, 상기 제 5 TFT(T1)의 출력 단자 및 상기 제 6 TFT(T2)의 출력 단자에 연결되는 입력 단자, 상기 게이트 신호 점(Q(N))에 연결되는 출력 단자를 가지는 제 8 TFT(T3)을 포함하는, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 15

제 10 항에 있어서,

상기 제 1 클록 신호(XCK)와 상기 제 2 클록 신호(CK)는 서로 역방향 신호인, 액정 디스플레이 장치에 적용되는 GOA 회로.

청구항 16

제 1 항 내지 제 15 항에 있어서,

상기 제 1 TFT 내지 제 8 TFT는 P형 금속 산화물 반도체(PMOS) TFT인, 액정 디스플레이 장치에 적용되는 GOA 회로.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술 분야에 관한 것으로, 보다 구체적으로, 액정 디스플레이 장치에 적용되는 저온 폴리 실리콘(Low-Temperature Poly-Si, LTPS) 기반의 P형 금속 산화물 반도체(P type Metal Oxide Semiconductor, PMOS)의 게이트 구동(Gate Driver on Array, GOA) 회로에 관한 것이다.

배경 기술

[0002] GOA 기술은 어레이 기판에 게이트 스캐닝 신호 회로를 제조하기 위해 박막 트랜지스터(Thin Film Transistor, TFT) 액정 디스플레이 장치의 기존 어레이 프로세스를 이용하여 게이트 전극에서 캐스캐이드 스캐닝을 달성한다.

[0003] LTPS TFT의 개발에 따라, LTPS의 극단적인 초고속 캐리어 이동도의 특성으로 인해, GOA와 같은 패널 주위의 상대적 집적 회로는 대중에게 관심을 받았다. 많은 사람들이 SOP(System On Panel) 기술에 대한 연구에 투자를 하고 있으며, 그 기술은 서서히 성취되고 있다. LTPS는 N형 금속 산화물 반도체(N type Metal Oxide Semiconductor, NMOS), P형 금속 산화물 반도체(P type Metal Oxide Semiconductor, PMOS) 또는 상보적 금속 산화물 반도체(Complementary Metal Oxide Semiconductor, CMOS) 회로를 선택하기 위해 이온 코팅 기술로 TFT의 유형을 조정할 수 있다. 그러나, PMOS에 비해 CMOS 및 NMOS에서는 마스크 비용이 크게 증가한다. 또한, CMOS의 회로 구조는 너무 복잡해서 극단적으로 좁은 베젤 디자인을 달성할 수 없다. 이는 더 작은 크기의 디스플레이 장치에 집중할 때 훨씬 더 중요해질 것이다. 따라서, 비용 및 회로 구조의 이점 때문에 PMOS 회로가 주류가 되었다. 또한, 신호의 사용과 전력 소모는 GOA 회로에서 중요한 문제이며 LTPS 회로를 설계할 때 고려해야 할 사항이다. 또한, 순방향 스캐닝 및 역방향 스캐닝과 같은 소형 제품의 스캐닝 특성은 다른 특성들보다 더 중요하다. 때문에, LTPS PMOS에 기초한 GOA 회로는 전술한 문제점을 해결하는데 도움이 된다.

발명의 내용

[0004] 본 발명의 목적은 액정 디스플레이 장치에 적용되는, LTPS에 기초한 PMOS의 GOA 회로를 제공하는 것이다.

[0005] 이러한 목적을 달성하기 위해, 본 발명은 액정 디스플레이 장치에 적용되는 GOA 회로를 제공하며, 액정 디스플레이 장치는 다수의 스캐닝 라인을 포함하고, GOA회로는 다수의 캐스캐이드된 GOA 유닛을 포함하고, 제 N 레벨 GOA 유닛은 제 N 레벨 스캐닝 라인으로의 전하를 제어하고, 제 N 레벨 GOA 유닛은 순방향 보상 스캐닝 회로, 풀업 회로, 부트스트랩 커패시터 회로, 풀업 제어 회로 및 풀다운 유지 회로를 포함한다. 풀다운 유지 회로는 제 N 레벨 스캐닝 라인에 연결된다. 부트스트랩 커패시터 회로는 풀다운 유지 회로에 연결된다. 풀업 제어 회로는 부트스트랩 커패시터 회로에 연결된다. 순방향 보상 스캐닝 회로는 풀업 제어 회로에 연결된다. 풀업 회로는 부트스트랩 커패시터 회로에 연결된다.

[0006] 풀업 회로, 부트스트랩 커패시터 회로, 풀업 제어 회로 및 풀다운 유지 회로는 서로 연결되어 게이트 신호 점을 형성한다.

[0007] 풀업 회로, 부트스트랩 커패시터 회로 및 풀다운 유지 회로는 각각 제 N 레벨 스캐닝 라인에 연결된다.

[0008] 순방향 보상 스캐닝 회로는 제 N-1 레벨 스캐닝 라인 및 제 N+1 레벨 스캐닝 라인에 각각 연결된다.

[0009] 풀다운 유지 회로는:

[0010] 제 1 클럭 신호를 수신하고 제 1 TFT의 입력 단자에 연결되는 제어 단자, 제 1 회로 점에 연결되는 출력 단자를 가지는 제 1 TFT;

[0011] 제 2 클럭 신호를 수신하는 제어 단자, 일정한 고전압에 연결되는 입력 단자, 제 1 회로 점에 연결되는 출력 단

자를 가지는 제 2 TFT;

- [0012] 제 1 회로 점에 연결되는 제어 단자, 일정한 고전압에 연결되는 입력 단자, 제 N 레벨 스캐닝 라인에 연결되는 출력 단자를 가지는 제 3 TFT;
- [0013] 제 2 클록 신호에 연결되는 제어 단자, 게이트 신호 점에 연결되는 입력 단자, 제 N 레벨 스캐닝 라인에 연결되는 출력 단자를 가지는 제 4 TFT;
- [0014] 일정한 고전압 및 제 1 회로 점에 각각 연결되는 두 끝단을 가지는 제 1 커패시터; 를 포함한다.
- [0015] 일 실시예에서, 순방향 보상 스캐닝 회로는,
- [0016] 업다운 제어 신호를 수신하는 제어 단자, 제 N-1 레벨 스캐닝 라인에 연결되는 입력 단자, 풀업 제어 회로에 연결되는 출력 단자를 가지는 제 5 TFT; 및
- [0017] 다운업 제어 신호를 수신하는 제어 단자, 제 N+1 레벨 스캐닝 라인에 연결되는 입력 단자, 제 5 TFT의 출력 단자 및 풀업 제어 회로에 연결되는 출력 단자를 가지는 제 6 TFT; 를 포함한다.
- [0018] 일 실시예에서, 풀업 회로는:
- [0019] 게이트 신호 점에 연결되는 제어 단자, 제 2 클록 신호에 연결되는 입력 단자, 제 N 레벨 스캐닝 라인에 연결되는 출력 단자를 가지는 제 7 TFT을 포함한다.
- [0020] 일 실시예에서, 부트스트랩 커패시터 회로는:
- [0021] 게이트 신호 점 및 제 N 레벨 스캐닝 라인에 각각 연결되는 두 끝단을 가지는 제 2 커패시터를 포함한다.
- [0022] 일 실시예에서, 풀업 제어 회로는:
- [0023] 제 1 클록 신호를 수신하고 제 1 TFT의 제어 단자에 연결되는 제어 단자, 제 5 TFT의 출력 단자 및 제 6 TFT의 출력 단자에 연결되는 입력 단자, 게이트 신호 점에 연결되는 출력 단자를 가지는 제 8 TFT을 포함한다. .
- [0024] 일 실시예에서, 제 1 클록 신호와 제 2 클록 신호 는 서로 역방향 신호이다.
- [0025] 본 발명의 기술적 제안에 의하면, 다음과 같은 이점이 있다:
- [0026] 1. LTPS PMOS에 기초한 GOA 회로 설계.
- [0027] 2. 디스플레이 장치의 장기간 작동 중에 다양한 구동 유형이 안정적인 것을 보장하는 순방향 및 역방향 스캐닝 제어 기능.
- [0028] 3. 제 1 클록 신호, 제 1 커패시터 및 제 2 커패시터의 배치에 의해, 제 N 레벨 스캐닝 라인의 고전위가 유지되고, 게이트 신호 점의 풀업 및 풀다운이 달성된다 . 제 2 클록 신호, 제 1 커패시터 및 제 2 커패시터의 배치에 의해, 게이트 신호 점 및 제 N 레벨 스캐닝 라인의 풀다운 기능이 달성된다. 이러한 배치에 의해, 회로에서의 신호 라인의 사용 및 TFT의 양은 감소된다.
- [0029] 4. 제 4 TFT는 게이트 신호 점과 제 N 레벨 스캐닝 라인을 연결하고 제 1 클록 신호로 제어되어, 게이트 신호 점의 안정성 및 신호의 구동 능력이 향상된다.

도면의 간단한 설명

- [0030] 도 1은 본 발명에 따른 GOA 회로의 회로도이다.
- 도 2는 도 1에 도시된 GOA 회로의 실제 동작 중 키 노드의 파형도이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 전술한 목적 및 다른 목적들을 달성하기 위해 본 발명에 의해 채택된 구조 및 기술적 수단은 바람직한 바람직한 실시예들 및 첨부 도면들에 대한 다음의 상세한 설명을 참조함으로써 이해될 수 있다. 또한, 상측, 하측, 전방, 후방, 좌측, 우측, 내측, 외측, 측면, 세로/수직, 가로/수평 등과 같은 본 발명에 의해 기술된 방향성 용어는 첨부된 도면에 따라 본 발명을 설명하고 이해하기 위해 사용되지만, 본 발명은 이에 한정되지 않는다.
- [0032] 도 1은 본 발명에 따른 GOA 회로의 회로도이다. 액정 디스플레이 장치는 다수의 스캐닝 라인을 포함하고, GOA회로는 다수의 캐스캐이드된 GOA 유닛을 포함하고, 제 N 레벨 GOA 유닛은 제 N 레벨 스캐닝 라인(G(N))으로의 전

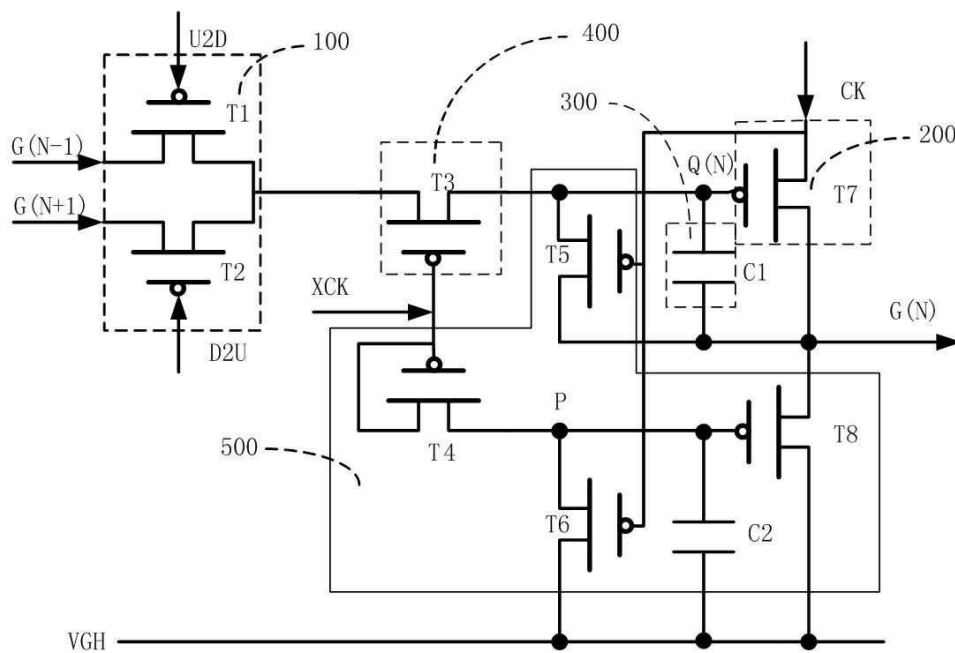
하를 제어하고, 제 N 레벨 GOA 유닛은 순방향 보상 스캐닝 회로(100), 풀업 회로(200), 부트스트랩 커패시터 회로(300), 풀업 제어 회로(400) 및 풀다운 유지 회로(500)를 포함한다.

- [0033] 풀다운 유지 회로(500)는 제 N 레벨 스캐닝 라인(G(N))에 연결된다. 부트스트랩 커패시터 회로(300)는 풀다운 유지 회로(500)에 연결된다. 풀업 제어 회로(400)는 부트스트랩 커패시터 회로(300)에 연결된다. 순방향 보상 스캐닝 회로(100)는 풀업 제어 회로(400)에 연결된다. 풀업 회로(200)는 부트스트랩 커패시터 회로(300)에 연결된다.
- [0034] 풀업 회로(200), 부트스트랩 커패시터 회로(300), 풀업 제어 회로(400) 및 풀다운 유지 회로(500)는 서로 연결되어 게이트 신호 점(Q(N))을 형성한다. 풀업 회로(200), 부트스트랩 커패시터 회로(300) 및 풀다운 유지 회로(500)는 각각 제 N 레벨 스캐닝 라인(G(N))에 연결된다. 순방향 보상 스캐닝 회로(100)는 제 N-1 레벨 스캐닝 라인(G(N-1)) 및 제 N+1 레벨 스캐닝 라인(G(N+1))에 각각 연결된다.
- [0035] 풀다운 유지 회로(500)는:
- [0036] 제 1 클록 신호(XCK)를 수신하고, 입력 단자에 연결되는 제어 단자, 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 1 TFT(박막 트랜지스터)(T4);
- [0037] 제 2 클록 신호(CK)를 수신하는 제어 단자, 일정한 고전압(VGH)에 연결되는 입력 단자, 제 1 회로 점(P(N))에 연결되는 출력 단자를 가지는 제 2 TFT(T6);
- [0038] 제 1 회로 점(P(N))에 연결되는 제어 단자, 일정한 고전압(VGH)에 연결되는 입력 단자, 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 3 TFT(T8);
- [0039] 제 2 클록 신호(CK)에 연결되는 제어 단자, 게이트 신호 점(Q(N))에 연결되는 입력 단자, 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 4 TFT(T5);
- [0040] 일정한 고전압(VGH) 및 제 1 회로 점(P(N))에 각각 연결되는 두 끝단을 가지는 제 1 커패시터(C2); 를 포함한다.
- [0041] 순방향 보상 스캐닝 회로(100)는 제 5 TFT(T1) 및 제 6 TFT(T2)를 포함한다. 제 5 TFT(T1)는 업다운 제어 신호(U2D)를 수신하는 제어 단자, 제 N-1 레벨 스캐닝 라인(G(N-1))에 연결되는 입력 단자, 풀업 제어 회로(400)에 연결되는 출력 단자를 가진다. 제 6 TFT(T2)는 다운업 제어 신호(D2U)를 수신하는 제어 단자, 제 N+1 레벨 스캐닝 라인(G(N+1))에 연결되는 입력 단자, 제 5 TFT(T1)의 출력 단자 및 풀업 제어 회로(400)에 연결되는 출력 단자를 가진다. 순방향 보상 스캐닝 회로(100)는 회로의 순방향 및 역방향 스캐닝, 풀업 신호의 제어 및 회로 내부의 캐스캐이드 전달을 담당한다.
- [0042] 풀업 회로(200)는 게이트 신호 점(Q(N))에 연결되는 제어 단자, 제 2 클록 신호(CK)에 연결되는 입력 단자, 제 N 레벨 스캐닝 라인(G(N))에 연결되는 출력 단자를 가지는 제 7 TFT(T7)을 포함한다.
- [0043] 부트스트랩 커패시터 회로(300)는 게이트 신호 점(Q(N)) 및 제 N 레벨 스캐닝 라인(G(N))에 각각 연결되는 두 끝단을 가지는 제 2 커패시터(C1)를 포함한다.
- [0044] 풀업 제어 회로(400)는 제 1 클록 신호(XCK)를 수신하고 제 1 TFT(T4)의 제어 단자에 연결되는 제어 단자, 제 5 TFT(T1)의 출력 단자 및 제 6 TFT(T2)의 출력 단자에 연결되는 입력 단자, 게이트 신호 점(Q(N))에 연결되는 출력 단자를 가지는 제 8 TFT(T3)을 포함한다.
- [0045] 제 1 TFT 내지 제 8 TFT는 PMOS(P-channel Metal Oxide Semiconductor) TFT이다. 제어 단자는 게이트 전극을 나타내고, 입력 단자는 소스 전극을 나타내고, 출력 단자는 드레인 전극을 나타낸다.
- [0046] 도 2는 도 1에 도시된 GOA 회로의 실제 동작 중 GOA 회로의 키 노드의 파형도이다. 풀업 회로(200)는 제 2 클록 신호(CK)의 출력을 담당하고, 게이트 신호 점(Q(N))의 전위를 제어하고, 제 N 레벨 스캐닝 라인(G(N))의 원하는 구동 파형을 효과적으로 출력한다. 특별한 설계로서, 제 4 TFT(T5)는 게이트 신호 점(Q(N))과 제 N 레벨 스캐닝 라인(G(N))을 연결하기 위해 사용되며, 제 2 클록 신호(CK)에 의해 제어된다. 제 2 클록 신호(CK)가 저전위일 때, 회로가 풀다운되며, 제 N 레벨 스캐닝 라인(G(N)) 및 게이트 신호 점(Q(N))은 게이트 신호 점(Q(N))을 안정화시키고 출력 구동 능력을 높이기 위해 전도된다. 제 2 클록 신호(CK)가 저전위 일 때, 제 2 TFT(T6)는 턴온되고, 제 1 커패시터(C2)의 저장 단자는 풀업되고, 제 3 TFT(T8)는 턴오프된다. 따라서, 제 N 레벨 스캐닝 라인(G(N))의 출력은 일정한 고전압(VGH)의 영향을 받지 않게 된다.

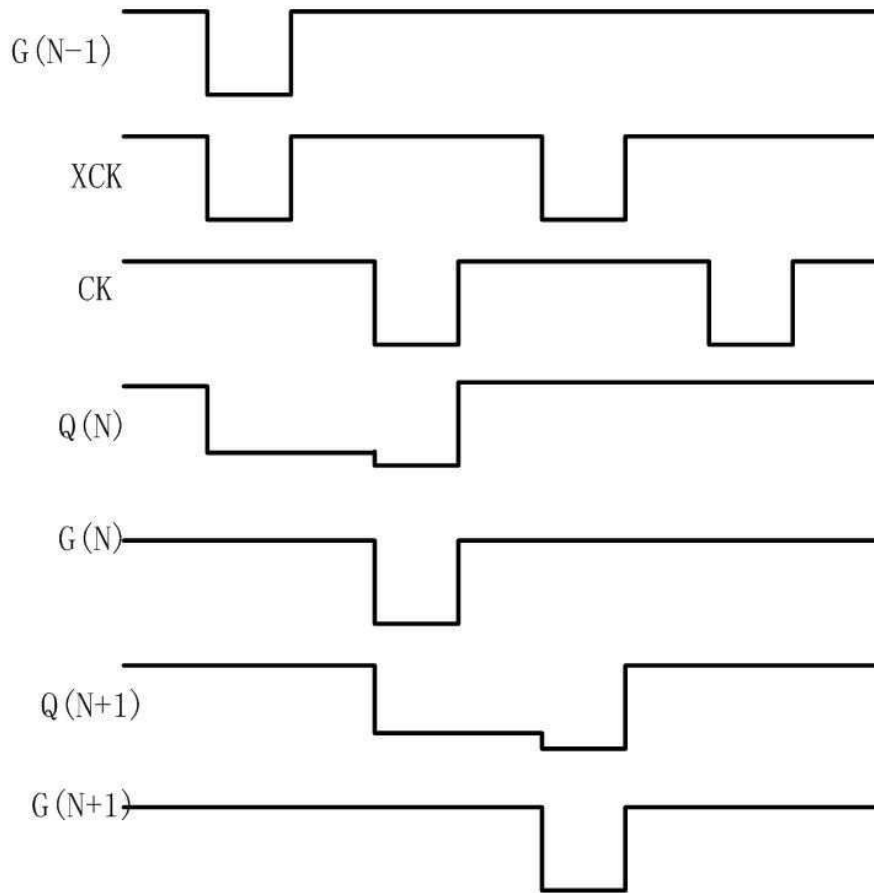
- [0047] 풀업 제어 회로(400)는 제 2 클럭 신호(CK)가 양호하게 출력되도록 게이트 신호 점(Q(N)) 전위의 풀업 및 풀다운을 담당한다. 게이트 신호 점(Q(N))의 포텐셜 프로세스는 회로와 패널의 성능을 결정하는 회로의 핵심이 된다.
- [0048] 본 발명의 설계에서, 제 N 레벨 스캐닝 라인(G(N))은 회로의 업다운 캐스케이드 전송을 담당한다.
- [0049] 신호 설정에서, 일정한 고전압(VGH)은 일정한 전압 및 직류를 가지는 고전위이고, 제 1 클럭 신호(XCK) 및 제 2 클럭 신호(CK)는 서로에 대해 역방향 신호이다.
- [0050] 본 발명은 바람직한 실시예로서 개시되었지만, 바람직한 실시예는 본 발명을 한정하지 않는다. 본 발명의 범위를 벗어나지 않고 당업자는 본 발명에 대한 다양한 변형 및 변경을 행할 수 있다. 따라서, 본 발명은 특정 실시예에 의해 제한되지 않으며, 첨부된 청구 범위에 의해서만 제한된다는 것을 이해해야 한다.

도면

도면1



도면2



专利名称(译)	栅极驱动电路应用于液晶显示装置		
公开(公告)号	KR1020170102283A	公开(公告)日	2017-09-08
申请号	KR1020177020841	申请日	2015-01-08
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	XIAO JUNCHENG 샤오준칭 ZHAO MANG 차오망 TIAN YONG 티안용		
发明人	샤오,준칭 차오,망 티안,용		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/3677 G02F1/133 G09G2230/00 G02F1/13 G02F1/13454 G09G3/36 G09G2310/0283 G09G2310/0286 G09G2300/0408 G09G2310/08		
优先权	201410844668.4 2014-12-30 CN		
外部链接	Espacenet		

摘要(译)

公开了一种应用于液晶显示装置的GOA电路，其中液晶显示装置包括多条扫描线，GOA电路包括多个级联的GOA单元，第N个 - 并且N级GOA单元包括正向补偿扫描电路，上拉电路，自举电容器电路，上拉控制电路和下拉保持电路。下拉保持电路连接到N电平扫描线。自举电容器电路连接到下拉保持电路。上拉控制电路连接到自举电容器电路。前向补偿扫描电路连接到上拉控制电路。上拉电路连接到自举电容器电路。

