



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0083120
(43) 공개일자 2017년07월17일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)

(71) 출원인
센전 차이나 스타 옵토일렉트로닉스 테크놀로지
컴퍼니 리미티드

(52) CPC특허분류
G09G 3/3677 (2013.01)
G09G 3/3648 (2013.01)

중국 광동 프로빈스, 센전 시티, 광밍 뉴 디스트리트, 탕밍 로드, 넘버 9-2

(21) 출원번호 10-2017-7015987

(72) 발명자

(22) 출원일자(국제) 2014년11월27일

다이, 차오

심사청구일자 2017년06월12일

중국 광동 518132 선전 광밍 뉴 디스트릭트 탕밍
로드 베이나 넘버 9-2 에스에치아이

(85) 번역문제출일자 2017년06월12일

라이, 티주-초어

(86) 국제출원번호 PCT/CN2014/092326

중국 광동 518132 선전 광밍 뉴 디스트릭트 탕밍
로드 베이나 넘버 9-2 에스에치아이

(87) 국제공개번호 WO 2016/074283

국제공개일자 2016년05월19일

(74) 대리인
김은구, 송해모

(30) 우선권주장

201410639701.X 2014년11월13일 중국(CN)

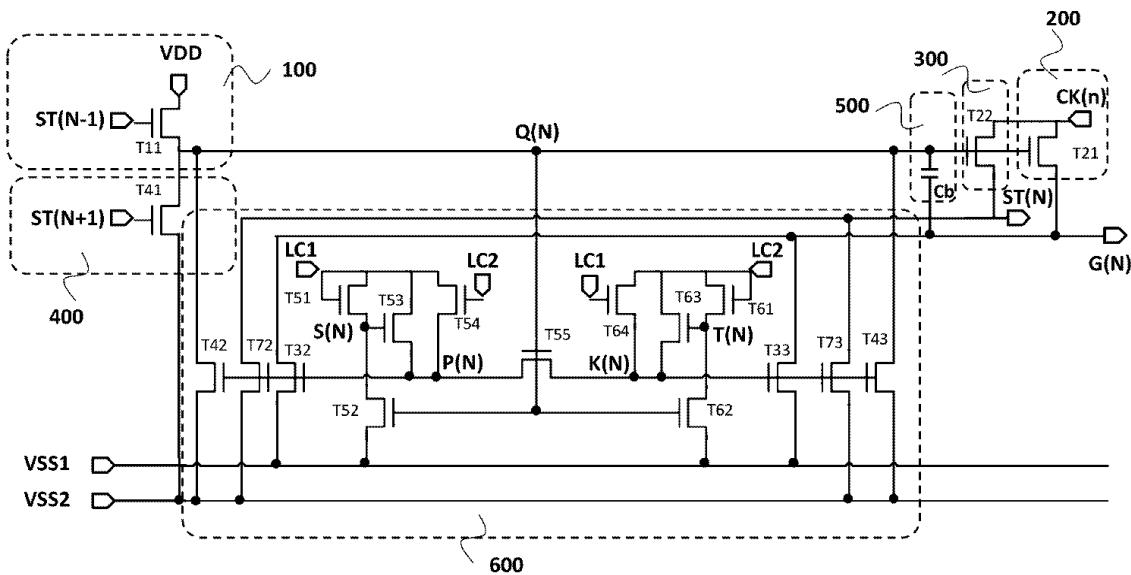
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 액정 표시 장치를 위한 GOA 회로 및 액정 표시 장치

(57) 요약

액정 디스플레이 용 게이트 드라이버 온 어레이 (GOA) 회로에 있어서, 복수의 캐스케이드 시프트 레지스터를 포함하고, N-레벨 시프트 레지스터에 따라 표시 영역에서 N-레벨 스캔 라인의 충전이 제어되고, N-레벨 시프트 레지스터는 풀업 부 (pull-up part, 200), 키 풀다운 부 (key pull-down part, 400), 풀다운 홀딩 부 (pull-up holding part, 600), 풀업 제어부 (pull-up control part, 100), 전송 부 (transfer part, 300) 및 보우스트 캐패시턴스 (boost capacitance, Cb); N-레벨 스캔 라인은 전송을 실행하기 위해 고정 전압 신호 소스 또는 2 개의 신호 소스 그룹으로 대체된다. 또한, 디스플레이 장치가 개시된다. GOA 회로는 N-레벨 스캔 라인의 부하 및 캐스케이드 전송 라인과 관련된 위험을 줄이고 정방향 또는 역방향 스캔을 제어할 수 있다.

대 표 도



(52) CPC특허분류

G09G 3/3696 (2013.01)
G11C 19/287 (2013.01)
G09G 2230/00 (2013.01)
G09G 2300/0871 (2013.01)
G09G 2310/0286 (2013.01)
G09G 2310/0289 (2013.01)

명세서

청구범위

청구항 1

액정 디스플레이에 적용되는 GOA (Gate Driver on Array) 회로에 있어서,

복수의 캐스케이드 시프트 레지스터 유닛 (a plurality of cascaded shift register units), (N) 번째 레벨 시프트 레지스터는 (N) 번째 레벨 스캐닝 라인 ($G(N)$)을 충전하도록 제어되고, 상기 (N) 번째 레벨 시프트 레지스터는 풀업 회로 (200), 풀다운 회로 (400), 풀다운 서스테인 회로 (pull-down sustain circuit, 600), 풀업 제어 회로 (100), 다운 트랜스퍼 회로 (down transfer circuit, 300) 및 부트스트랩 캐패시터 (bootstrap capacitor, C_b)를 포함하고;

상기 풀업 회로 (200), 상기 풀다운 서스테인 회로 (600) 및 상기 부트스트랩 캐패시터 (C_b)는 게이트 신호 점 ($Q(N)$) 및 상기 (N) 번째 레벨 스캐닝 라인 ($G(N)$)에 개별적으로 연결되고;

상기 풀업 제어 회로 (100) 및 다운 트랜스퍼 회로 (300)는 상기 게이트 신호 점 ($Q(N)$)에 개별적으로 연결되고;

상기 풀다운 회로 (400)는 ($N+1$) 번째 레벨 시프트 레지스터의 스타트 신호 ($ST(N+1)$)와 연결되며;

상기 풀업 제어 회로 (100)는 ($N-1$) 번째 레벨 시프트 레지스터의 스타트 신호 ($ST(N-1)$)과 연결되고;

상기 풀다운 서스테인 회로 (600)는:

게이트는 제1 회로 점 ($P(N)$)에 연결되고, 드레인은 상기 (N) 번째 레벨 스캐닝 라인 ($G(N)$)에 연결되고, 소스는 제1 직류 전압 (VSS1)에 연결되는 제1 TFT (Thin Film Transistor) (T32);

게이트는 상기 제1 회로 점 ($P(N)$)에 연결되고, 드레인은 상기 게이트 신호 점 ($Q(N)$)에 연결되고, 소스는 제2 직류 전압 (VSS2)에 연결되는 제2 TFT (T42);

게이트는 상기 게이트 신호 점 ($Q(N)$)에 연결되고, 드레인은 소스 신호 점 ($S(N)$)에 연결되고, 소스는 상기 제1 직류 전압 (VSS1)에 연결되는 제3 TFT (T52);

소스는 상기 소스 신호 점 ($Q(N)$)에 연결되고, 게이트 및 드레인은 제1 클럭 신호 ($LC1$)에 연결되는 제4 TFT (T51);

게이트는 상기 소스 신호 점 ($S(N)$)에 연결되고, 드레인은 상기 제1 클럭 신호 ($LC1$)에 연결되고, 소스는 상기 제1 회로 점 ($P(N)$)에 연결되는 제5 TFT (T53);

게이트는 제2 클럭 신호 ($LC2$)에 연결되고, 드레인은 상기 제1 클럭 신호 ($LC1$)에 연결되고, 소스는 상기 제1 회로 점 ($P(N)$)에 연결되는 제6 TFT (T54);

게이트는 상기 제1 회로 점 ($P(N)$)에 연결되고, 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호 ($ST(N)$)에 연결되고, 소스는 상기 제2 직류 전압 (VSS2)에 연결되는 제7 TFT (T72);

게이트는 상기 제2 회로 점 ($K(N)$)에 연결되고, 드레인은 상기 (N) 번째 레벨 스캐닝 라인 ($G(N)$)에 연결되고, 소스는 제1직류 전압 (VSS1)에 연결되는 제8 TFT (T33);

게이트는 상기 제2 회로 점 ($K(N)$)에 연결되고, 드레인은 상기 게이트 신호 점 ($Q(N)$)에 연결되고, 소스는 상기 제2 직류 전압 (VSS2)에 연결되는 제9 TFT (T43);

게이트는 상기 게이트 신호 점 ($Q(N)$)에 연결되고, 드레인은 드레인 신호 점 ($T(N)$)에 연결되고, 소스는 상기 제1 직류 전압 (VSS1)에 연결되는 제10 TFT (T62);

소스는 상기 드레인 신호 점 ($T(N)$)에 연결되고, 게이트 및 드레인은 상기 제2 클럭 신호 ($LC2$)에 연결되는 제11 TFT (T61);

게이트는 상기 드레인 신호 점 ($T(N)$)에 연결되고, 드레인은 상기 제2 클럭 신호 ($LC2$)에 연결되고, 소스는 상

기 제2 회로 점 (K(N))에 연결되는 제12 TFT (T63);

게이트는 상기 제1 클럭 신호 (LC1)에 연결되고, 드레인은 상기 제2 클럭 신호 (LC2)와 연결되고, 소스는 상기 제2 회로 점 (K(N))에 연결되는 제13 TFT (T64);

게이트는 상기 제2 회로 점 (K(N))에 연결되고, 드레인은 (N) 번째 레벨 시프트 레지스터의 상기 스타트 신호 (ST(N))와 연결되고, 소스는 상기 제2 직류 전압 (VSS2)와 연결되는 제14 TFT (T73); 및

게이트는 상기 게이트 신호 점 (Q(N))과 연결되고, 드레인은 상기 제1 회로 점 (P(N))과 연결되고, 소스는 상기 제2 회로 점 (K(N))과 연결되는 제15 TFT (T55)를 포함하고,

동작 중에, 상기 제1 클럭 신호 (LC1) 및 상기 제2 클럭 신호 (LC2)의 주파수는 (N) 레벨 클럭 신호 (CK (N))의 주파수보다 낮고, 상기 제1 클럭 신호 (LC1)에 의해 상기 제1 회로 점 (P(N))을 충전하는 처리와, 상기 제2 클럭 신호 (LC2)에 의해 상기 제2 회로 점 (K(N))을 충전하는 처리는 번갈아 수행되고, 상기 풀업 회로 (200)는 제16 TFT (T21)를 포함하고, 상기 제16 TFT (T21)의 게이트는 게이트 신호 점 (Q(N))에 연결되고, 상기 제16 TFT (T21)의 드레인은 (N) 레벨 클럭 신호 (CK(N))에 연결되고, 상기 제16 TFT (T21)의 소스는 제(N) 번째 레벨 스캐닝 라인 (G(N))에 연결되는 GOA 회로.

청구항 2

제1항에 있어서,

상기 풀다운 회로 (400)는,

제17 TFT (T41)를 포함하고, 상기 제17 TFT (T41)의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST(N+1))와 연결되고, 상기 제17 TFT (T41)의 드레인은 상기 게이트 신호 점 (Q(N))에 연결되고, 상기 제17 TFT (T41)의 소스는 상기 제2 직류 전압 (VSS2)에 연결되는 GOA 회로.

청구항 3

제1항에 있어서,

상기 다운 트랜스퍼 회로 (300)은,

제18 TFT (T22)를 포함하고, 상기 제18 TFT (T22)의 게이트는 상기 게이트 신호 점 (Q(N))과 연결되고, 상기 제18 TFT (T22)의 드레인은 상기 (N) 레벨 클럭 신호 (CK(N))와 연결되고, 상기 제18 TFT (T22)의 소스는 (N) 번째 레벨 시프트 레지스터의 스타트 신호 (ST(N))와 연결되는 GOA 회로.

청구항 4

제1항에 있어서,

상기 풀업 제어 회로 (100)는,

제19 TFT (T11)를 포함하고, 상기 제19 TFT (T11)의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N-1))에 연결되고, 상기 제19 TFT (T11)의 드레인은 일정 전압 (VDD)에 연결되고, 상기 제19 TFT (T11)의 소스는 상기 게이트 신호 점 (Q (N))과 연결되는 GOA 회로.

청구항 5

제1항에 있어서,

상기 풀업 제어 회로 (100)는,

제19 TFT (T11)를 포함하고, 상기 제19 TFT (T11)의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N-1))에 연결되고, 상기 제19 TFT (T11)의 드레인은 순방향 전압 (VF)에 연결되고, 상기 제19 TFT (T11)

의 소스는 게이트 신호 점 (Q (N))과 연결되는 GOA 회로.

청구항 6

제5항에 있어서,

상기 풀다운 회로 (400)는,

제17 TFT (T41)를 포함하고, 상기 제17 TFT (T41)의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N+1))에 연결되고, 상기 제17 TFT (T41)의 드레인은 상기 게이트 신호 점 (Q (N))에 연결되고, 상기 제17 TFT (T41)의 소스는 역방향 전압 (VR)에 연결되는 GOA 회로.

청구항 7

제1항에 있어서,

상기 (N) 레벨 클록 신호 (CK (N))의 둑티 비 (duty ration)는 50 % 미만인 GOA 회로.

청구항 8

제1항에 있어서,

상기 제2 직류 전압 (VSS2)은 상기 제1 직류 전압 (VSS1)보다 낮은 GOA 회로.

청구항 9

액정 디스플레이에 적용되는 GOA (Gate Driver on Array) 회로에 있어서,

복수의 캐스케이드 시프트 레지스터 유닛 (a plurality of cascaded shift register units), (N) 번째 레벨 시프트 레지스터는 (N) 번째 레벨 스캐닝 라인 (G(N))을 충전하도록 제어되고, 상기 (N) 번째 레벨 시프트 레지스터는 풀업 회로 (200), 풀다운 회로 (400), 풀다운 서스테인 회로 (pull-down sustain circuit, 600), 풀업 제어 회로 (100), 다운 트랜스퍼 회로 (down transfer circuit, 300) 및 부트스트랩 캐패시터 (bootstrap capacitor, Cb)를 포함하고;

상기 풀업 회로 (200), 상기 풀다운 서스테인 회로 (600) 및 상기 부트스트랩 캐패시터 (Cb)는 게이트 신호 점 (Q (N)) 및 상기 (N) 번째 레벨 스캐닝 라인 (G (N))에 개별적으로 연결되고;

상기 풀업 제어 회로 (100) 및 다운 트랜스퍼 회로 (300)는 상기 게이트 신호 점 (Q (N))에 개별적으로 연결되고;

상기 풀다운 회로 (400)는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N+1))와 연결되며;

상기 풀업 제어 회로 (100)는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N-1))과 연결되고;

상기 풀다운 서스테인 회로 (600)는:

게이트는 제1 회로 점 (P(N))에 연결되고, 드레인은 상기 (N) 번째 레벨 스캐닝 라인 (G (N))에 연결되고, 소스는 제1 직류 전압 (VSS1)에 연결되는 제1 TFT (Thin Film Transistor) (T32);

게이트는 상기 제1 회로 점 (P(N))에 연결되고, 드레인은 상기 게이트 신호 점 (Q(N))에 연결되고, 소스는 제2 직류 전압 (VSS2)에 연결되는 제2 TFT (T42);

게이트는 상기 게이트 신호 점 (Q(N))에 연결되고, 드레인은 소스 신호 점 (S(N))에 연결되고, 소스는 상기 제1 직류 전압 (VSS1)에 연결되는 제3 TFT (T52);

소스는 상기 소스 신호 점 (Q(N))에 연결되고, 게이트 및 드레인은 제1 클럭 신호 (LC1)에 연결되는 제4 TFT

(T51);

게이트는 상기 소스 신호 점 (S(N))에 연결되고, 드레인은 상기 제1 클럭 신호 (LC1)에 연결되고, 소스는 상기 제1 회로 점 (P(N))에 연결되는 제5 TFT (T53);

게이트는 제2 클럭 신호 (LC2)에 연결되고, 드레인은 상기 제1 클럭 신호 (LC1)에 연결되고, 소스는 상기 제1 회로 점 (P(N))에 연결되는 제6 TFT (T54);

게이트는 상기 제1 회로 점 (P(N))에 연결되고, 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호 (ST(N))에 연결되고, 소스는 상기 제2 직류 전압 (VSS2)에 연결되는 제7 TFT (T72);

게이트는 상기 제2 회로 점 (K(N))에 연결되고, 드레인은 상기 (N) 번째 레벨 스캐닝 라인 (G(N))에 연결되고, 소스는 제1직류 전압 (VSS1)에 연결되는 제8 TFT (T33);

게이트는 상기 제2 회로 점 (K(N))에 연결되고, 드레인은 상기 게이트 신호 점 (Q(N))에 연결되고, 소스는 상기 제2 직류 전압 (VSS2)에 연결되는 제9 TFT (T43);

게이트는 상기 게이트 신호 점 (Q(N))에 연결되고, 드레인은 드레인 신호 점 (T(N))에 연결되고, 소스는 상기 제1 직류 전압 (VSS1)에 연결되는 제10 TFT (T62);

소스는 상기 드레인 신호 점 (T(N))에 연결되고, 게이트 및 드레인은 상기 제2 클럭 신호 (LC2)에 연결되는 제11 TFT (T61);

게이트는 상기 드레인 신호 점 (T(N))에 연결되고, 드레인은 상기 제2 클럭 신호 (LC2)에 연결되고, 소스는 상기 제2 회로 점 (K(N))에 연결되는 제12 TFT (T63);

게이트는 상기 제1 클럭 신호 (LC1)에 연결되고, 드레인은 상기 제2 클럭 신호 (LC2)와 연결되고, 소스는 상기 제2 회로 점 (K(N))에 연결되는 제13 TFT (T64);

게이트는 상기 제2 회로 점 (K(N))에 연결되고, 드레인은 (N) 번째 레벨 시프트 레지스터의 상기 스타트 신호 (ST(N))와 연결되고, 소스는 상기 제2 직류 전압 (VSS2)와 연결되는 제14 TFT (T73); 및

게이트는 상기 게이트 신호 점 (Q(N))과 연결되고, 드레인은 상기 제1 회로 점 (P(N))과 연결되고, 소스는 상기 제2 회로 점 (K(N))과 연결되는 제15 TFT (T55)를 포함하고,

동작 중에, 상기 제1 클럭 신호 (LC1) 및 상기 제2 클럭 신호 (LC2)의 주파수는 (N) 레벨 클럭 신호 (CK (N))의 주파수보다 낮고, 상기 제1 클럭 신호 (LC1)에 의해 상기 제1 회로 점 (P(N))을 충전하는 처리와, 상기 제2 클럭 신호 (LC2)에 의해 상기 제2 회로 점 (K(N))을 충전하는 처리는 번갈아 수행되는 GOA 회로.

청구항 10

제9항에 있어서,

상기 풀업 회로 (200)는,

제16 TFT (T21)를 포함하고, 상기 제16 TFT (T21)의 게이트는 상기 게이트 신호 점 (Q (N))에 연결되고, 상기 제16 TFT (T21)의 드레인은 상기 (N) 레벨 클럭 신호 (CK (N))와 연결되고, 상기 제16 TFT (T21)의 소스는 상기 (N) 번째 레벨 스캐닝 라인 (G (N))에 연결되는 GOA 회로.

청구항 11

제9항에 있어서,

상기 풀다운 회로 (400)는,

제17 TFT (T41)를 포함하고, 상기 제17 TFT (T41)의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N+1))에 연결되고, 상기 제17 TFT (T41)의 드레인은 상기 게이트 신호 점 (Q (N))에 연결되고, 상기 제17 TFT (T41)의 소스는 상기 제2 직류 전압 (VSS2)에 연결되는 GOA 회로.

청구항 12

제9항에 있어서,

상기 다운 트랜스퍼 회로 (300)는,

제18 TFT (T22)를 포함하고, 상기 제18 TFT (T22)의 게이트는 상기 게이트 신호 점 (Q (N))에 연결되고, 상기 제18 TFT (T22)의 드레인은 상기 (N) 레벨 클럭 신호 (CK (N))와 연결되고, 상기 제18 TFT (T22)의 소스는 (N) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N))에 연결되는 GOA 회로.

청구항 13

제9항에 있어서,

상기 풀업 제어 회로 (100)는,

제19 TFT (T11)를 포함하고, 상기 제19 TFT (T11)의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N-1))에 연결되고, 상기 제19 TFT (T11)의 드레인은 일정 전압 (VDD)으로 연결되고, 제19 TFT (T11)의 소스는 상기 게이트 신호 점 (Q (N))과 연결되는 GOA 회로.

청구항 14

제9항에 있어서,

상기 풀업 제어 회로 (100)는,

제19 TFT (T11)를 포함하고, 상기 제19 TFT (T11)의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N-1))에 연결되고, 상기 제19 TFT (T11)의 드레인은 순방향 전압 (VF)에 연결되고, 상기 제19 TFT (T11)의 소스는 상기 게이트 신호 점 (Q (N))과 연결되는 GOA 회로.

청구항 15

제14항에 있어서,

상기 풀다운 회로 (400)는,

제17 TFT (T41)를 포함하고, 상기 제17 TFT (T41)의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 (ST (N+1))에 연결되고, 상기 제17 TFT (T41)의 드레인은 상기 게이트 신호 점 (Q (N))에 연결되고, 상기 제17 TFT (T41)의 소스에는 역방향 전압 (VR)이 연결되는 GOA 회로.

청구항 16

제9항에 있어서,

상기 (N) 레벨 클럭 신호 (CK (N))의 둑티 비 (duty ration)는 50 % 미만인 GOA 회로.

청구항 17

제9항에 있어서,

상기 제2 직류 전압 (VSS2)은 상기 제1 직류 전압 (VSS1)보다 낮은 GOA 회로.

청구항 18

청구항 1에 기재된 액정 디스플레이에 적용된 GOA 회로를 포함하는 표시 장치.

발명의 설명

기술 분야

[0001]

본 발명은 액정 디스플레이 기술 분야에 관한 것으로서, 더욱 상세하게는 GOA (Gate Driver on Array, 어레이 기판 행 드라이버) 회로 및 표시 장치를 위한 액정 디스플레이에 관한 것이다.

배경 기술

[0002]

액티브 액정 표시 장치에서, 각 화소는 박막 트랜지스터 (TFT)를 갖고, 게이트 (Gate)는 수평 스캐닝 라인 (horizontal scanning line)에 연결되고, 드레인 (Drain)은 데이터 라인에 연결되고, 소스 (Source)는 화소 전극에 연결된다. 스캐닝 라인에 충분한 전압을 인가하여 스캐닝 라인 상의 모든 TFT가 열리면, 데이터 라인 (Data Line)의 표시 신호 전압은 TFT를 통해 화소 전극에 기입 됨으로써 상이한 LCD 투과율을 제어하여 색 효과를 제어한다.

[0003]

현재, 액티브 액정 표시 패널의 스캐닝 라인들은 액티브 액정 표시 패널에 연결된 외부 IC (Integrated Chip)에 의해 구동된다. 외부 IC는 스캐닝 라인들의 각 레벨의 단계적 전하를 제어하고 스캐닝 라인들의 각 레벨을 방전하도록 구성된다.

[0004]

GOA 기술, 즉 어레이 상의 게이트 드라이버 (어레이 기판 행 드라이버) 기술에서, 원래의 LCD 패널 제조 공정을 이용하여 표시 영역의 영역 주위에서 패널 상에 스캐닝 라인들의 구동 회로를 형성할 수 있기 때문에, GOA 기술은 외부 IC를 대체함으로써 스캐닝 라인들의 구동을 달성할 수 있다. GOA 기술은 외부 IC의 바인딩 프로세스를 줄일 수 있으며 생산성을 향상시키고 생산 비용을 절감할 수 있다. 또한, LCD 패널을 좁은 테두리 (narrow borders) 또는 디스플레이 제품 주변에 테두리(borders)가 없는 생산에 더 적합하게 만든다.

[0005]

기존의 GOA 회로는 일반적으로 복수의 시프트 레지스터 유닛을 포함하고, 각 시프트 레지스터 유닛은 스캐닝 라인을 구동하는데 대응한다. 시프트 레지스터 부는 풀업 회로 (Pull-up part), 풀업 제어 회로 (Pull-up control part), 다운 트랜스퍼 회로 (Transfer Part), 풀다운 회로 (Key Pull-down Part) 및 풀다운 서스테인 회로 (Pull-down Holding Part)를 포함하고, 그리고 부트스트랩 (Boast) 캐패시터는 전위 상승의 원인이 된다. 풀업 회로는 주로 클럭 신호 (Clock)를 게이트 (Gate) 신호로 출력하는 역할을 담당한다. 풀업 제어 회로는 풀업 회로의 개방 시간을 제어하기 위해 구성되며, 일반적으로 이전 레벨의 시프트 레지스터의 다운 스트림 신호 또는 게이트 신호에 연결된다. 풀다운 회로는 먼저 게이트 신호를 낮은 전위로 낮추는 역할을 한다. 즉, 게이트 신호가 단힐 때이다. 풀다운 회로는 또한 폐쇄 상태 (네거티브 포텐셜)에서 풀업 회로 (일반적으로 Q 포인트라고 함)의 게이트 및 게이트 신호 점(Gate signal point)의 출력 신호를 유지하는 역할을 한다. 일반적으로 선택적으로 동작하는 두 개의 드롭 유지 모듈 (drop maintain modules)이 있다. 부트스트랩 캐패시터 (C boast)는 Q 포인트의 2차 리프팅을 담당하며, 풀업 회로의 G (N) 출력에 좋다.

[0006]

도 1은 종래 기술의 GOA 회로의 회로도이다. 시프트 레지스터는 풀업 제어 회로 (pull-up control circuit, 100), 풀업 회로 (pull-up circuit, 200), 다운 스트림 회로 (downstream circuit, 300), 풀다운 회로 (pull-down circuit, 400), 부트스트랩 캐패시터 (bootstrap capacitor, 500), 제1 풀다운 서스테인 회로(first pull-down sustain circuit, 600), 제2 풀다운 서스테인 회로 (second pull-down sustain circuit, 700) 및 브리지 회로 (bridge circuit, 800)를 포함한다. 제1 풀다운 서스테인 회로 (600), 제2 풀다운 서스테인 회로 (700) 및 브리지 회로 (800)는 3 단의 저항 분압(resistance voltage division) 설계를 구성한다.

[0007]

브리지 회로 (800)는 주로 TFT (T55)에 의해 P (N) 및 K (N)의 전위를 조정하는 역할을 한다. TFT (T55)의 게이트는 Q (N)과 연결되고 TFT T55의 드레인은 P (N)과 연결되며 TFT (T55)의 소스는 K (N)과 연결된다. 동작 동안, TFT (T55)의 게이트는 P (N) 및 K (N)의 전위가 유사하고 근접한 상태로 되도록 개방된다. 저 주파수 신호 LC1 및 LC2의 낮은 전위는 VSS보다 작으며, 동작 동안 P (N) 및 K (N)의 전위가 VSS보다 낮아지도록 조정하고, G (N) 포인트를 풀-다운하는 데 사용되는 TFT (T32, T33)의 Vgs 및 Q (N) 포인트를 풀-다운하는 데 사용되는 TFT (T42, T43)의 Vgs는 0 볼트(Volt) 보다 작아, G (N) 및 Q (N)의 전류 누설을 방지하는 우수한 성능을 갖는다.

[0008] 제1 풀다운 서스테인 회로 (600) 및 제2 풀다운 서스테인 회로 (700)는 대칭 구조를 기반으로 하기 때문에, 다음과 같은 기능을 달성한다. 첫째, 동작 중에, 제1 풀다운 서스테인 회로 (600) (또는 제2 풀다운 서스테인 회로 (700))는 큰 저항으로 작용하고 폐쇄 상태이고, 제2 풀다운 서스테인 회로 (700) (또는 제1 풀다운 서스테인 회로 (600))는 작은 저항으로 작용하고 개방 상태이며, 브리지 회로 (800)는 작은 저항으로 작용하고 P (N) 및 K (N)를 져 전위 상태로 만들어 주기 위해 개방 상태이며, G (N)의 출력 및 Q (N)의 리프팅을 보장해준다. 둘째, 비 작동 중에, 제1 풀다운 서스테인 회로 (600) 및 제2 풀다운 서스테인 회로 (700)는 모두 작은 저항으로 작용하여 개방 상태에 있고, 브리지 회로 (800)는 큰 저항으로서 작용하고 P (N) 및 K (N)의 고 전위 및 저전위와 교번을 달성하기 위해 폐쇄 상태에 있다. TFT (T54)의 게이트는 LC2와 연결되고, TFT (T54)의 드레인은 LC2와 연결되고, TFT (T54)의 소스는 P (N)와 연결된다. TFT (T64)의 게이트는 LC1과 연결되고, TFT (T64)의 드레인은 LC2와 연결되고, TFT (T64)의 소스는 L (N)과 연결된다. TFT (T54, T64)는 평형 TFT (balanced TFT)라 불리며, 신호를 스위칭하면서 저항 분압 및 급격한 방전을 조정하는데 사용된다. TFT (T52)의 게이트는 Q (N)과 연결되고, TFT (T52)의 드레인은 S (N)과 연결되며, TFT (T52)의 소스는 VSS와 연결된다. TFT (T62)의 게이트는 Q (N)과 연결되고 TFT (T62)의 드레인은 T (N)과 연결되며 TFT (T62)의 소스는 VSS와 연결된다. TFT (T52, T62)는 동작 동안 S (N) 및 T (N)을 풀 다운하는데 사용된다.

[0009] 제1 풀다운 서스테인 회로 (600), 제2 풀다운 서스테인 회로 (700) 및 브리지 회로(800)로 구성되는 3 단 저항 분압에 적용되는 시프트 레지스터 유닛을 사용함으로써, 풀다운 서스테인 회로의 고온 안정성 및 장시간 동작 신뢰성이 향상되고, 저주파 신호를 이용하여 P (N) 및 K (N)의 스위칭이 달성되고, 동작 중에 P (N) 및 K (N)의 전위를 끌어내림으로써 G (N) 및 Q (N)의 누전 (electricity leakage)이 가능한 한 낮게 감소된다. 비 동작 중에, LC의 저 전위는 VSS보다 낮기 때문에 P (N) 및 K (N) 중 하나는 낮은 전위에서 LC의 저 전위에 가깝다. TFT (T32 / T42) 또는 TFT (T33 / T43)는 저주파 신호의 져 전위 pf를 조정함으로써 음 전위의 전위를 제어하기에 필요한 시간의 절반으로 음의 전위 회복 상태 (negative potential recovery state)에 있고, 풀다운 서스테인 회로의 오동작의 위험이 효과적으로 저감할 수 있다.

[0010] 그러나 기존의 GOA 회로는 주로 시프트 레지스터의 이론을 채택하고 있다. 계단식 신호 (stepwise signals)의 전송은 일반적으로 스캐닝 라인 (G (N))에 의한 다운 트랜스퍼를 달성하고, 스캐닝 라인 (G (N))의 부하가 증가하고, 배선이 복잡하며, 단선의 위험이 존재한다.

[0011] 또한, 종래의 GOA 회로는 2 방향 스캐닝(two-directions scanning)이 불가능하고, 1 방향 스캐닝 (one-direction scanning)을 위해 설계된다.

발명의 내용

[0012] 본 발명의 목적은 액정 디스플레이에 적용되는 GOA 회로 및 액정 표시 장치를 제공하는 것이다. 다운 트랜스퍼 (down transfer)의 기능을 달성하기 위해 스캐닝 라인 G (N)을 정전압 VDD로 대체하고, 일정한 전압과 정합하도록 다운 트랜스퍼 모듈을 추가로 배치함으로써 순차적인 단계별 신호 (sequential step-by-step signals)의 전송 목적을 달성한다. 그리고 스캐닝 라인 (G (N))은 스캐닝 라인의 구동만을 담당하기 때문에, 스캐닝 라인 (G (N))의 로딩 및 배선과 관련된 위험이 감소되고, 동작시의 게이트 신호 점 (Q (N))의 충전 용량이 보강되고, 게이트 신호 점 (Q (N))의 전위는 정전압 (VDD)의 전위를 조정함으로써 강화된다. 순방향 스캐닝 동작 및 역방향 스캐닝 동작은 2개의 전압 VF, VR에 의해 달성된다; 이에 따라 GOA 회로의 순방향 스캐닝 동작 및 역방향 스캐닝 동작이 성취된다.

[0013] 상기 목적을 달성하기 위해, 본 발명은 액정 디스플레이에 적용되는 GOA 회로를 제공한다. GOA 회로는 복수의 캐스케이드 시프트 레지스터 유닛 (a plurality of cascaded shift register units)을 포함하고, (N) 번째 레벨 시프트 레지스터 유닛은 그에 따라 (N) 번째 레벨 스캐닝 라인을 충전하도록 제어된다. (N) 번째 레벨 시프트 레지스터 유닛은 풀업 회로 (pull-up circuit), 풀다운 회로 (pull-down circuit), 풀다운 서스테인 회로 (pull-down sustain circuit), 풀업 제어 회로 (pull-up control circuit), 다운 트랜스퍼 회로 (down transfer circuit) 및 부트스트랩 캐패시터 (bootstrap capacitor)를 포함한다.

[0014] 풀업 회로, 풀다운 서스테인 회로 및 부트스트랩 캐패시터는 각각 게이트 신호 점과 N번째 레벨의 스캐닝 라인으로 연결된다.

[0015] 풀업 제어 회로 및 다운 트랜스퍼 회로는 개별적으로 게이트 신호 점에 연결된다.

[0016] 풀다운 회로는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결된다.

- [0017] 풀업 제어 회로는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호와 연결된다.
- [0018] 풀다운 서스테인 회로는:
- [0019] 제1 TFT를 포함하고, 상기 제1 TFT의 게이트는 제1 회로 점에 연결되고, 상기 제1 TFT의 드레인은 상기 제N 레벨의 스캐닝 라인에 연결되고, 상기 제1 TFT의 소스는 제1 직류 전압에 연결되며,
- [0020] 제2 TFT를 포함하고, 상기 제2 TFT의 게이트는 상기 제1 회로 점에 연결되고, 상기 제2 TFT의 드레인은 상기 게이트 신호 점에 연결되고, 상기 제2 TFT의 소스는 제2 직류 전압에 연결되며,
- [0021] 제3 TFT를 포함하고, 상기 제3 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제3 TFT의 드레인은 소스 신호 점에 연결되고, 상기 제3 TFT의 소스는 제1 직류 전압에 연결되며,
- [0022] 제4 TFT를 포함하고, 상기 제4 TFT의 소스는 소스 신호 점에 연결되고, 상기 제4 TFT의 게이트 및 드레인은 제1 클럭 신호에 연결되며,
- [0023] 제5 TFT를 포함하고, 상기 제5 TFT의 게이트는 상기 소스 신호 점에 연결되고, 상기 제5 TFT의 드레인은 상기 제1 클럭 신호에 연결되고, 상기 제5 TFT의 소스는 상기 제1 회로 점에 연결되며,
- [0024] 제6 TFT를 포함하고, 상기 제6 TFT의 게이트는 제2 클럭 신호에 연결되고, 상기 제6 TFT의 드레인은 제1 클럭 신호에 연결되고, 상기 제6 TFT의 소스는 제1 회로 점에 연결되며,
- [0025] 제7 TFT를 포함하고, 상기 제7 TFT의 게이트는 제1 회로 점에 연결되고, 상기 제7 TFT의 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호와 연결되고, 상기 제7 TFT의 소스는 상기 제2 직류 전압에 연결되며,
- [0026] 제8 TFT를 포함하고, 상기 제8 TFT의 게이트는 제2 회로 점에 연결되고, 상기 제8 TFT의 드레인은 (N) 번째 레벨 스캐닝 라인에 연결되고, 상기 제8 TFT의 소스는 상기 제1 직류 전압에 연결되며,
- [0027] 제9 TFT를 포함하고, 상기 제9 TFT의 게이트는 상기 제2 회로 점에 연결되고, 상기 제9 TFT의 드레인은 상기 게이트 신호 점에 연결되고, 상기 제9 TFT의 소스는 상기 제2 직류 전압에 연결되며,
- [0028] 제10 TFT를 포함하고, 상기 제10 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제10 TFT의 드레인은 드레인 신호 점에 연결되고, 상기 제10 TFT의 소스는 상기 제1 직류 전압에 연결되며,
- [0029] 제11 TFT를 포함하고, 상기 제11 TFT의 소스는 드레인 신호 점에 연결되고, 상기 제11 TFT의 게이트 및 드레인은 제2 클럭 신호와 연결되며,
- [0030] 제12 TFT를 포함하고, 상기 제12 TFT의 게이트는 상기 드레인 신호 점에 연결되고, 상기 제12 TFT의 드레인은 상기 제2 클럭 신호와 연결되고, 상기 제12 TFT의 소스는 상기 제2 회로 점과 연결되며,
- [0031] 제13 TFT를 포함하고, 상기 제13 TFT의 게이트는 상기 제1 클럭 신호에 연결되고, 상기 제13 TFT의 드레인은 상기 제2 클럭 신호와 연결되고, 상기 제13 TFT의 소스는 상기 제2 회로 점에 연결되며,
- [0032] 제14 TFT를 포함하고, 상기 제14 TFT의 게이트는 상기 제2 회로 점에 연결되고, 상기 제14 TFT의 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제14 TFT의 소스는 상기 제2 직류 전압에 연결되며,
- [0033] 제15 TFT를 포함하고, 상기 제15 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제15 TFT의 드레인은 상기 제1 회로 점에 연결되고, 상기 제15 TFT의 소스는 상기 제2 회로 점에 연결된다.
- [0034] 동작 중에, 제1 클럭 신호 및 제2 클럭 신호의 주파수는 (N) 레벨 클럭 신호 (CK (N))의 주파수보다 낮고, 제1 클럭 신호에 의해 제1 회로 점을 충전하는 처리와, 제2 클럭 신호에 의해 제2 회로 점을 충전하는 처리가 번갈아 수행된다. 풀업 회로는 제16 TFT를 포함하고, 상기 제16 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제16 TFT의 드레인은 (N) 레벨 클럭 신호에 연결되고, 상기 제16 TFT의 소스는 제(N) 번째 레벨 스캐닝 라인에 연결된다.
- [0035] 일 실시 예에서, 상기 풀다운 회로는:
- [0036] 제17 TFT를 포함한다. 상기 제17 TFT의 게이트는 제(N+1) 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제17 TFT의 드레인은 게이트 신호 점에 연결되고, 상기 제17 TFT의 소스는 제2 직류 전압에 연결된다.
- [0037] 일 실시 예에서, 상기 다운 트랜스퍼 회로는:

- [0038] 제18 TFT를 포함한다. 상기 제18 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제18 TFT의 드레인은 (N) 레벨 클록 신호에 연결되고, 상기 제18 TFT의 소스는 (N) 번째 레벨 시프트 레지스터의 스타트 신호에 연결된다.
- [0039] 일 실시 예에서, 상기 풀업 제어 회로는:
- [0040] 제19 TFT를 포함한다. 상기 제19 TFT의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제19 TFT의 드레인은 일정한 전압에 연결되고, 상기 제19 TFT의 소스는 게이트 신호 점에 연결된다.
- [0041] 일 실시 예에서, 상기 풀업 제어 회로는:
- [0042] 제19 TFT를 포함한다. 상기 제19 TFT의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제19 TFT의 드레인은 순방향 전압 (forward voltage)에 연결되고, 상기 제19 TFT의 소스는 게이트 신호 점에 연결된다.
- [0043] 일 실시 예에서, 상기 풀다운 회로는:
- [0044] 제17 TFT (T41)를 포함한다. 상기 제17 TFT의 게이트는 (N+1) 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제17 TFT의 드레인은 게이트 신호 점에 연결되고, 상기 제17 박막 트랜지스터의 소스는 역 전압 (backward voltage)에 연결된다.
- [0045] 일 실시 예에서, 상기 (N) 레벨 클럭 신호의 듀티 비 (duty ration)는 50 퍼센트보다 작다.
- [0046] 일 실시 예에서, 상기 제2 직류 전압은 상기 제1 직류 전압보다 작다.
- [0047] 상기 목적을 달성하기 위해, 본 발명은 액정 디스플레이에 적용되는 다른 GOA 회로를 제공한다. GOA 회로는 복수의 캐스케이드 시프트 레지스터 유닛 (a plurality of cascaded shift register units)을 포함하며, (N) 번째 레벨 시프트 레지스터 유닛은 이에 따라 (N) 번째 레벨 스캐닝 라인을 충전하도록 제어된다. (N) 번째 레벨 시프트 레지스터 부는 풀업 회로, 풀다운 회로, 풀다운 유지 회로, 풀업 제어 회로, 다운 트랜스퍼 회로 및 부트스트랩 캐패시터를 포함한다.
- [0048] 풀업 회로, 풀다운 서스테인 회로 및 부트스트랩 캐패시터는 각각 게이트 신호 점 및 N 번째 레벨의 스캐닝 라인과 연결된다.
- [0049] 풀업 제어 회로 및 다운 트랜스퍼 회로는 개별적으로 게이트 신호 점에 연결된다.
- [0050] 풀다운 회로에는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호가 연결된다.
- [0051] 풀업 제어 회로는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호와 연결된다.
- [0052] 풀다운 서스테인 회로는:
- [0053] 제1 TFT를 포함하고, 상기 제1 TFT의 게이트는 제1 회로 점에 연결되고, 상기 제1 TFT의 드레인은 제(N) 레벨의 스캐닝 라인에 연결되고, 상기 제1 TFT의 소스는 제1 직류 전압에 연결되고,
- [0054] 제2 TFT를 포함하고, 상기 제2 TFT의 게이트는 상기 제1 회로 점에 연결되고, 상기 제2 TFT의 드레인은 게이트 신호 점에 연결되고, 상기 제2 TFT의 소스는 제2 직류 전압에 연결되고,
- [0055] 제3 TFT를 포함하고, 상기 제3 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제3 TFT의 드레인은 소스 신호 점에 연결되고, 상기 제3 TFT의 소스는 제1 직류 전압에 연결되고,
- [0056] 제4 TFT를 포함하고, 상기 제4 TFT의 소스는 소스 신호 점에 연결되고, 상기 제4 TFT의 게이트 및 드레인은 제1 클럭 신호에 연결되고,
- [0057] 제5 TFT를 포함하고, 상기 제5 TFT의 게이트는 소스 신호 점에 연결되고, 상기 제5 TFT의 드레인은 상기 제1 클럭 신호에 연결되고, 상기 제5 TFT의 소스는 상기 제1 회로 점에 연결되고,
- [0058] 제6 TFT를 포함하고, 상기 제6 TFT의 게이트는 제2 클럭 신호에 연결되고, 상기 제6 TFT의 드레인은 제1 클럭 신호에 연결되고, 상기 제6 TFT의 소스는 제1 회로 점에 연결되고,
- [0059] 제7 TFT를 포함하고, 상기 제7 TFT의 게이트는 제1 회로 점에 연결되고, 상기 제7 TFT의 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제7 TFT의 소스는 제2 직류 전압에 연결되고,
- [0060] 제8 TFT를 포함하고, 상기 제8 TFT의 게이트는 제2 회로 점에 연결되고, 상기 제8 TFT의 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제8 TFT의 소스는 제2 직류 전압에 연결되고,

밸 스캐닝 라인에 연결되고, 상기 제8 TFT의 소스는 제1 직류 전압에 연결되고,

[0061] 제9 TFT를 포함하고, 상기 제9 TFT의 게이트는 제2 회로 점에 연결되고, 상기 제9 TFT의 드레인은 게이트 신호 점에 연결되고, 상기 제9 TFT의 소스는 제2 직류 전압에 연결되고,

[0062] 제10 TFT를 포함하고, 상기 제10 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제10 TFT의 드레인은 드레인 신호 점에 연결되고, 상기 제10 TFT의 소스는 제1 직류 전압에 연결되고,

[0063] 제11 TFT를 포함하고, 상기 제11 TFT의 소스는 드레인 신호 점에 연결되고, 상기 제11 TFT의 게이트 및 드레인은 제2 클럭 신호에 연결되고,

[0064] 제12 TFT를 포함하고, 상기 제12 TFT의 게이트는 드레인 신호 점에 연결되고, 상기 제12 TFT의 드레인은 제2 클럭 신호에 연결되고, 상기 제12 TFT의 소스는 제2 회로 점에 연결되고,

[0065] 제13 TFT를 포함하고, 상기 제13 TFT의 게이트는 상기 제1 클럭 신호에 연결되고, 상기 제13 TFT의 드레인은 제2 클럭 신호에 연결되고, 상기 제13 TFT의 소스는 상기 제2 회로 점에 연결되고,

[0066] 제14 TFT를 포함하고, 상기 제14 TFT의 게이트는 상기 제2 회로 점에 연결되고, 상기 제14 TFT의 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제14 TFT의 소스는 제2 직류 전압에 연결되고,

[0067] 제15 TFT를 포함하고, 상기 제15 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제15 TFT의 드레인은 제1 회로 점에 연결되고, 상기 제15 TFT의 소스는 제2 회로 점에 연결된다.

[0068] 작동 중에, 제1 클럭 신호 및 제2 클럭 신호의 주파수는 (N) 레벨 클럭 신호 (CK (N))의 주파수보다 낮고, 제1 클럭 신호에 의해 제1 회로 점을 충전하는 처리와 제2 클럭 신호에 의해 제2 회로 점을 충전하는 처리가 번갈아 수행된다.

[0069] 상기 풀업 회로는:

[0070] 제16 TFT를 포함한다. 상기 제16 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제16 TFT의 드레인은 (N) 레벨의 클럭 신호에 연결되고, 상기 제16 TFT의 소스는 (N) 레벨 스캐닝 라인에 연결된다.

[0071] 상기 풀다운 회로는:

[0072] 제17 TFT를 포함하고, 상기 제17 TFT의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제17 TFT의 드레인은 게이트 신호 점에 연결되고, 상기 제17 TFT의 소스는 제2 직류 전압에 연결된다.

[0073] 일 실시 예에서, 상기 다운 트랜스퍼 회로는:

[0074] 제18 TFT를 포함하고, 상기 제18 TFT의 게이트는 게이트 신호 점에 연결되고, 상기 제18 TFT의 드레인은 (N) 레벨 클럭 신호에 연결되고, 상기 제18 TFT의 소스는 (N) 번째 레벨 시프트 레지스터의 스타트 신호에 연결된다.

[0075] 일 실시 예에서, 상기 풀업 제어 회로는:

[0076] 제19 TFT를 포함하고, 상기 제19 TFT의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제19 TFT의 드레인은 일정한 전압으로 연결되고, 상기 제19 TFT의 소스는 게이트 신호 점에 연결된다.

[0077] 일 실시 예에서, 상기 풀업 제어 회로는:

[0078] 제19 TFT를 포함하고, 상기 제19 TFT의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제19 TFT의 드레인은 순방향 전압에 연결되고, 상기 제19 TFT의 소스는 게이트 신호 점에 연결된다.

[0079] 일 실시 예에서, 상기 풀다운 회로는:

[0080] 제17 TFT (T41)를 포함하고, 상기 제17 TFT의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호에 연결되고, 상기 제17 TFT의 드레인은 게이트 신호 점에 연결되고, 상기 제17 박막 트랜지스터의 소스는 역 전압으로 연결된다.

[0081] 일 실시 예에서, (N) 레벨 클럭 신호의 데티 비는 50 퍼센트 미만이다.

[0082] 일 실시 예에서, 제2 직류 전압은 제1 직류 전압보다 작다.

[0083] 따라서, 본 발명은 또한 표시 장치를 제공한다. 표시 장치는 앞서 언급 된 액정 디스플레이에 적용된 GOA 회로를 포함한다.

[0084] 상기 기술 제안에 의하면, 유익한 효과는 다음과 같다:

[0085] 다운 트랜스퍼 (Down Transfer)의 기능을 달성하기 위해 스캐닝 라인 G (N)을 정전압 VDD로 대체하고, 정전압을 정합하도록 다운 트랜스퍼 모듈을 추가로 배치함으로써, 단계적 신호의 전달 목적이 달성된다. 스캐닝 라인 (G (N))은 스캐닝 라인의 구동만을 담당하기 때문에, 스캐닝 라인 (G (N))의 로딩 및 배선과 관련된 위험이 감소되고, 동작시의 게이트 신호 점 (Q (N))의 충전 용량이 보강되고, VDD의 전위를 조정함으로써 게이트 신호 점 Q (N)의 전위가 보강된다. 포지티브 방향 스캐닝 (positive direction scanning) 및 반대 방향 스캐닝 (opposite direction scanning)은 2 개의 신호 VF, VR에 의해 달성된다; 그에 따라 GOA 회로의 포지티브 및 반대 방향 스캐닝 (positive and opposite directions scanning)이 달성된다.

도면의 간단한 설명

[0086] 도 1은 종래의 GOA 회로의 회로 다이어그램이다.

도 2는 본 발명의 제1 실시 예에 따른 GOA 회로의 회로 다이어그램이다.

도 3은 도 2의 실제동작 동안 GOA 회로의 키 노드 (key node)의 펄스 다이어그램이다.

도 4는 본 발명의 제2 실시 예의 GOA 회로의 회로 다이어그램이다.

도 5는 도 4의 순방향 스캐닝 동작 (forward-scanning operation) 동안 GOA 회로의 키 노드의 펄스 다이어그램이다.

도 6은 도 5의 역방향 스캐닝 동작 (backward-scanning operation) 동안 GOA 회로의 키 노드의 펄스 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0087] 첨부된 도면을 참조하여 각 실시 예에 대한 다음의 설명은 본 발명에서 수행될 수 있는 특정 실시 예를 예시하기 위해 사용된다. "상부", "하부", "전방", "후방", "좌측", "우측", "내부", "외부", "측면" 등과 같은 본 발명에서 언급된 방향성 용어는 첨부된 도면의 방향과 관련하여서만 사용된다. 따라서, 사용된 방향성 용어는 본 발명을 예시하기 위한 것이지, 본 발명을 제한하는 것은 아니다. 도면에서 유사한 구조를 갖는 유닛에는 동일한 라벨이 표시된다.

[0088] 또한, 도 2는 본 발명의 제1 실시 예의 GOA 회로도이다. 제1 실시 예에서, GOA 회로는 복수의 캐스케이드 시프트 레지스터 유닛을 포함하고, (N) 번째 레벨 시프트 레지스터 유닛은 그에 따라 (N) 번째 레벨 스캐닝 라인 G (N)을 충전하도록 제어된다. (N) 번째 레벨 시프트 레지스터 유닛은 풀업 회로 (pull-up circuit) 200, 풀다운 회로 (pull-down circuit) 400, 풀다운 서스테인 회로 (pull-down sustain circuit) 600, 풀업 제어 회로 (pull-up control circuit) 100, 다운 트랜스퍼 회로 (down transfer circuit) 300 및 부트스트랩 캐패시터 (bootstrap capacitor) Cb를 포함한다. 풀업 회로 200, 풀다운 서스테인 회로 600 및 부트스트랩 캐패시터 Cb는 각각 게이트 신호 점 Q (N) 및 N 레벨 스캐닝 라인 G (N)에 연결된다(접속된다). 풀업 제어 회로 100 및 다운 트랜스퍼 회로 300는 게이트 신호 점 Q (N)과 개별적으로 연결된다. 풀다운 회로 400에는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N+1)가 연결된다(접속된다). 풀업 제어 회로 100은 (N-1) 번째 레벨 시프트 레지스터의 시작 신호 ST (N-1)에 연결된다(접속된다).

[0089] 풀다운 서스테인 회로 600는:

[0090] 제1 박막 트랜지스터 (TFT) T32는, 제1 회로 점 P (N)에 연결된 게이트, (N) 번째 레벨 스캐닝 라인 G (N)에 연결된 드레인 및 제1 직류 전압 (VSS1)에 연결된 소스를 포함한다.

[0091] 제2 TFT T42는 제1 회로 점 P (N)에 연결된 게이트, 게이트 신호 점 Q (N)에 연결된 드레인 및 제2 직류 전압 VSS2에 연결된 소스를 포함한다.

[0092] 제3 TFT T52는 게이트 신호 점 Q (N)에 연결된 게이트, 소스 신호 점 S (N)에 연결된 드레인 및 제1 직류 전압 VSS1에 연결된 소스를 포함한다.

[0093] 제4 TFT T51는 소스 신호 점 S (N)에 연결된 소스와, 제1 클럭 신호 LC1에 연결된 게이트 및 드레인을 포함한다.

[0094] 제5 TFT T53를 포함한다. 제5 TFT T53의 게이트는 소스 신호 점 S (N)에 연결되고, 제5 TFT T53의 드레인은 제

1 클럭 신호 LC1에 연결되고, 제5 TFT T53의 소스는 제1 회로 점 P (N)에 연결된다.

[0095] 제6 TFT T54를 포함한다. 제6 TFT T54의 게이트에는 제2 클럭 신호 LC2가 연결되고, 제6 TFT T54의 드레인은 제1 클럭 신호 LC1에 연결되고, 제6 TFT T54의 소스는 제1 회로 점 P (N)에 연결된다.

[0096] 제7 TFT T72를 포함한다. 제7 TFT T72의 게이트는 제1 회로 점 P (N)에 연결되고, 제7 TFT T72의 드레인은 (N) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N)에 연결되고, 제7 TFT T72의 소스는 제2 직류 전압 VSS2에 연결된다.

[0097] 제8 TFT T33를 포함한다. 제8 TFT T33의 게이트는 제2 회로 점 K (N)에 연결되고, 제8 TFT T33의 드레인은 (N) 번째 레벨 스캐닝 라인 G (N)에 연결되고, 제8 TFT T33의 소스는 제1 직류 전압 VSS1에 연결된다.

[0098] 제9 TFT T43는 제2 회로 점 K (N)에 연결된 게이트, 게이트 신호 점 Q (N)에 연결된 드레인 및 제2 직류 전압 VSS2에 연결된 소스를 포함한다.

[0099] 제10 TFT T62는 게이트 신호 점 Q (N)에 연결된 게이트, 드레인 신호 점 T (N)에 연결된 드레인 및 제1 직류 전압 VSS1에 연결된 소스를 포함한다.

[0100] 제11 TFT T61는 드레인 신호 점 T (N)에 연결된 소스, 제2 클럭 신호 LC2에 연결된 게이트 및 드레인을 포함한다.

[0101] 제12 TFT T63는 드레인 신호 점 T (N)에 연결된 게이트, 제2 클럭 신호 LC2에 연결된 드레인 및 제2 회로 점 K (N)에 연결된 소스를 포함한다.

[0102] 제13 TFT T64는 제1 클럭 신호 LC1에 연결된 게이트, 제2 클럭 신호 LC2에 연결된 드레인 및 제2 회로 점 K (N)에 연결된 소스를 포함한다.

[0103] 제14 TFT T73은 제2 회로 점 K (N)에 연결된 게이트, (N) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N)에 연결된 드레인 및 제2 직류 전압 VSS2에 연결된 소스를 포함한다.

[0104] 제15 TFT T55를 포함한다. 제15 TFT T55의 게이트는 게이트 신호 점 Q (N)에 연결되고, 제15 TFT T55의 드레인은 제1 회로 점 P (N)에 연결되고, 제15 TFT T55의 소스는 제2 회로 점 K (N)에 연결된다.

[0105] 동작 중에, 제1 클럭 신호 LC1 및 제2 클럭 신호 LC2의 주파수는 (N) 레벨 클럭 신호 CK (N)의 주파수보다 낮다. 제1 클럭 신호 LC1에 의해 제1 회로 점 P (N)을 충전하는 과정과 제2 클럭 신호 LC2에 의해 제2 회로 점 K (N)을 충전하는 과정이 교대로 수행된다.

[0106] 실제로, 풀업 회로 200는 제16 TFT T21를 포함한다. 제16 TFT T21의 게이트는 게이트 신호 점 Q (N)에 연결되고, 제16 TFT T21의 드레인은 (N) 레벨 클록 신호 CK (N)에 연결되고, 제16 TFT T21의 소스는 (N) 레벨 스캐닝 라인 G (N)에 연결된다.

[0107] 풀다운 회로 400는 제17 TFT T41를 포함한다. 제17 TFT T41의 게이트는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N + 1)에 연결되고, 제17 TFT T41의 드레인은 게이트 신호 점 Q (N)에 연결되고, 제17 TFT T41의 소스는 제2 직류 전압 VSS2에 연결된다.

[0108] 다운 트랜스퍼 회로 300는 제18 TFT T22를 포함한다. 제18 TFT T22의 게이트는 게이트 신호 점 Q (N)에 연결되고, 제18 TFT T22의 드레인은 (N) 레벨 클록 신호 CK (N)에 연결되고, 제18 TFT T22의 소스는 (N) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N)에 연결된다.

[0109] 풀업 제어 회로 100는 제19 TFT T11를 포함한다. 제19 TFT T11의 게이트는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N-1)에 연결되고, 제19 박막 트랜지스터 T11의 드레인은 일정 전압 VDD으로 연결되고, 제19 TFT T11의 소스는 게이트 신호 점 Q (N)에 연결된다.

[0110] 제1 실시 예에서는, 다운 트랜스퍼 (하향 전송)의 기능을 달성하기 위해 스캐닝 라인G (N)을 정전압 VDD로 대체하고, 다운 트랜스퍼 모듈이 정전압에 부합하도록 추가로 배치됨으로써 순차 신호의 전달 목적이 달성된다. 스캐닝 라인 G (N)은 스캐닝 라인의 구동만을 담당하기 때문에, 스캐닝 라인 G (N)의 부하 및 배선에 따른 위험이 감소하고, 게이트 신호 점 Q (N) 동작은 강화되고, VDD의 전위를 조정함으로써 게이트 신호 점 Q (N)의 전위가 보강된다.

[0111] 또한, 도 3은 도 2의 실제동작 동안 GOA 회로의 임계 노드의 파형을 도시한다. XCK는 (N) 번째 레벨 쉬프트 레

지스터 유닛에 인접한 클럭 신호를 나타내며, XCK는 (N+1) 번째 클럭 신호 CK (N + 1)를 나타낸다.

[0112] 게이트 신호 점 Q (N)의 파형을 볼록하게 하기 위하여, (N) 번째 레벨 클록 신호 CK (N)와 (N+1) 번째 레벨 클록 신호 CK (N+1)의 듀티 비는 50 % 보다 작아야 한다; 제16 TFT T21는 (N) 번째 레벨 스캐닝 라인 G (N)을 풀다운하기 위해 사용된다.

[0113] 정전압 VDD는 클럭 신호 CK, XCK와 동일하게 높은 전위로 설정된다. 게이트 신호 점 Q (N)의 저장 용량 (storing capacity)은 정전압 VDD의 전위를 적절하게 상승시킴으로써 상승될 수 있다.

[0114] 제1 직류 전압 VSS1 및 제2 직류 전압 VSS2는 모두 구동 회로의 저 전위를 공급하기 위해 일정한 음의 전위 (constant-negative potential)로 설정된다. 일반적으로, 제1 직류 전압 VSS1은 제2 직류 전압 VSS2보다 낮다.

[0115] 또한, 도 4는 본 발명의 제2 실시 예의 GOA 회로의 회로도이다. 제2 실시 예에서는, 제1 실시 예의 정전압 VDD는 순방향 전압 VF으로 대체되고, 제17 TFT T41의 소스에는 역 전압 (backward voltage) (VR)이 연결된다. 제2 실시 예에서는, 순방향 전압 VF 및 역방향 전압 VR에 의해 순방향 스캐닝 동작 (forward-scanning operation) 및 역방향 스캐닝 동작 (backward-scanning operation)이 수행된다.

[0116] 순방향 전압 VF가 고 전위이고 역방향 전압 VR이 저 전위인 동안, 회로는 순방향 스캐닝 동작을 진행한다. 풀업 제어 회로 100는 여전히 풀업 제어 회로 100의 기능을 수행하지만, 풀다운 회로 400는 여전히 풀다운 회로 400의 기능을 수행하여 게이트 신호 점 Q (N)의 전위를 낮춘다. 동작 이론은 제1 실시 예와 유사하다.

[0117] 순방향 전압 VF가 저 전위이고, 역방향 전압 VR이 고 전위인 동안, 회로는 역방향 스캐닝 동작을 진행한다. 풀다운 회로 400은 풀업 제어 회로 100의 기능을 수행하며, 풀업 제어 회로 100은 풀다운 회로 400의 기능을 수행하여 게이트 신호 점 Q (N)의 전위를 낮춘다; 바꾸어 말하면, 역방향 스캐닝 동작 동안, 풀업 제어 회로 100 및 풀다운 회로 400은 순방향 스캐닝 동작과 다른 기능을 수행한다.

[0118] 이상에서 전술한 바와 같이, 순방향 전압 VF 및 역방향 전압 VR을 제어함으로써, 회로의 순방향 스캐닝 동작 및 역방향 스캐닝 동작이 달성된다.

[0119] 또한, 도 5는 도 4의 순방향 스캐닝 동작 동안 GOA 회로의 키 노드 (key nodes)의 파형을 도시한다. 순방향 스캐닝 동작 동안, 순방향 전압 VF은 고전 위이고 역방향 전압 VR은 저 전위이다. 다른 신호는 제1 실시 예와 동일하다.

[0120] 게이트 신호 점 Q (N)의 파형을 볼록하게 하기 위해서, (N) 레벨 클럭 신호 CK (N)와 (N+1) 레벨 클럭 신호 CK (N+1)의 듀티 비는 50 % 보다 낮아야 한다. 제16 TFT T21는 (N) 레벨 스캐닝 라인 G (N)을 풀다운하기 위해 사용된다.

[0121] 게이트 신호 점 Q (N)의 전위는 (N-1) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N-1)에 의해 1 단 상승한다.

[0122] 또한, 도 6은 도 5의 역방향 스캐닝 동작 동안의 GOA 회로의 키 노드의 펄스도이다. 역방향 스캐닝 동작 동안, 순방향 전압 VF은 저 전위이고, 역방향 전압 VR은 고전 위이다. 다른 신호는 제1 실시 예와 동일하다.

[0123] 게이트 신호 점 (Q (N))의 파형을 볼록하게 하기 위해서, (N) 레벨 클럭 신호 CK (N)와 (N+1) 레벨 클럭 신호 CK (N + 1)의 듀티 비는 50 % 보다 낮아야 한다. 제16 TFT T21는 (N) 레벨 스캐닝 라인 G (N)을 풀다운 하기 위해 사용된다.

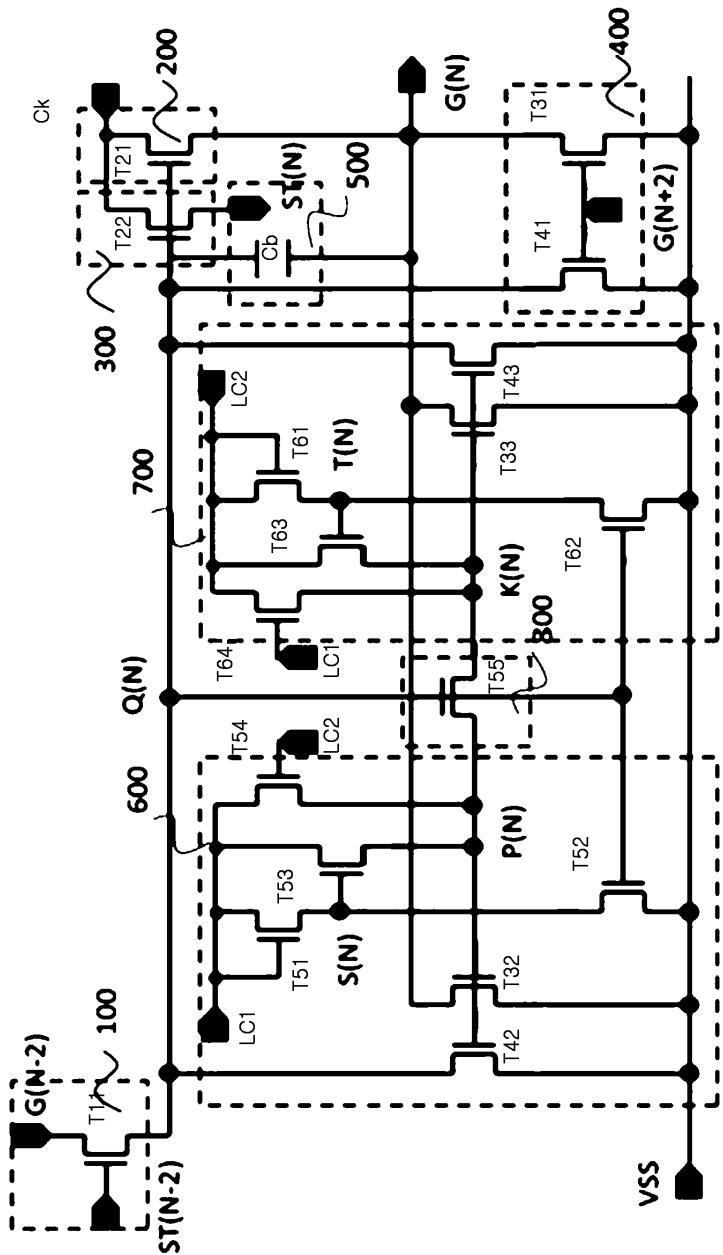
[0124] 게이트 신호 점 Q (N)의 전위는 (N+1) 번째 레벨 시프트 레지스터의 스타트 신호 ST (N+1)에 의해 1 단 상승한다.

[0125] 순방향 스캐닝 및 역방향 스캐닝 동작을 수행하기 위해 전압 VF, VR을 사용함으로써, GOA 회로의 순방향 스캐닝 및 역방향 스캐닝의 기능이 달성된다.

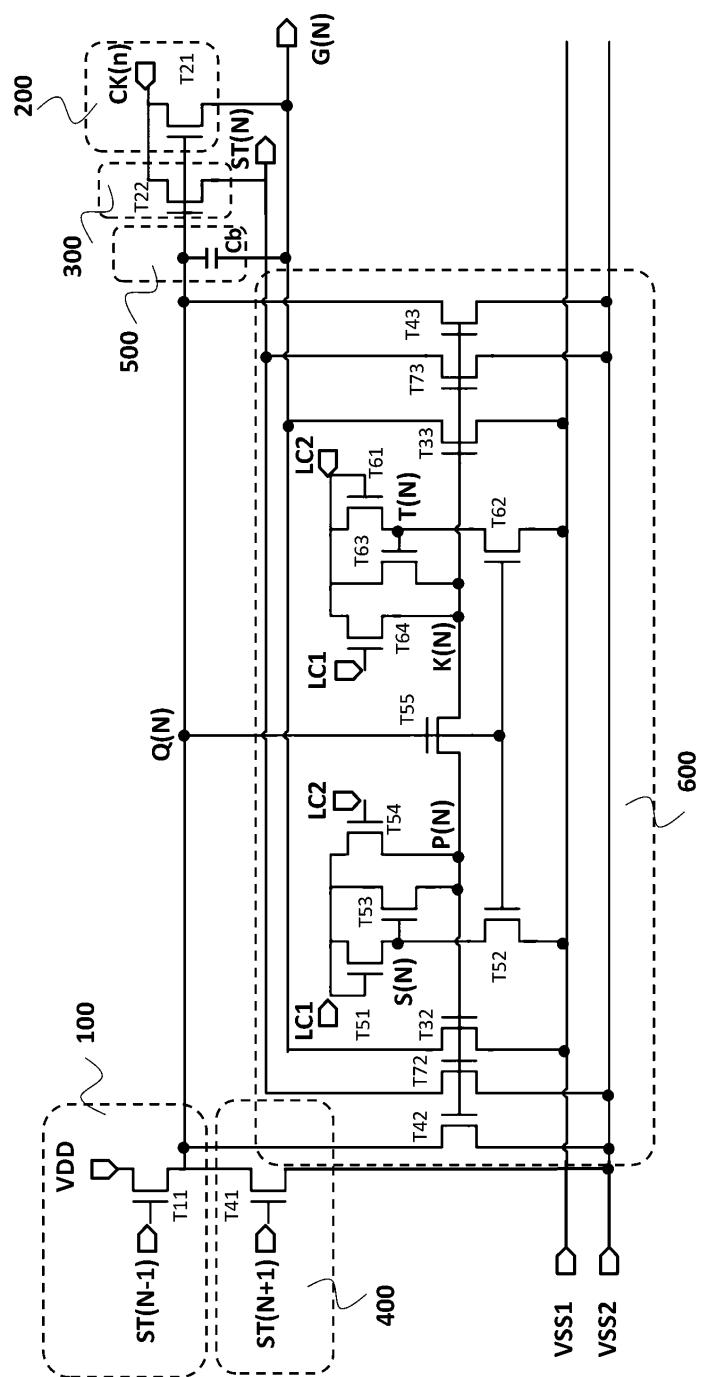
[0126] 본 발명은 바람직한 실시 예들로서 개시되었지만, 상기 바람직한 실시 예들은 본 발명을 제한하려는 것이 아니다. 본 발명의 사상 및 범위를 벗어나지 않고, 당업자는 본 발명에 대해 다양한 종류들의 변경 및 변형을 행할 수 있다. 따라서, 본 발명의 청구항들의 범위는 정의되어야 한다.

도면

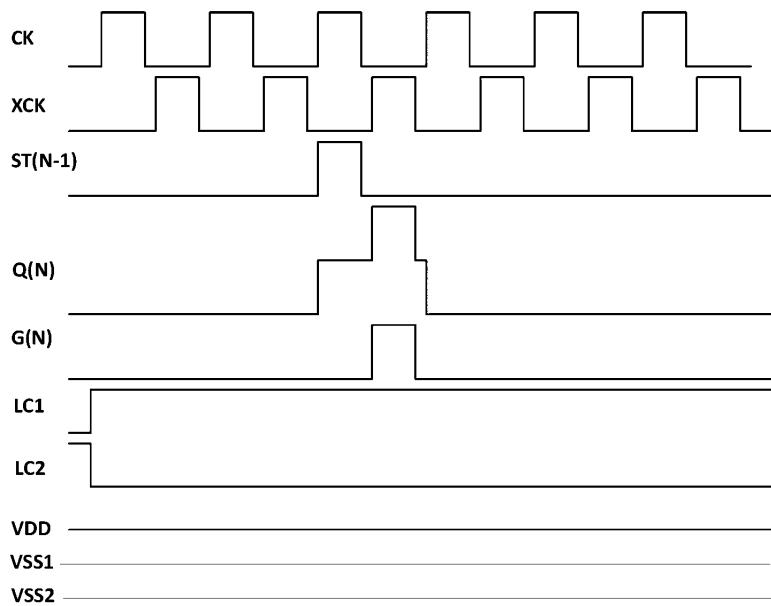
도면1



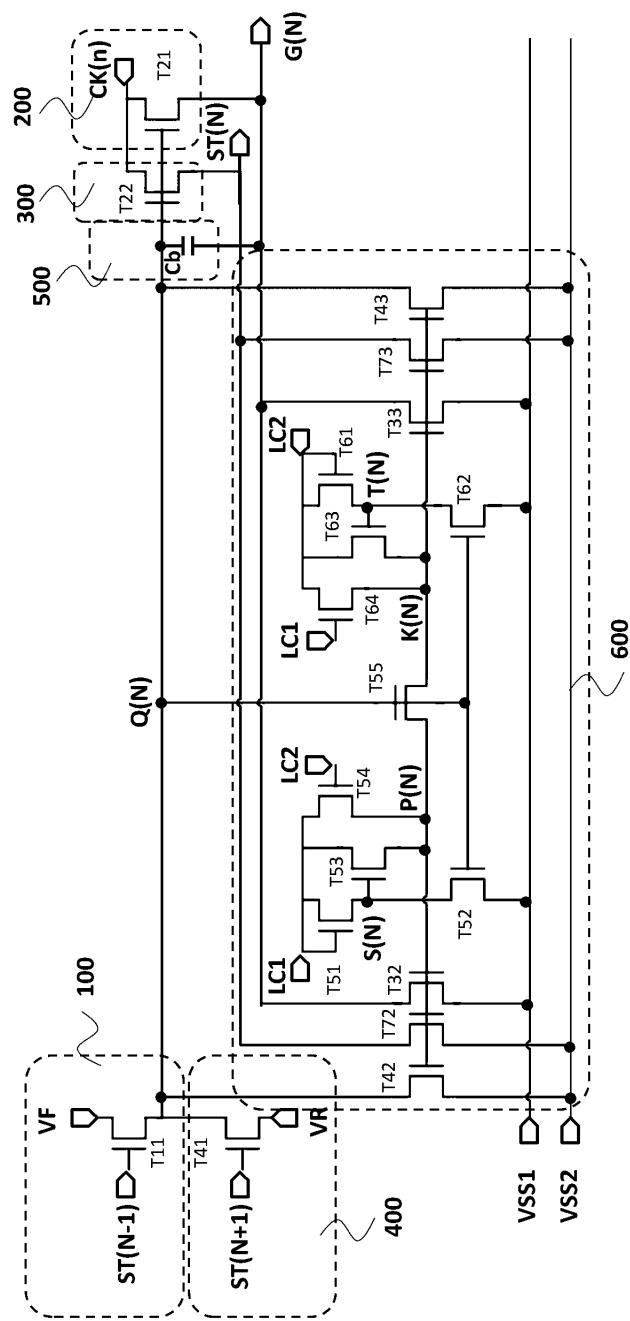
도면2



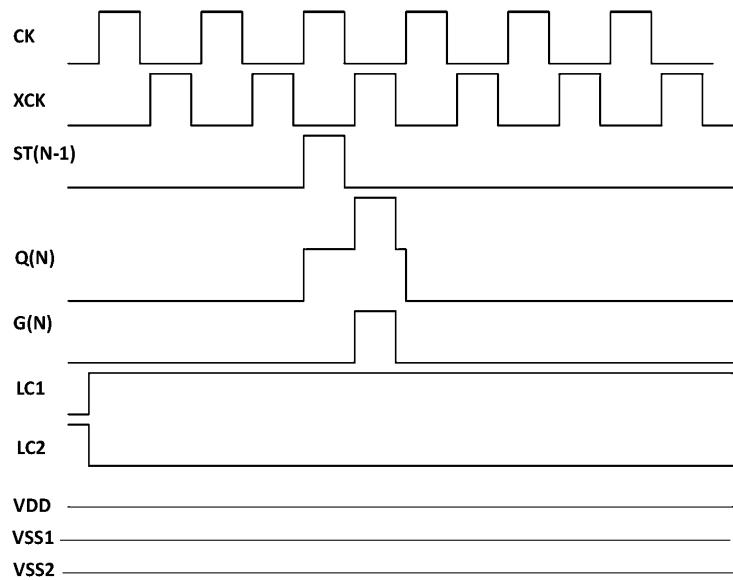
도면3



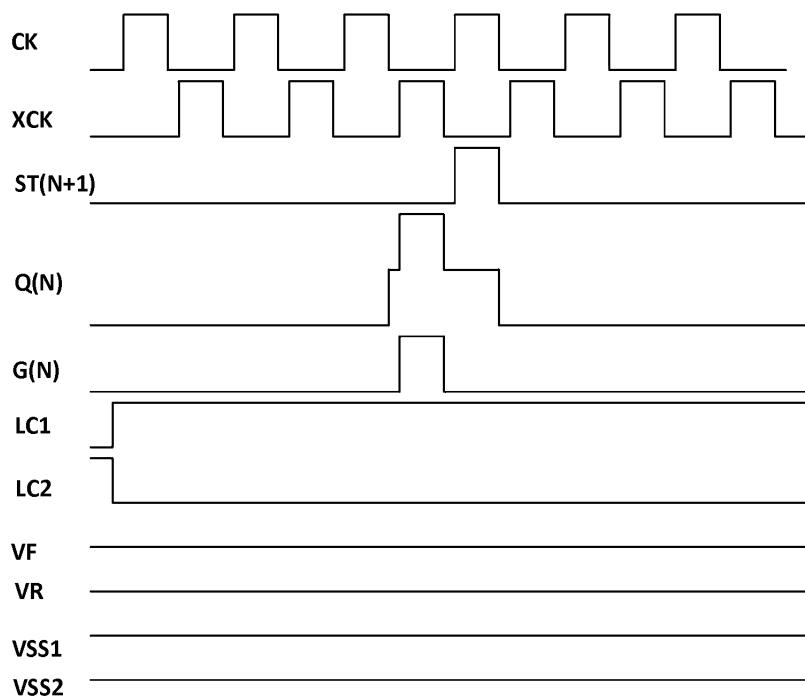
도면4



도면5



도면6



专利名称(译)	GOA电路和用于液晶显示器的液晶显示器		
公开(公告)号	KR1020170083120A	公开(公告)日	2017-07-17
申请号	KR1020177015987	申请日	2014-11-27
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	DAI CHAO 다이차오 LAI TZU CHIEH 라이티주츠어		
发明人	다이,차오 라이,티주 츄어		
IPC分类号	G09G3/36 G11C19/28		
CPC分类号	G09G3/3677 G09G3/3648 G09G2310/0289 G09G2230/00 G09G3/3696 G11C19/287 G09G2300/0871 G09G2310/0286		
优先权	201410639701.X 2014-11-13 CN		
其他公开文献	KR102044547B1		
外部链接	Espacenet		

摘要(译)

亞도

用于液晶显示器的阵列上栅极驱动器 (GOA) 电路，包括多个级联移位寄存器，其中，根据N级移位寄存器和N级移位寄存器来控制显示区域中的N级扫描线的电荷上拉部 (200)，琴键下拉部 (400)，上拉保持部 (600)，上拉控制部 (上拉控制部100)，传递部 (转印部分300) 和自夸电容 (Cb) ;用固定电压信号源或两个信号源组代替N级扫描线以执行传输。还公开了一种显示装置。 GOA电路可以控制正向或反向扫描，并减少与N级扫描线上的负载和级联传输线相关的风险。 专利出版物10-2017-0083120

