



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0061785  
(43) 공개일자 2017년06월07일

- |   |  |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)<br/>G02F 1/1343 (2006.01) G02F 1/1333 (2006.01)<br/>G02F 1/1362 (2006.01) H01L 29/786 (2006.01)</p> <p>(52) CPC특허분류<br/>G02F 1/134363 (2013.01)<br/>G02F 1/133345 (2013.01)</p> <p>(21) 출원번호 10-2015-0166497<br/>(22) 출원일자 2015년11월26일<br/>심사청구일자 없음</p> | <p>(71) 출원인<br/>엘지디스플레이 주식회사<br/>서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자<br/>서대영<br/>인천광역시 중구 흰바위로 34 1011동 303호 (운서동, 주공아파트10단지)<br/>정영민<br/>경기도 파주시 금바위로 47 (와동동, 가람마을8단지 동문굿모닝힐) 801동 1002호<br/>(뒷면에 계속)</p> <p>(74) 대리인<br/>특허법인로알</p> |
|---|--|

전체 청구항 수 : 총 10 항

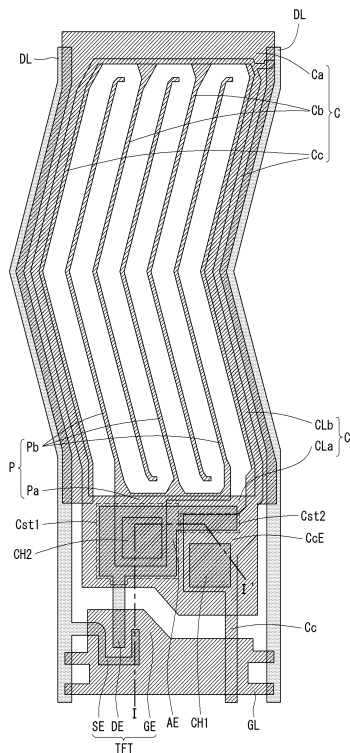
(54) 발명의 명칭 수평 전계형 액정 표시장치 및 그 제조방법

(57) 요약

본 발명은 투과율을 높일 수 있는 수평 전계형 액정 표시장치 및 그 제조방법에 관한 것으로, 게이트 라인, 공통 라인, 데이터 라인, 박막 트랜지스터, 화소전극, 공통전극, 제 1 스토리지 캐패시터 및 제 2 스토리지 캐패시터를 포함한다. 게이트 라인과 공통라인은 기판 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 상

(뒷면에 계속)

대표도 - 도4a



기 제 1 방향과 교차하는 제 2 방향으로 배열된다. 박막 트랜지스터는 상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치된다. 화소전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치된다. 공통전극은 상기 공통라인에 연결되며, 상기 화소전극과 수평전계를 형성하도록 배치된다. 제 1 스토리지 캐패시터는 상기 공통라인과 상기 박막 트랜지스터에 연결된 보조전극에 의해 형성된다. 제 2 스토리지 캐패시터는 상기 보조전극과 상기 공통전극에 의해 형성된다.

(52) CPC특허분류

*G02F 1/136286* (2013.01)

*H01L 29/786* (2013.01)

*G02F 2001/133357* (2013.01)

*G02F 2001/134318* (2013.01)

(72) 발명자

**신승환**

전라북도 전주시 완산구 물레방아3길 23 (태평동)

**이소영**

서울특별시 마포구 마포대로 115-8 105동 812호 (공덕동, 삼성래미안공덕1차아파트)

## 명세서

### 청구범위

#### 청구항 1

기관 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인 및 공통라인;

상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치되는 박막 트랜지스터;

상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치되는 화소전극;

상기 공통라인에 연결되며, 상기 화소전극과 수평전계를 형성하도록 배치된 공통전극;

상기 공통라인과 상기 박막 트랜지스터에 연결된 보조전극에 의해 형성되는 제 1 스토리지 캐패시터; 및

상기 보조전극과 상기 공통전극에 의해 형성되는 제 2 스토리지 캐패시터를 포함하는 수평 전계형 액정 표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 게이트 라인 및 상기 공통라인은 투명 기관 상에 배치되고,

상기 데이터 라인은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며,

상기 화소전극과 상기 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 적어도 하나의 절연막 상에 배치되고,

상기 공통전극은 상기 절연막과 상기 게이트 절연막을 통해 노출되는 제 1 콘택홀을 통해 노출되는 공통라인에 접속되며,

상기 화소전극은 상기 절연막을 관통하는 제 2 콘택홀을 통해 노출되는 상기 드레인 전극에 접속되는 수평 전계형 액정 표시장치.

#### 청구항 3

제 2 항에 있어서,

상기 공통라인은 상기 데이터 라인과 교차하지 않도록 상기 화소영역 내에 독립적으로 배치되는 수평 전계형 액정 표시장치.

#### 청구항 4

제 2 항에 있어서,

상기 화소전극은 제 1 줄기부와, 상기 제 1 줄기부로부터 분기되어 상기 화소영역으로 연장되는 제 1 분기부들을 포함하며,

상기 공통전극은 제 2 줄기부와, 상기 제 2 줄기부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소전극과 수평전계를 형성하도록 상기 화소영역 내에서 상기 제 1 분기부들과 번갈아 배치되는 제 2 분기부들을 포함하는 수평 전계형 액정 표시장치.

**청구항 5**

제 4 항에 있어서,

상기 제 2 분기부들 중 상기 화소영역의 최외측에 배치되는 최외측 분기부들 중 적어도 하나는 확장부를 가지며, 상기 제 2 스토리지 캐패시터는 상기 확장부와 상기 보조전극에 의해 형성되는 수평 전계형 액정 표시장치.

**청구항 6**

제 5 항에 있어서,

상기 적어도 하나의 절연막은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 제 1 절연막과, 평탄화를 위해 상기 제 1 절연막 상에 배치되는 제 2 절연막을 포함하며,

상기 제 2 절연막은 상기 보조전극 및 상기 공통전극과 중첩되는 영역에 형성된 오목부를 포함하는 수평 전계형 액정 표시장치.

**청구항 7**

제 6 항에 있어서,

상기 확장부는 상기 오목부 상에 배치되는 수평 전계형 액정 표시장치.

**청구항 8**

기판 상에 제 1 도전성 금속물질을 증착한 후 제 1 마스크를 이용한 포토리소그래피 공정으로 게이트 라인 및 공통라인을 포함하는 제 1 도전성 금속층을 형성하는 단계;

상기 제 1 도전성 금속층이 형성된 기판 상에 게이트 절연막, 반도체 물질 및 제 2 도전성 금속물질을 순차적으로 도포한 후, 제 2 마스크를 이용한 포토리소그래피 공정으로 반도체 패턴, 데이터 라인, 소스전극, 드레인 전극 및 보조전극을 포함하는 제 2 도전성 금속층을 형성하는 단계;

상기 제 2 도전성 금속층이 배치된 게이트 절연막 상에 적어도 한 층의 절연막을 도포한 후 제 3 마스크를 이용한 포토리소그래피 공정으로 상기 공통라인의 일부분을 노출시키는 제 1 콘택홀과 상기 드레인 전극의 일부분을 노출시키는 제 2 콘택홀을 포함하는 콘택홀 형성단계; 및

상기 제 1 및 제 2 콘택홀들이 형성된 절연막 상에 투명 도전성 물질을 도포한 후 제 4 마스크를 이용한 포토리소그래피 공정으로 화소전극 및 공통전극을 형성하는 단계를 포함하는 수평 전계형 액정 표시장치의 제조방법.

**청구항 9**

제 8 항에 있어서,

상기 콘택홀 형성단계는 상기 보조전극의 일부와 중첩되는 영역에 상기 절연막의 일부분을 제거하여 오목부를 형성하는 단계를 포함하는 수평 전계형 액정 표시장치의 제조방법.

**청구항 10**

제 8 항에 있어서,

상기 제 2 도전성 금속층은 하프톤 마스크를 이용하여 형성하는 수평 전계형 액정 표시장치의 제조방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 수평 전계형 액정 표시장치 및 그 제조방법에 관한 것으로, 특히 투과율을 높일 수 있는 수평 전계형 액정 표시장치 및 그 제조방법에 관한 것이다.

**배경 기술**

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 이하, 도 1 및 도 2를 참조하여 종래의 수평 전계형 액정 표시장치에 대해 보다 설명하기로 한다.

[0006] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도이고, 도 2는 도 1의 I-I'라인을 따라 취한 단면도이다.

[0007] 도 1 및 도 2를 참조하면, 종래의 수평 전계형 액정 표시장치는 기관(SUB) 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에 배치되는 화소전극들(Px), 게이트 라인(GL)과 평행하게 배열되는 공통라인(SL)에 연결되며 화소전극들(P)과 수평전계를 형성하도록 배치되는 공통전극(COM)을 포함한다.

[0008] 공통라인(SL)은 공통라인 줄기부(CLa)와, 공통라인 줄기부(CLa)로부터 분기되어 화소 영역으로 연장되는 공통라인 분기부들(CLb)을 포함한다. 공통라인(SL)은 게이트 라인(GL)과 동일층에 형성된다. 공통라인 줄기부(CLa)는 게이트 라인(GL)과 나란하게 배치된다. 공통라인 분기부들(CLb)은 공통라인 줄기부(CLa)로부터 분기되어 각 화소 영역을 에워싸도록 배치된다.

[0009] 공통전극(C)은 공통전극 줄기부(Ca)와, 공통전극 줄기부(Ca)로부터 분기되어 화소영역으로 연장되는 복수의 공통전극 가지부들(Cb)을 포함한다. 공통전극 줄기부(Ca)는 화소영역을 사이에 두고 공통라인 줄기부(CLa)의 반대측에 배치된다. 공통전극 가지부들(Cb)은 일정 간격을 두고 서로 나란하게 배치된다.

[0010] 화소전극(P)은 화소전극 줄기부(Pa)와, 화소전극 줄기부(Pa)로부터 분기되어 화소영역으로 연장되는 복수의 화소전극 가지부들(Pb)을 포함한다. 화소전극 줄기부(Pa)는 공통라인 줄기부(CLa)와 중첩되도록 배치되어 스토리지 캐패시터를 형성한다. 화소전극 줄기부(Pa)는 또한 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결되어 데이터 라인(DL)으로부터 공급되는 데이터 전압을 공급받는다. 화소전극(P)은 공통전극(C)과 동일층에 배치된다. 복수의 화소전극 가지부들(Pb)과 복수의 공통전극 가지부들(Cb)은 화소영역 내에서 번갈아 배치되어 수평전계를 형성한다.

[0011] 상술한 종래의 수평 전계형 액정 표시장치에서, 게이트 전극(GE)을 포함하는 게이트 라인(GL), 및 공통라인(CL)은 기관(SUB) 상에 배치된다. 기관(SUB) 상에는 게이트 라인(GL) 및 공통라인(CL)을 커버하도록 게이트 절연막(GI)이 배치된다. 게이트 절연막(GI) 상에는 후술하는 소스/드레인 전극과 데이터 라인이 형성될 위치에 반도체 활성층(A)이 배치된다. 박막 트랜지스터(TFT)가 배치될 반도체 활성층(A1) 상에는 반도체 활성층의 일부 영역을 노출시키도록 서로 분리된 소스전극(SE) 및 드레인 전극(DE)이 배치되고, 데이터 라인(DL)이 배치될 반도체 활성층(A2) 상에는 데이터 라인(DL)이 배치된다. 게이트 절연막(GI) 상에는 소스전극(SE), 드레인 전극(DE) 및 데이터 라인(DL)을 커버하도록 제 1 절연막(INS1)이 배치된다. 제 2 절연막(INS1) 상에는 평탄화를 위한 제 2 절연막(INS2)이 배치된다. 제 2 절연막(INS2) 상에는 공통전극(C)과 화소전극(P)이 수평전계를 형성하도록 배치된다. 화소전극(P)은 제 2 절연막(INS2)과 제 1 절연막(INS1)을 관통하는 드레인 콘택홀(CH2)을 통

해 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 공통전극(COM)은 제 2 절연막(INS2), 제 1 절연막(INS1) 및 게이트 절연막(GI)을 관통하는 공통라인 콘택홀(CH1)을 통해 공통라인(CL)에 접속된다.

[0012] 상술한 종래의 수평 전계형 액정 표시장치에 의하면, 스토리지 캐패시터가 형성되는 영역은 공통라인(CL)과 소스전극(SE), 및 공통라인(CL)과 드레인 전극(DE)의 중첩영역이다.

[0013] 최근 고해상도의 액정 표시장치의 개발로 인해 1화소의 크기가 점점 작아지고 있기 때문에, 스토리지 캐패시터의 영역이 상대적으로 크게 되어 1화소에 대한 개구율이 감소하게 된다. 그런데, 고해상도 액정 표시장치의 스토리지 캐패시터가 일정 이상의 정전용량을 갖지 못하면 적절한 데이터 전압을 일정 기간 유지할 수 없게 되므로 표시장치의 표시품질에 영향을 미치게 된다. 따라서, 1화소의 크기가 작아지더라도 스토리지 캐패시터의 크기를 줄일 수 없으므로, 종래의 수평 전계형 액정 표시장치에서는 개구율의 감소에 의해 투과율 저하되는 문제점이 있었다.

[0014] 또한, 종래의 수평 전계형 액정 표시장치를 초대형 대면적으로 구성할 경우 배선들의 부하를 줄이기 위해 게이트 라인이나 데이터 라인의 두께가 증가하는 추세에 있다. 그러나, 게이트 라인과 데이터 라인의 두께를 증가시킬 경우 그에 인접한 박막 트랜지스터의 소자 신뢰성을 확보할 수 있도록 게이트 절연막의 두께도 점차 증가하고 있다. 게이트 절연막의 두께가 증가하면, 게이트 절연막 하부의 공통라인과 게이트 절연막 상부의 소스전극 및 드레인 전극에 의해 형성되는 스토리지 캐패시터의 값은 더욱 작아지게 된다. 따라서, 적절한 정전용량의 확보를 위해서는 더욱 넓은 면적이 필요하게 되나, 이는 개구율의 감소를 초래하여 투과율을 저하시키는 문제점이 있었다.

[0015] 또한, 공통라인은 데이터 라인과 교차하도록 배열되기 때문에, 그로 인해 공통라인과 데이터 라인 사이에 기생 정전용량이 발생한다. 이는 데이터 라인의 부하를 증가시키는 요인이 되므로 화질을 저하시키는 문제점이 있었다.

**발명의 내용**

**해결하려는 과제**

[0016] 본 발명의 목적은 상술한 기술적 과제를 해결하기 위한 것으로, 1화소에 대한 스토리지 캐패시터의 면적당 효율을 증가시킴으로써, 스토리지 캐패시터 영역을 개구영역으로 확보하여 투과율을 향상시킬 수 있는 수평 전계형 액정 표시장치를 제공하는 것에 있다.

**과제의 해결 수단**

[0017] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명에 따르는 수평 전계형 액정 표시장치는 게이트 라인, 공통라인, 데이터 라인, 박막 트랜지스터, 화소전극, 공통전극, 제 1 스토리지 캐패시터 및 제 2 스토리지 캐패시터를 포함한다. 게이트 라인과 공통라인은 기관 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 상기 제 1 방향과 교차하는 제 2 방향으로 배열된다. 박막 트랜지스터는 상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치된다. 화소전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치된다. 공통전극은 상기 공통라인에 연결되며, 상기 화소전극과 수평전계를 형성하도록 배치된다. 제 1 스토리지 캐패시터는 상기 공통라인과 상기 박막 트랜지스터에 연결된 보조전극에 의해 형성된다. 제 2 스토리지 캐패시터는 상기 보조전극과 상기 공통전극에 의해 형성된다.

[0018] 상기 구성에서, 상기 게이트 라인 및 상기 공통라인은 투명 기관 상에 배치되고, 상기 데이터 라인은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치된다. 상기 화소전극과 상기 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 적어도 하나의 절연막 상에 배치되고, 상기 공통전극은 상기 절연막과 상기 게이트 절연막을 통해 노출되는 제 1 콘택홀을 통해 노출되는 공통라인에 접속된다. 상기 화소전극은 상기 절연막을 관통하는 제 2 콘택홀을 통해 노출되는 상기 드레인 전극에 접속된다.

[0019] 또한, 상기 공통라인은 상기 데이터 라인과 교차하지 않도록 상기 화소영역 내에 독립적으로 배치된다.

[0020] 또한, 상기 화소전극은 제 1 줄기부와, 상기 제 1 줄기부로부터 분기되어 상기 화소영역으로 연장되는 제 1 분기부들을 포함하며, 상기 공통전극은 제 2 줄기부와, 상기 제 2 줄기부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소전극과 수평전계를 형성하도록 상기 화소영역 내에서 상기 제 1 분기부들과 번갈아 배치되는 제

2 분기부들을 포함한다.

- [0021] 또한, 상기 제 2 분기부들 중 상기 화소영역의 최외측에 배치되는 최외측 분기부들 중 적어도 하나는 확장부를 가지며, 상기 제 2 스토리지 캐패시터는 상기 확장부와 상기 보조전극에 의해 형성된다.
- [0022] 또한, 상기 적어도 하나의 절연막은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 제 1 절연막과, 평탄화를 위해 상기 제 1 절연막 상에 배치되는 제 2 절연막을 포함하며, 상기 제 2 절연막은 상기 보조전극 및 상기 공통전극과 중첩되는 영역에 형성된 오목부를 포함한다.
- [0023] 또한, 상기 확장부는 상기 오목부 상에 배치된다.
- [0024] 본 발명에 따르는 수평 전계형 액정 표시장치의 제조방법은 제 1 도전성 금속층을 형성하는 단계, 제 2 도전성 금속층을 형성하는 단계, 콘택홀 형성단계 및 공통전극 및 화소전극 형성단계를 포함한다. 제 1 도전성 금속층 형성단계에서는 기판 상에 제 1 도전성 금속물질을 증착한 후 제 1 마스크를 이용한 포토리소그래피 공정으로 게이트 라인 및 공통라인을 포함하는 제 1 도전성 금속층을 형성한다. 제 2 도전성 금속층 형성단계에서는 상기 제 1 도전성 금속층이 형성된 기판 상에 게이트 절연막, 반도체 물질 및 제 2 도전성 금속물질을 순차적으로 도포한 후, 제 2 마스크를 이용한 포토리소그래피 공정으로 반도체 패턴, 데이터 라인, 소스전극, 드레인 전극 및 보조전극을 포함하는 제 2 도전성 금속층을 형성한다. 콘택홀 형성단계에서는 상기 제 2 도전성 금속층이 배치된 게이트 절연막 상에 적어도 한 층의 절연막을 도포한 후 제 3 마스크를 이용한 포토리소그래피 공정으로 상기 공통라인의 일부분을 노출시키는 제 1 콘택홀과 상기 드레인 전극의 일부분을 노출시키는 제 2 콘택홀을 형성한다. 화소전극 및 공통전극 형성단계에서는 상기 제 1 및 제 2 콘택홀들이 형성된 절연막 상에 투명 도전성 물질을 도포한 후 제 4 마스크를 이용한 포토리소그래피 공정으로 화소전극 및 공통전극을 형성한다.
- [0025] 또한, 콘택홀 형성단계는 상기 보조전극의 일부와 중첩되는 영역에 상기 절연막의 일부분을 제거하여 오목부를 형성하는 단계를 포함할 수 있다.
- [0026] 또한, 상기 제 2 도전성 금속층은 하프톤 마스크를 이용하여 형성한다.

**발명의 효과**

- [0027] 본 발명에 따르는 수평 전계형 액정 표시장치에서는 종래의 수평 전계형 표시장치에 존재하지 않았던 제 2 스토리지 캐패시터가 추가적으로 형성되므로 증가되는 제 2 스토리지 캐패시터의 용량만큼 공통라인 줄기부의 폭을 줄일 수 있다. 따라서, 공통라인 줄기부의 감축된 폭에 해당하는 영역을 개구 영역으로 이용할 수 있기 때문에 투과율을 높여 표시품질을 향상시킬 수 있는 효과를 얻을 수 있다.
- [0028] 또한, 제 2 스토리지 캐패시터가 형성되는 위치에서 제 2 절연막이 오목부를 갖기 때문에 제 2 스토리지 캐패시터의 정전용량을 추가적으로 증가시킬 수 있는 효과를 얻을 수 있다.

**도면의 간단한 설명**

- [0029] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도,
- 도 2는 도 1의 I-I' 라인을 따라 취한 단면도,
- 도 3은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도,
- 도 4a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도,
- 도 4b는 도 4a의 I-I' 라인을 따라 취한 단면도,
- 도 5a 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 1 마스크 공정을 도시한 평면도,
- 도 5b는 도 5a의 I-I' 라인을 따라 취한 단면도,
- 도 6a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 2 마스크 공정을 도시한 평면도,
- 도 6b는 도 6a의 I-I' 라인을 따라 취한 단면도,
- 도 7a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 3 마스크 공정을 도시한 평면도,
- 도 7b는 도 7a의 I-I' 라인을 따라 취한 단면도,
- 도 8a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 4 마스크 공정을 도시한 평면도,

도 8b는 도 8a의 I-I'라인을 따라 취한 단면도,

도 9는 종래의 수평 전계형 액정 표시장치와 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 개구율을 비교 도시한 평면도.

**발명을 실시하기 위한 구체적인 내용**

- [0030] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0031] 우선 도 3를 참조하여 본 발명의 실시예에 따르는 액정 표시장치에 대해 설명하기로 한다.
- [0032] 도 3은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도이다.
- [0033] 도 3을 참조하면, 액정 표시장치는 화소 어레이(PA)가 형성된 액정 표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 혹은 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 콘트롤러(11)를 구비한다. 액정 표시패널(10)의 아래에는 액정 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0034] 액정 표시패널(10)은 투명 기판 상에 형성되는 화소 어레이(PA)를 포함한다. 화소 어레이(PA)의 투명 기판에는 데이터 라인들(DL), 게이트 라인들(GL), 박막 트랜지스터들, 박막 트랜지스터에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소 어레이(PA)의 서브 픽셀들 각각은 박막 트랜지스터를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.
- [0035] 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정 표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0036] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 유리기판에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정 표시패널(10)의 투명 기판 상에 접착될 수도 있다.
- [0037] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 데이터 전압들을 데이터 라인들에 출력한다.
- [0038] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기판에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 투명 기판 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2에 도시된 바와 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.
- [0039] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결될 수 있다.
- [0040] 다음으로 도 4a 및 도 4b를 참조하여 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의

화소구조에 대해 보다 상세히 설명하기로 한다.

- [0041] 도 4a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도이고, 도 4b는 도 4a의 'I-I'라인을 따라 취한 단면도이다.
- [0042] 도 4a 및 도 4b를 참조하면, 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치는, 기관(SUB) 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 인접하여 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에 배치되는 화소전극들(P)과, 화소전극들(P)과 동일층에 배치되어 화소전극들(P)과 수평전계를 형성하도록 배치되는 공통전극(C)을 포함한다.
- [0043] 기관(SUB) 상에는 게이트 라인(GL) 및 공통라인(CL)이 예를 들면 도면의 수직 방향으로 일정 간격을 두고 배치된다.
- [0044] 게이트 라인(GL)은 게이트 전극(GE)을 포함한다.
- [0045] 공통라인(CL)은 게이트 라인(GL)과 나란하게 배치되는 공통라인 줄기부(CLa)와, 공통라인 줄기부(CLa)로부터 화소영역으로 연장된 공통라인 가지부들(CLb)을 포함한다. 공통라인 줄기부(CLa)와 공통라인 가지부들(CLb)은 각 화소영역마다 배치된다.
- [0046] 공통라인 줄기부(CLa)는 데이터 라인(DL)과 중첩되지 않도록 데이터 라인(DL)과 중첩되는 영역이 제거되어 있다. 공통라인 가지부들(CLb)은 공통라인 줄기부(CLa)와 함께 화소영역 내에서 페루프를 형성하도록 배치된다. 이와 같이, 공통라인(CL)은 각 화소영역마다 독립되어 있어 데이터 라인(DL)과 교차하는 영역을 갖지 않으므로, 공통라인(CL)과 데이터 라인(DL)의 교차에 의해 형성되는 기생 정전용량을 제거할 수 있다. 따라서, 기생 정전용량에 의한 데이터 라인의 부하를 줄일 수 있는 효과를 얻을 수 있다.
- [0047] 게이트 라인(GL) 및 공통라인(CL)을 커버하는 게이트 절연막(GI) 상에는 반도체 활성패턴들(A1, A2)이 배치된다. 반도체 활성패턴(A1) 상에는 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)이 일정 간격을 두고 배치되고, 반도체 활성패턴(A1) 상에는 소스전극(SE)에 연결되는 데이터 라인(DL)이 배치된다. 데이터 라인(DL)의 하부에 배치된 반도체층(A2)은 생략될 수도 있다. 박막 트랜지스터(TFT)의 드레인 전극(DE)에는 스토리지 캐패시터를 구성하는 보조전극(AE)이 연결된다. 보조전극(AE)은 박막 트랜지스터(TFT)의 드레인 전극(DE)으로부터 연장될 수 있다.
- [0048] 게이트 절연막(GI) 상에는 소스전극(SE) 및 드레인 전극(DE)과, 데이터 라인(DL)을 커버하도록 제 1 절연막(INS1)이 배치된다. 제 1 절연막(INS1) 상에는 평탄화를 위한 제 2 절연막(INS2)이 배치된다. 제 1 절연막(INS1) 과 제 2 절연막(INS2) 중 하나는 생략될 수도 있다.
- [0049] 제 2 절연막(INS2) 상에는 공통전극(C) 및 화소전극(P)이 서로 분리되어 배치된다.
- [0050] 공통전극(C)은 게이트 라인(GL)과 나란하게 배치되는 공통전극 줄기부(Ca)와, 공통전극 줄기부(Ca)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 복수의 공통전극 가지부들(Cb)을 포함한다.
- [0051] 공통전극 줄기부(Ca)는 데이터가 표시되는 표시영역 내에서 매트릭스 형으로 배치된다. 복수의 공통전극 가지부들(Cb)은 화소영역마다 배치된다. 공통전극 가지부들 중 화소영역의 양쪽 최외측에 배치된 최외측 가지부들(Cc)은 공통라인 가지부(CLa) 및 데이터 라인(DL)의 적어도 일부 영역과 중첩되도록 배치될 수 있다.
- [0052] 공통전극의 최외측 가지부들(Cc) 중 적어도 하나는 공통라인 줄기부(CLa)와 중첩되는 영역에서 공통전극 가지 확장부(CcE)를 갖는다. 공통전극 가지 확장부(CcE)는 화소영역마다 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 공통라인 콘택홀(CH1)을 통해 공통라인 줄기부(CLa)에 접속된다.
- [0053] 화소전극(P)은 게이트 라인(GL)과 나란하게 배치되는 화소전극 줄기부(Pa)와, 화소전극 줄기부(Pa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 화소전극 가지부들(Pb)을 포함한다. 화소전극 줄기부(Pa)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 드레인 콘택홀(CH2)을 통해 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다.
- [0054] 상술한 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통전극(C)과 화소전극(P) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과량이 변경된다. 공통전극(C)과 공통라인(CL)에는 예를 들면, 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극(P)에는

데이터 라인(DL)을 따라 가변 화소 데이터 전압이 공급된다.

- [0055] 상술한 본 발명의 실시예에 따르는 수평 전계형 표시장치에서는 공통라인 줄기부(CLa)와 보조전극(AE)의 중첩부에 의해 제 1 스토리지 캐패시터(Cst1)가 형성되고, 공통전극 가지 확장부(CcE)와 보조전극(AE)의 중첩부에 의해 제 2 스토리지 캐패시터(Cst2)가 형성된다. 즉, 본 발명의 실시예에 따르는 수평 전계형 표시장치에서는 종래의 수평 전계형 표시장치에 존재하지 않았던 제 2 스토리지 캐패시터(Cst2)가 추가적으로 형성된다. 결국, 증가되는 제 2 스토리지 캐패시터의 용량만큼 공통라인 줄기부(CLa)의 폭을 줄이더라도, 제 2 스토리지 캐패시터의 의해 제 1 스토리지 캐패시터(Cst1)의 감소분을 보충할 수 있기 때문에 그 만큼 개구율을 높일 수 있는 효과를 얻을 수 있다.
- [0056] 따라서, 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통라인 줄기부(CLa)의 폭을 줄일 수 있어, 줄어드는 폭에 해당하는 영역을 개구영역으로 이용할 수 있기 때문에 투과율을 높여 표시품질을 향상시킬 수 있는 효과를 얻을 수 있다.
- [0057] 또한, 제 2 스토리지 캐패시터(Cst2)가 형성되는 위치에서 제 2 절연막(INS2)은 오목부(GR)를 갖는다. 이 오목부(GR)에 의해 제 2 스토리지 캐패시터(Cst2)를 형성하는 보조전극(AE)과 공통전극 가지 확장부(CcE) 사이의 거리가 짧아지기 때문에 제 2 스토리지 캐패시터(Cst2)의 정전용량을 더욱 증가시킬 수 있는 효과를 얻을 수 있다.
- [0058] 다음으로, 도 5a 내지 도 8b를 참조하여 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제조방법에 대해 설명하기로 한다.
- [0059] 우선, 도 5a 및 도 5b를 참조하여 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 1 마스크 공정을 설명하기로 한다.
- [0060] 도 5a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 2 마스크 공정을 도시한 평면도이고, 도 5b는 도 6a의 I-I'라인을 따라 취한 단면도이다.
- [0061] 도 5a 및 도 5b를 참조하면, 투명한 제 1 기판(SUB1) 상에 제 1 도전성 금속물질을 증착한 후 제 1 포토레지스트(photoresist)를 전면 도포한다. 그 후 제 1 포토 마스크를 이용한 포토리소그래피 공정을 수행함으로써 제 1 포토레지스트 패턴을 형성한다. 그리고, 제 1 포토레지스트 패턴을 마스크로 이용하여 제 1 도전성 금속물질을 에칭하고, 제 1 포토레지스트 패턴을 제거하여 제 1 방향(예를 들면, 가로방향)으로 배열되는 게이트 라인(GL), 게이트 라인(GL)에 포함된 게이트 전극(GE), 및 게이트 라인(GL) 으로부터 이격된 공통라인(CL)을 포함하는 제 1 도전성 금속층을 형성한다. 공통라인(CL)은 공통라인 줄기부(CLa)와 공통라인 줄기부(CLa)로부터 분기되어 화소영역으로 연장되는 공통라인 가지부들(CLb)을 포함한다. 공통라인 줄기부(CLa)와 공통라인 가지부들(CLb)은 각 화소영역에서 페루프를 형성할 수 있다.
- [0062] 제 1 도전성 금속은 구리(Cu)나 알루미늄(Al)과 같은 저저항성 금속 물질과, 티타늄(Ti), 니켈(Ni) 또는 몰리브덴(Mo)과 같은 내 부식성이 강한 금속 물질을 포함한다. 다른 예로, 구리층과 티타늄-몰리브덴 합금층이 적층된 구조, 몰리브덴층과 알루미늄-네오듐 합금층이 적층된 구조, 또는 구리층과 몰리브덴층이 적층된 2중층 구조를 가질 수도 있다. 또 다른 예로, 니켈층과, 구리층, 그리고 티타늄-몰리브덴 합금층이 적층된 3중층 구조를 가질 수도 있다.
- [0063] 다음으로, 도 6a 및 도 6b를 참조하여 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 2 마스크 공정을 설명하기로 한다.
- [0064] 도 6a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 2 마스크 공정을 도시한 평면도이고, 도 6b는 도 6a의 I-I'라인을 따라 취한 단면도이다.
- [0065] 도 6a 및 도 6b를 참조하면, 제 1 도전성 금속패턴들이 형성된 제 1 기판(SUB1) 상에 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)과 같은 절연물질을 전체 면에 도포하여 게이트 절연막(GI)을 형성한다. 이어서 게이트 절연막(GI)의 전체 면상에 반도체 물질과 제 2 도전성 금속물질을 순차적으로 도포한 후, 제 2 마스크를 이용한 포토리소그래피 공정으로 반도체 활성패턴(A1, A2)과, 데이터 라인(DL), 소스전극(SE) 및 드레인 전극(DE)을 포함하는 제 2 도전성 금속패턴들을 형성한다.
- [0066] 보다 구체적으로, 제 2 마스크 공정은 하프톤 마스크를 이용하여 수행된다. 이를 위해 게이트 절연막(GI) 상에 순차적으로 증착된 반도체 물질과 제 2 도전성 금속 물질 상에 제 2 포토레지스트를 전면 도포한다. 제 2 도전성 금속물질로는 제 1 도전성 금속물질과 동일한 물질이 이용된다. 그 후 하프톤 마스크(제 2 포토 마스크)를

이용한 포토리소그래피 공정을 수행함으로써 제 2 포토레지스트 패턴을 형성한다. 그리고, 제 2 포토레지스트 패턴을 마스크로 이용하여 반도체 물질과 제 2 도전성 금속물질을 에칭하고, 제 2 포토레지스트 패턴을 제거하여 반도체 활성패턴(A1, A2)과, 데이터 라인(DL), 데이터 라인(DL)으로부터 화소영역으로 연장되는 소스 전극(SE), 소스전극(SE)과 일정 간격을 두고 배치되는 드레인 전극(DE), 및 보조전극(AE)을 포함하는 제 2 도전성 금속층을 형성한다. 보조전극(AE)은 공통라인 줄기부(CLa)와 중첩되는 영역을 포함한다.

[0067] 제 1 마스크 공정에 의해 형성되는 게이트 전극(GE)과 제 2 마스크 공정에 의해 형성되는 반도체 활성패턴(A1), 소스전극(SE) 및 드레인 전극(DE)에 의해 박막 트랜지스터(TFT)가 이루어진다.

[0068] 다음으로, 도 7a 및 도 7b를 참조하여 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 3 마스크 공정을 설명하기로 한다.

[0069] 도 7a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 3 마스크 공정을 도시한 평면도이고, 도 7b는 도 7a의 I-I' 라인을 따라 취한 단면도이다.

[0070] 도 7a 및 도 7b를 참조하면, 박막 트랜지스터(TFT) 및 데이터 라인(DL)이 배치된 게이트 절연막(GI) 상에 실리콘 질화물, 실리콘 산화물과 같은 무기 절연물질로 된 제 1 절연막(INS1)과, 포토 아크릴과 같은 유기 절연물질로 된 제 2 절연막(INS2)을 순차적으로 전면 도포한다. 그리고, 제 3 마스크를 이용한 포토리소그래피 공정을 수행함으로써 제 3 포토레지스트 패턴을 형성한다. 그리고, 제 3 포토레지스트 패턴을 마스크로 이용하여 공통라인(CL)의 일부분이 노출되도록 제 2 절연막(INS2), 제 1 절연막(INS1) 및 게이트 절연막(GI)을 관통하는 공통라인 콘택홀(CH1)과, 드레인 전극(DE)의 일부분이 노출되도록 제 2 절연막(INS2) 및 제 1 절연막(INS1)을 관통하는 드레인 콘택홀(CH2), 및 보조전극(AE)의 일부와 중첩되는 영역에 제 2 절연막(INS2)의 일부분을 제거한 오목부(GR)을 형성한다.

[0071] 다음으로, 도 8a 및 도 8b를 참조하여 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 4 마스크 공정을 설명하기로 한다.

[0072] 도 8a는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 제 4 마스크 공정을 도시한 평면도이고, 도 8b는 도 8a의 I-I' 라인을 따라 취한 단면도이다.

[0073] 도 8a 및 도 8b를 참조하면, 공통라인 콘택홀(CH1)과 드레인 전극 콘택홀(CH2) 및 오목부(GR)이 형성된 제 2 절연막(INS2) 상에 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), GZO(Gallium doped Zinc Oxide)와 같은 투명 도전성 물질과 제 4 포토레지스트를 전면 도포한다. 그 후 제 4 포토 마스크를 이용한 포토리소그래피 공정을 수행함으로써 제 4 포토레지스트 패턴을 형성한다. 그리고, 제 4 포토레지스트 패턴을 마스크로 이용하여 투명 도전성 물질을 에칭하고, 제 4 포토레지스트 패턴을 제거하여 화소전극(P) 및 공통전극(C)을 형성한다.

[0074] 공통전극(C)은 게이트 라인(GL)과 나란하게 배치되는 공통전극 줄기부(Ca)와, 공통전극 줄기부(Ca)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 복수의 공통전극 가지부들(Cb)을 포함한다.

[0075] 화소전극(P)은 게이트 라인(GL)과 나란하게 배치되는 화소전극 줄기부(Pa)와, 화소전극 줄기부(Pa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 화소전극 가지부들(Pb)을 포함한다. 화소전극 줄기부(Pb)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 드레인 콘택홀(CH2)을 통해 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다. 화소전극 가지부들(Pb)은 화소영역 내에서 수평전계를 형성하도록 공통전극 가지부들(Cb)과 번갈아 배치된다.

[0076] 도 9는 종래의 수평 전계형 액정 표시장치와 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 개구율을 비교 도시한 평면도이다. 도 9를 통해 알 수 있는 바와 같이 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에서는 각 화소영역마다 폭 d에 해당하는 영역만큼 개구부를 확보할 수 있으므로 전체 표시영역의 투과율이 증가됨을 알 수 있다.

[0077] 다음의 표 1은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 크기에 따른 개구영역 증가율을 나타낸 표이다.

표 1

[0078]

| 표시장치 크기(인치) | 개구영역 증가율(%) |
|-------------|-------------|
| 98          | 7.6         |
| 84          | 8.6         |
| 75          | 9.9         |

|    |      |
|----|------|
| 65 | 11.4 |
| 55 | 13.5 |

[0079] 표 1로부터 수평 전계형 액정 표시장치의 크기가 작을수록 개구영역의 증가율이 상승함을 알 수 있다. 이는 수평 전계형 액정 표시장치의 크기가 작을수록 스토리지 캐패시터가 차지하는 영역이 커지기 때문이다.

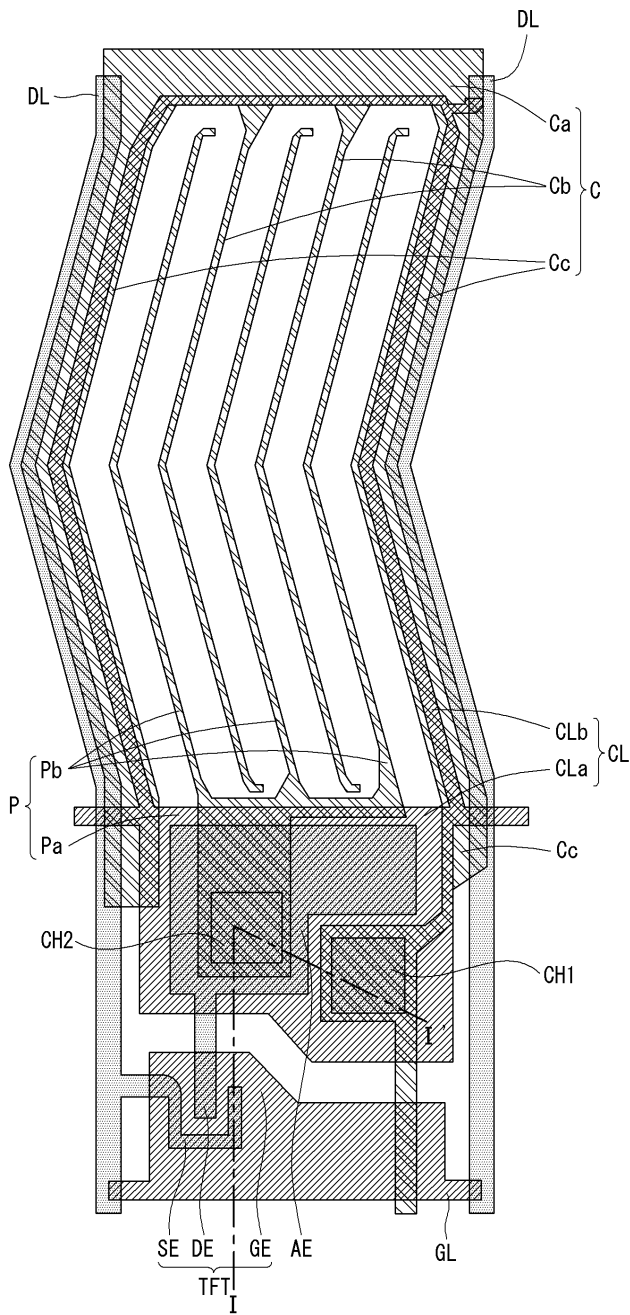
[0080] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

**부호의 설명**

- [0081] 10: 액정 표시패널 11: 타이밍 콘트롤러  
 12: 소스 드라이브 집적회로 13: 게이트 구동회로  
 CL: 공통라인 CLa: 공통라인 줄기부  
 CLb: 공통라인 가지부 C: 공통전극  
 Ca: 공통전극 줄기부 Cb: 공통전극 가지부  
 Cc: 공통전극 최외측 가지부 CcE: 공통전극 가지 확장부  
 P: 화소전극 Pa: 화소전극 줄기부  
 Pb: 화소전극 가지부

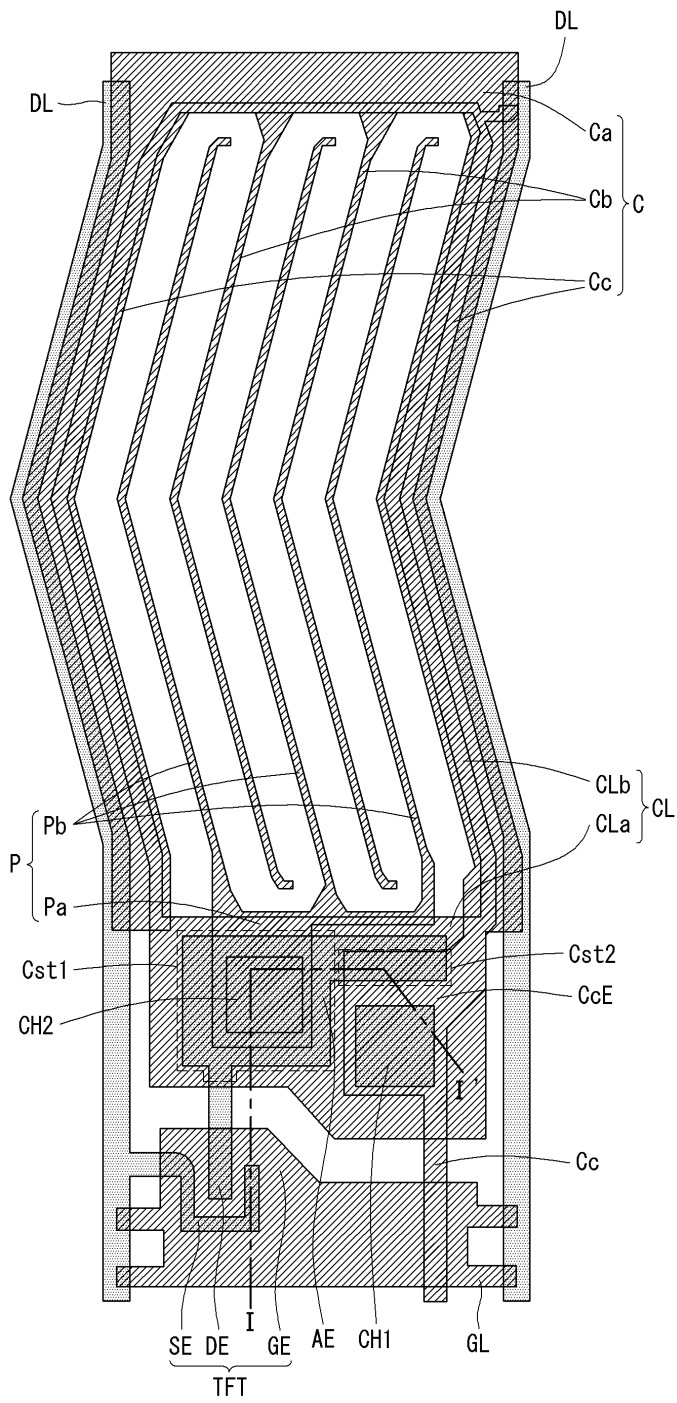
도면

도면1

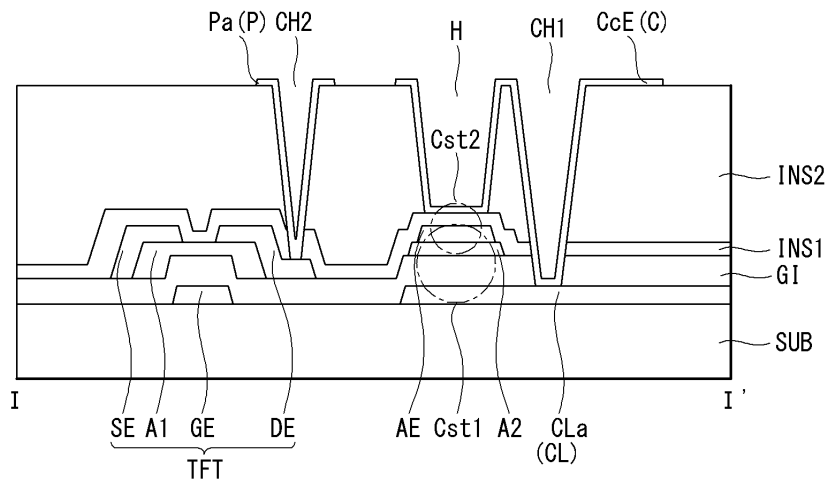




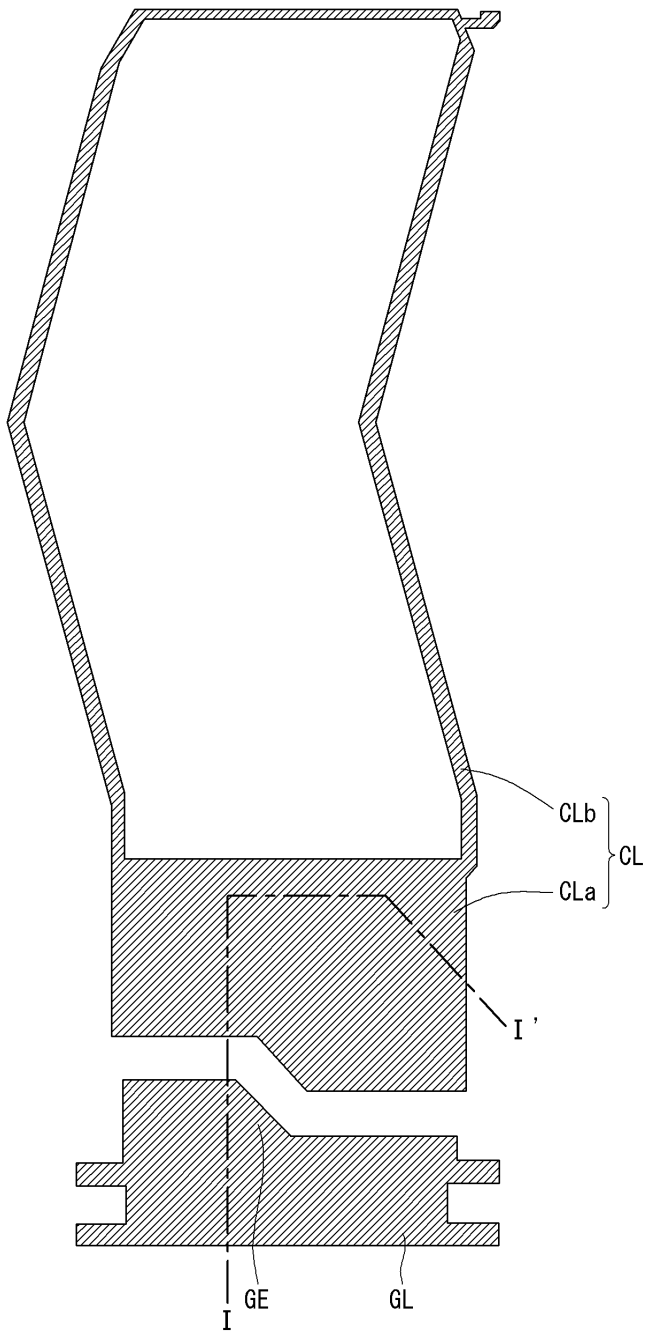
도면4a



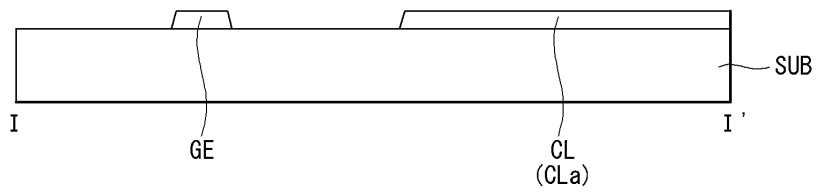
도면4b



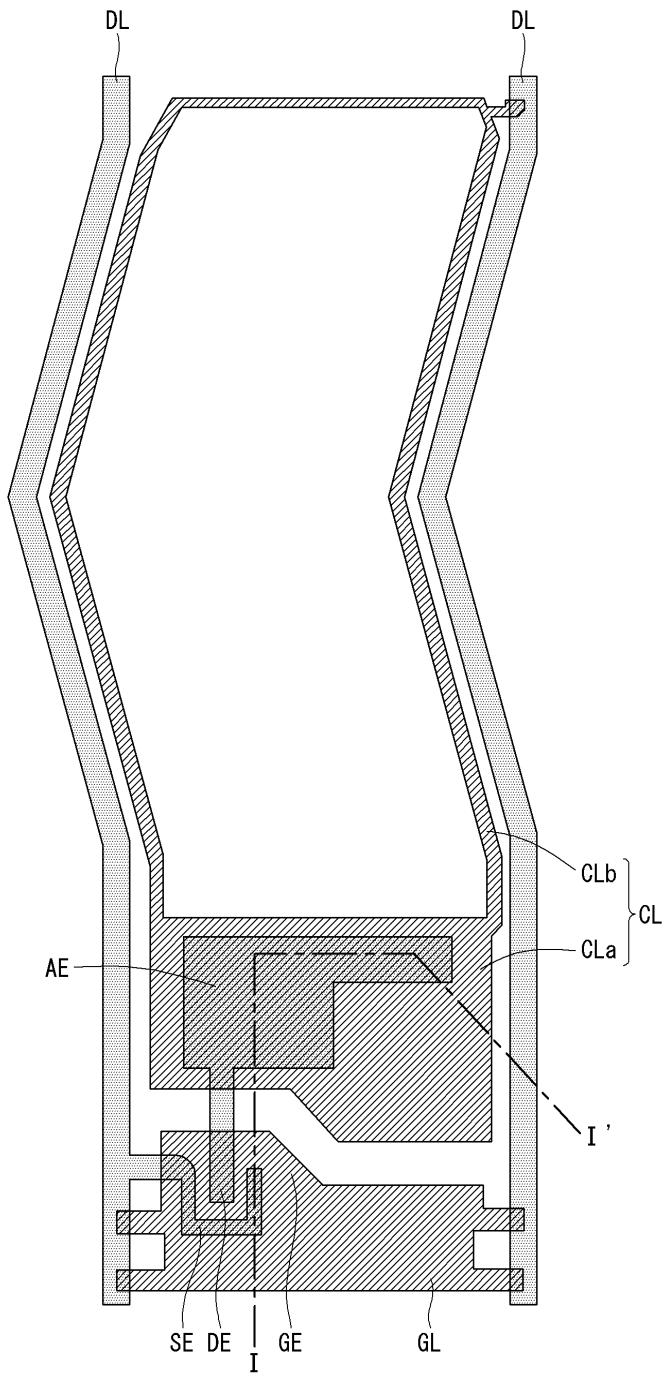
도면5a



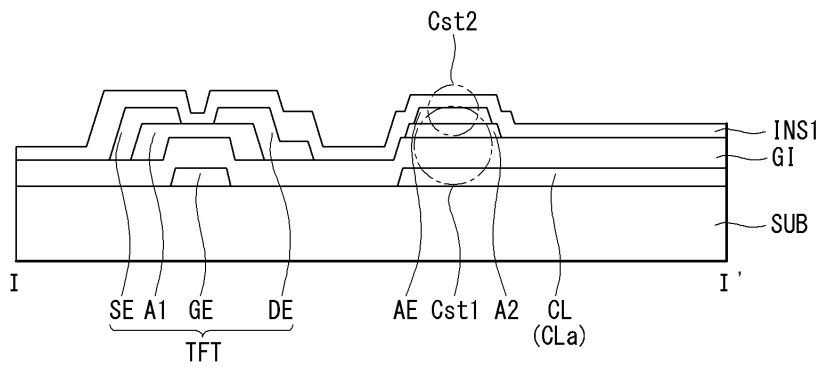
도면5b



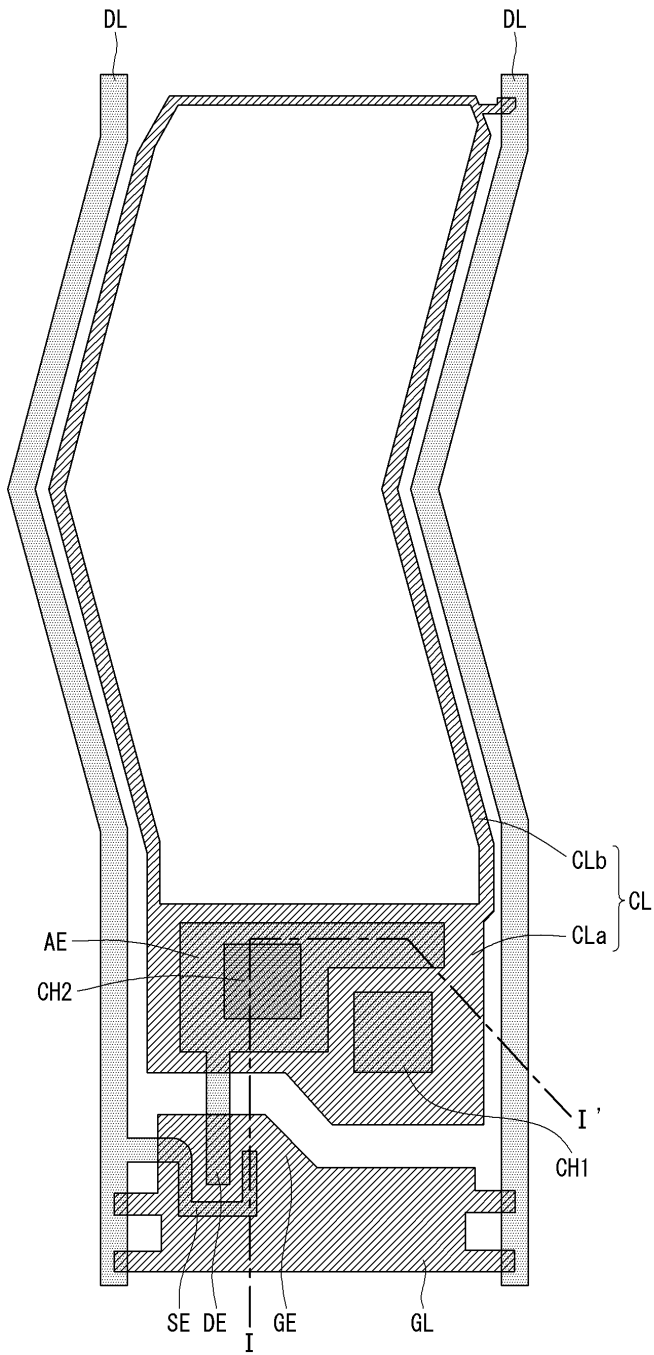
도면6a



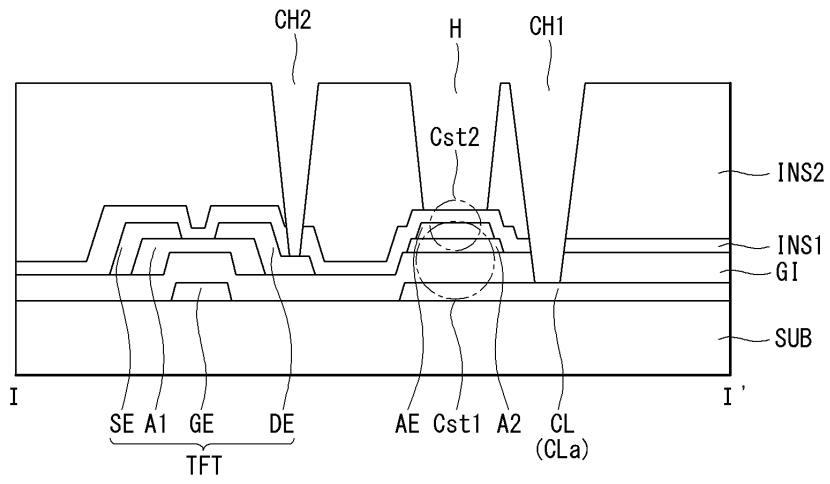
도면6b



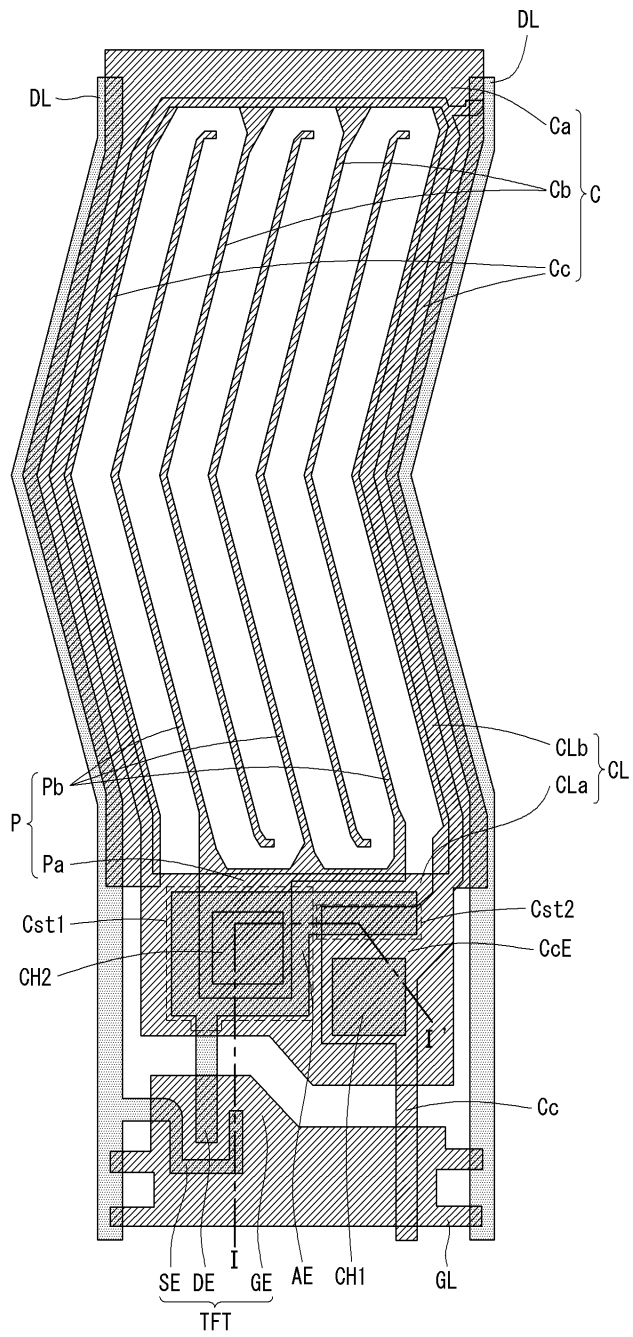
도면7a



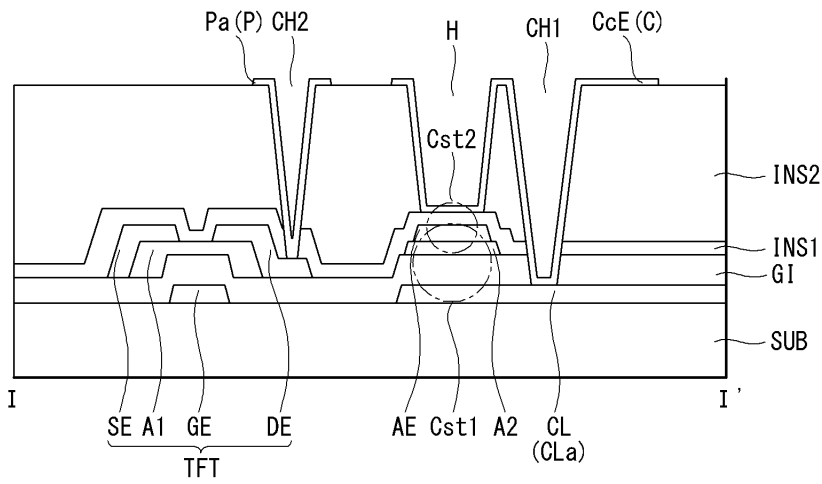
도면7b



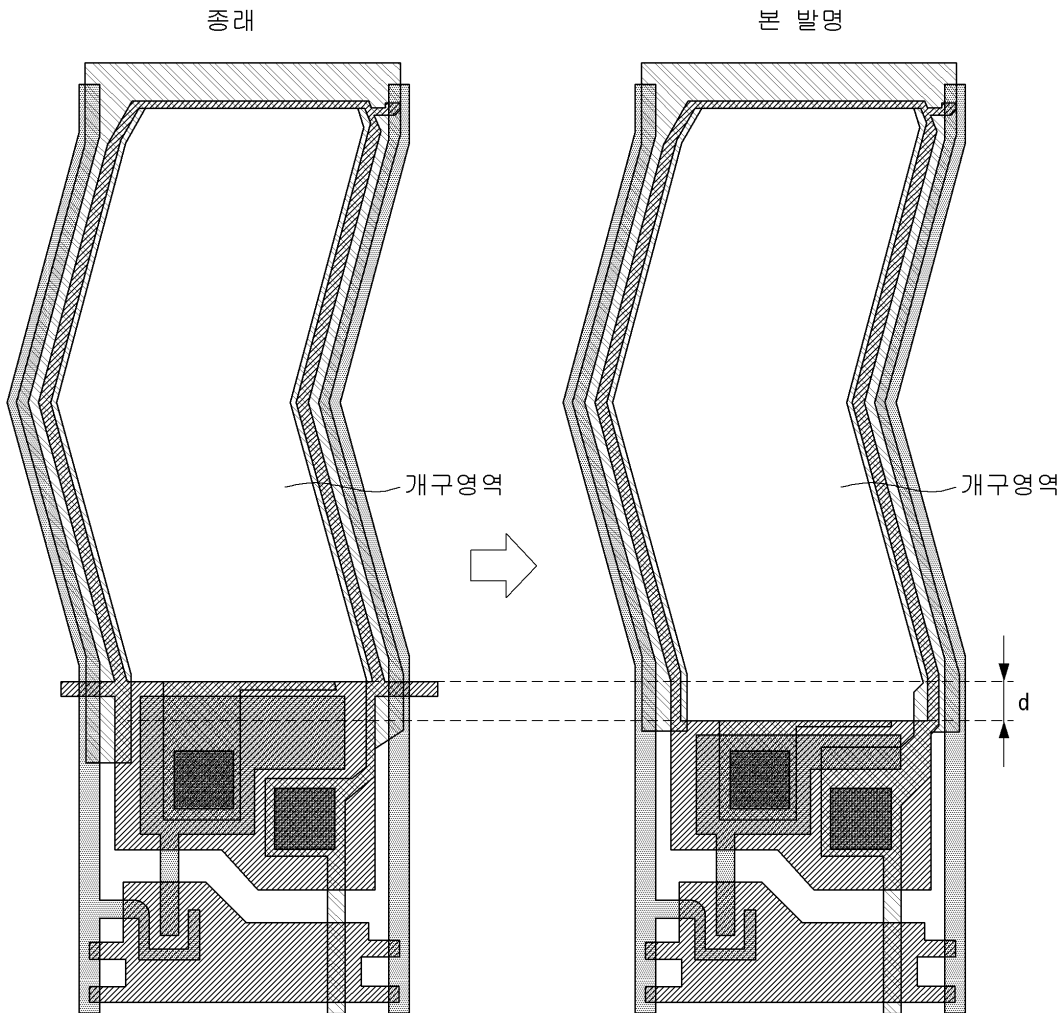
도면8a



도면8b



도면9



|                |   |         |            |
|----------------|---|---------|------------|
| 专利名称(译)        | 标题：水平电场型液晶显示装置及其制造方法  |         |            |
| 公开(公告)号        | <a href="#">KR1020170061785A</a>  | 公开(公告)日 | 2017-06-07 |
| 申请号            | KR1020150166497   | 申请日     | 2015-11-26 |
| [标]申请(专利权)人(译) | 乐金显示有限公司  |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司   |         |            |
| [标]发明人         | SEO DAE YOUNG<br>서대영<br>JEONG YOUNG MIN<br>정영민<br>SHIN SEUNG HWAN<br>신승환<br>LEE SO YOUNG<br>이소영 |         |            |
| 发明人            | 서대영<br>정영민<br>신승환<br>이소영  |         |            |
| IPC分类号         | G02F1/1343 G02F1/1333 G02F1/1362 H01L29/786   |         |            |
| CPC分类号         | G02F1/134363 G02F1/136286 H01L29/786 G02F1/133345 G02F2001/134318 G02F2001/133357               |         |            |
| 外部链接           | <a href="#">Espacenet</a>   |         |            |

摘要(译)

本发明是液晶显示水平jeongyehyeong提高发送装置并且涉及制造，栅极线，公共线，数据线，薄膜晶体管，像素电极，公共电极，第一存储电容器和第二存储电容器的方法的。栅极线和公共线沿彼此分开的第一方向布置在基板上。并且数据线布置在与第一方向交叉的第二方向上。并且设置在交叉路口附近。一种薄膜晶体管，栅极线和数据线的像素电极被连接到通过所述薄膜晶体管的数据线，它被布置在由栅极线和数据线限定的像素区域。并且布置成与像素电极形成水平电场。并且由连接到量规的辅助电极形成。公共电极连接到所述公用线，所述公共第一保持电容配线和薄膜转染的第二存储电容器由辅助电极和公共电极形成。李素英

