



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0061444
(43) 공개일자 2017년06월05일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/136286 (2013.01)
(21) 출원번호 10-2015-0166479
(22) 출원일자 2015년11월26일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이찬호
경기도 파주시 월롱면 엘씨디로 231 정다운마을
G동102호
(74) 대리인
특허법인로얄

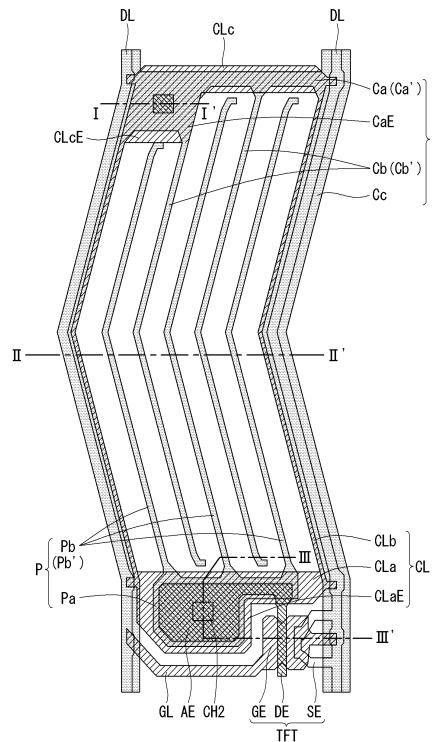
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 수평 전계형 액정 표시장치

(57) 요약

본 발명은 액정 구동전압을 낮추고 투과율을 높일 수 있는 수평 전계형 액정 표시장치에 관한 것으로, 기판 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인 및 공통라인, 상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인, 상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치되는 박막 트랜지스터, 제 (뒷면에 계속)

대표도 - 도3



1 화소전극, 제 1 공통전극, 제 2 화소전극 및 제 2 공통전극을 포함한다. 제 1 화소전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치된다. 제 1 공통전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치된다. 제 2 화소전극은 상기 제 1 화소전극과 중첩되며, 상기 제 1 공통전극과 전계를 형성하도록 배치된다. 제 2 공통전극은 상기 제 1 공통전극과 중첩되며, 상기 제 1 화소전극 및 상기 제 2 화소전극과 전계를 형성하도록 배치된다.

(52) CPC특허분류

H01L 29/786 (2013.01)

G02F 2001/134318 (2013.01)

명세서

청구범위

청구항 1

기관 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인 및 공통라인;

상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치되는 박막 트랜지스터;

상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치되는 제 1 화소전극;

상기 공통라인에 연결되며, 상기 제 1 화소전극과 동일 층에서 상기 제 1 화소전극과 전계를 형성하도록 배치되는 제 1 공통전극;

상기 제 1 화소전극과 중첩되며, 상기 제 1 공통전극과 전계를 형성하도록 배치되는 제 2 화소전극; 및

상기 제 1 공통전극과 중첩되며, 상기 제 1 화소전극 및 상기 제 2 화소전극과 전계를 형성하도록 배치되는 제 2 공통전극을 포함하는 수평 전계형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 라인, 상기 공통라인, 및 상기 제 2 공통전극은 기관 상에 배치되고,

상기 데이터 라인과 상기 제 2 화소전극은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며,

상기 제 1 화소전극과 상기 제 1 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고,

상기 제 1 화소전극은 상기 제 2 화소전극과 중첩되고, 상기 제 1 공통전극은 상기 제 2 공통전극과 중첩되는 수평 전계형 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 게이트 라인 및 상기 공통라인은 기관 상에 배치되고,

상기 데이터 라인, 상기 제 2 화소전극 및 상기 제 2 공통전극은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며,

상기 제 1 화소전극과 상기 제 1 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고,

상기 제 1 화소전극은 상기 제 2 화소전극과 중첩되고, 상기 제 1 공통전극은 상기 제 2 공통전극과 중첩되는 수평 전계형 액정 표시장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 공통라인은 상기 화소영역 내에 페루프를 구성하도록, 공통라인 줄기부, 상기 공통라인 줄기부로부터 상기

화소영역으로 연장되는 공통라인 가지부들, 및 상기 공통라인 줄기부의 반대측에서 상기 공통라인 가지부들을 연결하는 공통라인 가지 연결부 포함하고,

상기 제 1 화소전극은 제 1 화소전극 줄기부와, 상기 제 1 화소전극 줄기부로부터 분기되어 상기 화소영역으로 연장되는 제 1 화소전극 가지부들을 포함하며,

상기 제 1 공통전극은 제 1 공통전극 줄기부와, 상기 제 1 공통전극 줄기부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소영역 내에서 상기 제 1 화소전극 가지부들과 번갈아 배치되는 제 1 공통전극 가지부들을 포함하는 수평 전계형 액정 표시장치.

청구항 5

제 4 항에 있어서,

상기 제 2 공통전극은 상기 공통라인 줄기부에 연결되어 상기 화소영역으로 연장되는 제 2 공통전극 가지부들을 포함하고,

상기 제 1 공통전극 줄기부는 상기 절연막 및 게이트 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 공통라인 가지 연결부에 연결되는 수평 전계형 액정 표시장치.

청구항 6

제 5 항에 있어서,

상기 공통라인 줄기부와 중첩되도록 상기 게이트 절연막 상에 배치되며, 상기 박막 트랜지스터에 연결되는 보조전극을 더 포함하며,

상기 제 2 화소전극은 상기 게이트 절연막 상에 배치되며, 상기 보조전극에 연결되는 제 2 화소전극 가지부들을 포함하고,

상기 제 1 화소전극 줄기부는 상기 절연막을 관통하는 제 2 콘택홀을 통해 노출된 상기 보조전극에 접속되는 수평 전계형 액정 표시장치.

청구항 7

제 4 항에 있어서,

상기 제 2 공통전극은 상기 공통라인 줄기 연결부와 중첩되는 제 2 공통전극 줄기부와, 상기 공통전극 줄기부로부터 상기 화소영역으로 연장되는 제 2 공통전극 가지부들을 포함하고,

상기 제 1 공통전극 줄기부는 상기 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 제 2 공통전극 줄기부와 상기 절연막 및 상기 게이트 절연막을 관통하는 제 2 콘택홀을 통해 노출되는 상기 공통라인 가지 연결부에 연결되는 수평 전계형 액정 표시장치.

청구항 8

제 7 항에 있어서,

상기 공통라인 줄기부와 중첩되도록 상기 게이트 절연막 상에 배치되며, 상기 박막 트랜지스터에 연결되는 보조전극을 더 포함하며,

상기 제 2 화소전극은 상기 게이트 절연막 상에 배치되며, 상기 보조전극에 연결되어 상기 화소영역으로 연장되는 제 2 화소전극 가지부들을 포함하고,

상기 제 1 화소전극 줄기부는 상기 절연막을 관통하는 제 3 콘택홀을 통해 노출된 상기 보조전극에 접속되는 수

평 전계형 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 수평 전계형 액정 표시장치에 관한 것으로, 특히 액정 구동전압을 낮추고 투과율을 높일 수 있는 수평 전계형 액정 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 170도 이상 넓다는 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 이하, 도 1을 참조하여 종래의 수평 전계형 액정 표시장치에 대해 보다 설명하기로 한다.

[0006] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도이다.

[0007] 도 1을 참조하면, 종래의 수평 전계형 액정 표시장치는 기관 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에서 일정 간격을 두고 나란하게 배열되는 가지부들을 갖는 화소전극들(Px), 게이트 라인(GL)과 평행하게 배열되는 공통라인(SL)에 연결되는 공통전극(COM)을 포함한다.

[0008] 공통라인(SL)은 공통라인(SL)으로부터 분지되어 화소 영역으로 연장되는 공통라인 분기부(CB)를 포함한다. 공통라인(SL)과 공통라인 분기부(CB)는 게이트 라인(GL)과 동일층에 형성된다. 공통전극(COM)은 공통라인 분기부(CB)에 연결되며, 각 화소 영역에서 화소전극(Px)과 번갈아 배치되는 가지부들을 구비한다. 공통전극(COM)과 화소전극(Px)은 동일층에 형성된다.

[0009] 상술한 종래의 수평 전계형 액정 표시장치에 의하면, 공통전극(COM)과 화소전극(Px) 간의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛의 투과량이 변경된다. 공통전극(COM)에는 일반적으로 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극(Px)에는 데이터 라인(DL)을 따라 가변적인 데이터 전압이 공급된다.

[0010] 이와 같은 방식의 종래의 수평 전계형 액정 표시장치에서는 공통전극과 화소전극을 동일 방향으로 번갈아 배열하여 디스크리네이션(disclination) 영역 및 광 투과율을 극대화하고 있다. 따라서, 종래의 수평 전계형 액정 표시장치에서 광 투과율을 높이기 위해서는 게이트 라인, 공통라인, 데이터 라인과 같은 배선들의 폭을 좁혀 배선들 간의 간격을 넓히거나, 서로 다른 층에 배치된 배선과 전극을 연결하기 위한 콘택홀의 크기를 줄이는 것이 일반적이었다. 그러나, 배선 폭이나 콘택홀 크기의 조정을 통한 표시장치의 투과율의 증가는 배선 패터닝이나 콘택홀 형성과 같은 제조공정 상의 문제로 인해 더 이상 줄일 수 없는 한계에 직면했으며, 새로운 방식의 액정 표시장치의 구성에 대한 필요성이 제기되었다.

발명의 내용

해결하려는 과제

[0011] 본 발명의 목적은 상술한 기술적 과제를 해결하기 위한 것으로, 수평 전계를 강화하고 구동전압을 감축시키며 투과율을 향상시킬 수 있는 수평 전계형 액정 표시장치를 제공하는 것에 있다.

과제의 해결 수단

- [0012] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명에 따르는 수평 전계형 액정 표시장치는 기관 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인 및 공통라인, 상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인, 상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치되는 박막 트랜지스터, 제 1 화소전극, 제 1 공통전극, 제 2 화소전극 및 제 2 공통전극을 포함한다. 제 1 화소전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소 영역에 배치된다. 제 1 공통전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인에 의해 정의되는 화소영역에 배치된다. 제 2 화소전극은 상기 제 1 화소전극과 중첩되며, 상기 제 1 공통전극과 전계를 형성하도록 배치된다. 제 2 공통전극은 상기 제 1 공통전극과 중첩되며, 상기 제 1 화소전극 및 상기 제 2 화소전극과 전계를 형성하도록 배치된다.
- [0013] 상기 구성에서, 게이트 라인, 상기 공통라인, 및 상기 제 2 공통전극은 기관 상에 배치되고, 상기 데이터 라인 과 상기 제 2 화소전극은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치된다. 상기 제 1 화소전극과 상기 제 1 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고, 상기 제 1 화소전극은 상기 제 2 화소전극과 중첩되고, 상기 제 1 공통전극은 상기 제 2 공통전극과 중첩된다.
- [0014] 이와 달리, 상기 게이트 라인 및 상기 공통라인은 기관 상에 배치되고, 상기 데이터 라인, 상기 제 2 화소전극 및 상기 제 2 공통전극은 상기 게이트 라인을 커버하는 게이트 절연막 상에 배치되며, 상기 제 1 화소전극과 상기 제 1 공통전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고, 상기 제 1 화소전극은 상기 제 2 화소전극과 중첩되고, 상기 제 1 공통전극은 상기 제 2 공통전극과 중첩될 수 있다.
- [0015] 또한, 상기 공통라인은 상기 화소영역 내에 페루프를 구성하도록, 공통라인 줄기부, 상기 공통라인 줄기부로부터 상기 화소영역으로 연장되는 공통라인 가지부들, 및 상기 공통라인 줄기부의 반대측에서 상기 공통라인 가지부들을 연결하는 공통라인 가지 연결부 포함하고, 상기 제 1 화소전극은 제 1 화소전극 줄기부와, 상기 제 1 화소전극 줄기부로부터 분기되어 상기 화소영역으로 연장되는 제 1 화소전극 가지부들을 포함하며, 상기 제 1 공통전극은 제 1 공통전극 줄기부와, 상기 제 1 공통전극 줄기부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소영역 내에서 상기 제 1 화소전극 가지부들과 번갈아 배치되는 제 1 공통전극 가지부들을 포함할 수 있다.
- [0016] 또한, 상기 제 2 공통전극은 상기 공통라인 줄기부에 연결되어 상기 화소영역으로 연장되는 제 2 공통전극 가지부들을 포함하고, 상기 제 1 공통전극 줄기부는 상기 절연막 및 게이트 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 공통라인 가지 연결부에 연결될 수 있다.
- [0017] 또한, 본 발명의 수평 전계형 표시장치는, 상기 공통라인 줄기부와 중첩되도록 상기 게이트 절연막 상에 배치되며, 상기 박막 트랜지스터에 연결되는 보조전극을 더 포함할 수 있다. 상기 제 2 화소전극은 상기 게이트 절연막 상에 배치되며, 상기 보조전극에 연결되는 제 2 화소전극 가지부들을 포함하고, 상기 제 1 화소전극 줄기부는 상기 절연막을 관통하는 제 2 콘택홀을 통해 노출된 상기 보조전극에 접속될 수 있다.
- [0018] 또한, 상기 제 2 공통전극은 상기 공통라인 줄기 연결부와 중첩되는 제 2 공통전극 줄기부와, 상기 공통전극 줄기부로부터 상기 화소영역으로 연장되는 제 2 공통전극 가지부들을 포함하고, 상기 제 1 공통전극 줄기부는 상기 절연막을 관통하는 제 1 콘택홀을 통해 노출된 상기 제 2 공통전극 줄기부와 상기 절연막 및 상기 게이트 절연막을 관통하는 제 2 콘택홀을 통해 노출되는 상기 공통라인 가지 연결부에 연결될 수 있다.
- [0019] 또한, 본 발명의 수평 전계형 표시장치는 상기 공통라인 줄기부와 중첩되도록 상기 게이트 절연막 상에 배치되며, 상기 박막 트랜지스터에 연결되는 보조전극을 더 포함하며, 상기 제 2 화소전극은 상기 게이트 절연막 상에 배치되며, 상기 보조전극에 연결되어 상기 화소영역으로 연장되는 제 2 화소전극 가지부들을 포함하고, 상기 제 1 화소전극 줄기부는 상기 절연막을 관통하는 제 3 콘택홀을 통해 노출된 상기 보조전극에 접속될 수 있다.

발명의 효과

- [0020] 본 발명에 따르는 수평 전계형 액정 표시장치에서는 공통전극 가지부들과 화소전극 가지부들 복층으로 배치되어 있기 때문에 공통전극과 화소전극 사이의 전계가 강화되어 액정 구동영역을 증가시킬 수 있는 효과를 얻을 수 있다.
- [0021] 또한, 낮은 구동전압으로도 높은 광 투과율을 얻을 수 있으므로 소비전력 절감 및 광 투과율 향상의 효과를 얻

을 수 있다.

도면의 간단한 설명

- [0022] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도,
- 도 2는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도,
- 도 3은 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도,
- 도 4a는 도 3의 I-I'라인을 따라 취한 단면도,
- 도 4b는 도 3의 II-II'라인을 따라 취한 단면도,
- 도 4c는 도 3의 III-III'라인을 따라 취한 단면도,
- 도 5는 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도,
- 도 6a는 도 5의 I-I'라인을 따라 취한 단면도,
- 도 6b는 도 5의 II-II'라인을 따라 취한 단면도,
- 도 6c는 도 5의 III-III'라인을 따라 취한 단면도,
- 도 7a는 종래의 수평 전계형 표시장치의 공통전극과 화소전극의 위치에 따른 비구동 영역과 구동영역을 나타낸 그래프,
- 도 7b는 본 발명에 따르는 수평 전계형 표시장치의 공통전극과 화소전극 위치에 따른 비구동 영역과 구동영역을 나타낸 그래프
- 도 8a는 종래의 수평 전계형 표시장치에서 구동전압에 따른 투과율 곡선을 도시한 그래프,
- 도 8b는 본 발명에 따르는 수평 전계형 표시장치에서 구동전압에 따른 투과율 곡선을 도시한 그래프,
- 도 9a는 종래의 수평 전계형 표시장치에서 공통전극과 화소전극의 폭을 0.2 μ m 감소시킨 후 구동전압의 증가에 따른 투과율 곡선을 도시한 그래프,
- 도 9b는 본 발명에 따르는 수평 전계형 표시장치에서 공통전극과 화소전극의 폭을 0.2 μ m 감소시킨 후 구동전압의 증가에 따른 투과율 곡선을 도시한 그래프.

발명을 실시하기 위한 구체적인 내용

- [0023] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0024] 우선 도 2를 참조하여 본 발명의 실시예에 따르는 액정 표시장치에 대해 설명하기로 한다.
- [0025] 도 2는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도이다.
- [0026] 도 2를 참조하면, 액정 표시장치는 화소 어레이(PA)가 형성된 액정 표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 혹은 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 콘트롤러(11)를 구비한다. 액정 표시패널(10)의 아래에는 액정 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0027] 액정 표시패널(10)은 투명 기판 상에 형성되는 화소 어레이(PA)를 포함한다. 화소 어레이(PA)의 투명 기판에는 데이터 라인들(DL), 게이트 라인들(GL), 박막 트랜지스터들, 박막 트랜지스터에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소 어레이(PA)의 서브 픽셀들 각각은 박막 트랜지스터를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.
- [0028] 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구

현될 수 있다. 투과형 액정 표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.

- [0029] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 유리기판에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정 표시패널(10)의 투명 기판 상에 접촉될 수도 있다.
- [0030] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 데이터 전압들을 데이터 라인들에 출력한다.
- [0031] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기판에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 투명 기판 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2에 도시된 바와 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.
- [0032] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결될 수 있다.
- [0033] 다음으로 도 3 내지 도 4c를 참조하여 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소구조에 대해 보다 상세히 설명하기로 한다.
- [0034] 도 3은 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도이다. 도 4a는 도 3의 I-I' 라인을 따라 취한 단면도이고, 도 4b는 도 3의 II-II' 라인을 따라 취한 단면도이며, 도 4c는 도 3의 III-III' 라인을 따라 취한 단면이다.
- [0035] 도 3 내지 도 4c를 참조하면, 본 발명의 제 1 실시예에 따르는 수평 전계형 액정 표시장치는, 기판(SUB) 상에서 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 인접하여 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되는 화소전극들(P, P')과, 화소전극들(P, P')과 수평전계를 형성하도록 배치되는 공통전극들(C, C')을 포함한다.
- [0036] 기판(SUB) 상에는 게이트 라인(GL) 및 공통라인(CL)이 일정 간격을 두고 이격 배치된다.
- [0037] 게이트 라인(GL)은 게이트 전극(GE)을 포함한다. 게이트 전극(GE)은 게이트 라인(GL)으로부터 연장되는 게이트 라인 확장부의 방식으로 형성될 수 있다.
- [0038] 공통라인(CL)은 게이트 라인(GL)과 나란하게 배치되는 공통라인 줄기부(CLa)와, 공통라인 줄기부(CLa)로부터 화소영역으로 연장된 공통라인 가지부들(CLb)과, 공통라인 줄기부(CLa)의 반대측 위치에서 공통라인 가지부들(CLb, CLb)을 연결하는 공통라인 가지 연결부(CLc)를 포함한다. 공통라인 가지 연결부(CLc)는 화소영역으로 연장되는 공통라인 가지 연결 확장부(CLcE)를 포함한다. 공통라인(CL)은 또한 공통라인 가지 연결부(CLc)로부터 화소영역으로 일정 간격을 두고 나란하게 연장되는 복수의 제 2 공통전극 가지부들(Cb')을 포함한다. 복수의 제 2 공통전극 가지부들(Cb')은 공통라인 가지부들(CLb, CLb) 사이에 배치된다. 공통라인(CL)은 공통라인 줄기부(CLa), 공통라인 줄기부들(CLb, CLb) 및 공통라인 가지 연결부(CLc)에 의해 각 화소영역에 페루프를 형성할 수 있다.
- [0039] 게이트 라인(GL) 및 공통라인(CL)을 커버하는 게이트 절연막(GI) 상에는 반도체 활성패턴들(A1, A2)이 배치된다. 반도체 활성패턴(A1) 상에는 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)이 일정 간격

을 두고 배치되고, 반도체 활성패턴(A2) 상에는 데이터 라인(DL), 보조전극(AE) 및 제 2 화소전극 가지부들(Pb')이 배치된다.

- [0040] 보조전극(AE)은 공통라인 줄기부(CLa)와 중첩되도록 게이트 절연막(GI) 상에 배치되며, 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 보조전극(AE)은 공통라인 줄기 확장부(CLaE)와 중첩되기 때문에 보조전극(AE)과 공통라인 줄기 확장부(CLaE)에 의해 스토리지 캐패시터가 형성된다.
- [0041] 제 2 화소전극 가지부들(Pb')은 보조전극(AE)에 연결된다. 제 2 화소전극 가지부들(Pb')은 기판 상에 배치된 제 2 공통전극 가지부들(Cb')과 중첩되지 않도록 번갈아 배치된다. 데이터 라인(DL), 보조전극(AE) 및 제 2 화소전극 가지부들(Pb')의 하부에 배치된 반도체층(A2)은 생략될 수도 있다.
- [0042] 박막 트랜지스터(TFT)의 드레인 전극(DE)에는 스토리지 캐패시터를 구성하는 보조전극(AE)이 연결된다. 보조전극(AE)은 박막 트랜지스터(TFT)의 드레인 전극(DE)으로부터 연장될 수 있다.
- [0043] 게이트 절연막(GI) 상에는 소스전극(SE), 드레인 전극(DE), 데이터 라인(DL), 보조전극(AE) 및 제 2 화소전극 가지부들(Pb')을 커버하도록 절연막(INS)이 배치된다. 절연막(INS)은 무기 절연막 및 유기 절연막의 2층 구조로 배치될 수도 있고, 무기 절연막 또는 유기 절연막의 단일층으로 배치될 수도 있다.
- [0044] 절연막(INS) 상에는 공통전극(C) 및 화소전극(P)이 서로 분리되어 배치된다.
- [0045] 공통전극(C)은 게이트 라인(GL)과 나란하게 배치되는 공통전극 줄기부(Ca)와, 공통전극 줄기부(Ca)로부터 분기되어 화소 영역으로 서로 나란하게 연장되는 복수의 제 1 공통전극 가지부들(Cb)을 포함한다.
- [0046] 공통전극 줄기부(Ca)는 데이터가 표시되는 표시영역 내에서 매트릭스 형으로 배치된다. 공통전극 줄기부(Ca)는 인접한 게이트 라인(GL) 쪽으로 연장되는 공통전극 줄기 확장부(CaE)를 포함한다.
- [0047] 복수의 공통전극 가지부들(Cb)은 화소영역마다 배치된다. 공통전극 가지부들 중 화소영역의 양쪽 최외측에 배치된 최외측 가지부들(Cc)은 공통라인 가지부(CLb) 및 데이터 라인(DL)의 적어도 일부 영역과 중첩되도록 배치될 수 있다.
- [0048] 공통전극 줄기 확장부(CaE)는 도 4a에 도시된 바와 같이 화소영역마다 절연막(INS)을 관통하는 제 1 콘택홀(CH1)을 통해 공통라인 가지 연결 확장부(CLcE)에 접속된다.
- [0049] 화소전극(P)은 게이트 라인(GL)과 나란하게 배치되는 화소전극 줄기부(Pa)와, 화소전극 줄기부(Pa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 제 1 화소전극 가지부들(Pb)을 포함한다.
- [0050] 화소전극 줄기부(Pa)는 공통라인 줄기부(CLa)와 중첩된다. 화소전극 줄기부(Pa)는 도 4c에 도시된 바와 같이, 절연막(INS)을 관통하는 제 2 콘택홀(CH2)을 통해 보조전극(AE)에 접속된다.
- [0051] 보조전극(AE)은 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다. 보조전극(AE)은 공통라인 줄기 확장부(CLaE)와 중첩되기 때문에 보조전극(AE)과 공통라인 줄기 확장부(CLaE)에 의해 스토리지 캐패시터가 형성된다.
- [0052] 제 1 화소전극 가지부들(Pb)은 제 2 화소전극 가지부들(Pb') 및 제 2 공통전극 가지부들(Cb')과 중첩되도록 배치된다. 제 2 화소전극 가지부들(Pb') 및 제 2 공통전극 가지부들(Cb')은 서로 중첩되지 않도록 지그재그로 배치되므로, 제 1 화소전극 가지부들(Pb)은 제 2 화소전극 가지부들(Pb') 및 제 2 공통전극 가지부들(Cb')과 번갈아 중첩된다.
- [0053] 상술한 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통전극(C)과 화소전극(P) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과량이 변경된다. 공통전극(C)에는 공통라인(CL)을 통해 예를 들면, 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극(P)에는 데이터 라인(DL)을 따라 가변 화소 데이터 전압이 공급된다. 따라서, 공통라인(CL)에 연결된 제 2 공통전극 가지부들(Cb')과 공통전극(C)의 제 1 공통전극 가지부들(Cb)에는 공통전압이 인가되고, 화소전극(P)의 제 1 화소전극 가지부들(Pb)과 제 2 화소전극 가지부들(Pb')에는 데이터 라인(DL), 박막 트랜지스터(TFT)와 보조전극(AE)을 통해 데이터 전압이 인가되어 화소전극(P)과 공통전극(C) 사이에 전계가 형성된다.
- [0054] 화소전극(P)과 공통전극(C) 사이에 형성되는 전계를 도 4b를 참고하여 살펴보면, 절연막(INS) 상의 화소영역에 번갈아 배치되는 제 1 화소전극 가지부들(Pb)과 제 1 공통전극 가지부들(Cb)에 의해 제 1 전계가 형성되고, 절연막(INS) 상의 화소영역에 배치되는 제 1 공통전극 가지부들(Cb)과 게이트 절연막(GI) 상의 화소영역에 배치되는 제 2 화소전극 가지부들(Pb')에 의해 제 2 전계가 형성되며, 게이트 절연막(GI) 상의 화소영역에 배치되는

제 2 화소전극 가지부들(Pb')과 기관(SUB) 상의 화소영역에 배치되는 제 2 공통전극 가지부들(Cb')에 의해 제 3 전계가 형성된다.

- [0055] 이와 같이 형성된 제 1 내지 제 3 전계는 절연막(INS)의 상측에 위치한 액정층에 영향을 미쳐 액정분자의 구동 능력을 향상시킨다. 따라서, 액정층의 액정 구동 영역과 액정 비구동 영역의 경계부에 인접한 액정 구동영역의 구동효율을 증가시켜 투과율을 높일 수 있기 때문에 표시품질을 향상시킬 수 있는 효과를 얻을 수 있다.
- [0056] 다음으로 도 5 내지 도 6c를 참조하여 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 화소 어레이의 화소구조에 대해 보다 상세히 설명하기로 한다.
- [0057] 도 5는 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도이다. 도 6a는 도 5의 I-I'라인을 따라 취한 단면도이고, 도 6b는 도 5의 II-II'라인을 따라 취한 단면도이며, 도 6c는 도 5의 III-III'라인을 따라 취한 단면이다.
- [0058] 도 5 내지 도 6c를 참조하면, 본 발명의 제 2 실시예에 따르는 수평 전계형 액정 표시장치는, 기관(SUB) 상에서 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 인접하여 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에 배치되는 화소전극들(P, P')과, 화소전극들(P, P')과 수평전계를 형성하도록 배치되는 공통전극들(C, C')을 포함한다.
- [0059] 기관(SUB) 상에는 게이트 라인(GL) 및 공통라인(CL)이 일정 간격을 두고 이격 배치된다.
- [0060] 게이트 라인(GL)은 게이트 전극(GE)을 포함한다. 게이트 전극(GE)은 게이트 라인(GL)으로부터 연장되는 게이트 라인 확장부의 방식으로 형성될 수 있다.
- [0061] 공통라인(CL)은 게이트 라인(GL)과 나란하게 배치되는 공통라인 줄기부(CLa)와, 공통라인 줄기부(CLa)로부터 화소영역으로 연장된 공통라인 가지부들(CLb)과, 공통라인 줄기부(CLa)의 반대측 위치에서 공통라인 가지부들(CLb, CLb)을 연결하는 공통라인 가지 연결부(CLc)를 포함한다. 공통라인 가지 연결부(CLc)는 화소영역으로 연장되는 공통라인 가지 연결 확장부(CLcE)를 포함한다. 공통라인(CL)은 공통라인 줄기부(CLa), 공통라인 줄기부들(CLb, CLb) 및 공통라인 가지 연결부(CLc)에 의해 각 화소영역에 폐루프를 형성할 수 있다.
- [0062] 게이트 라인(GL) 및 공통라인(CL)을 커버하는 게이트 절연막(GI) 상에는 반도체 활성패턴들(A1, A2)이 배치된다. 반도체 활성패턴(A1) 상에는 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)이 일정 간격을 두고 배치되고, 반도체 활성패턴(A2) 상에는 데이터 라인(DL), 제 2 공통전극(C'), 보조전극(AE) 및 제 2 화소전극 가지부들(Pb')이 배치된다.
- [0063] 제 2 공통전극(P')은 게이트 라인(GL)과 나란하게 배치되는 제 2 공통전극 줄기부(Ca')와, 제 2 공통전극 줄기부(Ca')로부터 분기되어 화소 영역으로 서로 나란하게 연장되는 복수의 제 2 공통전극 가지부들(Cb')을 포함한다.
- [0064] 제 2 공통전극 줄기부(Ca')는 데이터가 표시되는 표시영역 내에서 매트릭스 형으로 배치된다. 제 2 공통전극 줄기부(Ca')는 인접한 게이트 라인(GL) 쪽으로 연장되는 제 2 공통전극 줄기 확장부(CaE')를 포함한다.
- [0065] 보조전극(AE)은 공통라인 줄기부(CLa)와 중첩되도록 게이트 절연막(GI) 상에 배치되며, 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 보조전극(AE)은 공통라인 줄기 확장부(CLaE)와 중첩되기 때문에 보조전극(AE)과 공통라인 줄기 확장부(CLaE)에 의해 스토리지 캐패시터가 형성된다.
- [0066] 제 2 화소전극 가지부들(Pb')은 보조전극(AE)에 연결된다. 제 2 화소전극 가지부들(Pb')은 기관 상에 배치된 제 2 공통전극 가지부들(Cb')과 중첩되지 않도록 번갈아 배치된다. 데이터 라인(DL), 제 2 공통전극(C'), 보조전극(AE) 및 제 2 화소전극 가지부들(Pb')의 하부에 배치된 반도체층(A2)은 생략될 수도 있다.
- [0067] 게이트 절연막(GI) 상에는 소스전극(SE), 드레인 전극(DE), 데이터 라인(DL), 제 2 공통전극(C'), 보조전극(AE) 및 제 2 화소전극 가지부들(Pb')을 커버하도록 절연막(INS)이 배치된다. 절연막(INS)은 무기 절연막 및 유기 절연막의 2층 구조로 배치될 수도 있고, 무기 절연막 또는 유기 절연막의 단일층으로 배치될 수도 있다.
- [0068] 절연막(INS) 상에는 제 1 공통전극(C) 및 제 1 화소전극(P)이 서로 분리되어 배치된다.
- [0069] 제 1 공통전극(C)은 게이트 라인(GL)과 나란하게 배치되는 제 1 공통전극 줄기부(Ca)와, 제 1 공통전극 줄기부

(Ca)로부터 분기되어 화소 영역으로 서로 나란하게 연장되는 복수의 제 1 공통전극 가지부들(Cb)을 포함한다.

- [0070] 제 1 공통전극 줄기부(Ca)는 데이터가 표시되는 표시영역 내에서 매트릭스 형으로 배치된다. 제 1 공통전극 줄기부(Ca)는 인접한 게이트 라인(GL) 쪽으로 연장되는 제 1 공통전극 줄기 확장부(CaE)를 포함한다.
- [0071] 제 1 제 1 공통전극 가지부들(Cb)은 화소영역마다 배치된다. 제 1 공통전극 가지부들 중 화소영역의 양쪽 최외측에 배치된 최외측 가지부들(Cc)은 제 1 공통라인 가지부(CLb) 및 데이터 라인(DL)의 적어도 일부 영역과 중첩되도록 배치될 수 있다.
- [0072] 제 1 공통전극 줄기 확장부(CaE)는 도 6a에 도시된 바와 같이 화소영역마다 절연막(INS)을 관통하는 제 1 콘택홀(CH1)을 통해 제 2 공통전극 줄기 확장부(CaE')에 접속되고, 절연막(INS)과 게이트 절연막(GI)을 관통하는 제 2 콘택홀(CH2)을 통해 공통라인 가지 연결 확장부(CLCe)에 접속된다. 제 2 콘택홀(CH2)은 제 1 콘택홀(CH1)의 영역 내에 형성된다.
- [0073] 제 1 화소전극(P)은 게이트 라인(GL)과 나란하게 배치되는 제 1 화소전극 줄기부(Pa)와, 제 1 화소전극 줄기부(Pa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 제 1 화소전극 가지부들(Pb)을 포함한다.
- [0074] 제 1 화소전극 줄기부(Pa)는 제 1 공통라인 줄기부(CLa)와 중첩된다. 제 1 화소전극 줄기부(Pa)는 도 6c에 도시된 바와 같이, 절연막(INS)을 관통하는 제 3 콘택홀(CH3)을 통해 보조전극(AE)에 접속된다.
- [0075] 보조전극(AE)은 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다. 보조전극(AE)은 공통라인 줄기 확장부(CLaE)와 중첩되기 때문에 보조전극(AE)과 공통라인 줄기 확장부(CLaE)에 의해 스토리지 캐패시터가 형성된다.
- [0076] 제 1 화소전극 가지부들(Pb)은 제 2 화소전극 가지부들(Pb')과 중첩되도록 배치된다. 제 1 공통전극 가지부들(Cb)은 제 2 화소전극 가지부들(Pb')과 중첩되도록 배치된다.
- [0077] 상술한 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통전극들(C, C')과 화소전극들(P, P') 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과량이 변경된다. 공통전극들(C, C')에는 공통라인(CL)을 통해 예를 들면, 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극들(P, P')에는 데이터 라인(DL)을 따라 가변 화소 데이터 전압이 공급된다. 따라서, 공통라인(CL)에 연결된 제 2 공통전극(C')의 제 2 공통전극 가지부들(Cb')과 제 1 공통전극(C)의 제 1 공통전극 가지부들(Cb)에는 공통전압이 인가되고, 제 1 화소전극(P)의 제 1 화소전극 가지부들(Pb)과 제 2 화소전극(P')의 제 2 화소전극 가지부들(Pb')에는 데이터 라인(DL), 박막 트랜지스터(TFT)와 보조전극(AE)을 통해 데이터 전압이 인가되어 화소전극들(P, P')과 공통전극들(C, C') 사이에 전계가 형성된다.
- [0078] 화소전극(P)과 공통전극(C) 사이에 형성되는 전계를 도 6b를 참고하여 살펴보면, 절연막(INS) 상의 화소영역에 변갈아 배치되는 제 1 화소전극 가지부들(Pb)과 제 1 공통전극 가지부들(Cb)에 의해 제 1 전계가 형성되고, 절연막(INS) 상의 화소영역에 배치되는 제 1 공통전극 가지부들(Cb)과 게이트 절연막(GI) 상의 화소영역에 배치되는 제 2 화소전극 가지부들(Pb')에 의해 제 2 전계가 형성되며, 절연막(INS) 상의 화소영역에 배치되는 제 2 화소전극 가지부들(Pb')과 게이트 절연막(GI) 상의 화소영역에 배치되는 제 2 공통전극 가지부들(Cb')에 의해 제 3 전계가 형성된다.
- [0079] 이와 같이 형성된 제 1 내지 제 3 전계는 절연막(INS)의 상측에 위치한 액정층에 영향을 미쳐 액정분자의 구동능력을 향상시킨다. 따라서, 액정층의 액정 구동 영역과 액정 비구동 영역의 경계부에 인접한 액정 구동영역의 구동효율을 증가시켜 투과율을 높일 수 있기 때문에 표시품질을 향상시킬 수 있는 효과를 얻을 수 있다.
- [0080] 또한, 본 발명의 제 1 및 제 2 실시예들에 따르는 수평 전계형 표시장치에서, 하측 배치의 제 2 공통전극 가지부들 각각의 폭은 그들과 중첩되는 상측 배치의 제 1 공통전극 가지부들 각각의 폭과 같거나 그 보다 작게 형성된다. 또한, 하측 배치의 제 2 화소전극 가지부들 각각의 폭은 그들과 중첩되는 상측 배치의 제 2 화소전극 가지부들 각각의 폭과 같거나 그 보다 작게 형성된다. 제 2 공통전극 가지부들과 제 2 화소전극 가지부들의 폭을 제 1 제 2 공통전극 가지부들과 제 2 화소전극 가지부들의 폭보다 작게 형성할 경우, 공정단계에서의 오정렬(misalignment)에 의한 공정마진을 확보할 수 있으므로 제품불량을 방지할 수 있는 효과를 얻을 수 있다.
- [0081] 다음으로, 도 7a 및 도 7b를 참조하여 종래의 수평 전계형 표시장치와 본 발명의 실시예에 따르는 수평 전계형 표시장치의 액정 구동에 의한 광 투과율의 변화에 대해 설명하기로 한다.
- [0082] 도 7a는 종래의 수평 전계형 표시장치의 공통전극과 화소전극의 위치에 따른 비구동 영역과 구동영역을 나타낸

그래프이고, 도 7b는 본 발명에 따르는 수평 전계형 표시장치의 공통전극과 화소전극 위치에 따른 비구동 영역과 구동영역을 나타낸 그래프이다.

- [0083] 도 7a 및 도 7b에서, 가로축은 공통전극과 화소전극의 위치를 나타내며, 세로 축은 투과도를 나타낸다. 도 7a 및 도 7b는 공통전극과 화소전극에 공통전압과 데이터 전압을 인가했을 때 공통전극과 화소전극의 전압차에 의한 전계로 액정이 구동된 상태에서의 광 투과도를 나타낸다.
- [0084] 도 7a 및 도 7b의 그래프로부터 알 수 있는 바와 같이, 비구동 영역에 인접한 구동영역의 일정 위치(점선으로 표시한 부분)에서 종래의 수평 전계형 표시장치의 투과도는 0.30(투과율 30%)임을 보여주고 있지만 본 발명에 수평 전계형 표시장치의 투과도는 0.35(투과율 35%)임을 보여주고 있어 투과도가 상승하였음을 알 수 있다.
- [0085] 다음으로, 도 8a 및 도 8b를 참조하여 종래의 수평 전계형 표시장치와 본 발명의 실시예에 따르는 수평 전계형 표시장치의 구동전압에 따른 광 투과율의 변화에 대해 설명하기로 한다.
- [0086] 도 8a는 종래의 수평 전계형 표시장치에서 구동전압에 따른 투과율 곡선을 도시한 그래프이고, 도 8b는 본 발명에 따르는 수평 전계형 표시장치에서 구동전압에 따른 투과율 곡선을 도시한 그래프이다.
- [0087] 도 8a 및 도 8b에서 가로축은 공통전극과 화소전극에 인가되는 전압차인 구동전압을 나타내며, 세로 축은 투과도를 나타낸다. 도 8a 및 도 8b는 공통전극과 화소전극에 인가된 구동전압에 의해 형성되는 전계로 액정이 구동된 상태에서의 광 투과도를 나타낸다.
- [0088] 도 8a 및 도 8b의 그래프로부터 알 수 있는 바와 같이, 종래의 수평 전계형 표시장치는 6.83V의 구동전압에서 투과도가 최대로 되었으며 그 값은 0.344(투과율 34.4%)이었으나, 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치는 5.94V의 구동전압에서 투과도가 최대로 되었으며 그 값은 0.348(투과율 34.8%)이었다. 따라서, 본 발명의 실시예에 따르는 수평 전계형 표시장치는 종래의 수평 전계형 표시장치에 비해 구동전압이 13.0% 감소되었음에도 불구하고 투과율은 1.2% 증가하여, 소비전력 절감과 함께 투과율도 낮출 수 있는 효과를 보여주고 있다.
- [0089] 다음으로, 도9a 및 도 9b를 참조하여 화소전극 가지부와 공통전극 가지부의 폭을 줄였을 경우, 종래의 수평 전계형 표시장치와 본 발명의 실시예에 따르는 수평 전계형 표시장치의 구동전압에 따른 광 투과율의 변화에 대해 설명하기로 한다.
- [0090] 도 9a는 종래의 수평 전계형 표시장치에서 공통전극과 화소전극의 폭을 0.2 μ m 감소시킨 후 구동전압의 증가에 따른 투과율 곡선을 도시한 그래프이고, 도 9b는 본 발명에 따르는 수평 전계형 표시장치에서 공통전극 가지부와 화소전극 가지부의 폭을 0.2 μ m 감소시킨 후 구동전압의 증가에 따른 투과율 곡선을 도시한 그래프이다.
- [0091] 도 9a 및 도 9b에서 가로축은 공통전극과 화소전극에 인가되는 전압들에 의한 전압차인 구동전압을 나타내며, 세로 축은 투과도를 나타낸다. 도 8a 및 도 8b는 공통전극과 화소전극에 인가된 구동전압에 의해 형성되는 전계로 액정이 구동된 상태에서의 광 투과도를 나타낸다.
- [0092] 도 9a 및 도 9b의 그래프로부터 알 수 있는 바와 같이, 종래의 수평 전계형 표시장치는 6.83V의 구동전압에서 투과도가 최대로 되었으며 그 값은 0.344(투과율 34.4%)이었으나, 본 발명의 제 2 실시예에 따르는 수평 전계형 표시장치는 6.15V의 구동전압에서 투과도가 최대로 되었으며 그 값은 0.359(투과율 35.9%)이었다. 따라서, 본 발명의 실시예에 따르는 수평 전계형 표시장치는 종래의 수평 전계형 표시장치에 비해 구동전압이 10.0% 감소되었음에도 불구하고 투과율은 4.4% 증가하여, 소비전력 절감과 함께 투과율도 낮출 수 있는 효과를 보여주고 있다. 본 발명의 실시예에 따르는 수평 전계형 표시장치에서 공통전극 가지부와 화소전극 가지부의 폭을 줄임으로써 구동전압은 소폭 증가하나 투과율은 훨씬 높일 수 있음을 알 수 있다.
- [0093] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

- [0094] 10: 액정 표시패널 11: 타이밍 콘트롤러
- 12: 소스 드라이브 집적회로 13: 게이트 구동회로
- CL: 공통라인 CLa: 공통라인 줄기부

CLaE: 공통라인 줄기 확장부 CLb: 공통라인 가지부

CLc: 공통라인 가지 연결부 CLcE: 공통라인 가지 연결 확장부 C, C': 공통전극 Ca, Ca': 공통전극 줄기부

CaE, CaE': 공통전극 줄기 확장부 Cb, Cb': 공통전극 가지부

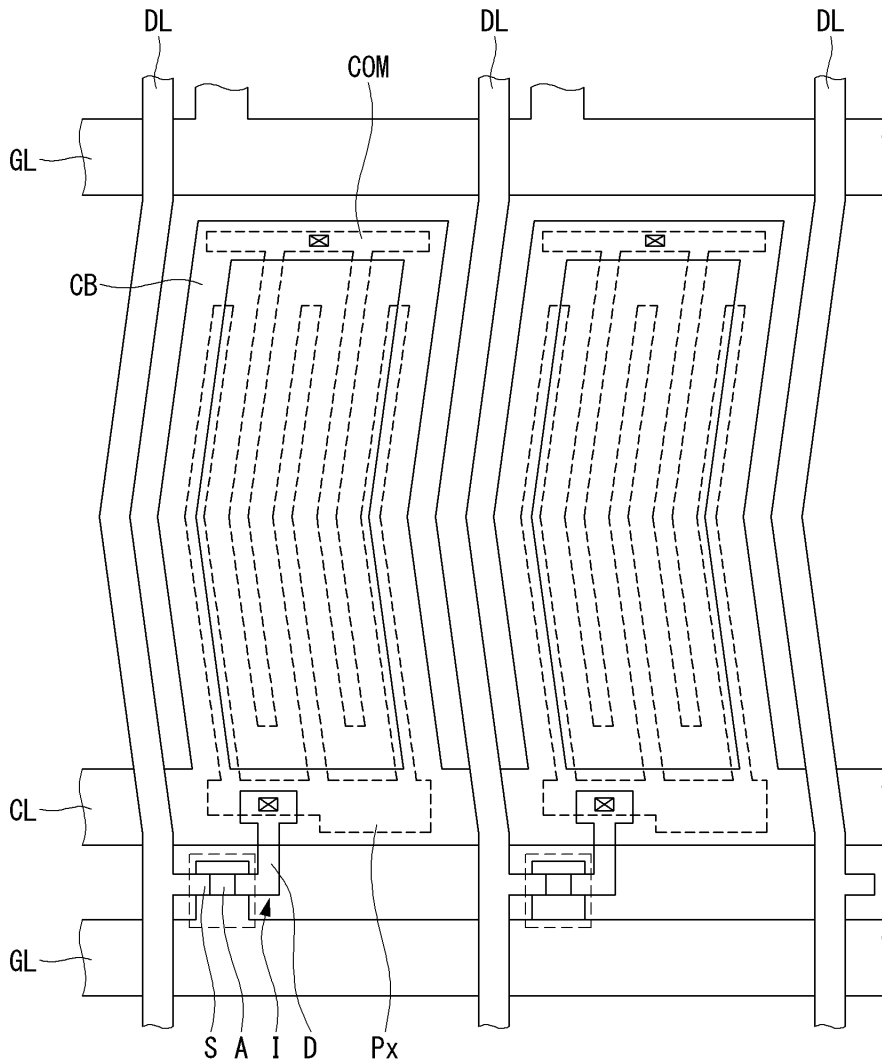
Cc: 공통전극 최외측 가지부 P, P': 화소전극

Pa, Pa': 화소전극 줄기부

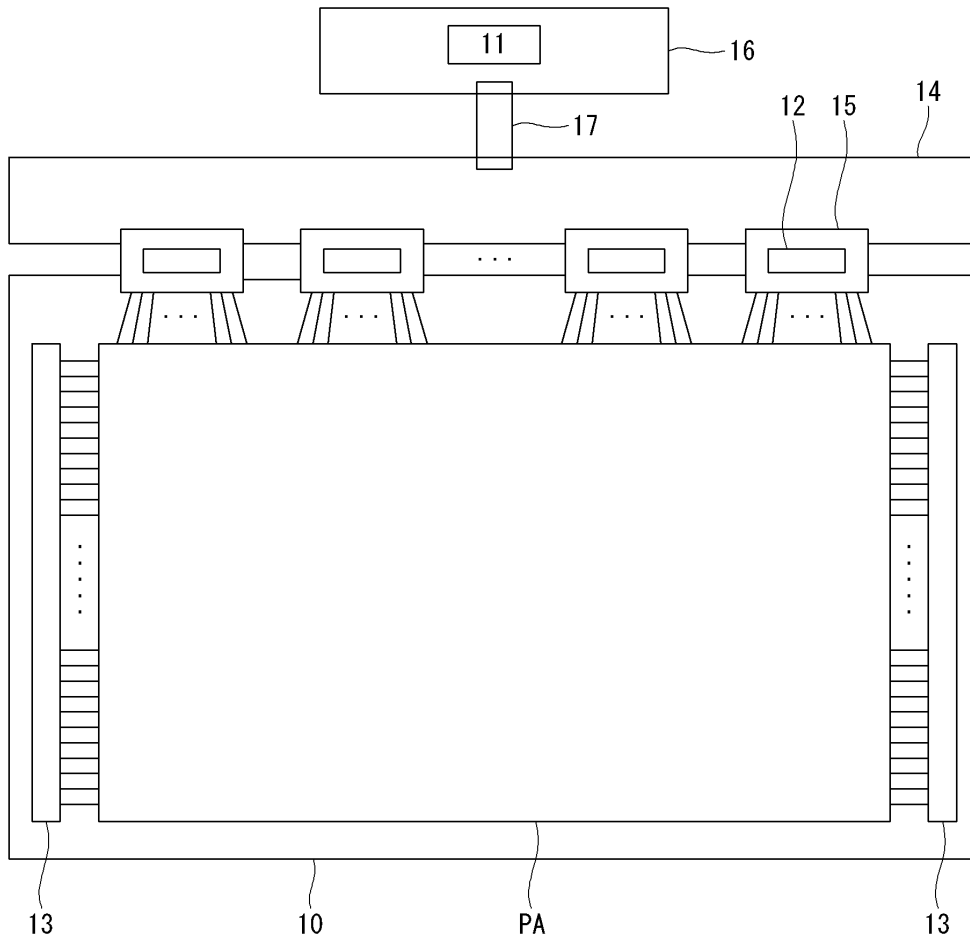
Pb, Pb': 화소전극 가지부

도면

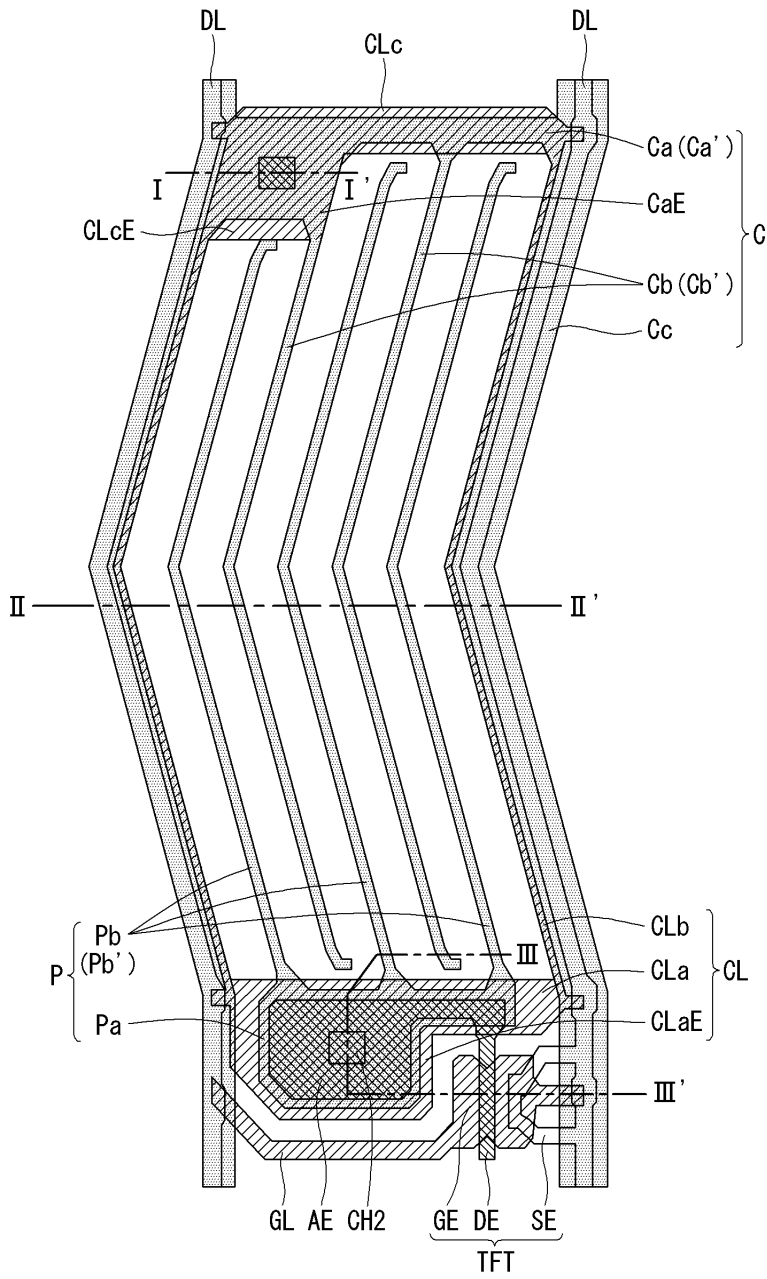
도면1



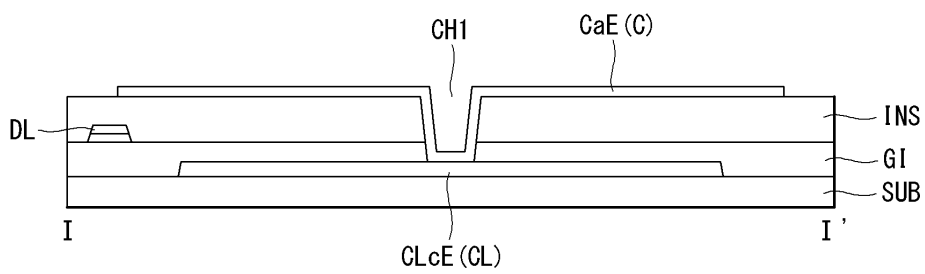
도면2



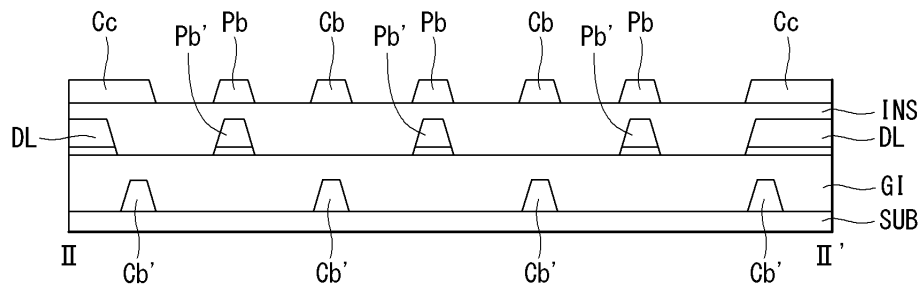
도면3



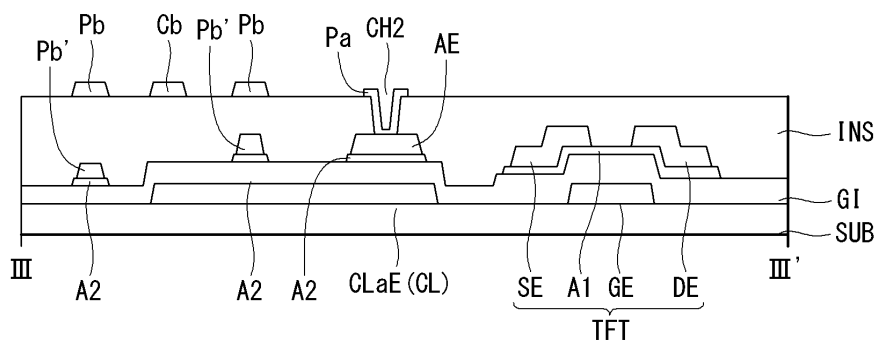
도면4a



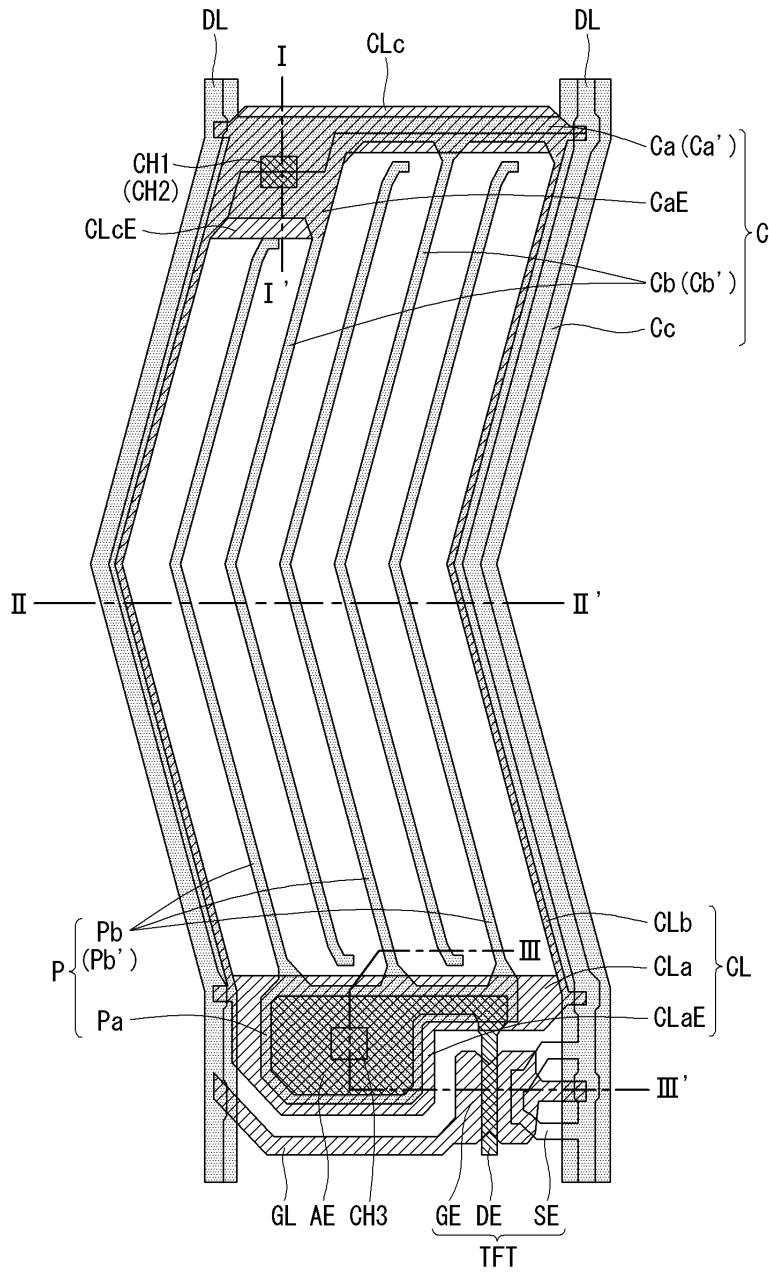
도면4b



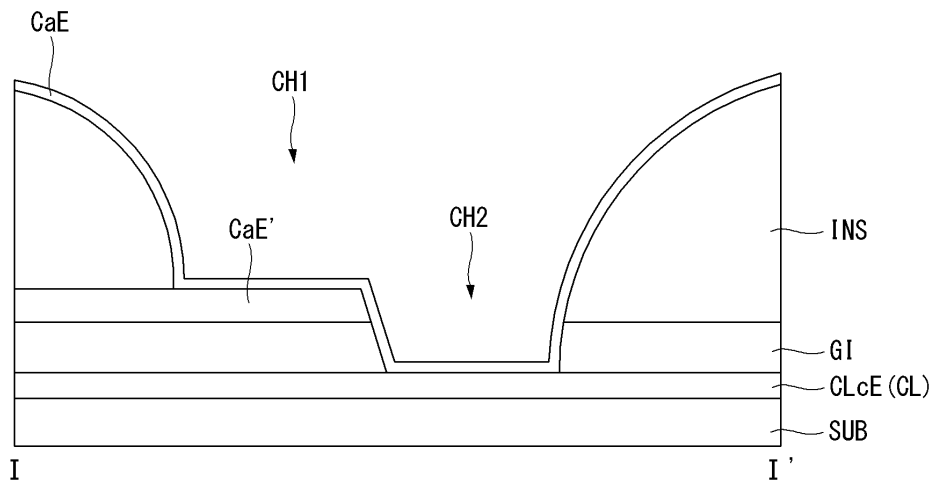
도면4c



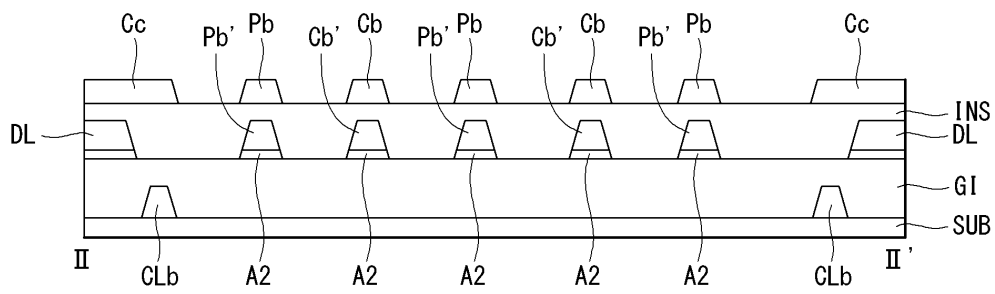
도면5



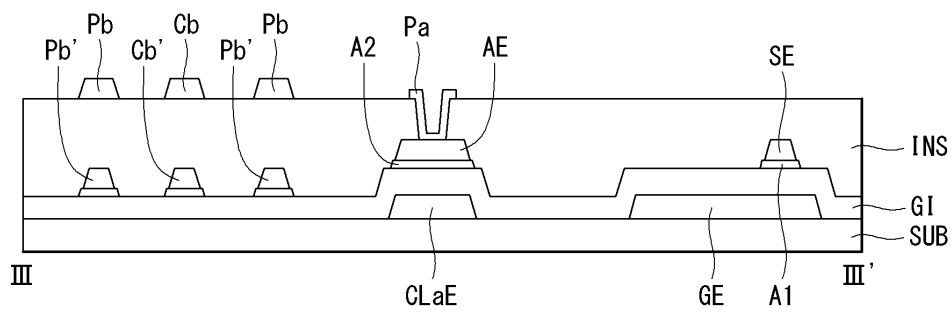
도면6a



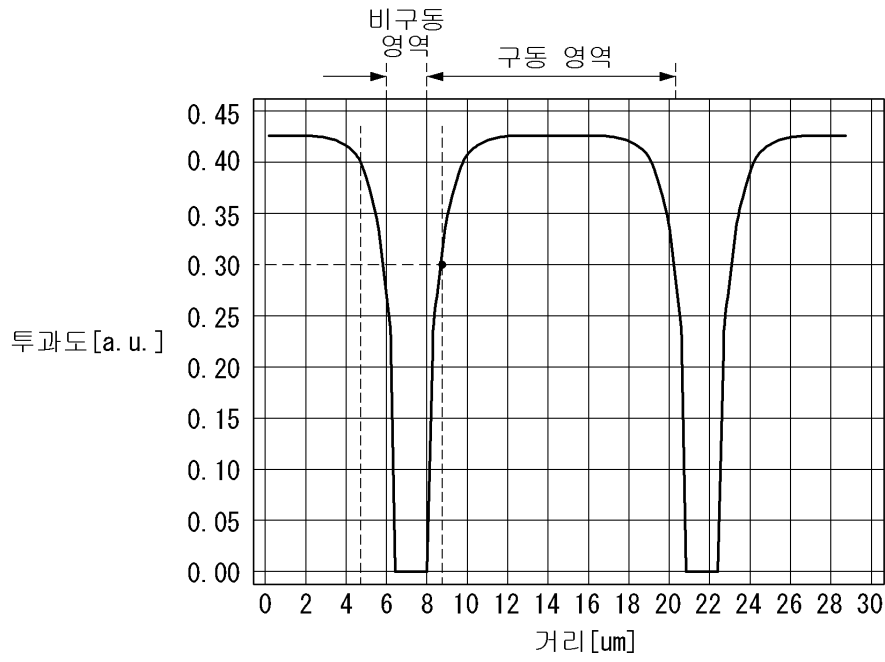
도면6b



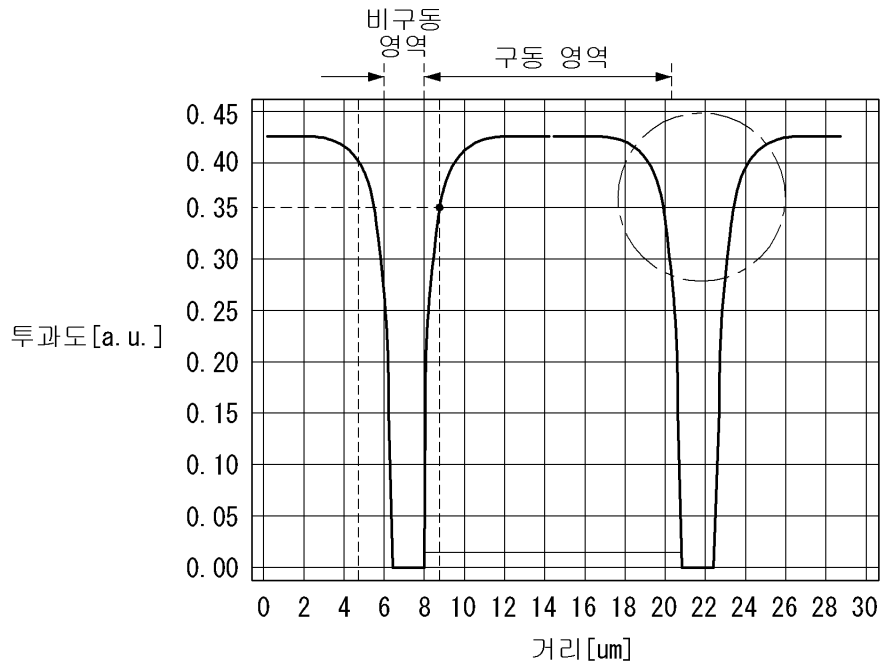
도면6c



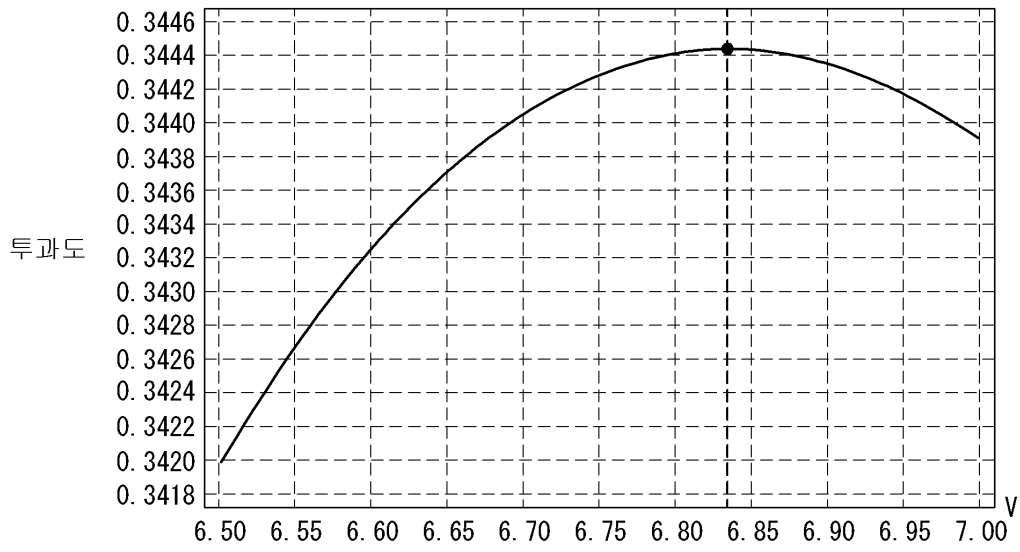
도면7a



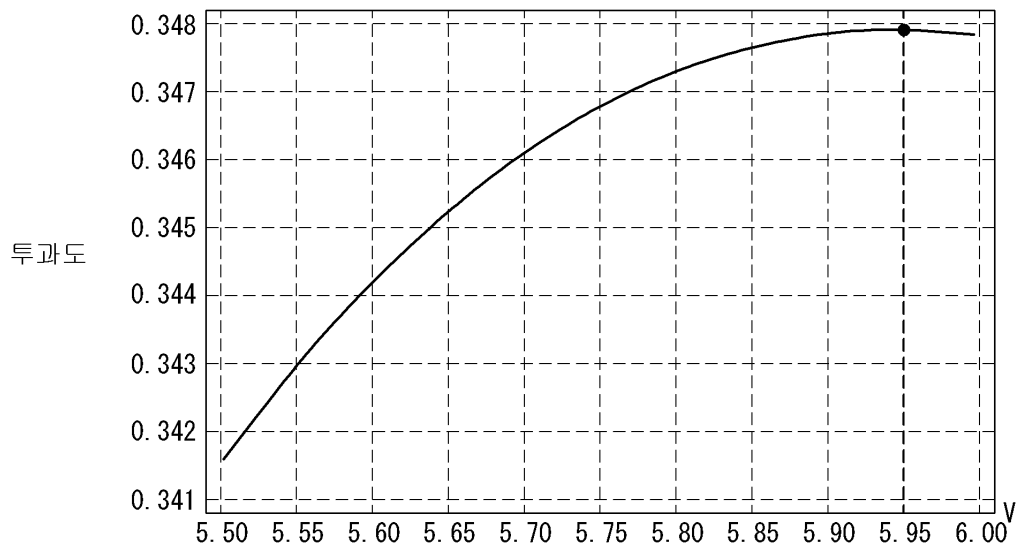
도면7b



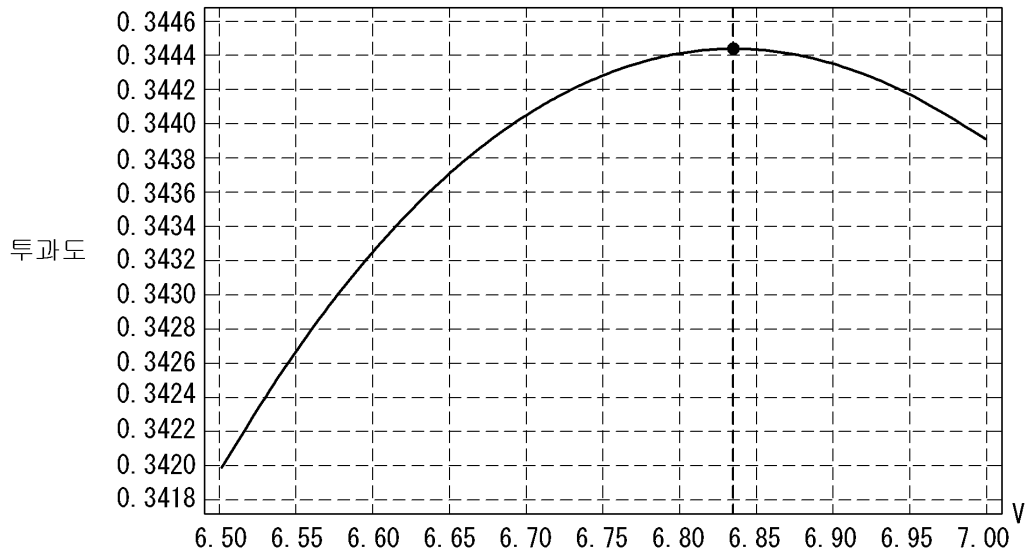
도면8a



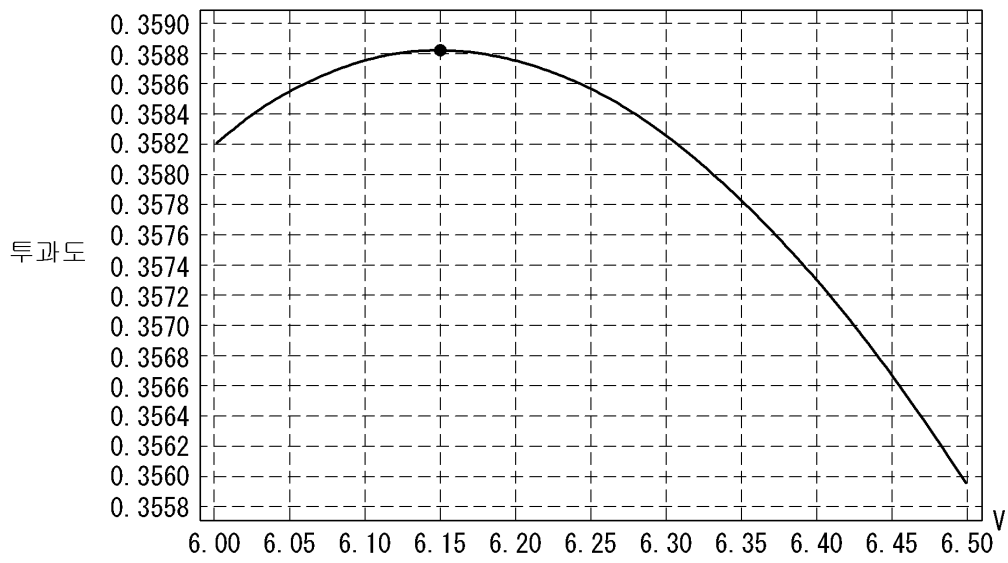
도면8b



도면9a



도면9b



专利名称(译)	一种水平电场型液晶显示器		
公开(公告)号	KR1020170061444A	公开(公告)日	2017-06-05
申请号	KR1020150166479	申请日	2015-11-26
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE CHAN HO 이찬호		
发明人	이찬호		
IPC分类号	G02F1/1343 G02F1/1362 H01L29/786		
CPC分类号	G02F1/134363 G02F1/136286 H01L29/786 G02F2001/134318		
外部链接	Espacenet		

摘要(译)

本发明涉及一种降低液体驱动电压，提高透光率的水平场型液晶显示器，包括薄膜晶体管，第一像素电极，第一公共电极，第二像素电极和相邻的第二公共电极。数据线布置在第二方向上，与在基板上彼此分离的栅极线和公共线相交，并且布置在第一方向和第一方向，以及数据线和栅极线的交叉点。第一像素电极通过薄膜晶体管连接到数据线，薄膜晶体管布置在由栅极线和数据线限定的像素区域中。第一公共电极通过薄膜晶体管连接到数据线，并且薄膜晶体管布置在由栅极线和数据线限定的像素区域中。第二像素电极与第一像素电极重叠，并且第一公共电极和电场设置为形成。第二公共电极与第一公共电极和第一像素电极重叠，第二像素电极和电场设置为形成。

