



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0051672
(43) 공개일자 2017년05월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1362 (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/136286 (2013.01)
(21) 출원번호 10-2015-0151789
(22) 출원일자 2015년10월30일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정성훈
경기도 파주시 청암로 27 (목동동) 산내마을6단지
한라비발디 608-2002
김강일
경기도 파주시 가람로 22 102동 504호 (와동동, 가
람마을1단지벽산한라아파트)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 5 항

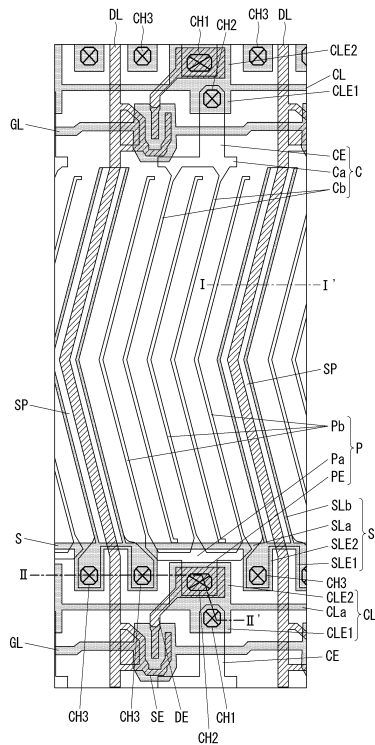
(54) 발명의 명칭 수평 전계형 액정 표시장치

(57) 요약

본 발명은 수평 크로스토크를 방지할 수 있는 수평 전계형 액정 표시장치에 관한 것으로, 게이트 라인, 공통라인 및 차폐라인, 데이터 라인, 박막 트랜지스터, 화소전극, 공통전극 및 차폐전극을 포함한다. 게이트 라인, 공통라인 및 차폐라인은 기판 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 상기 제 1 방향과 교차하는

(뒷면에 계속)

대표도 - 도5



제 2 방향으로 배열된다. 박막 트랜지스터는 상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치된다. 화소전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인의 교차에 의해 정의되는 화소영역에 배치되며, 제 1 수평부와 상기 제 1 수평부로부터 분기되어 상기 화소영역으로 연장되는 제 1 분기부들을 갖는다. 공통전극은 상기 공통라인에 연결되며, 제 2 수평부와 상기 제 2 수평부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소전극과 수평전계를 형성하도록 상기 제 1 분기부들과 번갈아 배치되는 제 2 분기부들을 갖는다. 차폐전극은 상기 데이터 라인과 중첩되며 상기 차폐라인에 연결된다.

(52) CPC특허분류

H01L 29/786 (2013.01)

G02F 2001/134318 (2013.01)

명세서

청구범위

청구항 1

기관 상에 서로 분리되어 제 1 방향으로 배열되는 게이트 라인, 공통라인 및 차폐라인;

상기 제 1 방향과 교차하는 제 2 방향으로 배열되는 데이터 라인;

상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치되는 박막 트랜지스터;

상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인의 교차에 의해 정의되는 화소영역에 배치되며, 제 1 수평부와 상기 제 1 수평부로부터 분기되어 상기 화소영역으로 연장되는 제 1 분기부들을 갖는 화소전극;

상기 공통라인에 연결되며, 제 2 수평부와 상기 제 2 수평부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소전극과 수평전계를 형성하도록 상기 제 1 분기부들과 번갈아 배치되는 제 2 분기부들을 갖는 공통전극; 및

상기 데이터 라인과 중첩되며 상기 차폐라인에 연결되는 차폐전극을 포함하는 수평 전계형 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 라인, 상기 공통라인, 및 상기 차폐라인은 상기 기관 상에 서로 일정 간격들 두고 배치되고,

상기 박막 트랜지스터의 소스전극 및 드레인 전극과, 상기 소스전극에 연결되는 데이터 라인은 상기 게이트 라인, 상기 공통라인, 및 상기 차폐라인을 커버하는 게이트 절연막 상에 배치되며,

상기 공통전극, 상기 화소전극 및 상기 차폐전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치되고,

상기 공통전극은 상기 게이트 절연막 및 상기 절연막을 관통하는 제 1 콘택홀을 통해 상기 공통라인에 접속되며,

상기 차폐전극은 상기 게이트 절연막 및 상기 절연막을 관통하는 제 3 콘택홀을 통해 상기 차폐라인에 접속되는 수평 전계형 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 화소전극은 상기 제 1 수평부로부터 연장된 제 1 확장부를 더 포함하고, 상기 화소전극의 제 1 확장부는 상기 게이트 절연막 및 상기 절연막을 관통하는 제 2 콘택홀을 통해 상기 드레인 전극에 연결되는 수평 전계형 액정 표시장치.

청구항 4

제 2 항에 있어서,

상기 공통전극은 상기 제 2 수평부로부터 연장된 제 2 확장부를 더 포함하고,

상기 공통라인은 제 3 수평부, 상기 제 3 수평부로부터 연장된 제 3-1 및 제 3-2 확장부를 더 포함하며,

상기 공통전극의 제 2 확장부는 상기 제 1 콘택홀을 통해 상기 공통라인의 제 3-1 확장부에 연결되는 수평 전계

형 액정 표시장치.

청구항 5

제 2 항에 있어서,

상기 차폐라인은 상기 제 4 수평부, 상기 제 4 수평부로부터 분기되어 상기 화소영역으로 연장되는 제 4 분기부들, 상기 제 4 수평부로부터 연장된 적어도 하나의 제 4 확장부를 포함하고,

상기 차폐전극은 상기 제 3 콘택홀을 통해 상기 차폐라인의 제 4 확장부에 접속되는 수평 전계형 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 수평 전계형 액정 표시장치에 관한 것으로, 특히 수평 크로스토크 현상을 방지할 수 있는 수평 전계형 액정 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.

[0003] 수직 전계형 액정 표시 장치는 상부기관 상에 형성된 공통전극과 하부기관 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.

[0004] 수평 전계형 액정 표시 장치는 하부 기관에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 넓은 장점과, 수평 상태에서 스위칭 되므로 빠른 응답속도를 갖는 장점을 가진다.

[0005] 이하, 도 1 및 도 2를 참조하여 종래의 IPS 모드 수평 전계형 액정 표시장치에 대해 보다 설명하기로 한다.

[0006] 도 1은 종래의 수평전계형 액정 표시장치를 도시한 평면도이고, 도 2는 도 1의 I-I'라인을 따라 취한 단면도이다.

[0007] 도 1 및 도 2를 참조하면, 종래의 수평 전계형 액정 표시장치는 기관 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에 배치되는 화소 전극들(P), 게이트 라인(GL)과 평행하게 배열되는 공통라인(CL)에 연결되는 공통전극(C)을 포함한다.

[0008] 게이트 라인(GL)과 공통라인(CL)은 기관(SUB) 상에 배치된다. 공통라인(CL)은 게이트 라인(GL)과 나란하게 배열되는 공통라인 수평부(CLa)와, 공통라인 수평부(CLa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 공통라인 가지부들(CLb)을 포함한다.

[0009] 게이트 라인(GL)과 공통라인(CL)을 커버하는 게이트 절연막(GI) 상에는 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)과, 소스전극(SE)에 연결되는 데이터 라인(DL)이 배치된다.

[0010] 게이트 절연막(GI) 상에는 소스전극(SE) 및 드레인 전극(DE)과 데이터 라인(DL)을 커버하도록 제 1 절연막(INS1)과 제 2 절연막(INS2)이 순차적으로 배치된다.

[0011] 제 2 절연막(INS2) 상에는 공통전극(C)과 화소전극(P)이 배치된다.

[0012] 공통전극(C)은 공통전극 수평부(Ca)와, 공통전극 수평부(Ca)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 공통전극 가지부들(Cb)을 포함한다. 공통전극(C)의 공통전극 가지부들(Cb) 중 데이터 라인과 중첩되는 위치에 배치된 공통전극 가지부(Cb)는 제 2 콘택홀(CH2)을 통해 공통라인(CL)에 연결된다. 이에 따라 공통라인

(CL)의 공통라인 가지부(CLb)와 공통전극(C)의 제 공통전극 가지부(Cb)가 서로 연결되므로, 공통전압이 공통라인(CL)을 통해 공통전극(C)에 공급될 수 있게 된다.

- [0013] 화소전극(P)은 화소전극 수평부(Pa)와, 화소전극 수평부(Pa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 화소전극 가지부들(Pb)을 포함한다. 화소전극(P)의 화소전극 가지부들(Pb)은 화소영역 내에서 공통전극(C)의 공통전극 가지부(Cb)들과 번갈아 배치된다. 화소전극(P)은 제 1 콘택홀(CH1)을 통해 박막 트랜지스터(TFT)의 드레인 전극(DE)에 연결된다. 이에 따라, 데이터 라인을 따라 공급되는 데이터 전압이 박막 트랜지스터의 드레인 전극을 통해 화소전극에 공급될 수 있게 된다.
- [0014] 상술한 종래의 수평 전계형 액정 표시장치에 의하면, 공통전극(C)과 화소전극(P) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과량이 변경된다. 공통전극(C)에는 일반적으로 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극(P)에는 데이터 라인(DL)을 따라 가변 화소 데이터 전압이 공급된다.
- [0015] 종래의 수평 전계형 액정 표시장치에서는 도 2에 도시된 바와 같이, 데이터 라인(DL)과 화소전극(P) 사이에 형성되는 전계로 인한 기생 캐패시터를 방지하기 위해 데이터 라인(DL)과 중첩되는 상부에는 공통전극(C)의 공통전극 가지부(Cb)가 위치하고, 하부의 양측에는 공통라인(CL)의 공통라인 가지부들(CLb)이 위치되어 있다. 그러나, 종래의 수평 전계형 액정 표시장치에서는 공통라인(CL)의 공통라인 가지부들(CLb)과 공통전극(C)의 공통전극 가지부(Cb)는 전기적으로 서로 연결되어 있기 때문에 공통전극(C)과 데이터 라인(DL) 사이 및 공통라인(CL)과 데이터 라인(DL) 사이에 기생 정전용량이 발생하게 되다.
- [0016] 도 2에 도시된 구성에 의해 이와 같은 기생 정전용량이 발생하면, 데이터 전압이 화소전극에 공급되어 화소전극(P)에 공급되는 데이터 전압(Vp)의 변화할 경우 데이터 라인(DL)과 중첩된 공통전극 가지부(Cb)에 의해 발생된 기생 정전용량에 의한 영향이 화소영역 내측의 공통전극 가지부들(Cb)에도 미치게 되어 공통전극에 공급되는 공통전압에 리플성분(Vcr)을 발생시키는 원인이 되었다.
- [0017] 도 3은 종래의 수평 전계형 액정 표시장치의 공통전극에 공급되는 공통전압에 리플전압이 발생하는 것을 보여주고 있다. 이러한 공통전압의 리플성분은 수평 크로스토크를 발생시켜 수평 전계형 표시장치의 화질 저하시키는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0018] 본 발명의 목적은 상술한 기술적 과제를 해결하기 위한 것으로, 공통전극에 공급되는 공통전압의 리플성분을 감축시킴으로써 수평 크로스토크를 방지할 수 있는 수평 전계형 액정 표시장치를 제공하는 것에 있다.

과제의 해결 수단

- [0019] 본 발명은 상술한 기술적 과제를 해결하기 위한 것으로, 본 발명에 따르는 수평 전계형 액정 표시장치는 게이트 라인, 공통라인 및 차폐라인, 데이터 라인, 박막 트랜지스터, 화소전극, 공통전극 및 차폐전극을 포함한다. 게이트 라인, 공통라인 및 차폐라인은 기판 상에 서로 분리되어 제 1 방향으로 배열된다. 데이터 라인은 상기 제 1 방향과 교차하는 제 2 방향으로 배열된다. 박막 트랜지스터는 상기 게이트 라인 및 상기 데이터 라인의 교차부에 인접하여 배치된다. 화소전극은 상기 박막 트랜지스터를 통해 상기 데이터 라인에 연결되고, 상기 게이트 라인 및 상기 데이터 라인의 교차에 의해 정의되는 화소영역에 배치되며, 제 1 수평부와 상기 제 1 수평부로부터 분기되어 상기 화소영역으로 연장되는 제 1 분기부들을 갖는다. 공통전극은 상기 공통라인에 연결되며, 제 2 수평부와 상기 제 2 수평부로부터 분기되어 상기 화소영역으로 연장되며 상기 화소전극과 수평전계를 형성하도록 상기 제 1 분기부들과 번갈아 배치되는 제 2 분기부들을 갖는다. 차폐전극은 상기 데이터 라인과 중첩되며 상기 차폐라인에 연결된다.
- [0020] 상기 구성에서, 게이트 라인, 상기 공통라인, 및 상기 차폐라인은 상기 기판 상에 서로 일정 간격들 두고 배치되고, 상기 박막 트랜지스터의 소스전극 및 드레인 전극과, 상기 소스전극에 연결되는 데이터 라인은 상기 게이트 라인, 상기 공통라인, 및 상기 차폐라인을 커버하는 게이트 절연막 상에 배치된다. 또한, 상기 공통전극, 상기 화소전극 및 상기 차폐전극은 상기 박막 트랜지스터와 상기 데이터 라인을 커버하는 절연막 상에 배치된다. 상기 공통전극은 상기 게이트 절연막 및 상기 절연막을 관통하는 제 1 콘택홀을 통해 상기 공통라인에 접속되며, 상기 차폐전극은 상기 게이트 절연막 및 상기 절연막을 관통하는 제 3 콘택홀을 통해 상기 차폐라

인에 접속된다.

[0021] 또한, 상기 화소전극은 상기 제 1 수평부로부터 연장된 제 1 확장부를 더 포함하고, 상기 화소전극의 제 1 확장부는 상기 게이트 절연막 및 상기 절연막을 관통하는 제 2 콘택홀을 통해 상기 드레인 전극에 연결된다.

[0022] 또한, 상기 공통전극은 상기 제 2 수평부로부터 연장된 제 2 확장부를 더 포함하고, 상기 공통라인은 제 3 수평부, 상기 제 3 수평부로부터 연장된 제 3-1 및 제 3-2 확장부를 더 포함한다. 상기 공통전극의 제 2 확장부는 상기 제 1 콘택홀을 통해 상기 공통라인의 제 3-1 확장부에 연결된다.

[0023] 또한, 상기 차폐라인은 상기 제 4 수평부, 상기 제 4 수평부로부터 분기되어 상기 화소영역으로 연장되는 제 4 분기부들, 상기 제 4 수평부로부터 연장된 적어도 하나의 제 4 확장부를 포함하고, 상기 차폐전극은 상기 제 3 콘택홀을 통해 상기 차폐라인의 제 4 확장부에 접속된다.

발명의 효과

[0024] 본 발명에 따르는 수평 전계형 액정 표시장치는 차폐전극과 공통전극의 가지부들이 전기적으로 분리되어 있으므로, 화소전극에 공급되는 데이터 전압에 의해 데이터 라인과 차폐전극 및 데이터 라인과 차폐라인 가지부들 사이에 기생 정전용량이 발생하더라도 화소영역 내측의 공통전극의 가지부들에는 영향을 미치지 않게 된다. 따라서, 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통전극에 공급되는 공통전압의 리플성분을 감축시킴으로써 수평 크로스토크를 방지할 수 있는 효과를 얻을 수 있다.

도면의 간단한 설명

[0025] 도 1은 종래의 수평 전계형 액정 표시장치를 도시한 평면도,
 도 2는 도 1의 I-I'라인을 따라 취한 단면도,
 도 3은 종래의 수평 전계형 액정 표시장치의 공통전극에 공급되는 공통전압에 리플전압이 발생하는 것을 나타낸 그래프,
 도 4는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도,
 도 5는 도 4에 도시된 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도,
 도 6a는 도 5의 I-I'라인을 따라 취한 단면도,
 도 6b는 도 5의 II-II'라인을 따라 취한 단면도,
 도 7은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 공통전극에 공급되는 공통전압에 리플전압이 발생하는 것을 나타낸 그래프.

발명을 실시하기 위한 구체적인 내용

[0026] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0027] 우선 도 4를 참조하여 본 발명의 실시예에 따르는 액정 표시장치에 대해 설명하기로 한다. 도 4는 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치를 개략적으로 도시한 블록도이다.

[0028] 도 4를 참조하면, 액정 표시장치는 화소 어레이(PA)가 형성된 액정 표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 혹은 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 컨트롤러(11)를 구비한다. 액정 표시패널(10)의 아래에는 액정 표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.

[0029] 액정 표시패널(10)은 투명 기판 상에 형성되는 화소 어레이(PA)를 포함한다. 화소 어레이(PA)의 투명 기판에는 데이터 라인들(DL), 게이트 라인들(GL), 박막 트랜지스터들, 박막 트랜지스터에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등이 형성된다. 화소 어레이(PA)의 서브 픽셀들 각각은 박막 트랜지스터를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에

의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다.

- [0030] 액정 표시장치는 투과형 액정 표시장치, 반투과형 액정 표시장치, 반사형 액정 표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정 표시장치와 반투과형 액정 표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0031] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 유리기판에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다. 소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정 표시패널(10)의 투명 기판 상에 접촉될 수도 있다.
- [0032] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 데이터 전압들을 데이터 라인들에 출력한다.
- [0033] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기판에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 투명 기판 상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 2에 도시된 바와 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.
- [0034] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기판(17)을 통해 연결될 수 있다.
- [0035] 다음으로 도 5 내지 도 6b를 참조하여 본 발명의 실시예에 따르는 액정 표시장치의 화소 어레이의 화소구조에 대해 보다 상세히 설명하기로 한다.
- [0036] 도 5는 도 4에 도시된 수평 전계형 액정 표시장치의 1화소영역을 도시한 평면도이다. 도 6a는 도 5의 I-I' 라인을 따라 취한 단면도이고, 도 6b는 도 5의 II-II' 라인을 따라 취한 단면도이다.
- [0037] 도 5 내지 도 6b를 참조하면, 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치는, 기판(SUB) 상에 서로 교차하도록 배열되는 복수의 게이트 라인들(GL) 및 데이터 라인들(DL)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차부에 인접하여 배치되는 박막 트랜지스터들(TFT)과, 복수의 게이트 라인들(GL)과 데이터 라인들(DL)의 교차에 의해 정의되는 화소 영역들에 배치되며, 박막 트랜지스터들(TFT)을 통해 데이터 라인들(DL)과 연결되며, 각 화소 영역에 배치되는 화소전극들(P)과, 화소전극들(P)과 동일층에 배치되어 화소전극들(P)과 수평전계를 형성하도록 배치되는 공통전극(C)을 포함한다.
- [0038] 기판(SUB) 상에는 게이트 라인(GL), 공통라인(CL), 및 차폐라인(SL)이 서로 일정 간격들 두고 배치된다.
- [0039] 게이트 라인(GL)은 게이트 전극(GE)을 포함한다.
- [0040] 공통라인(CL)은 게이트 라인(GL)과 나란하게 배치되는 공통라인 수평부(CLa)와 공통라인 수평부(CLa)로부터 연장된 제 1 공통라인 확장부(CLE1) 및 제 2 공통라인 확장부(CLE2)를 포함한다.
- [0041] 차폐라인(SL)은 공통라인(CL) 및 게이트 라인(GL)과 나란하게 배치되는 차폐라인 수평부(SLa)와, 차폐라인 수평부(SLa)로부터 분기되어 화소영역으로 배열된 차폐라인 가지부들(SLb)과, 차폐라인 수평부(SLa)로부터 연장된 제 1 차폐라인 확장부(SLE1) 및 제 2 차폐라인 확장부(SLE2)를 포함한다. 제 1 차폐라인 확장부(SLE1) 및 제 2 차폐라인 확장부(SLE2) 중의 하나는 생략될 수도 있다.
- [0042] 게이트 라인(GL), 공통라인(CL), 및 차폐라인(SL)을 커버하는 게이트 절연막(GI) 상에는 박막 트랜지스터(TFT)의 소스전극(SE) 및 드레인 전극(DE)과, 소스전극(SE)에 연결되는 데이터 라인(DL)이 배치된다.

- [0043] 데이터 라인(DL)은 그 양측에 차폐라인 가지부(SLb)가 각각 위치되도록 게이트 절연막(GI) 상에 배치된다. 데이터 라인(DL)의 하부에는 박막 트랜지스터(TFT)의 반도체층(A)과 동일한 반도체층(A)이 배치될 수 있다.
- [0044] 게이트 절연막(GI) 상에는 소스전극(SE) 및 드레인 전극(DE)과, 데이터 라인(DL)을 커버하도록 제 1 절연막(INS1)이 배치된다. 제 1 절연막(INS1) 상에는 평탄화를 위한 제 2 절연막(INS2)이 배치된다.
- [0045] 제 2 절연막(INS2) 상에는 공통전극(C), 화소전극(P) 및 차폐전극(SP)이 서로 분리되어 배치된다.
- [0046] 공통전극(C)은 게이트 라인(GL)과 나란하게 배치되는 공통전극 수평부(Ca)와, 공통전극 수평부(Ca)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 공통전극 가지부들(Cb)과, 공통전극 수평부(Ca)로부터 연장된 공통전극 확장부(CE)을 포함한다. 공통전극 확장부(CE)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 1 콘택홀(CH1)을 통해 공통라인(CL)의 제 1 공통전극 확장부(CLE1)에 접속된다.
- [0047] 화소전극(P)은 게이트 라인(GL)과 나란하게 배치되는 화소전극 수평부(Pa)와, 화소전극 수평부(Pa)로부터 분기되어 서로 나란하게 화소 영역으로 연장되는 화소전극 가지부들(Pb)과, 공통전극 수평부(Ca)로부터 연장된 화소전극 확장부(PE)을 포함한다. 화소전극 확장부(PE)는 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 2 콘택홀(CH2)을 통해 박막 트랜지스터(TFT)의 드레인 전극(DE)에 접속된다.
- [0048] 차폐전극(SP)은 데이터 라인(DL) 및 차폐라인 가지부들(SLb)과 중첩되도록 제 2 절연막(INS2) 상에 배치된다. 차폐전극(SP)은 제 1 및 제 2 절연막들(INS1, INS2)을 관통하는 제 3 콘택홀(CH3)을 통해 제 1 및 제 2 차폐라인 확장부들(SLE2)에 접속된다.
- [0049] 상술한 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통전극(C)과 화소전극(P) 사이의 전압차에 의해 액정에 전계가 인가되고, 그 전계에 의해 액정의 거동에 변화가 생겨 빛이 투과량이 변경된다. 공통전극(C)에는 공통라인(CL)을 통해 예를 들면, 접지전압과 같은 일정 레벨의 기준전압이 공급되고, 화소전극(P)에는 데이터 라인(DL)을 따라 가변 화소 데이터 전압이 공급된다. 또한 차폐전극(SP)에는 차폐라인(CL)을 통해 예를 들면, 접지전압과 같은 일정 레벨의 기준전압이 공급된다.
- [0050] 본 발명에서는 차폐전극(SP)과 공통전극(C)의 가지부들(Cb)이 전기적으로 분리되어 있으므로, 화소전극(P)에 공급되는 데이터 전압에 의해 데이터 라인(DL)과 차폐전극(SP) 및 데이터 라인(DL)과 차폐라인 가지부들(SLb) 사이에 기생 정전용량이 발생하더라도 화소영역 내측의 공통전극(C)의 가지부들(Cb)에는 영향을 미치지 않게 된다. 따라서, 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치에 의하면, 공통전극에 공급되는 공통전압의 리플성분을 감축시킴으로써 수평 크로스토크를 방지할 수 있는 효과를 얻을 수 있다.
- [0051] 도 7은 본 발명의 실시예에 따르는 수평 전계형 액정 표시장치의 공통전극에 공급되는 공통전압에 리플성분이 발생하는 것을 나타낸 그래프이다. 도 7을 참조하면, 도 3의 종래의 수평 전계형 액정 표시장치와 비교하여 리플성분이 현저히 감소하였음을 알 수 있다.
- [0052] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.
- [0053] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

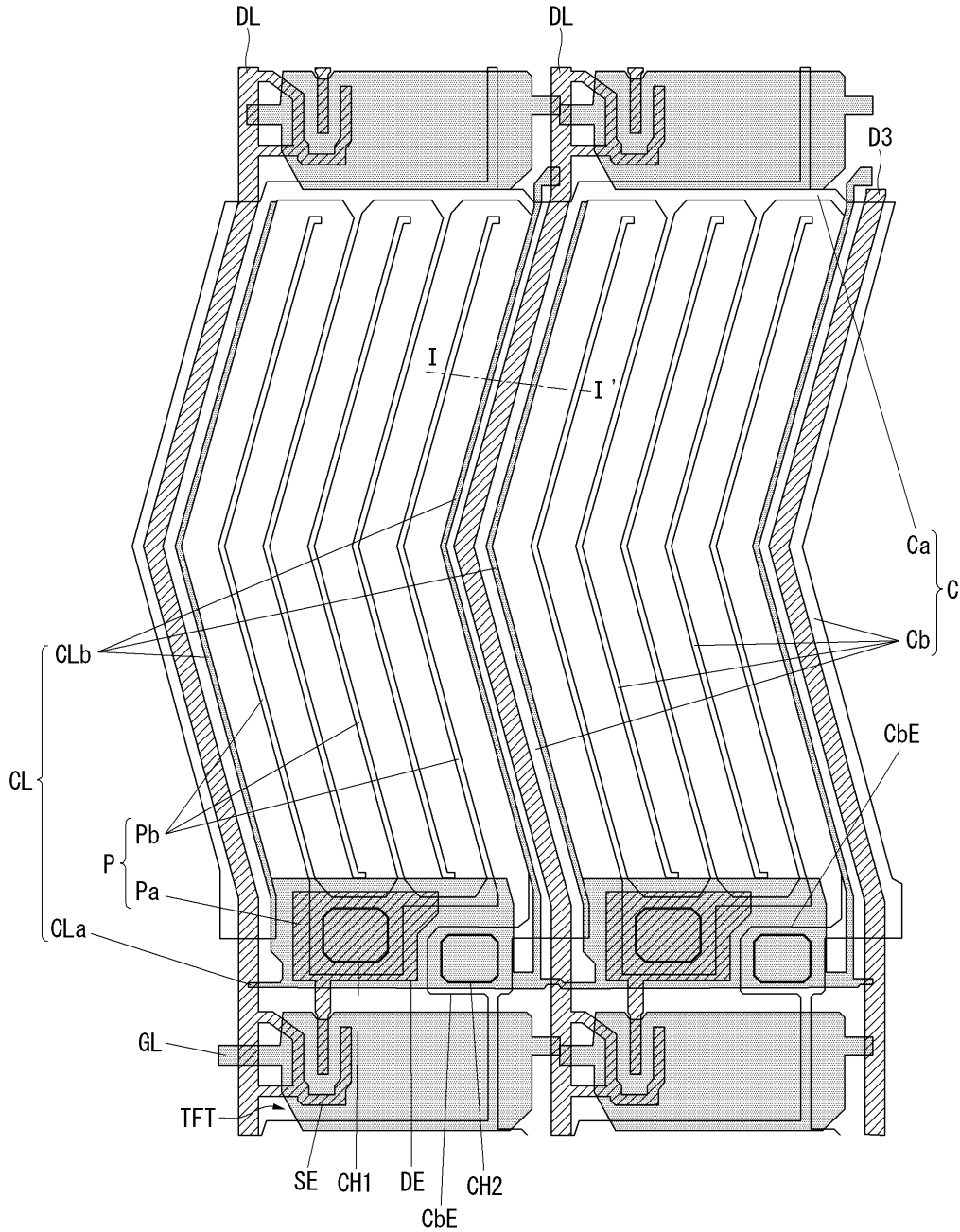
부호의 설명

- [0054] 10: 액정 표시패널 11: 타이밍 콘트롤러
- 12: 소스 드라이브 집적회로 13: 게이트 구동회로
- CL: 공통라인 CLa: 공통라인 수평부
- CLE1: 제 1 공통라인 확장부 CLE2: 제 2 공통라인 확장부
- SL: 차폐라인 SLa: 차폐라인 수평부
- SLb: 차폐라인 가지부 SLE1: 제 1 차폐라인 확장부
- SLE2: 제 2 차폐라인 확장부 SP: 차폐전극
- C: 공통전극 Ca: 공통전극 수평부

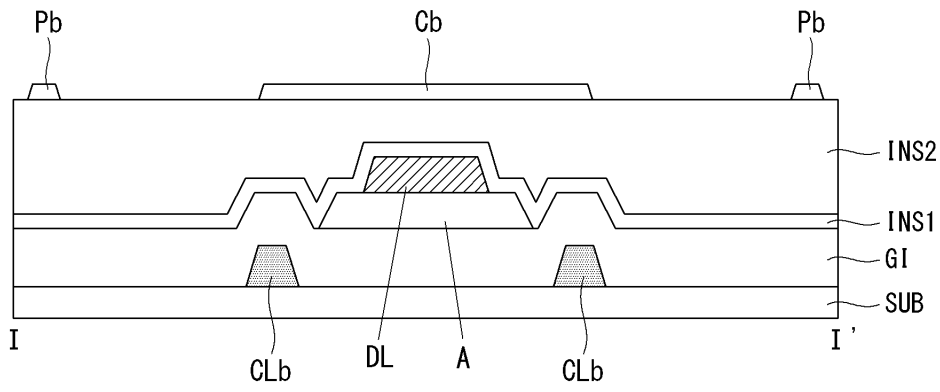
Cb: 공통전극 가지부 CE: 공통전극 확장부
 P: 화소전극 Pa: 화소전극 수평부
 Pb: 화소전극 가지부 PE: 화소전극 확장부

도면

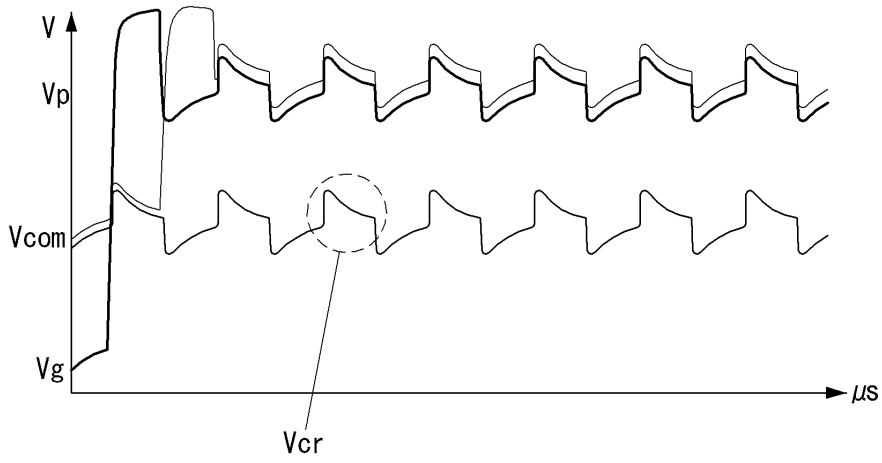
도면1



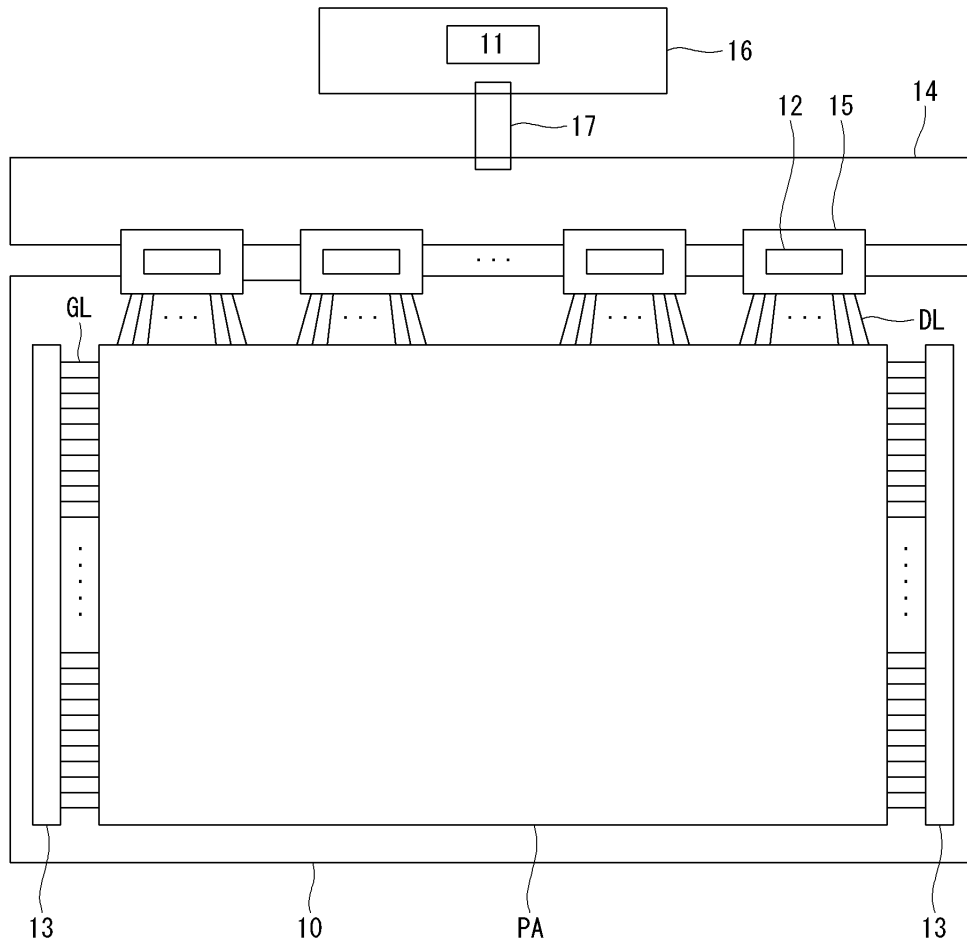
도면2



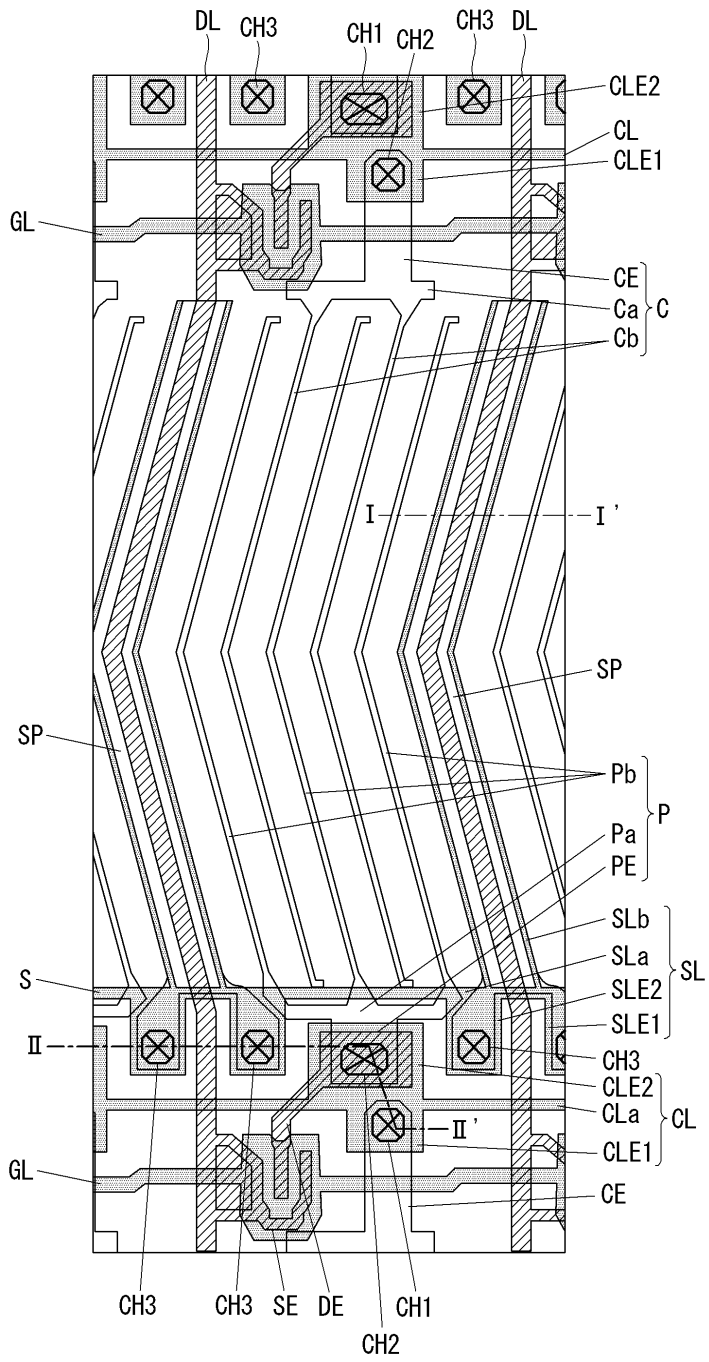
도면3



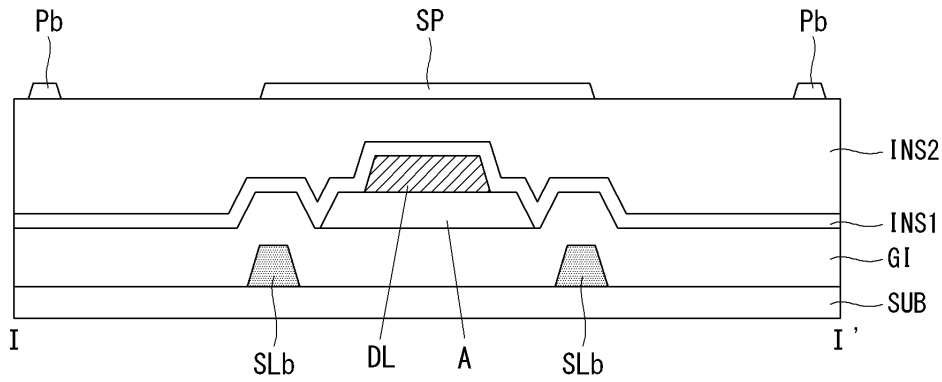
도면4



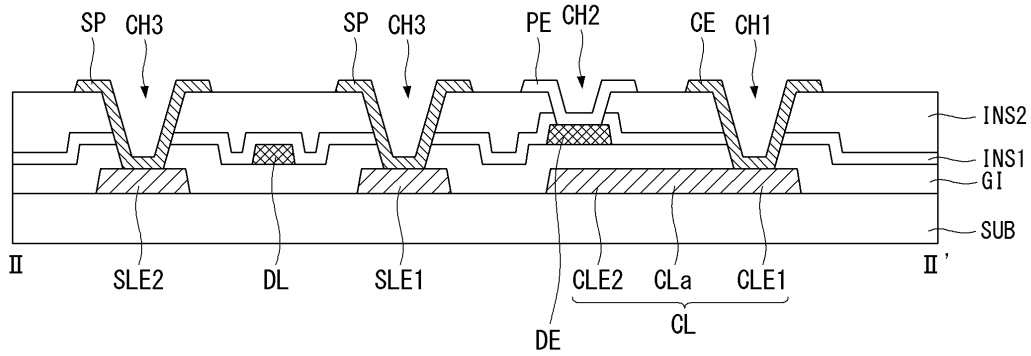
도면5



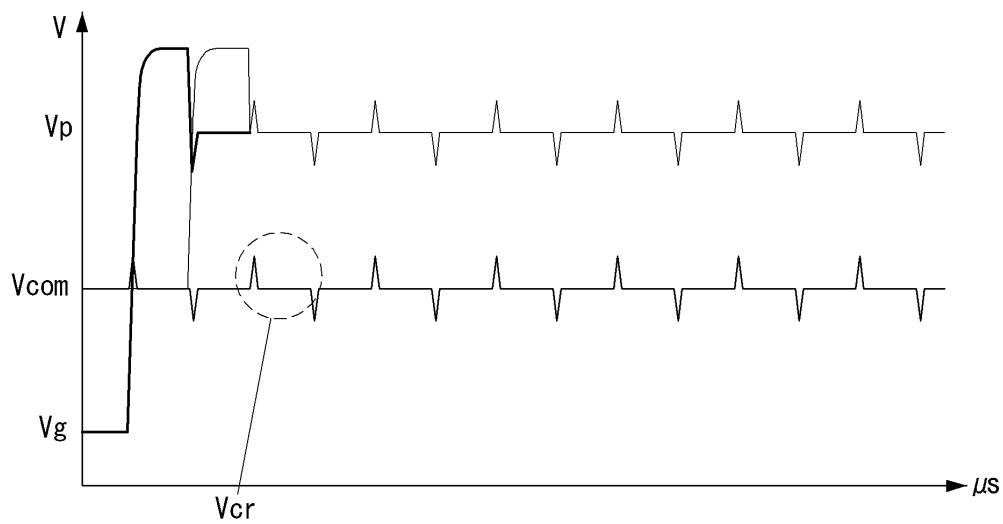
도면6a



도면6b



도면7



专利名称(译)	一种水平电场型液晶显示器		
公开(公告)号	KR1020170051672A	公开(公告)日	2017-05-12
申请号	KR1020150151789	申请日	2015-10-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	JEONG SEONG HUN 정성훈 KIM KANG IL 김강일		
发明人	정성훈 김강일		
IPC分类号	G02F1/1343 G02F1/1362 H01L29/786		
CPC分类号	G02F1/134363 G02F1/136286 H01L29/786 G02F2001/134318		
外部链接	Espacenet		

摘要(译)

本发明包括作为栅极线，公共线和屏蔽线，数据线，薄膜晶体管，像素电极，公共电极和所述水平jeongyehyeong液晶显示装置，其能够防止水平串扰的屏蔽电极。栅极线，公共线和屏蔽线沿彼此分开的第一方向布置在基板上。并且数据线布置在与第一方向交叉的第二方向上。薄膜晶体管邻近栅极线和数据线的交叉点设置。所述像素电极通过薄膜晶体管连接到数据线，其被布置在由栅极线的交点和数据线，第一水平部分和从像素区的水平部分的第一分支所限定的像素区如图所示。公共电极连接到所述公用线，第二水平部分到第二从水平部分分支，并且在第二分支与所述第一分支部分，以形成所述像素电极和所述水平电场交替布置在像素区域延伸有财富。屏蔽电极与数据线重叠并连接到屏蔽线。

