



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0077302
(43) 공개일자 2016년07월04일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2014-0186117
(22) 출원일자 2014년12월22일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김훈배
경기 고양시 일산서구 송포로 207, 701동 801호
(가좌동, 가좌마을7단지아파트)
김선엽
서울 마포구 망원로4길 8, 201동 204호 (망원동,
성원2차아파트)
(뒷면에 계속)
(74) 대리인
특허법인천문

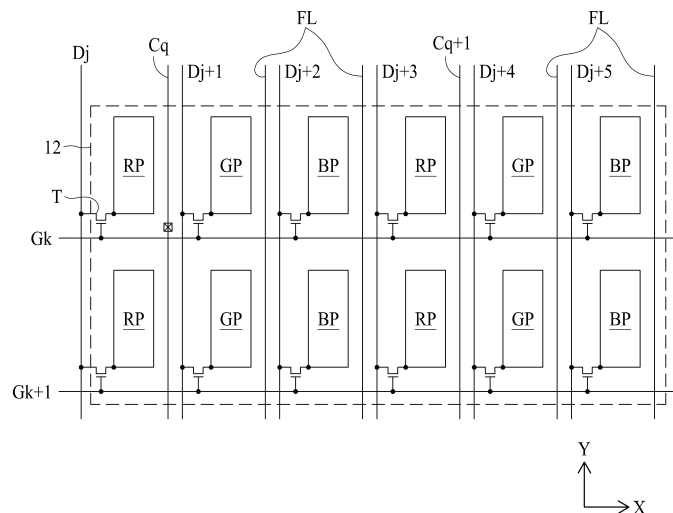
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 실시예는 복수의 공통전극들이 영향을 받는 노이즈들을 모두 반영하여 공통전압을 보상할 수 있는 액정표시장치에 관한 것이다. 데이터라인들, 피드백 라인들, 상기 데이터라인들에 교차하는 게이트라인들, 상기 데이터라인들과 상기 게이트라인들의 교차영역들에 마련되는 화소들, 및 공통전압이 공급되는 복수의 공통전극들을 포함하는 액정표시패널; 및 상기 피드백 라인들의 전압 변화량에 따라 상기 공통전압을 보상하는 공통전압 보상부를 구비하고, 상기 공통전극은 상기 화소들 중 일부에 중첩되며, 상기 피드백 라인들은 상기 공통전극에 중첩된다.

대표도 - 도7



(72) 발명자

이성엽

부산 해운대구 세실로 7, 106동 1205호 (좌동, 상
록아파트)

강성규

경기 파주시 월롱면 엘씨디로 201, E동 909호 (정
다운마을)

명세서

청구범위

청구항 1

데이터라인들, 피드백 라인들, 상기 데이터라인들에 교차하는 게이트라인들, 상기 데이터라인들과 상기 게이트라인들의 교차영역들에 마련되는 화소들, 및 공통전압이 공급되는 복수의 공통전극들을 포함하는 액정표시패널; 및

상기 피드백 라인들의 전압 변화량에 따라 상기 공통전압을 보상하는 공통전압 보상부를 구비하고,

상기 공통전극은 상기 화소들 중 일부에 중첩되며,

상기 피드백 라인들은 상기 공통전극에 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 피드백 라인은 서로 인접한 어느 두 개의 화소들 사이에 마련되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 피드백 라인들은 상기 게이트라인들과 교차하는 것을 특징으로 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 피드백 라인들은 어떠한 전압도 인가되지 않은 플로팅 라인들인 것을 특징으로 하는 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 액정표시패널은 상기 공통전극들에 접속되는 공통라인들을 더 포함하고,

상기 피드백 라인은 상기 공통라인들 사이에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 공통라인은 서로 인접한 또 다른 두 개의 화소들 사이에 마련되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 5 항에 있어서,

상기 공통전극은 상기 공통라인을 노출시키는 콘택홀을 통해 상기 공통라인에 접속되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 5 항에 있어서,

상기 데이터라인들에 데이터전압들을 공급하는 데이터 구동부;

상기 게이트라인들에 미리 정해진 순서대로 게이트신호들을 공급하는 게이트 구동부; 및

표시모드에서 상기 공통라인들에 공통전압을 공급하고, 터치모드에서 상기 공통라인들에 터치신호들을 공급하는

터치 구동부를 더 구비하는 액정표시장치.

청구항 9

제 5 항에 있어서,

상기 게이트라인들은 제1 금속층에 마련되고, 상기 데이터라인들은 상기 제1 금속층을 덮는 게이트 절연막 상의 제2 금속층에 마련되며, 상기 화소들의 화소전극들은 상기 제2 금속층을 덮는 평탄화막 상의 제1 투명전극층에 마련되고, 상기 공통라인들과 상기 피드백 라인들은 상기 제1 투명전극층을 덮는 제2 보호막 상의 제3 금속층에 마련되며, 상기 공통전극은 상기 제3 금속층을 덮는 층간 절연막 상의 제2 투명전극층에 마련되는 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 공통전압 보상부는,

상기 피드백 라인들에 접속된 제1 입력단자;

기준 공통전압이 공급되는 제2 입력단자;

상기 제1 입력단자로 입력되는 상기 피드백 라인들의 전압 변화량을 제1 노드로 부스팅하는 커패시터;

상기 제2 입력단자로 입력되는 상기 기준 공통전압 레벨에서 상기 제1 노드에 반영된 상기 피드백 라인들의 전압 변화량을 반전 증폭하여 보상 공통전압을 출력하는 반전 증폭부; 및

상기 공통라인들에 접속되어 보상 공통전압을 상기 공통라인들로 출력하는 출력단자를 포함하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명의 실시예는 액정표시장치에 관한 것이다.

배경 기술

[0002] 액정표시장치는 경량, 박형, 저소비 전력구동 등의 특징으로 인해 그 응용범위가 점차 넓어지고 있는 추세에 있다. 액정표시장치는 노트북 PC와 같은 휴대용 컴퓨터, 사무 자동화 기기, 오디오/비디오 기기, 옥내외 광고 표시장치 등으로 광범위하게 이용되고 있다. 액정표시장치는 액정층에 인가되는 전계를 제어하여 백라이트 유닛으로부터 입사되는 빛을 변조함으로써 화상을 표시한다.

[0003] 액정표시장치는 데이터라인들과 게이트라인들에 접속된 화소들이 마련된 액정표시패널, 데이터라인들에 데이터 전압들을 공급하는 데이터 구동부, 및 게이트라인들에 게이트신호들을 공급하는 게이트 구동부를 포함한다. 액정표시장치의 화소들 각각은 게이트신호가 공급될때 화소전극에 공급되는 데이터라인의 데이터전압과 공통전극에 공급되는 공통전압 간의 전계에 의해 액정층의 액정을 구동함으로써 백라이트 유닛으로부터 입사되는 빛을 변조한다.

[0004] 최근에 액정표시장치는 사용자의 터치를 인식할 수 있는 다수의 터치센서들을 갖는 터치 패널을 포함하며, 이 경우 터치 스크린 장치로 기능하게 된다. 최근에 터치 스크린 장치는 네비게이션(navigation), 산업용 단말기, 노트북 컴퓨터, 금융 자동화기기, 게임기 등과 같은 모니터, 스마트폰, 태블릿, 휴대전화기, MP3, PDA, PMP, PSP, 휴대용 게임기, DMB 수신기, 태블릿 PC 등과 같은 휴대용 단말기, 및 냉장고, 전자 레인지, 세탁기 등과 같은 가전제품 등에 적용되고 있다. 또한, 터치 스크린 장치는 누구나 쉽게 조작할 수 있는 장점으로 인해 적용이 점차 확대되고 있다.

[0005] 터치 스크린 장치는 액정표시패널상에 다수의 터치센서들을 갖는 터치 패널을 배치하는 온셀 타입(on-cell type)과 액정표시패널 내에 다수의 터치센서들을 마련하는 인셀 타입(in-cell type)으로 구분될 수 있다. 액정표시장치가 인셀 타입 터치 스크린 장치로 구현되는 경우, 복수의 공통전극들 각각은 복수의 공통라인들 각각에

의해 일대일로 접속되어 센싱 모드에서 터치 신호들을 공급받고, 표시 모드에서 공통전압을 공급받는다. 이로 인해, 복수의 공통전극들은 표시 모드에서 공통전극으로 기능하고, 센싱 모드에서는 터치 전극들로 기능한다.

[0006] 한편, 공통전압은 액정표시패널 내에서 발생하는 불특정 노이즈(noise)에 의해 영향을 받을 수 있으며, 액정표시장치는 노이즈에 의해 영향을 받은 공통전압을 보상하는 공통전압 보상회로를 포함할 수 있다. 하지만, 액정표시장치가 인셀 타입 터치 스크린 장치로 구현되어 복수의 공통전극들을 포함하는 경우, 복수의 공통전극들 각각이 복수의 공통라인들 각각에 일대일로 접속되기 때문에, 복수의 공통전극들 각각의 공통전압을 피드백받기 위한 피드백 라인들을 추가로 설계할 공간이 부족하다. 그러므로, 복수의 공통전극들이 영향을 받는 노이즈들을 모두 반영하여 공통전압을 보상하기 어려운 문제가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명의 실시예는 복수의 공통전극들이 영향을 받는 노이즈들을 모두 반영하여 공통전압을 보상할 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0008] 데이터라인들, 피드백 라인들, 상기 데이터라인들에 교차하는 게이트라인들, 상기 데이터라인들과 상기 게이트라인들의 교차영역들에 마련되는 화소들, 및 공통전압이 공급되는 복수의 공통전극들을 포함하는 액정표시패널; 및 상기 피드백 라인들의 전압 변화량에 따라 상기 공통전압을 보상하는 공통전압 보상부를 구비하고, 상기 공통전극은 상기 화소들 중 일부에 중첩되며, 상기 피드백 라인들은 상기 공통전극에 중첩된다.

발명의 효과

[0009] 본 발명의 실시예는 복수의 공통전극들과 중첩되는 피드백 라인들을 마련한다. 그 결과, 본 발명의 실시예는 복수의 공통전극들의 공통전압이 노이즈에 의해 영향을 받아 변화하는 경우, 복수의 공통전극들의 공통전압 변화량들을 피드백 라인들에 반영할 수 있다. 따라서, 본 발명의 실시예는 복수의 공통전극들이 영향을 받는 노이즈들을 모두 반영하여 공통전압을 보상할 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도.
 도 2는 도 1의 액정표시패널의 데이터라인들, 게이트라인들, 화소들과 게이트 구동부, 및 데이터 구동부를 상세히 보여주는 일 예시도면.
 도 3은 도 2의 화소를 상세히 보여주는 일 예시도면.
 도 4는 도 1의 액정표시패널의 공통전극들, 공통라인들, 피드백 라인들과 터치 구동부, 및 공통전압 보상부를 보여주는 일 예시도면.
 도 5는 1 프레임 기간의 디스플레이 구동기간과 터치 센싱기간 동안 공통라인들에 공급되는 공통전압과 터치신호들을 보여주는 파형도.
 도 6은 도 3의 공통전압 보상부를 상세히 보여주는 회로도.
 도 7은 액정표시패널의 화소들의 트랜지스터들, 화소전극들, 공통전극, 공통라인들, 및 피드백 라인들을 상세히 보여주는 일 예시도면.
 도 8은 도 7의 제j 데이터라인, 제j+1 데이터라인, 및 제k 게이트라인에 접속된 화소들을 상세히 보여주는 확대도.

도 9는 도 8의 I-I'의 단면도.

도 10은 도 8의 II-II'의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0012] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여주는 블록도이다. 도 2는 도 1의 액정표시패널의 데이터 라인들, 게이트라인들, 화소들과 게이트 구동부, 및 데이터 구동부를 상세히 보여주는 일 예시도면이다. 도 3은 도 2의 화소를 상세히 보여주는 일 예시도면이다. 도 4는 도 1의 액정표시패널의 공통전극들, 공통라인들, 피드백 라인들과 터치 구동부, 및 공통전압 보상부를 보여주는 일 예시도면이다. 도 5는 1 프레임 기간의 디스플레이 구동기간과 터치 센싱기간 동안 공통전극들에 공급되는 공통전압과 터치신호들을 보여주는 파형도이다. 이하에서는 도 1 내지 도 5를 결부하여 본 발명의 실시예에 따른 액정표시장치에 대하여 개략적으로 설명한다.
- [0013] 본 발명의 실시예에 따른 액정표시장치는 사용자가 손가락 또는 펜으로 터치를 하는 경우 사용자의 터치를 인식할 수 있는 터치 스크린 장치인 것을 중심으로 설명하였다. 특히, 본 발명의 실시예에 따른 액정표시장치는 자기 정전 용량(셀프 커패시턴스(self capacitance) 방식으로 사용자의 터치를 인식하는 것을 중심으로 설명하였다. 또한, 본 발명의 실시예에 따른 액정표시장치는 화상 표시와 터치 센싱을 모두 수행하기 위해, 도 5와 같이 디스플레이 구동기간(DP)과 터치 센싱기간(TP)을 시간적으로 분할하여 구동한다. 도 5에서는 1 프레임 기간(1 frame period)이 하나의 디스플레이 구동기간(DP)과 하나의 터치 센싱기간(TP)을 포함하는 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 1 프레임 기간(1 frame period)은 복수의 디스플레이 구동기간(DP)과 복수의 터치 센싱기간(TP)을 포함할 수 있다.
- [0014] 본 발명의 실시예에 따른 액정표시장치는 도 1과 같이 액정표시패널(10), 게이트 구동부(20), 데이터 구동부(30), 타이밍 제어부(40), 메인 프로세서(50), 터치 구동부(60), 및 공통전압 보상부(70)를 포함한다.
- [0015] 액정표시패널(10)은 하부기관, 상부기관, 및 하부기관과 상부기관 사이에 개재된 액정층을 포함한다. 액정표시패널(10)의 하부기관에는 데이터라인들(D1~Dm, m은 2 이상의 양의 정수), 게이트라인들(G1~Gn, n은 2 이상의 양의 정수), 공통라인들(C1~Cp, p는 2 이상의 양의 정수), 및 피드백라인(FL)들이 형성된다. 데이터라인들(D1~Dm), 피드백라인(FL)들, 및 공통라인들(C1~Cp)은 게이트라인들(G1~Gn)과 교차될 수 있다.
- [0016] 데이터라인들(D1~Dm)과 게이트라인들(G1~Gn)의 교차부들에는 도 2와 같이 화소(P)들이 형성될 수 있다. 화소(P)들 각각은 데이터라인과 게이트라인에 접속될 수 있다. 화소(P)들 각각은 도 3과 같이 트랜지스터(T), 화소전극(11), 및 스토리지 커패시터(Cst)를 포함할 수 있다. 트랜지스터(T)는 제k(k는 $1 \leq k \leq n$ 을 만족하는 양의 정수) 게이트라인(Gk)의 게이트신호에 의해 턴-온되어 제j(j는 $1 \leq j \leq m$ 을 만족하는 양의 정수) 데이터라인(Dj)의 데이터전압을 화소전극(11)에 공급한다. 공통전극(12)은 공통라인들(C1~Cp) 중 어느 하나로부터 공통전압을 공급받는다. 이로 인해, 화소(P)들 각각은 화소전극(11)에 공급된 데이터전압과 공통전극(12)에 공급된 공통전압의 전위차에 의해 발생하는 전계에 의해 액정층(13)의 액정을 구동하여 백라이트 유닛으로부터 입사되는 빛의 투과량을 조절할 수 있다. 그 결과, 화소(P)들은 화상을 표시할 수 있다. 또한, 스토리지 커패시터(Cst)는 화소전극(11)과 공통전극(12) 사이에 마련되어 화소전극(11)과 공통전극(12) 간의 전압차를 일정하게 유지한다.
- [0017] 액정표시패널(10)에는 도 4와 같이 복수의 공통전극(12)들은 형성된다. 공통전극(12)들 각각은 도 7과 같이 복수의 화소들과 중첩되도록 형성될 수 있다. 예를 들어, 공통전극(12)들 각각은 s(s는 2 이상의 양의 정수) 개의 화소들과 중첩되도록 형성될 수 있다.
- [0018] 공통전극(12)들 각각은 도 4와 같이 공통라인들(C1~Cp) 중 어느 하나에 접속될 수 있다. 공통라인들(C1~Cp) 각각은 공통전극(12)들 각각과 터치 구동부(60)를 연결한다. 이로 인해, 공통전극(12)들은 공통라인들(C1~Cp)을 통해 터치 구동부(60)로부터 도 5와 같이 디스플레이 구동기간(DP) 동안 공통전압을 공급받고, 터치 센싱기간(TP) 동안 터치신호들을 공급받을 수 있다. 공통라인들(C1~Cp)은 도 7과 같이 서로 인접한 두 개의 화소들 사

이에 배치될 수 있다.

- [0019] 도 4와 같이 서로 인접한 두 개의 공통라인들 사이에는 피드백 라인(FL)이 배치될 수 있다. 도 4에서는 서로 인접한 두 개의 공통라인들 사이에 두 개의 피드백 라인(FL)들이 배치된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 또한, 피드백 라인(FL)들 각각은 도 7과 같이 서로 인접한 두 개의 화소들 사이에 배치될 수 있다. 피드백 라인(FL)들은 하나의 라인으로 묶여서 공통전압 보상부(70)에 접속된다.
- [0020] 한편, 공통라인들(C1~Cp)로 인하여 공통전극(12)들에 공급되는 공통전압을 보상하기 위해 공통전압을 피드백받는 피드백 라인(FL)들을 설계하기 위한 공간이 부족할 수 있다. 따라서, 본 발명의 실시예는 피드백 라인(FL)들 각각을 공통전극(12)들 각각에 접속시키지 않고, 피드백 라인(FL)들 각각을 공통전극(12)들과 중첩되도록 형성한다. 피드백 라인(FL)들은 어떠한 전압도 인가되지 않는 플로팅 라인들(floating lines)일 수 있다. 플로팅 라인에는 어떠한 전압도 인가되지 않기 때문에, 플로팅 라인은 그에 인접한 라인 또는 전극의 전압 변화에 의해 쉽게 영향을 받는다. 결국, 피드백 라인(FL)들 각각은 플로팅 라인이기 때문에, 액정표시패널(10)에서 발생하는 불특정 노이즈(noise)에 의해 쉽게 영향을 받을 수 있다. 특히, 도 4와 같이 피드백 라인(FL)들 각각이 공통전극(12)들과 중첩되도록 형성되는 경우, 피드백 라인(FL)들 각각은 공통전극(12)들과 가장 인접하므로, 공통전극(12)들의 공통전압 변화량이 피드백 라인(FL)들 각각에 반영될 수 있다. 이 경우, 공통전압 보상부(70)는 액정표시패널(10)에서 발생한 불특정 노이즈(noise)에 의해 영향을 받은 공통전압 변화량을 피드백 라인(FL)들을 통해 입력받을 수 있으므로, 액정표시패널(10)의 노이즈를 반영하여 공통전압을 보상할 수 있다.
- [0021] 액정표시패널(10)의 상부기관에는 블랙매트릭스(black matrix)와 컬러필터(color filter) 등이 형성될 수 있다. 다만, 액정표시패널(10)이 COT(Color filter On TFT) 구조로 형성되는 경우, 블랙매트릭스와 컬러필터는 액정표시패널(10)의 하부기관에 형성될 수 있다.
- [0022] 액정표시패널(10)의 상부기관과 하부기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다. 액정표시패널(10)의 상부기관과 하부기관 사이에는 액정셀의 셀갭(cell gap)을 유지하기 위한 컬럼 스페이서가 형성된다.
- [0023] 액정표시패널(10)의 하부기관의 배면 아래에는 백라이트 유닛이 배치될 수 있다. 백라이트 유닛은 에지형(edge type) 또는 직하형(Direct type) 백라이트 유닛으로 구현되어 액정표시패널(10)에 빛을 조사한다.
- [0024] 게이트 구동부(20)는 디스플레이 구동기간(DP) 동안 타이밍 제어부(40)로부터 입력되는 게이트 제어신호(GCS)에 따라 게이트신호들을 생성한다. 게이트 구동부(20)는 디스플레이 구동기간(DP) 동안 게이트신호들을 미리 정해진 순서대로 게이트라인들(G1~Gn)에 공급한다. 미리 정해진 순서는 순차적인 순서일 수 있다.
- [0025] 데이터 구동부(30)는 디스플레이 구동기간(DP) 동안 타이밍 제어부(40)로부터 디지털 비디오 데이터(DATA)와 데이터 제어신호(DCS)를 입력받는다. 데이터 구동부(30)는 디스플레이 구동기간(DP) 동안 데이터 제어신호(DCS)에 따라 디지털 비디오 데이터(DATA)를 아날로그 데이터전압들로 변환한다. 데이터 구동부(30)는 디스플레이 구동기간(DP) 동안 데이터전압들을 데이터라인들(D1~Dm)에 공급한다.
- [0026] 타이밍 제어부(40)는 메인 프로세서(50)로부터 디지털 비디오 데이터(DATA)와 타이밍 신호들을 입력받는다. 타이밍 신호들은 수직동기신호(vertical synchronization signal), 수평동기신호(horizontal synchronization signal), 데이터 인에이블 신호(data enable signal), 도트 클럭(dot clock) 등을 포함할 수 있다. 수직동기신호는 1 프레임 기간을 정의하는 신호이다. 수평동기신호는 액정표시패널(10)의 1 수평라인의 화소들에 데이터 전압들을 공급하는 1 수평기간을 정의하는 신호이다. 1 수평라인의 화소들은 동일한 게이트라인에 접속될 수 있다. 데이터 인에이블 신호는 유효한 디지털 비디오 데이터가 공급되는 기간을 정의하는 신호이다. 도트 클럭은 소정의 짧은 주기로 반복되는 신호이다.
- [0027] 타이밍 제어부(40)는 액정표시장치를 표시모드와 센싱모드로 구분하여 동작시킨다. 타이밍 제어부(40)는 도 5와 같이 1 프레임 기간(1 frame period)의 디스플레이 구동기간(DP) 동안 액정표시장치를 표시모드로 동작시키고, 터치 센싱기간(TP) 동안 센싱모드로 동작시킬 수 있다. 타이밍 제어부(40)는 표시모드와 센싱모드를 구분하기 위해 모드신호(MODE)를 생성할 수 있다. 이 경우, 타이밍 제어부(40)는 디스플레이 구동기간(DP) 동안 제 1 로직 레벨 전압의 모드신호(MODE)를 출력하고, 터치 센싱기간(TP) 동안 제 2 로직 레벨 전압의 모드신호(MODE)를 출력할 수 있다.
- [0028] 타이밍 제어부(40)는 타이밍 신호들에 기초하여 게이트 구동부(20)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)와 데이터 구동부(30)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS)를 생성한다. 타이밍 제어부(40)는 터치 구동부(60)의 동작 타이밍을 제어하기 위한 터치 제어신호(TCS)를 생성한다. 타이밍 제어부

(40)는 디스플레이 구동기간(DP) 동안 게이트 구동부(20)에 게이트 제어신호(GCS)를 출력하고, 데이터 구동부(30)에 디지털 비디오 데이터(DATA)와 데이터 타이밍 제어신호(DCS)를 출력할 수 있다. 타이밍 제어부(40)는 터치 구동부(60)에 터치 제어신호(TCS)와 모드신호(MODE)를 출력할 수 있다. 타이밍 제어부(40)는 공통전압 보상부(70)에 모드신호(MODE)를 출력할 수 있다.

[0029] 메인 프로세서(50)는 네비게이션 시스템, 셋톱박스, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 노트북, 홈 시어터 시스템, 방송 수신기, 스마트폰, 태블릿, 이동 단말기 중 어느 하나의 중앙처리장치(CPU), 호스트 프로세서(host processor), 어플리케이션 프로세서(application processor), 또는 그래픽 처리장치(GPU)로 구현될 수 있다. 메인 프로세서(50)는 디지털 비디오 데이터(DATA)를 액정표시패널(10)에 표시하기에 적합한 포맷으로 변환하여 타이밍 제어부(40)에 전송한다.

[0030] 또한, 메인 프로세서(50)는 터치 구동부(60)로부터 터치 좌표 데이터(CD)를 입력받을 수 있다. 메인 프로세서(50)는 터치 좌표 데이터(CD)에 따라 사용자에게 의해 터치가 발생한 좌표와 연계된 응용 프로그램 또는 어플리케이션 프로그램을 실행할 수 있다. 메인 프로세서(50)는 실행 프로그램에 따른 디지털 비디오 데이터(DATA)와 타이밍 신호들을 타이밍 제어부(40)로 전송할 수 있다.

[0031] 터치 구동부(60)는 타이밍 제어부(40)로부터 터치 제어신호(TCS)와 모드신호(MODE)를 입력받는다. 터치 구동부(60)는 공통전압 보상부(70)로부터 공통전압(Vcom)을 입력받는다.

[0032] 터치 구동부(60)는 모드신호(MODE)에 따라 디스플레이 구동기간(DP)과 터치 센싱기간(TP)을 구분되어 동작할 수 있다. 터치 구동부(60)는 도 5와 같이 디스플레이 구동기간(DP) 동안 공통전압(Vcom)을 공통라인들(C1~Cp)을 통해 공통전극(12)들에 공급한다. 터치 구동부(60)는 터치 센싱기간(TP) 동안 터치 제어신호(TCS)에 따라 터치 신호들(TS1~TSp)을 생성한다. 터치 구동부(60)는 도 5와 같이 터치 센싱기간(TP) 동안 터치신호들(TS1~TSp)을 공통라인들(C1~Cp)을 통해 공통전극(12)들에 공급한다.

[0033] 터치 구동부(60)는 터치신호들(TS1~TSp)을 미리 정해진 순서대로 공통라인들(C1~Cp)에 공급할 수 있다. 미리 정해진 순서는 순차적인 순서인 경우, 터치 구동부(60)는 제1 내지 제p 공통라인들(C1~Cp)에 제1 내지 제p 터치신호들(TS1~TSp)을 순차적으로 공급할 수 있다.

[0034] 터치신호들(TS1~TSp)은 복수 개의 펄스들을 포함할 수 있다. 도 5에서는 터치신호들(TS1~TSp)이 공통전압(Vcom)보다 높은 레벨의 전압을 갖는 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다.

[0035] 터치 구동부(60)는 공통전극(12)들로부터 터치신호들(TS1~TSp)에 따른 터치 센싱신호들을 수신한다. 터치 구동부(60)는 터치 센싱신호들을 소정의 알고리즘을 이용하여 연산하여 터치 좌표(들)를 산출할 수 있다. 터치 구동부(60)는 터치 좌표(들)를 포함하는 터치 좌표 데이터(CD)를 메인 프로세서(50)로 공급한다. 이 경우, 메인 프로세서(50)는 터치 좌표 데이터(CD)에 따라 사용자에게 의해 터치가 발생한 좌표와 연계된 응용 프로그램 또는 어플리케이션 프로그램을 실행하고, 실행 프로그램에 따른 디지털 비디오 데이터(DATA)와 타이밍 신호들을 타이밍 제어부(40)로 전송한다.

[0036] 공통전압 보상부(70)는 기준 공통전압라인(Vcom_REF)을 통해 전원 공급원으로부터 기준 공통전압을 입력받고, 타이밍 제어부(40)로부터 모드신호(MODE)를 입력받으며, 피드백 라인(FL)들로부터 공통전극(12)들의 공통전압 변화량을 입력받는다. 공통전압 보상부(70)는 모드신호(MODE)에 따라 디스플레이 구동기간(DP)과 터치 센싱기간(TP)으로 구분되어 동작한다. 터치 센싱기간(TP) 동안에는 공통전극(12)들에 터치신호들이 공급되기 때문에, 공통전압 보상부(70)는 디스플레이 구동기간(DP) 동안에만 피드백 라인(FL)들의 전압 변화량에 따라 공통전압을 보상한다. 구체적으로, 공통전압 보상부(70)는 기준 공통전압(Vcom_REF) 레벨에서 피드백 라인(FL)들에 반영된 공통전압 변화량을 반전 증폭함으로써, 액정표시패널(10)에서 발생한 불특정 노이즈(noise)에 의해 영향을 받은 공통전압 변화량을 보상한 공통전압을 출력할 수 있다. 공통전압 보상부(70)에 대한 자세한 설명은 도 6을 결부하여 후술한다.

[0037] 도 6은 도 3의 공통전압 보상부의 일 예를 상세히 보여주는 회로도이다. 본 발명의 실시예에 따른 공통전압 보상부(70)는 도 6에 도시된 바에 한정되지 않음에 주의하여야 한다. 즉, 공통전압 보상부(70)는 이미 공지된 다른 공통전압 보상회로를 이용하여 공통전압을 보상할 수 있다.

[0038] 도 6을 참조하면, 공통전압 보상부(70)는 제1 및 제2 입력단자들(IN1, IN2), 출력단자(OUT), 커패시터(C), 및 반전 증폭부(71)를 포함할 수 있다.

- [0039] 제1 입력단자(IN1)는 피드백 라인(FL)들이 묶여진 하나의 라인에 접속된다. 즉, 제1 입력단자(IN1)에는 피드백 라인(FL)들에 반영된 공통전극(12)들의 공통전압 변화량이 입력된다.
- [0040] 제2 입력단자(IN2)는 기준 공통전압이 공급되는 기준 공통전압 라인(Vcom_REF)에 접속된다. 즉, 제2 입력단자(IN2)에는 기준 공통전압이 공급될 수 있다. 기준 공통전압은 전원 공급원에서 입력되는 직류전압이다.
- [0041] 출력단자(OUT)는 터치 구동부(60)에 접속된다. 즉, 출력단자(OUT)로 출력되는 공통전압은 터치 구동부(60)에 입력된다.
- [0042] 커패시터(C)는 제1 입력단자(IN1)와 반전 증폭부(71) 사이에 마련된다. 커패시터(C)는 제1 입력단자(IN1)로 입력되는 공통전압 변화량을 반전 증폭부(71)의 OP-AMP(OP)의 반전 입력단자(-)에 공급한다.
- [0043] 반전 증폭부(600)는 OP-AMP(OP), 제1 저항(R1) 및 제2 저항(R2)를 포함할 수 있다. OP-AMP(OP)는 제2 입력단자(IN2)에 접속되어 직류 전원전압인 기준 공통전압이 입력되는 비반전 입력단자(+), 제1 입력단자(VI1)에 접속되어 피드백전압이 입력되는 반전 입력단자(-), 및 출력 단자(o)를 포함한다. 제1 저항(R1)은 OP-AMP(OP)의 반전 입력단자(-)와 제1 전원 입력단자(VI1) 사이에 접속된다. 제2 저항(R2)는 OP-AMP(OP)의 반전 입력단자(-)와 출력 단자 사이에 접속된다. 반전 증폭부(600)는 제1 및 제2 저항들(R1, R2)의 저항비에 따라 OP-AMP(OP)의 비 반전 입력단자(+)로 입력되는 기준 공통전압의 레벨에서 반전 입력단자(-)로 입력되는 공통전압 변화량을 반전 보상하여 출력단자(OUT)로 출력한다.
- [0044] 이상에서 살펴본 바와 같이, 본 발명의 실시예에 따른 공통전압 보상부(70)는 피드백 라인(FL)들에 반영된 공통전극(12)들의 공통전압 변화량을 입력받으므로, 공통전극(12)들이 영향을 받는 노이즈들을 모두 반영하여 공통전압(Vcom)을 보상할 수 있다.
- [0045] 도 7은 액정표시패널의 화소들의 트랜지스터들, 화소전극들, 공통전극, 공통라인들, 및 피드백 라인들을 상세히 보여주는 일 예시도면이다. 도 7에서는 설명의 편의를 위해 제j 내지 제j+5 데이터라인들(Dj~Dj+5), 제k 내지 제k+1 게이트라인들(Gk, Gk+1), 및 그들의 교차영역들에 마련된 트랜지스터(T)들과 화소전극들(RP, GP, BP)만을 예시하였다. 또한, 도 7에서는 화소전극이 적색 화소의 화소전극(RP), 녹색 화소의 화소전극(GP) 및 청색 화소의 화소전극(BP) 중 어느 하나인 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 한편, 적색 화소의 화소전극(RP), 녹색 화소의 화소전극(GP) 및 청색 화소의 화소전극(BP)은 도 7과 같이 수평 방향(x축 방향)으로 차례로 반복하여 마련될 수 있다.
- [0046] 도 7을 참조하면, 화소들 각각은 트랜지스터(T) 및 화소전극(RP, GP, BP)을 포함한다. 트랜지스터(T)는 게이트 라인에 공급되는 게이트신호에 의해 턴-온되어 데이터라인의 데이터전압을 화소전극(RP, GP, BP)에 공급한다. 트랜지스터(T)의 게이트 전극은 게이트라인에 접속되고, 소스 전극은 데이터라인에 접속되며, 드레인 전극은 화소전극(RP, GP, BP)에 접속될 수 있다. 화소전극(RP, GP, BP)은 트랜지스터(T)를 통해 데이터전압을 공급받는다. 화소전극(RP, GP, BP)의 데이터전압과 공통전극(12)의 공통전압의 전위차에 의해 발생하는 전계에 의해 액정층(13)의 액정을 구동하여 백라이트 유닛으로부터 입사되는 빛의 투과량을 조절할 수 있다.
- [0047] 공통전극(12)은 s 개의 화소들과 중첩될 수 있다. 도 7에서는 공통전극(12)이 12 개의 화소들과 중첩된 것을 예시하였으나, 이에 한정되지 않음에 주의하여야 한다. 공통전극(12)은 도 7과 같이 제1 콘택홀(CNT1)을 통해 제q 공통라인(Cq)에 접속될 수 있다. 제1 콘택홀(CNT1)은 도 9와 같이 제2 보호막(PAS2)을 관통하여 제q 공통라인(Cq)을 노출시키는 홀이다. 공통전극(12)에 접속되지 않는 다른 공통라인(Cq+1)들은 공통전극(12)에 중첩될 수 있다.
- [0048] 공통라인들(Cq, Cq+1) 각각은 서로 인접한 두 개의 화소전극들(RP, GP, BP) 사이에 배치될 수 있다. 예를 들어, 공통라인들(Cq, Cq+1) 각각은 도 7과 같이 적색 화소의 화소전극(RP)과 녹색 화소의 화소전극(GP) 사이에 배치될 수 있다. 하지만, 본 발명의 실시예는 이에 한정되지 않으며, 공통라인들(Cq, Cq+1)의 배치는 공통라인들(Cq, Cq+1)의 개수에 따라 달라질 수 있다. 공통라인들(Cq, Cq+1)의 개수는 공통전극(12)들의 개수에 의존한다. 즉, 공통라인들(Cq, Cq+1)의 개수가 많아서 적색 화소의 화소전극(RP)과 녹색 화소의 화소전극(GP) 사이마다 공통라인들(Cq, Cq+1)을 배치하더라도 공통라인들(Cq, Cq+1)을 모두 배치하지 못하는 경우, 공통라인들(Cq, Cq+1)은 녹색 화소의 화소전극(GP)과 청색 화소의 화소전극(BP) 사이들 또는 청색 화소의 화소전극(BP)과 적색 화소의 화소전극(RP) 사이들에 배치될 수 있다. 또한, 공통라인들(Cq, Cq+1)의 개수가 적은 경우 공통라인들(Cq, Cq+1)은 적색 화소의 화소전극(RP)과 녹색 화소의 화소전극(GP) 사이들 중 일부에만 배치할 수 있다.

- [0049] 피드백 라인(FL)은 서로 인접한 두 개의 공통라인들(C_q , C_{q+1}) 사이에 배치될 수 있다. 예를 들어, 두 개의 피드백 라인(FL)들이 도 7과 같이 제 q 및 제 $q+1$ 공통라인들(C_q , C_{q+1}) 사이에 배치될 수 있다. 하지만, 본 발명의 실시예는 이에 한정되지 않으며, 피드백 라인(FL)들의 배치는 공통라인들(C_q , C_{q+1})의 개수와 피드백 라인(FL)들의 개수에 따라 달라질 수 있다. 이는 공통라인들(C_q , C_{q+1})의 개수가 많을수록 피드백 라인(FL)들을 설계하기 위한 공간이 부족하기 때문이다. 예를 들어, 공통라인들(C_q , C_{q+1})의 개수가 피드백 라인(FL)들의 개수보다 더 많은 경우, 서로 인접한 두 개의 공통라인들(C_q , C_{q+1}) 사이에는 하나의 피드백 라인(FL)이 배치될 수 있다. 또한, 피드백 라인(FL)들의 개수가 공통라인들(C_q , C_{q+1})의 개수보다 많은 경우 서로 인접한 두 개의 공통라인들(C_q , C_{q+1}) 사이에는 두 개 이상의 피드백 라인(FL)들이 배치될 수 있다.
- [0050] 피드백 라인(FL)들 각각은 서로 인접한 두 개의 화소전극들(RP, GP, BP) 사이에 배치될 수 있다. 예를 들어, 피드백 라인(FL)들은 도 7과 같이 녹색 화소의 화소전극(GP)과 청색 화소의 화소전극(BP) 사이들과 청색 화소의 화소전극(BP)과 적색 화소의 화소전극(RP) 사이들에 배치될 수 있다. 하지만, 본 발명의 실시예는 이에 한정되지 않으며, 피드백 라인(FL)들의 배치는 공통라인들(C_q , C_{q+1})의 개수와 피드백 라인(FL)들의 개수에 따라 달라질 수 있다. 이는 공통라인들(C_q , C_{q+1})의 개수가 많을수록 피드백 라인(FL)들을 설계하기 위한 공간이 부족하기 때문이다. 예를 들어, 공통라인들(C_q , C_{q+1})의 개수가 피드백 라인(FL)들의 개수보다 더 많은 경우 피드백 라인(FL)들 각각은 녹색 화소의 화소전극(GP)과 청색 화소의 화소전극(BP) 사이들과 청색 화소의 화소전극(BP)과 적색 화소의 화소전극(RP) 사이들에 배치될 수 있다. 또한, 피드백 라인(FL)들의 개수가 공통라인들(C_q , C_{q+1})의 개수보다 더 많은 경우 피드백 라인(FL)들 각각은 녹색 화소의 화소전극(GP)과 청색 화소의 화소전극(BP) 사이들 또는 청색 화소의 화소전극(BP)과 적색 화소의 화소전극(RP) 사이들에만 배치될 수 있다.
- [0051] 피드백 라인(FL)들 각각은 공통전극(12)들과 중첩되도록 형성된다. 또한, 피드백 라인(FL)들은 어떠한 전압도 인가되지 않는 플로팅 라인들(floating lines)일 수 있다. 이로 인해, 피드백 라인(FL)들은 공통전극(12)들의 공통전압이 변화되는 경우 공통전압 변화량이 반영될 수 있다. 특히, 도 7과 같이 피드백 라인(FL)들 각각이 공통전극(12)들과 중첩되도록 형성되는 경우, 피드백 라인(FL)들은 공통전극(12)들에 가장 인접하므로, 공통전극(12)들의 공통전압 변화량이 피드백 라인(FL)들에 반영될 수 있다.
- [0052] 또한, 피드백 라인(FL)은 게이트라인들(G_k , G_{k+1})과 교차되는 것이 바람직하다. 게이트라인들(G_k , G_{k+1})에 게이트신호들이 미리 정해진 순서대로 공급되므로, 게이트신호들이 인가되는 게이트라인과 중첩되는 공통전극(12)이 게이트신호들 또는 화소전극에 공급되는 데이터전압에 의해 영향을 받을 가능성이 높다. 따라서, 피드백 라인(FL)들을 게이트라인들(G_k , G_{k+1})과 교차되도록 설계하는 경우, 게이트신호들이 인가될때 공통전극(12)의 공통전압 변화량이 피드백 라인(FL)들에 반영될 수 있다. 그러므로, 공통전압 보상부(70)는 피드백 라인(FL)들에 반영된 공통전압 변화량을 보상한 공통전압(V_{com})을 출력할 수 있다.
- [0053] 이상에서 살펴본 바와 같이, 공통라인들(C_q , C_{q+1})의 개수가 많을수록 피드백 라인(FL)들을 설계하기 위한 공간이 부족하기 때문에, 본 발명의 실시예는 피드백 라인(FL)들 각각을 공통전극(12)들 각각에 접속시키지 않고, 피드백 라인(FL)들 각각을 공통전극(12)들과 중첩되도록 형성한다. 이로 인해, 공통전극(12)과 피드백 라인(FL)들 간의 기생 용량에 의해 공통전극(12)의 공통전압 변화량이 피드백 라인(FL)들에 반영될 수 있다.
- [0054] 도 8은 도 7의 제 j 데이터라인, 제 $j+1$ 데이터라인, 및 제 k 게이트라인에 접속된 화소들을 상세히 보여주는 확대도이다. 도 9는 도 8의 I-I'의 단면도이다. 도 10은 도 8의 II-II'의 단면도이다. 도 8 내지 도 10에서는 본 발명의 실시예에 따른 액정표시패널(10)이 IPS(In-Plane Switching) 모드 또는 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식으로 구현된 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 이하에서는, 도 8 내지 도 10을 결부하여 본 발명의 실시예에 따른 제 q 공통라인(C_q)과 공통전극(12)의 접속, 피드백 라인(FL)에 대하여 상세히 살펴본다.
- [0055] 도 8 내지 도 10을 참조하면, 하부기판(110)상에 트랜지스터(T)의 게이트 전극(GE)을 포함하는 게이트 금속층이 형성된다. 게이트 금속층은 폴리브덴(Mo)으로 형성될 수 있다. 게이트 금속층은 하부기판(110)의 버퍼층(미도시) 상에 형성될 수도 있다. 게이트 금속층은 제1 금속층으로 정의될 수 있다.
- [0056] 제1 금속층 상에는 게이트 절연막(GI)이 형성된다. 게이트 절연막(GI)은 실리콘나이트라이드(SiN_x)로 형성될 수 있다.
- [0057] 게이트 절연막(GI) 상에는 트랜지스터(T)의 반도체층(ACT)이 형성된다. 반도체층(ACT)은 게이트 전극(GE)에 중첩되게 형성된다. 반도체층(ACT)은 a-Si, 산화물 반도체, 폴리 실리콘 중 어느 하나로 형성될 수도 있다. 제1

금속층과 반도체층(ACT)은 게이트 절연막(GI)에 의해 절연된다.

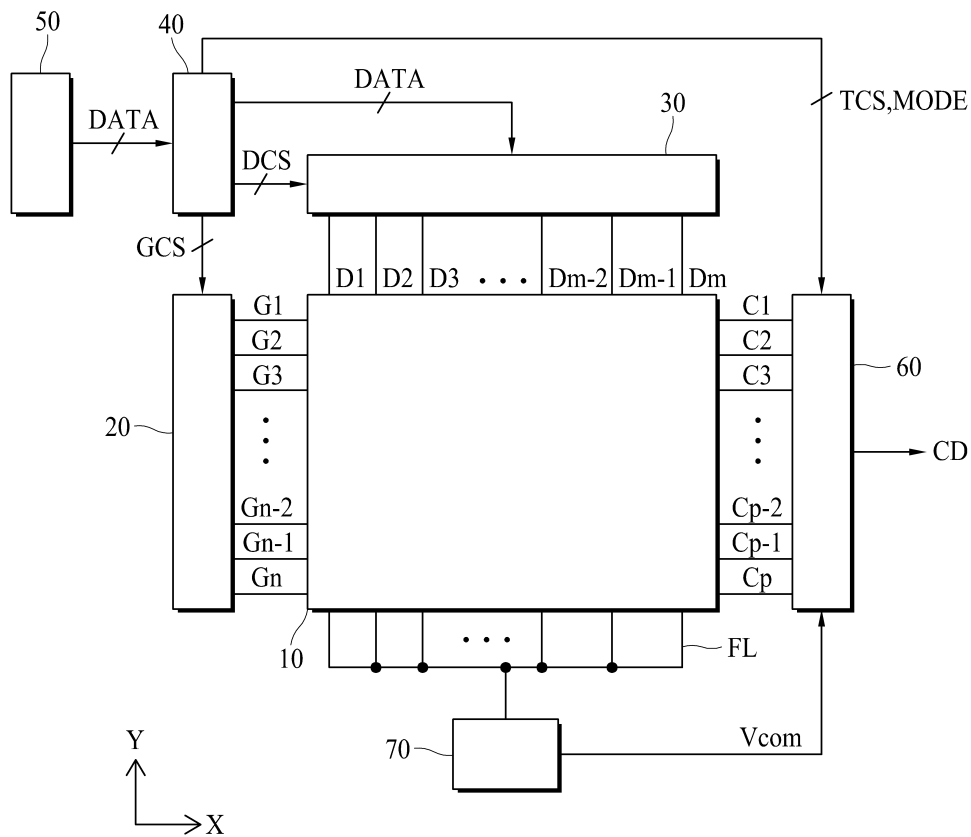
- [0058] 반도체층(ACT) 상에는 제j 및 제j+1 데이터라인들(Dj, Dj+1), 트랜지스터(T)의 소스 전극(SE)과 드레인 전극(DE)을 포함하는 소스/드레인 금속층이 형성된다. 소스/드레인 금속층은 티타늄(Ti)/알루미늄(Al)/티타늄(Ti)의 3층 구조로 형성될 수 있다. 소스/드레인 금속층은 제2 금속층으로 정의될 수 있다.
- [0059] 반도체층(ACT)과 제2 금속층 상에는 제1 보호막(PAS1)과 평탄화막(PAC)이 차례로 형성될 수 있다. 제1 보호막(PAS1)은 실리콘나이트라이드(SiNx)로 형성될 수 있다. 평탄화막(PAC)은 포토 아크릴(photo acryl)로 형성할 수 있다.
- [0060] 평탄화막(PAC) 상에는 화소전극(PE)을 포함하는 제1 투명전극층이 형성된다. 제1 투명전극층은 ITO, IZO 중 어느 하나로 형성될 수 있다. 제1 투명전극층과 제2 금속층은 제1 보호막(PAS1)과 평탄화막(PAC)에 의해 절연된다. 다만, 화소전극(PE)과 트랜지스터(T)의 드레인 전극(DE)은 제2 콘택홀(CNT2)을 통해 접속된다. 제2 콘택홀(CNT2)은 제1 보호막(PAS1)과 평탄화막(PAC)을 관통하여 트랜지스터(T)의 드레인 전극(DE)을 노출시킨다.
- [0061] 제1 투명전극층 상에는 제2 보호막(PAS2)이 형성된다. 제2 보호막(PAS2)은 실리콘나이트라이드(SiNx)로 형성될 수 있다.
- [0062] 제2 보호막(PAS2) 상에는 제q 공통라인(Cq)과 피드백 라인(FL)을 포함하는 제3 금속층이 형성될 수 있다. 제1 투명전극층과 제3 금속층은 제2 보호막(PAS2)에 의해 절연된다.
- [0063] 제3 금속층 상에는 층간 절연막(ILD)이 형성될 수 있다. 층간 절연막(ILD)은 실리콘나이트라이드(SiNx)로 형성될 수 있다.
- [0064] 층간 절연막(ILD) 상에는 공통전극(12)을 포함하는 제2 투명전극층이 형성된다. 제2 투명전극층은 ITO, IZO 중 어느 하나로 형성될 수 있다. 제1 투명전극층과 제3 금속층은 층간 절연막(ILD)에 의해 절연된다. 공통전극(12)과 제q 공통라인(Cq)은 서로 다른 금속층에 마련되므로, 공통전극(12)과 제q 공통라인(Cq)은 제1 콘택홀(CNT1)을 통해 접속된다. 제1 콘택홀(CNT1)은 층간 절연막(ILD)을 관통하여 제q 공통라인(Cq)을 노출시킨다. 공통전극(12)은 화소전극(PE)과 중첩되게 형성되며, 화소전극(PE)과 수평전계를 형성하기 위해 화소전극(PE)을 노출시키는 소정의 홀들을 포함할 수 있다.
- [0065] 한편, 피드백 라인(FL)은 도 10과 같이 다른 전극 또는 라인에 접속되지 않으므로, 플로팅(floating)된다. 또한, 피드백 라인(FL)은 도 10과 같이 공통전극(12)과 중첩되므로, 피드백 라인(FL)과 공통전극(12) 사이에는 기생 용량(Cp)이 존재할 수 있다. 이로 인해, 공통전극(12)의 공통전압이 액정표시패널(10) 내에서 발생하는 블특정 노이즈(noise)에 의해 영향을 받아 변화되는 경우, 공통전극(12)의 공통전압은 기생 용량(Cp)에 의해 피드백 라인(FL)에 반영될 수 있다. 특히, 본 발명의 실시예는 피드백 라인(FL)들을 공통전극(12)들 모두에 중첩되게 형성하므로, 공통전극(12)들이 영향을 받는 노이즈들을 모두 반영하여 공통전압을 보상할 수 있다.
- [0066] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

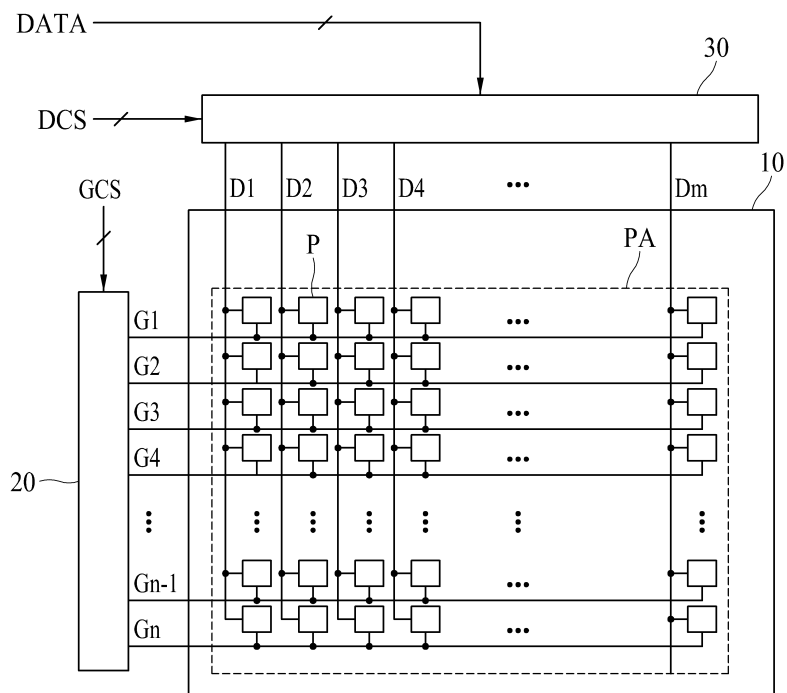
- [0067] 10: 표시패널 11, PE: 화소전극
12: 공통전극 13: 액정층
20: 게이트 구동부 30: 데이터 구동부
40: 타이밍 제어부 50: 메인 프로세서
60: 터치 구동부 70: 공통전압 보상부
FL: 피드백 라인 C1-Cp: 공통라인

도면

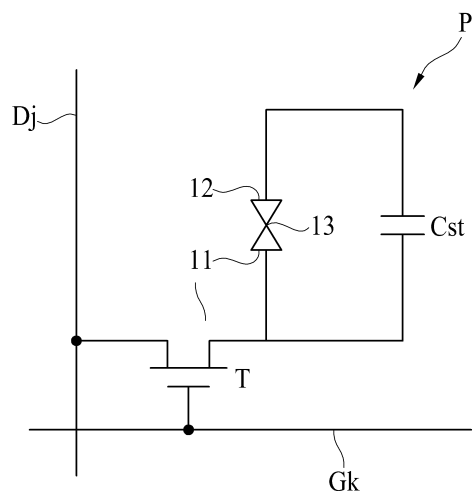
도면1



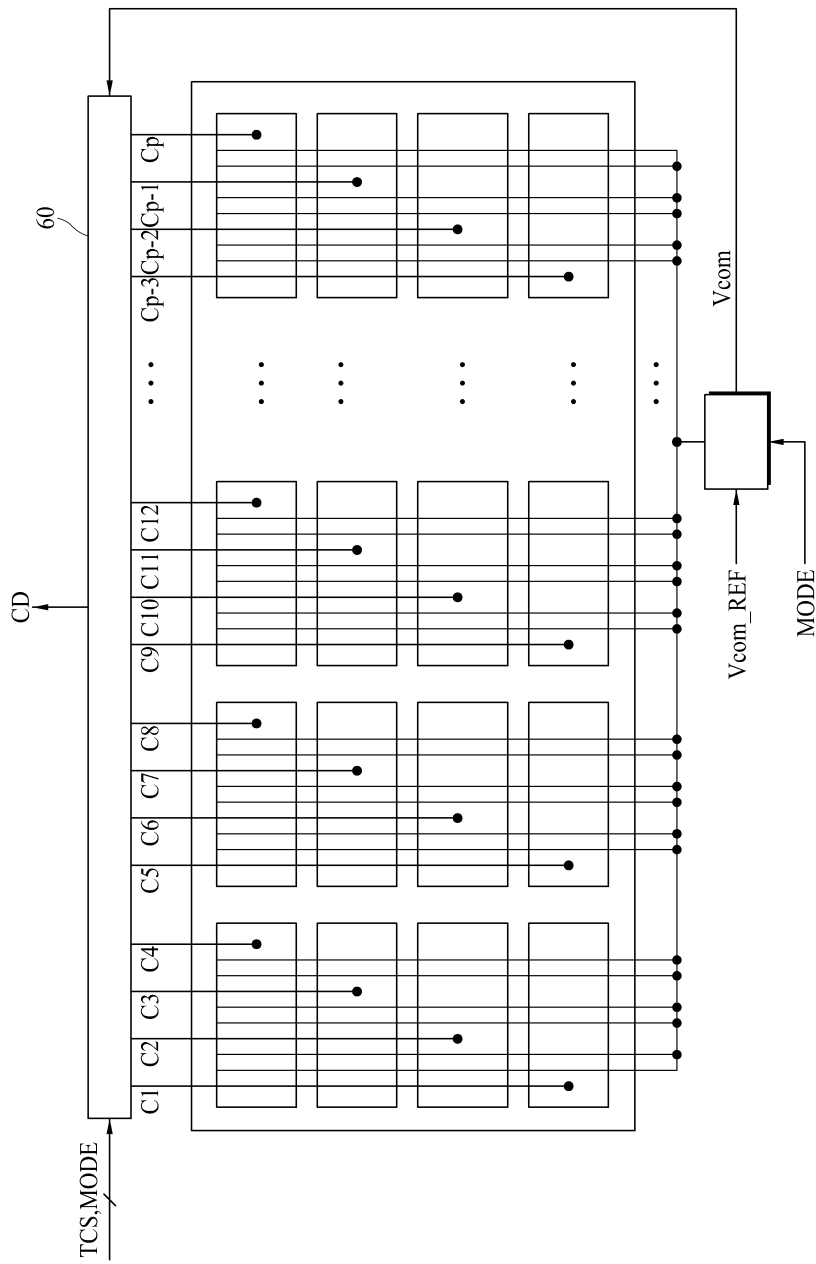
도면2



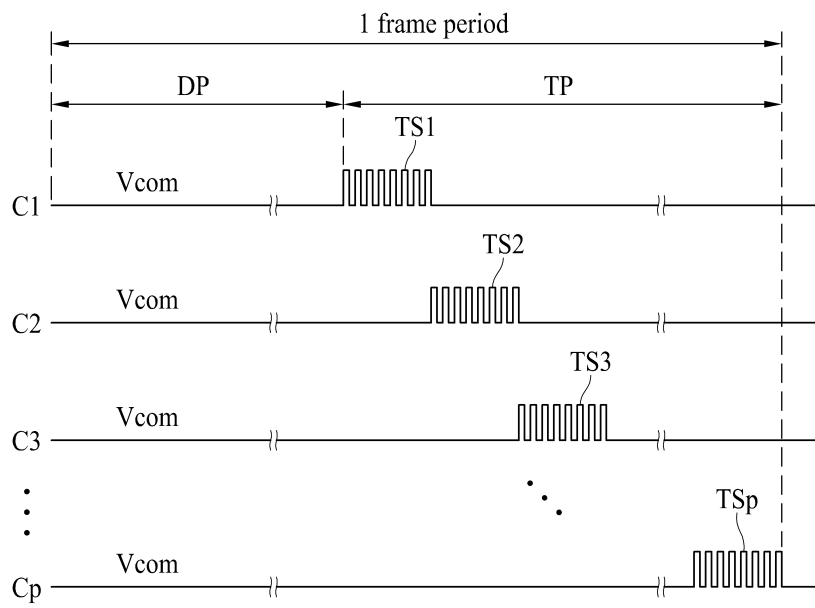
도면3



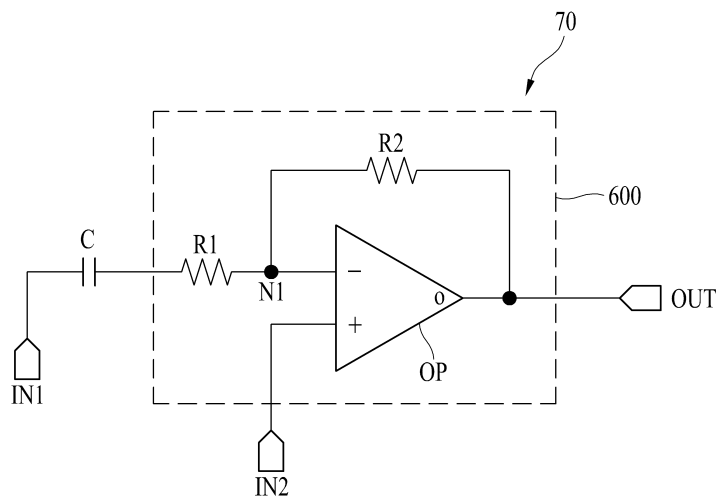
도면4



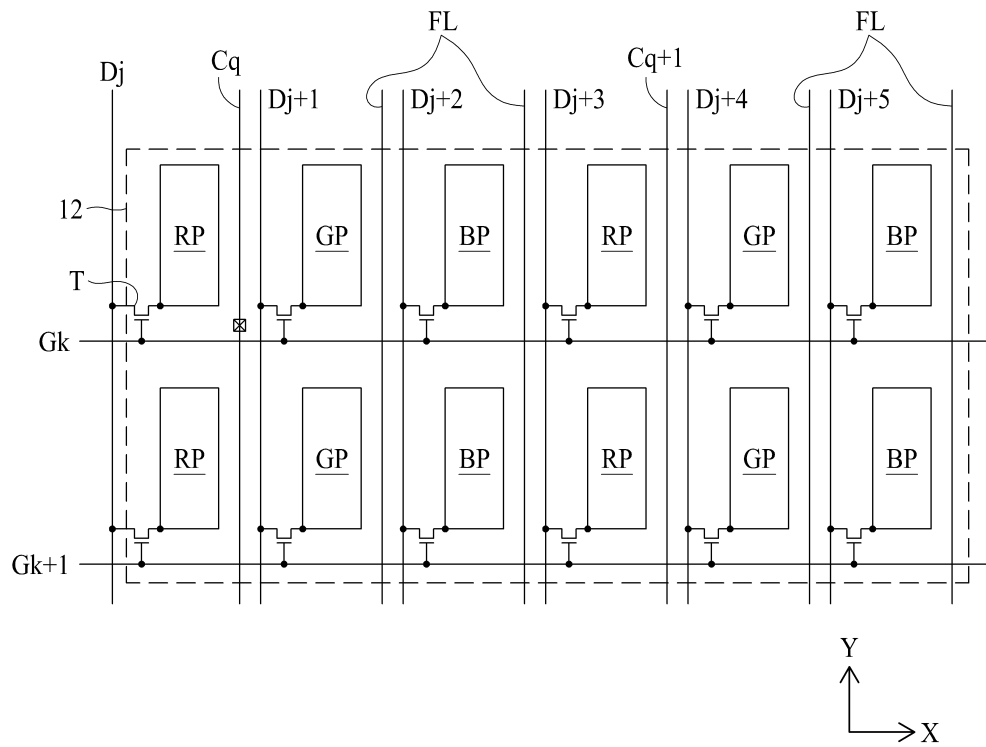
도면5



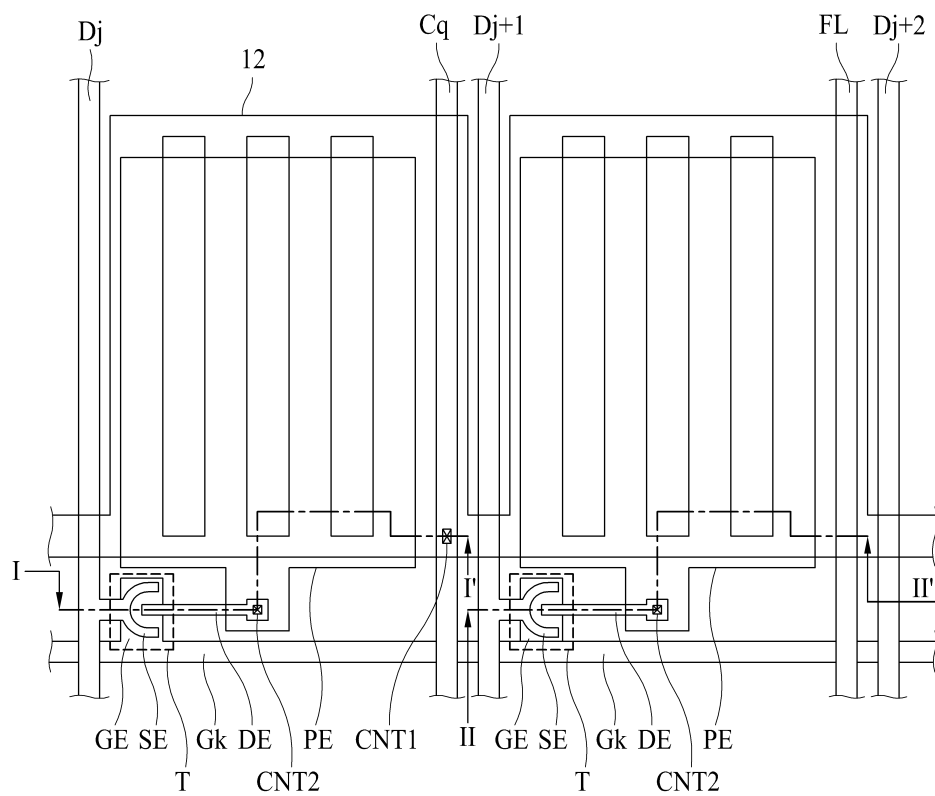
도면6



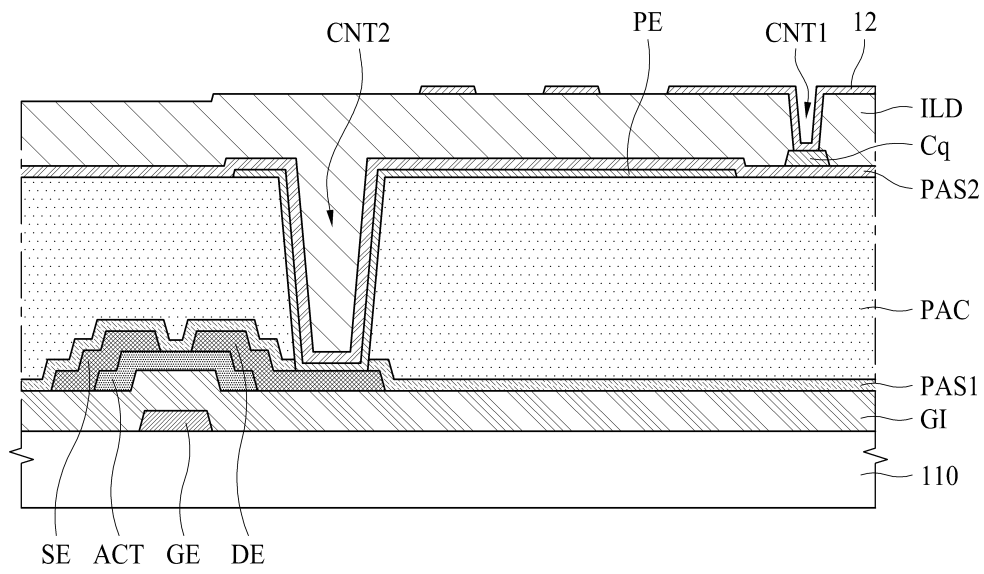
도면7



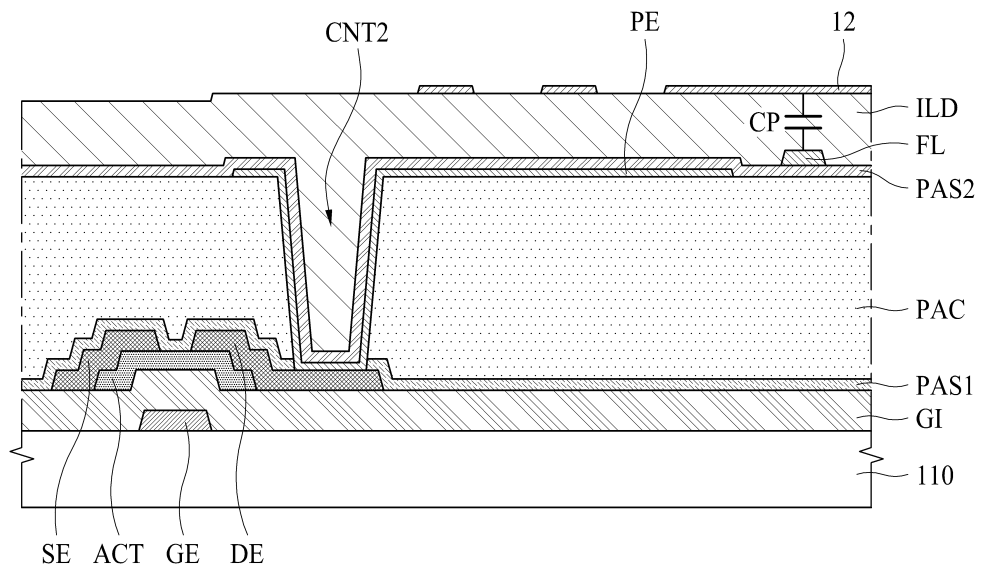
도면8



도면9



도면10



专利名称(译)	液晶显示器		
公开(公告)号	KR1020160077302A	公开(公告)日	2016-07-04
申请号	KR1020140186117	申请日	2014-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HOONBAE KIM 김훈배 SUNYEOP KIM 김선엽 SUNGYUB LEE 이성엽 SEONGKYU KANG 강성규		
发明人	김훈배 김선엽 이성엽 강성규		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G3/36 G02F1/133 G09G3/3603 G02F1/136286 G09G3/3611 G02F1/13338 G02F2001/134372 G06F3/0412 G06F3/04184 G06F3/0445 G09G3/3655 G09G2310/0291 G09G2330/06 G06F3/0416 G06F3/0418 G06F3/044		
外部链接	Espacenet		

摘要(译)

本发明的一个实施例涉及一种液晶显示装置，其中多个公共电极可以通过反射所有受影响的噪声来补偿公共电压。并且提供公共电压的多个公共电极，多个公共电极被提供有数据电压，数据线，反馈线，与数据线交叉的栅极线，设置在数据线和栅极线的交叉点处的像素，液晶显示面板;并且公共电压补偿单元根据反馈线的电压变化量补偿公共电压，其中公共电极叠加在像素的一部分上，反馈线叠加在公共电极上。

