



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0059580
(43) 공개일자 2016년05월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1335 (2006.01)
(21) 출원번호 10-2014-0161079
(22) 출원일자 2014년11월18일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김채현
충남 아산시 탕정면 삼성로 261, 청옥동 606호 (삼성크리스탈기술사)
박제형
경기도 화성시 동탄공원로3길 10-10 (반송동), 202호
(뒷면에 계속)
(74) 대리인
홍원진

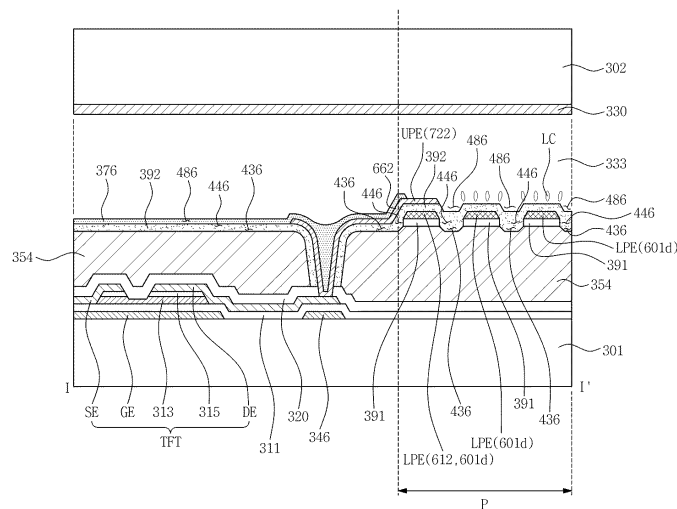
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 액정 표시장치 및 이의 제조 방법

(57) 요약

본 발명은 도메인들 간의 경계부에 근접하여 위치한 액정 분자들의 움직임을 올바르게 제어할 수 있는 액정 표시장치 및 이의 제조 방법에 대한 것으로, 제 1 기관; 제 1 기관과 대향하여 위치한 제 2 기관; 제 1 기관과 제 2 기관 사이에 위치한 액정층; 제 1 기관 및 제 2 기관 중 어느 하나의 기관 상에 위치하여, 화소 영역을 정의하는 블랙 매트릭스; 화소 영역에 대응되게, 제 1 기관 상에 위치하는 하부 화소 전극; 하부 화소 전극 상에 위치하며, 적어도 하나의 홈을 갖는 상부 절연막; 및 상부 절연막 상에 위치하여, 데이터 라인으로부터의 데이터 신호를 박막 트랜지스터를 통해 공급받는 상부 화소 전극을 포함한다.

대표도



(72) 발명자

김경배

서울특별시 송파구 중대로12길 35 (가락동, 가락우성2차아파트), 102동 1103호

태창일

서울특별시 강동구 천중로26길 16 (천호동, 용진연립), 4동 202호

홍기표

경기도 화성시 동탄반석로 264 (석우동, 동탄 예당마을대우푸르지오아파트), 101동 402호

명세서

청구범위

청구항 1

제 1 기관;

상기 제 1 기관과 대향하여 위치한 제 2 기관;

상기 제 1 기관과 제 2 기관 사이에 위치한 액정층;

상기 제 1 기관 및 제 2 기관 중 어느 하나의 기관 상에 위치하여, 화소 영역을 정의하는 블랙 매트릭스;

상기 화소 영역에 대응되게, 상기 제 1 기관 상에 위치하는 하부 화소 전극;

상기 하부 화소 전극 상에 위치하며, 적어도 하나의 홈을 갖는 상부 절연막; 및

상기 상부 절연막 상에 위치하여, 데이터 라인으로부터의 데이터 신호를 박막 트랜지스터를 통해 공급받는 상부 화소 전극을 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 제 1 기관 상에 위치한 컬러필터; 및

상기 컬러필터와 상기 하부 화소 전극 사이에 위치하며, 적어도 하나의 홈을 갖는 하부 절연막을 더 포함하는 액정 표시장치.

청구항 3

제 2 항에 있어서,

상기 상부 절연막의 홈은 상기 하부 절연막의 홈에 대응하게 위치하는 액정 표시장치.

청구항 4

제 3 항에 있어서,

상기 하부 절연막의 홈은 상기 하부 화소 전극과 중첩하지 않는 액정 표시장치.

청구항 5

제 2 항에 있어서,

상기 컬러필터는 적어도 하나의 홈을 갖는 액정 표시장치.

청구항 6

제 5 항에 있어서,

상기 컬러필터의 홈은 상기 하부 절연막의 홈에 대응하게 위치하는 액정 표시장치.

청구항 7

제 1 항에 있어서,

상기 상부 절연막은 500Å 내지 1000 Å의 깊이의 홈을 갖는 액정 표시장치.

청구항 8

제 1 항에 있어서,

상기 상부 절연막은 상기 홈에서 90도 내지 130도의 각을 이루는 측면과 바닥면을 갖는 액정 표시장치.

청구항 9

제 1 항에 있어서,

상기 상부 절연막의 홈은 상기 하부 화소 전극과 중첩하지 않는 액정 표시장치.

청구항 10

제 2 항에 있어서,

상기 상부 화소 전극의 일부는 상기 하부 절연막의 홀과 중첩하는 액정 표시장치.

청구항 11

제 1 항에 있어서,

상기 하부 화소 전극은,

상기 화소 영역 중 제 1 부화소 영역에 위치한 제 1 하부 부화소 전극; 및

상기 화소 영역 중 제 2 부화소 영역에 위치하며, 상기 제 1 하부 부화소 전극과 분리된 제 2 하부 부화소 전극을 포함하는 액정 표시장치.

청구항 12

제 11 항에 있어서,

상기 상부 화소 전극은,

상기 제 1 하부 부화소 전극 상에 위치한 제 1 상부 부화소 전극; 및

상기 제 1 상부 부화소 전극에 연결되고, 상기 제 2 하부 부화소 전극 상에 위치한 제 2 상부 부화소 전극을 포함하는 액정 표시장치.

청구항 13

제 12 항에 있어서,

상기 제 1 하부 부화소 전극은,

상기 제 1 부화소 영역을 복수의 도메인들로 분할하는 줄기 전극; 및

상기 줄기 전극에서 상기 도메인 내로 연장된 가지 전극을 포함하는 액정 표시장치.

청구항 14

제 13 항에 있어서,

상기 제 1 상부 부화소 전극은 상기 제 1 하부 부화소 전극의 줄기 전극과 중첩하고, 상기 제 1 하부 부화소 전극의 가지 전극과 중첩하지 않는 액정 표시장치.

청구항 15

제 11 항에 있어서,

상기 제 2 상부 부화소 전극은,

상기 제 2 부화소 영역을 복수의 도메인들로 분할하는 줄기 전극; 및

상기 줄기 전극에서 상기 도메인 내로 연장된 가지 전극을 포함하는 액정 표시장치.

청구항 16

제 15 항에 있어서,

상기 제 2 하부 부화소 전극은 상기 제 2 부화소 영역에 포함된 각 도메인의 일부만을 점유하는 복수의 면형 전극들을 포함하는 액정 표시장치.

청구항 17

제 1 기판 상에 하부 절연막을 형성하는 단계;

상기 하부 절연막 상에 하부 화소 전극층을 형성하는 단계;

상기 하부 화소 전극층 상에 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 하여 화소 영역에 하부 화소 전극 패턴을 형성하는 단계;

상기 포토레지스트 패턴 및 하부 화소 전극 패턴을 마스크로 하여 상기 하부 절연막에 적어도 하나의 홀을 형성하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 하부 화소 전극을 포함한 하부 절연막 상에, 상기 홀에 대응되는 부분에 홈을 갖는 상부 절연막을 형성하는 단계; 및

상기 상부 절연막 상에 상부 화소 전극을 형성하는 단계를 포함하는 액정 표시장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 제 1 기판과 하부 절연막 사이에 컬러필터를 형성하는 단계; 및

상기 포토레지스트 패턴 및 하부 화소 전극 패턴을 마스크로 하여 상기 하부 절연막에 홀을 형성함과 동시에 상기 컬러필터에 홈을 형성하는 단계를 더 포함하는 액정 표시장치의 제조 방법.

청구항 19

제 17 항에 있어서,

상기 상부 절연막의 홀 및 상기 컬러필터의 홈은 상기 상부 화소 전극의 일부와 중첩하는 액정 표시장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시장치에 관한 것으로, 특히 도메인들 간의 경계부에 근접하여 위치한 액정 분자들의 움직임을 올바르게 제어할 수 있는 액정 표시장치 및 이의 제조 방법에 대한 것이다.

배경 기술

[0002] 액정 표시장치(liquid crystal display, LCD)는 현재 가장 널리 사용되고 있는 평판 표시장치(flat panel display, FPD) 중 하나로서 전극이 형성되어 있는 두 장의 기판과 그 사이에 삽입되어 있는 액정층으로 이루어진다. 액정 표시장치는 두 전극에 전압을 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시장치이다.

[0003] 이러한 액정 표시장치는 전기장이 인가되지 않은 상태에서 액정 분자의 배열 상태나 전극의 배열 상태 등에 따라 트위스트 네마틱 모드(twisted nematic mode), 수직 배향 모드(vertically aligned mode), 프린지 필드 스위치(fringe field switch) 및 인플레인 스위칭 모드(in-plane switching)로 구분된다.

[0004] 그 중 수직 배향 모드의 액정 표시 장치의 경우 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 여러 개의 도메인(domain)들로 분할하고 각각의 도메인의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 지속적으로 연구되고 있었다.

[0005] 한편, 도메인들 간의 경계부에 근접한 액정 분자들은, 그 경계부를 이루는 전극에 의해 생성된 전기장에 영향을

받아 잘못된 방향으로 회전한다. 이로 인해 그 경계부에서 암부(dark portion)가 발생된다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 도메인들 간의 경계부에 근접하여 위치한 액정 분자들의 움직임을 올바르게 제어할 수 있는 액정 표시장치 및 이의 제조 방법을 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0007] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치는, 제 1 기판; 제 1 기판과 대향하여 위치한 제 2 기판; 제 1 기판과 제 2 기판 사이에 위치한 액정층; 제 1 기판 및 제 2 기판 중 어느 하나의 기판 상에 위치하여, 화소 영역을 정의하는 블랙 매트릭스; 화소 영역에 대응되게, 제 1 기판 상에 위치하는 하부 화소 전극; 하부 화소 전극 상에 위치하며, 적어도 하나의 홈을 갖는 상부 절연막; 및 상부 절연막 상에 위치하여, 데이터 라인으로부터의 데이터 신호를 박막 트랜지스터를 통해 공급받는 상부 화소 전극을 포함한다.
- [0008] 본 발명에 따른 액정 표시장치는, 제 1 기판 상에 위치한 컬러필터; 및 컬러필터와 하부 화소 전극 사이에 위치하며, 적어도 하나의 홈을 갖는 하부 절연막을 더 포함한다.
- [0009] 상부 절연막의 홈은 하부 절연막의 홈에 대응하게 위치한다.
- [0010] 하부 절연막의 홈은 하부 화소 전극과 중첩하지 않는다.
- [0011] 컬러필터는 적어도 하나의 홈을 갖는다.
- [0012] 컬러필터의 홈은 하부 절연막의 홈에 대응하게 위치한다.
- [0013] 상부 절연막은 500Å 내지 1000 Å의 깊이의 홈을 갖는다.
- [0014] 상부 절연막은 홈에서 90도 내지 130도의 각을 이루는 측면과 바닥면을 갖는다.
- [0015] 상부 절연막의 홈은 하부 화소 전극과 중첩하지 않는다.
- [0016] 상부 화소 전극의 일부는 하부 절연막의 홈과 중첩한다.
- [0017] 하부 화소 전극은, 화소 영역 중 제 1 부화소 영역에 위치한 제 1 하부 부화소 전극; 및 화소 영역 중 제 2 부화소 영역에 위치하며, 제 1 하부 부화소 전극과 분리된 제 2 하부 부화소 전극을 포함한다.
- [0018] 상부 화소 전극은, 제 1 하부 부화소 전극 상에 위치한 제 1 상부 부화소 전극; 및 제 1 상부 부화소 전극에 연결되고, 제 2 하부 부화소 전극 상에 위치한 제 2 상부 부화소 전극을 포함한다.
- [0019] 제 1 하부 부화소 전극은, 제 1 부화소 영역을 복수의 도메인들로 분할하는 줄기 전극; 및 줄기 전극에서 도메인 내로 연장된 가지 전극을 포함한다.
- [0020] 제 1 상부 부화소 전극은 제 1 하부 부화소 전극의 줄기 전극과 중첩하고, 제 1 하부 부화소 전극의 가지 전극과 중첩하지 않는다.
- [0021] 제 2 상부 부화소 전극은, 제 2 부화소 영역을 복수의 도메인들로 분할하는 줄기 전극; 및 줄기 전극에서 상기 도메인 내로 연장된 가지 전극을 포함한다.
- [0022] 제 2 하부 부화소 전극은 제 2 부화소 영역에 포함된 각 도메인의 일부만을 점유하는 복수의 면형 전극들을 포함한다.
- [0023] 또한 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 제조 방법은, 제 1 기판 상에 하부 절연막을 형성하는 단계; 하부 절연막 상에 하부 화소 전극층을 형성하는 단계; 하부 화소 전극층 상에 포토레지스트 패턴을 형성하는 단계; 포토레지스트 패턴을 마스크로 하여 화소 영역에 하부 화소 전극 패턴을 형성하는 단계; 포토레지스트 패턴 및 하부 화소 전극 패턴을 마스크로 하여 하부 절연막에 적어도 하나의 홈을 형성하는 단계; 포토레지스트 패턴을 제거하는 단계; 하부 화소 전극을 포함한 하부 절연막 상에, 홈에 대응되는 부분에 홈을 갖는 상부 절연막을 형성하는 단계; 및 상부 절연막 상에 상부 화소 전극을 형성하는 단계를 포함한다.

[0024] 본 발명에 따른 액정 표시장치의 제조 방법은, 제 1 기판과 하부 절연막 사이에 컬러필터를 형성하는 단계; 및 포토레지스트 패턴 및 하부 화소 전극 패턴을 마스크로 하여 하부 절연막에 홀을 형성함과 동시에 컬러필터에 홀을 형성하는 단계를 더 포함한다.

[0025] 상부 절연막의 홀 및 컬러필터의 홈은 상부 화소 전극의 일부와 중첩한다.

발명의 효과

[0026] 본 발명에 따른 액정 표시장치는 다음과 같은 효과를 갖는다.

[0027] 본 발명에서의 상부 절연막은 적어도 하나의 홈을 갖는 바, 이 홈에 의해 액정 분자가 프리-틸트 각을 가질 수 있다. 따라서, 도메인들 간의 경계부에 근접한 액정 분자들은, 그 경계부를 이루는 전극에 의해 생성된 전계에 거의 영향을 받지 않는다.

도면의 간단한 설명

[0028] 도 1은 본 발명의 한 실시예에 따른 액정 표시장치의 블록 구성도다.

도 2는 도 1에 도시된 표시패널의 상세 구성도이다.

도 3은 도 2에 구비된 어느 하나의 화소에 대한 상세 구성도이다.

도 4는 도 3에서 하부 화소 전극만을 따로 나타낸 도면이다.

도 5는 도 3에서 상부 화소 전극만을 따로 나타낸 도면이다.

도 6은 도 3의 I-I'의 선을 따라 자른 단면도이다.

도 7은 도 4의 II-II'의 선을 따라 자른 단면도이다.

도 8은 본 발명의 액정 표시장치에서 액정 분자의 움직임을 설명하기 위한 도면이다.

도 9a 내지 도 9k, 그리고 도 10a 내지 도 10g는 본 발명의 한 실시예에 따른 액정 표시장치의 제조 방법을 설명하기 위한 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0029] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 따라서, 몇몇 실시예에서, 잘 알려진 공정 단계들, 잘 알려진 소자 구조 및 잘 알려진 기술들은 본 발명이 모호하게 해석되는 것을 피하기 위하여 구체적으로 설명되지 않는다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0030] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0031] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.

- [0032] 본 명세서에서 어떤 부분이 다른 부분과 연결되어 있다고 할 때, 이는 직접적으로 연결되어있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 전기적으로 연결되어 있는 경우도 포함한다. 또한, 어떤 부분이 어떤 구성요소를 포함한다고 할 때, 이는 특별히 그에 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0033] 본 명세서에서 제 1, 제 2, 제 3 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 이러한 구성 요소들은 상기 용어들에 의해 한정되는 것은 아니다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소들로부터 구별하는 목적으로 사용된다. 예를 들어, 본 발명의 권리 범위로부터 벗어나지 않고, 제 1 구성 요소가 제 2 또는 제 3 구성 요소 등으로 명명될 수 있으며, 유사하게 제 2 또는 제 3 구성 요소도 교호적으로 명명될 수 있다.
- [0034] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않은 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0035] 도 1은 본 발명의 한 실시예에 따른 액정 표시장치의 블록 구성도이고, 도 2는 도 1에 도시된 표시패널의 상세 구성도이다.
- [0036] 본 발명의 액정 표시장치는, 도 1에 도시된 바와 같이, 표시패널(133), 타이밍 컨트롤러(101), 게이트 드라이버(112), 데이터 드라이버(111), 백라이트 유닛(145) 및 직류-직류 변환부(177)를 포함한다.
- [0037] 표시패널(133)은 영상을 표시한다. 표시패널(133)은, 액정층(도 6의 333)과, 그리고 이 액정층(333)을 사이에 두고 서로 마주보는 제 1 기판(도 6의 301)과 제 2 기판(도 6의 302)을 포함한다.
- [0038] 제 1 기판(301)과 제 2 기판(302)의 서로 마주보는 면들 각각에 아래와 같은 구성 요소들이 구비될 수 있는 바, 이를 구체적으로 설명하면 다음과 같다.
- [0039] 제 1 기판(301) 상에, 도 2에 도시된 바와 같이, 복수의 게이트 라인들(GL1 내지 GLi)과, 이 게이트 라인들(GL1 내지 GLi)과 교차되는 복수의 데이터 라인들(DL1 내지 DLj)과, 그리고 게이트 라인들(GL1 내지 GLi)과 데이터 라인들(DL1 내지 DLj)에 접속된 박막 트랜지스터(도 3의 TFT)들이 배치된다.
- [0040] 한편, 제 1 기판(301)에 블랙 매트릭스(도 6의 376) 및 복수의 컬러필터(도 6의 354)들이 더 구비될 수 있다. 블랙 매트릭스(376)는, 제 1 기판(301) 중 표시패널(133)의 화소 영역(도 3의 P)들에 대응되는 부분들을 제외한 나머지 부분에 위치한다. 컬러필터(354)들은 화소 영역(P)에 위치한다. 컬러필터(354)들은 적색 컬러필터, 녹색 컬러필터 및 청색 컬러필터로 구분된다.
- [0041] 화소들(R, G, B)은 행렬 형태로 배열된다. 화소들(R, G, B)은 적색 영상을 표시하는 적색 화소(R)들, 녹색 영상을 표시하는 녹색 화소(G)들 및 청색 영상을 표시하는 청색 화소(B)들로 구분된다. 적색 화소(R)는 적색 컬러필터를 포함하고, 녹색 화소(G)는 녹색 컬러필터를 포함하고, 그리고 청색 화소(B)는 청색 컬러필터를 포함한다. 이때, 수평 방향으로 인접한 적색 화소(R), 녹색 화소(G) 및 청색 화소(B)는 하나의 단위 영상을 표시하기 위한 단위 화소를 이룬다.
- [0042] 제 2 기판(302) 상에 공통 전극(도 6의 330)이 구비된다. 공통 전극(330)은 제 2 기판(302)의 전면(全面)에 형성된다. 한편, 전술된 블랙 매트릭스(376) 및 복수의 컬러필터(354)들은 제 1 기판(301) 대신 제 2 기판(302) 상에 위치할 수 있다. 예를 들어, 블랙 매트릭스(376)는, 제 2 기판(302) 중 표시패널(133)의 화소 영역(P)들에 대응되는 부분들을 제외한 나머지 부분에 위치할 수 있다. 그리고, 복수의 컬러필터(354)들은 화소 영역(P)에 대응하게, 제 2 기판(302) 상에 위치한다. 한편, 도시되지 않았지만, 이 컬러필터(354) 상에 오버 코트층이 더 구비될 수 있다.
- [0043] 제 n 수평라인(n은 1 내지 i 중 어느 하나)을 따라 배열된 j개의 화소들(이하, 제 n 수평라인 화소들)은 제 1 내지 제 j 데이터 라인들(DL1 내지 DLj) 각각에 개별적으로 접속된다. 아울러, 이 제 n 수평라인 화소들은 제 n 게이트 라인에 공통으로 접속된다. 이에 따라, 제 n 수평라인 화소들은 제 n 게이트 신호를 공통으로 공급받는다. 즉, 동일 수평라인 상에 배열된 j개의 화소들은 모두 동일한 게이트 신호를 공급받지만, 서로 다른 수평라인 상에 위치한 화소들은 서로 다른 게이트 신호를 공급받는다. 예를 들어, 제 1 수평라인(HL1)에 위치한 적색 화소(R) 및 녹색 화소(G)는 모두 제 1 게이트 신호를 공급받는 반면, 제 2 수평라인(HL2)에 위치한 적색 화소(R) 및 녹색 화소(G)는 이들과는 다른 타이밍을 갖는 제 2 게이트 신호를 공급받는다.

- [0044] 타이밍 컨트롤러(101)는, 도시되지 않았지만, 시스템에 구비된 그래픽 컨트롤러로부터 출력된 수직동기신호(Vsync), 수평동기신호(Hsync), 영상 데이터 신호(DATA) 및 클럭신호(DCLK)를 공급받는다. 타이밍 컨트롤러(101)와 시스템 사이에 인터페이스회로(도시되지 않음)가 구비되는 바, 시스템으로부터 출력된 위 신호들은 인터페이스회로를 통해 타이밍 컨트롤러(101)로 입력된다. 인터페이스회로는 타이밍 컨트롤러(101)에 내장될 수도 있다.
- [0045] 도시되지 않았지만, 인터페이스회로는 LVDS 수신부를 포함한다. 인터페이스회로는 시스템으로부터 출력된 수직 동기신호(Vsync), 수평동기신호(Hsync), 영상 데이터 신호(DATA) 및 클럭신호(DCLK)의 전압 레벨을 낮추는 한편, 이들의 주파수를 높인다.
- [0046] 한편, 인터페이스회로로부터 타이밍 컨트롤러(101)로 입력되는 신호의 높은 고주파 성분으로 인하여 이들 사이에 전자과장해(Electromagnetic interference)가 발생할 수 있는 바, 이를 방지하기 위해 인터페이스회로와 타이밍 컨트롤러(101) 사이에 EMI필터(도시되지 않음)가 더 구비될 수 있다.
- [0047] 타이밍 컨트롤러(101)는 수직동기신호(Hsync), 수평동기신호(Hsync) 및 클럭신호(DCLK)를 이용하여 게이트 드라이버(112)를 제어하기 위한 게이트 제어신호와 데이터 드라이버(111)를 제어하기 위한 데이터 제어신호를 발생한다. 게이트 제어신호는 게이트 스타트 펄스(Gate Start Pulse), 게이트 쉬프트 클럭(Gate Shift Clock), 게이트 출력 신호(Gate Output Enable) 등을 포함한다. 데이터 제어신호는 소스 스타트 펄스(Source Start Pulse), 소스 쉬프트 클럭(Source Shift Clock), 소스 출력 신호(Source Output Enable), 극성신호(Polarity Signal) 등을 포함한다.
- [0048] 또한, 타이밍 컨트롤러(101)는 시스템을 통해 입력되는 영상 데이터 신호들(DATA)을 재정렬하고, 그리고 이 재정렬된 영상 데이터 신호들(DATA')을 데이터 드라이버(111)에 공급한다.
- [0049] 한편, 타이밍 컨트롤러(101)는 시스템에 구비된 전원부로부터 출력된 구동 전원(VCC)에 의해 동작하는 바, 특히 이 구동 전원(VCC)은 타이밍 컨트롤러(101) 내부에 설치된 위상고정루프회로(Phase Lock Loop: PLL)의 전원 전압으로서 사용된다. 위상고정루프회로(PLL)는 타이밍 컨트롤러(101)에 입력되는 클럭신호(DCLK)를 발진기로부터 발생하는 기준 주파수와 비교한다. 그리고, 그 비교 결과 이들 사이에 오차가 있는 것으로 확인되면, 위상고정루프회로는 그 오차만큼 클럭신호의 주파수를 조정하여 샘플링 클럭신호를 발생한다. 이 샘플링 클럭신호는 영상 데이터 신호들(DATA')을 샘플링하기 위한 신호이다.
- [0050] 직류-직류 변환부(177)는 시스템을 통해 입력되는 구동 전원(VCC)을 승압 또는 감압하여 표시패널(133)에 필요한 전압들을 생성한다. 이를 위해, 직류-직류 변환부(177)는, 예를 들어, 이의 출력 단의 출력 전압을 스위칭하기 위한 출력 스위칭소자와, 그 출력 스위칭소자의 제어단자에 인가되는 제어신호의 듀티비(duty ratio)나 주파수를 제어하여 출력 전압을 승압하거나 감압시키기 위한 펄스폭 변조기(Pulse Width Modulator: PWM)를 포함할 수 있다. 여기서, 전술된 펄스폭 변조기 대신에 펄스주파수 변조기(Pulse Frequency Modulator: PFM)가 그 직류-직류 변환부(177)에 포함될 수 있다.
- [0051] 펄스폭 변조기는 전술된 제어신호의 듀티비를 높여 직류-직류 변환부(177)의 출력 전압을 높이거나, 그 제어신호의 듀티비를 낮추어 직류-직류 변환부(177)의 출력 전압을 낮춘다. 펄스주파수 변조기는 전술된 제어신호의 주파수를 높여 직류-직류 변환부(177)의 출력 전압을 높이거나, 제어신호의 주파수를 낮추어 직류-직류 변환부(177)의 출력 전압을 낮춘다. 직류-직류 변환부(177)의 출력 전압은 6[V] 이상의 기준 전압(VDD), 10단계 미만의 감마기준전압(GMA1-10), 2.5 내지 3.3V의 공통 전압, 15[V] 이상의 게이트 고전압, -4[V] 이하의 게이트 저전압을 포함한다.
- [0052] 감마기준전압(GMA1-10)은 기준 전압의 분압에 의해 발생된 전압이다. 기준 전압과 감마기준전압은 아날로그 감마전압으로서, 이들은 데이터 구동 집적회로(D-IC)들에 공급된다. 공통 전압은 데이터 구동 집적회로(D-IC)를 경유하여 표시패널(133)의 공통 전극(330)에 공급된다. 게이트 고전압은 박막 트랜지스터(TFT)의 문턱전압 이상으로 설정된 게이트 신호의 하이논리전압이고, 그리고 게이트 저전압은 박막 트랜지스터(TFT)의 오프전압으로 설정된 게이트 신호의 로우논리전압으로서, 이들은 게이트 드라이버(112)에 공급된다.
- [0053] 게이트 드라이버(112)는 타이밍 컨트롤러(101)로부터 제공된 게이트 제어신호(GCS)에 따라 게이트 신호들을 생성하고, 그 게이트 신호들을 복수의 게이트 라인들(GL1 내지 GLi)에 차례로 공급한다. 게이트 드라이버(112)는, 예를 들어, 게이트 쉬프트 클럭에 따라 게이트 스타트 펄스를 쉬프트 시켜 게이트 신호들을 발생시키는 쉬프트 레지스터로 구성될 수 있다. 쉬프트 레지스터는 복수의 스위칭소자들로 구성될 수 있다. 이 스위칭소자들은 표시 영역의 박막 트랜지스터(TFT)와 동일한 공정으로 제 1 기판(301)의 상에 형성될 수 있다.

- [0054] 데이터 드라이버(111)는 타이밍 컨트롤러(101)로부터 영상 데이터 신호들(DATA') 및 데이터 제어신호(DCS)를 공급받는다. 데이터 드라이버(111)는 데이터 제어신호(DCS)에 따라 영상 데이터 신호들(DATA')을 샘플링한 후에, 매 수평기간마다 한 수평 라인에 해당하는 샘플링 영상 데이터 신호들을 래치하고 래치된 영상 데이터 신호들을 데이터 라인들(DL1 내지 DLj)에 공급한다. 즉, 데이터 드라이버(111)는 타이밍 컨트롤러(101)로부터의 영상 데이터 신호들(DATA')을 직류-직류 변환부(177)로부터 입력되는 감마기준전압들(GMA1-10)을 이용하여 아날로그 영상 데이터 신호들로 변환하여 데이터 라인들(DL1 내지 DLj)로 공급한다.
- [0055] 백라이트 유닛(145)은 표시패널(133)에 광을 제공한다. 이를 위해, 백라이트 유닛(145)은 복수의 광원 어레이들을 포함할 수 있다. 여기서, 각 광원 어레이는 적어도 하나의 광원을 구비할 수 있는 바, 광원은 적어도 하나의 발광 다이오드(Light Emitting Diode)가 포함된 발광 패키지(package)일 수 있다.
- [0056] 도 3은 도 2에 구비된 어느 하나의 화소에 대한 상세 구성도이고, 도 4는 도 3에서 하부 화소 전극만을 따로 나타낸 도면이고, 도 5는 도 3에서 상부 화소 전극만을 따로 나타낸 도면이고, 도 6은 도 3의 I-I'의 선을 따라 자른 단면도이고, 그리고 도 7은 도 4의 II-II'의 선을 따라 자른 단면도이다.
- [0057] 하나의 화소는, 도 3 내지 도 7에 도시된 바와 같이, 박막 트랜지스터(TFT), 컬러필터(354), 하부 화소 전극(LPE), 상부 화소 전극(UPE), 공통 전극(330) 및 액정층(333)을 포함한다. 여기서, 박막 트랜지스터(TFT)는, 도 3 및 도 6에 도시된 바와 같이, 게이트 전극(GE), 반도체층(313), 소스 전극(SE) 및 드레인 전극(DE)을 포함한다. 한편, 각 화소의 공통 전극은 일체로 구성되며, 각 화소의 액정층(333)은 일체로 구성된다.
- [0058] 한편, 도 3 및 도 6에 도시된 바와 같이, 하나의 화소는 적어도 하나의 더미 라인(346)을 더 포함할 수 있다. 데이터 라인의 단선시, 더미 라인(346)은 상부 화소 전극(UPE) 및 드레인 전극 중 적어도 하나와 전기적으로 연결될 수 있다. 즉, 더미 라인(346)과 드레인 전극(DE)이 중첩하는 부분, 또는 더미 라인(346)과 상부 화소 전극(UPE)이 중첩하는 부분, 또는 더미 라인(346), 드레인 전극(DE) 및 상부 화소 전극(UPE)이 모두 중첩하는 부분에 레이저 광이 조사되면 그 해당 부분의 게이트 절연막(311)이 제거되면서 더미 라인(346)과 상부 화소 전극(UPE) 간에 전기적으로 연결될 수 있다. 더미 라인(346)에는 공통 전압 또는 더미 전압이 인가된다. 더미 라인(346)을 통해 공통 전압 또는 더미 전압을 공급받는 화소는 블랙 영상을 표시할 수 있다.
- [0059] 도 3 및 도 6에 도시된 바와 같이, 게이트 라인(GL), 게이트 전극(GE) 및 더미 라인(346)은 제 1 기판(301) 상에 위치한다. 도시되지 않았지만, 게이트 라인(GL)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다. 게이트 라인(GL)은 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속으로 만들어질 수 있다. 또는, 이 게이트 라인(GL)은, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나로 만들어질 수 있다. 한편, 게이트 라인(GL)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0060] 게이트 전극(GE)은 게이트 라인(GL)으로부터 분기된 것으로, 도 3에 도시된 바와 같이, 화소 영역(P) 측으로 돌출된 형태를 갖는다. 이 게이트 전극(GE) 역시 전술된 게이트 라인(GL)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 게이트 전극(GE)과 게이트 라인(GL)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0061] 더미 라인(346) 역시 전술된 게이트 라인(GL)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 더미 라인(346), 게이트 라인(GL) 및 게이트 전극(GE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0062] 게이트 절연막(311)은 게이트 라인(GL), 게이트 전극(GE) 및 더미 라인(346)상에 위치한다. 이때, 게이트 절연막(311)은 그 게이트 라인(GL), 게이트 전극(GE) 및 더미 라인(346)을 포함한 제 1 기판(301)의 전면(全面)에 형성된다. 게이트 절연막(311)은 질화 규소(SiNx) 또는 산화 규소(SiOx) 등으로 만들어질 수 있다. 게이트 절연막(311)은 물리적 성질이 다른 적어도 두 개의 절연층들을 포함하는 다중막 구조를 가질 수 있다.
- [0063] 반도체층(313)은 게이트 절연막(311) 상에 위치한다. 이때, 반도체층(313)은 게이트 전극(GE)과 적어도 일부 중첩한다. 반도체층(313)은 비정질 규소 또는 다결정 규소 등으로 만들어질 수 있다.
- [0064] 저항성 접촉층(315)은 반도체층(313) 상에 위치한다. 저항성 접촉층(315)은 인(phosphorus)과 같은 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉층(315)은 쌍을 이루어 반도체층(313) 상에 위치할 수 있다.
- [0065] 소스 전극(SE) 및 드레인 전극(DE)은 저항성 접촉층(315) 상에 위치한다.

- [0066] 소스 전극(SE)은 데이터 라인(DL)으로부터 분기된 것으로, 도 3에 도시된 바와 같이, 소스 전극(SE)은 게이트 전극(GE)을 향해 돌출된 형태를 갖는다. 이때, 소스 전극(SE)은 드레인 전극(DE)의 일부를 둘러싸는 형상을 이룰 수 있다. 소스 전극(SE)의 적어도 일부는 반도체층(313) 및 게이트 전극(GE)과 중첩된다. 소스 전극(SE)은 C자, 역 C자, U자 및 역 U자 중 어느 하나의 형태를 가질 수 있다.
- [0067] 소스 전극(SE)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막과 저저항 도전막을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴(또는 몰리브덴 합금) 하부막과 알루미늄 (또는 알루미늄 합금) 상부막의 이중막, 몰리브덴 (또는 몰리브덴 합금) 하부막과 알루미늄 (또는 알루미늄 합금) 중간막과 몰리브덴 (또는 몰리브덴 합금) 상부막의 삼중막을 들 수 있다. 한편, 소스 전극(SE)은 이외에도 여러 가지 다양한 금속 또는 도전체로 만들어질 수 있다.
- [0068] 드레인 전극(DE)의 일측은 상부 화소 전극(UPE)에 연결된다. 드레인 전극(DE)의 타측의 적어도 일부는 반도체층(313) 게이트 전극(GE) 및 더미 라인(346)과 중첩된다. 이 드레인 전극(DE) 역시 전술된 소스 전극(SE)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 드레인 전극(DE)과 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0069] 게이트 전극(GE), 소스 전극(SE) 및 드레인 전극(DE)은 반도체층(313)과 함께 박막 트랜지스터(TFT)를 이룬다. 이때 이 박막 트랜지스터(TFT)의 채널(channel)은 소스 전극(SE)과 드레인 전극(DE) 사이의 반도체층(313) 부분에 형성된다.
- [0070] 데이터 라인(DL)은 게이트 절연막(311) 상에 구비된다. 도시되지 않았지만, 데이터 라인(DL)은, 다른 층 또는 외부 구동회로와의 접속을 위해, 이의 접속 부분(예를 들어, 끝 부분)이 이의 다른 부분보다 더 큰 면적을 가질 수 있다.
- [0071] 데이터 라인(DL)은 데이터 신호를 전달하며 세로 방향으로 연장되어 게이트 라인(GL)과 교차한다. 이때, 액정 표시장치의 최대 투과율을 얻기 위해, 데이터 라인(DL)의 중간 부분이 V자 형태로 구부러진 형태를 가질 수 있다. 이 데이터 라인(DL) 역시 전술된 소스 전극(SE)과 동일한 재료 및 구조(다중막 구조)를 가질 수 있다. 다시 말하여, 데이터 라인(DL)과 소스 전극(SE)은 동일한 공정으로 동시에 만들어질 수 있다.
- [0072] 보호막(320)은 데이터 라인(DL), 소스 전극(SE) 및 드레인 전극(DE) 상에 위치한다. 이때, 보호막(320)은 그 데이터 라인(DL), 소스 전극(SE) 및 드레인 전극(DE)을 포함한 제 1 기판(301)의 전면(全面)에 형성된다. 보호막(320)은 질화 규소(SiN_x) 또는 산화 규소(SiO_x)와 같은 무기 절연물로 만들어질 수 있다. 한편, 이 보호막(320)은 무기 절연물로 만들어질 수도 있는 바, 이와 같은 경우 그 무기 절연물로서 감광성(photosensitivity)을 가지며 유전 상수(dielectric constant)가 약 4.0인 것이 사용될 수 있다. 보호막(320)은 또한, 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체층(313) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다. 보호막(320)의 두께는 약 5000 Å 이상일 수 있고, 약 6000 Å 내지 약 8000 Å 일 수 있다.
- [0073] 보호막(320)에 이의 일부를 관통하는 하부 콘택홀(도 9i의 360a)이 형성되는 바, 이 하부 콘택홀(360a)을 통해 드레인 전극(DE)의 일부가 노출된다.
- [0074] 도 6에 도시된 바와 같이, 컬러필터(354)는 보호막(320) 상에 구비된다. 컬러필터(354)는 화소 영역에 위치하는 바, 이때 컬러필터(354)의 가장자리는 게이트 전극(GE)을 포함한 게이트 라인(GL), 박막 트랜지스터(TFT) 및 데이터 라인(DL) 상에 위치한다. 단, 컬러필터(354)는 드레인 전극(DE)과 상부 화소 전극(UPE) 간의 연결부를 중첩하지 않는다. 즉, 그 연결부에 대응되는 보호막(350) 상에 컬러필터(354)는 형성되지 않는다. 한편, 컬러필터(354)의 가장자리는 이에 인접한 다른 컬러필터(354)의 가장자리와 중첩할 수 있다.
- [0075] 컬러필터(354)는 감광성 유기 물질로 이루어질 수 있다.
- [0076] 한편, 컬러필터(354)는 적어도 하나의 홈(436)을 가질 수 있다. 이 홈(436)은 하부 화소 전극(LPE)과 중첩되지 않는 컬러필터(354) 부분에 위치한다. 한편, 홈(436)은 상부 화소 전극(UPE)의 일부와 중첩한다.
- [0077] 하부 절연막(391)은 컬러필터(354) 상에 위치한다. 하부 절연막(391)은 캡핑(capping)층으로 기능한다. 즉, 하부 절연막(391)은 컬러필터(354)로부터 발생된 불순물의 확산을 차단한다. 하부 절연막(391)은 질화 실리콘 또는 산화 실리콘 등으로 이루어질 수 있다. 한편, 하부 절연막(391)은 적어도 하나의 홀(446)을 가질 수 있다. 이 홀(446)은 하부 화소 전극(LPE)과 중첩되지 않는 컬러필터(354) 부분에 위치한다. 한편, 홀(446)은 상부 화

소 전극(UPE)의 일부와 중첩한다.

- [0078] 도 3에 도시된 바와 같이, 하부 화소 전극(LPE)은 화소 영역(P)에 구비된다. 이때, 도 6 및 도 7에 도시된 바와 같이, 하부 화소 전극(LPE)은 하부 절연막(391) 상에 위치한다. 여기서, 도 4를 참조하여, 하부 화소 전극(LP E)에 대하여 구체적으로 설명하면 다음과 같다.
- [0079] 하부 화소 전극(LPE)은, 도 4에 도시된 바와 같이, 서로 분리된 제 1 하부 부화소 전극(L1)과 제 2 하부 부화소 전극(L2)을 포함한다.
- [0080] 화소 영역(P)은 제 1 부화소 영역(P1)과 제 2 부화소 영역(P2)으로 구분되는 바, 제 1 하부 부화소 전극(L1)은 제 1 부화소 영역(P1)에 위치한다.
- [0081] 제 1 하부 부화소 전극(L1)은 어느 것에도 연결되지 않은, 플로팅(floating) 상태로 유지된다.
- [0082] 제 1 하부 부화소 전극(L1)은 줄기 전극(613)과 이 줄기 전극(613)과 일체로 구성된 복수의 가지 전극들(601a, 601b, 601c, 601d)을 포함한다.
- [0083] 줄기 전극(613)은 제 1 부화소 영역(P1)을 복수의 도메인(domain)들로 분할한다. 예를 들어, 줄기 전극(613)은 서로 교차하는 수평부(611) 및 수직부(612)를 포함한다. 수평부(611)는 제 1 부화소 영역(P1)을 2개의 도메인들 로 분할하며, 그리고 수직부(612)는 그 분할된 2개의 도메인들 각각을 또 다른 2개의 더 작은 도메인들로 분할 한다. 수평부(611) 및 수직부(612)로 구성된 줄기 전극(613)에 의해 제 1 부화소 영역(P1)은 4개의 도메인들(A, B, C, D)로 나뉜다.
- [0084] 가지 전극들(601a, 601b, 601c, 601d)은 줄기 전극(613)에서 서로 다른 방향으로 연장된 제 1 내지 제 4 가지 전극들(601a, 601b, 601c, 601d)을 포함한다. 즉, 제 1 내지 제 4 가지 전극들(601a, 601b, 601c, 601d)은 줄 기 전극(613)에서 각 도메인(A, B, C, D) 내로 연장된다. 예를 들어, 제 1 가지 전극(601a)은 제 1 도메인(A)에 위치하고, 제 2 가지 전극(601b)은 제 2 도메인(B)에 위치하고, 제 3 가지 전극(601c)은 제 3 도메인(C)에 위치 하고, 그리고 제 4 가지 전극(601d)은 제 4 도메인(D)에 위치한다.
- [0085] 수직부(612)에 대하여 제 1 가지 전극(601a)과 제 2 가지 전극(601b)은 서로 대칭적인 형태를 이루며, 수직부 (612)에 대하여 제 3 가지 전극(601c)과 제 4 가지 전극(601d)은 서로 대칭적인 형태를 이룬다. 또한, 수평부 (611)에 대하여 제 1 가지 전극(601a)과 제 4 가지 전극(601d)은 서로 대칭적인 형태를 이루며, 수평부(611)에 대하여 제 2 가지 전극(601b)과 제 3 가지 전극(601c)은 서로 대칭적인 형태를 이룬다.
- [0086] 제 1 도메인(A)에 제 1 가지 전극(601a)이 복수로 구비될 수 있는 바, 이때 복수의 제 1 가지 전극(601a)들은 서로 평행하게 배열된다. 여기서, 제 1 가지 전극(601a)들 중 일부 가지 전극들은, 제 1 도메인(A)과 접하는 수 평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 1 가지 전극(601a)들 중 나머지 가지 전극들은 제 1 도메인(A)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향 으로 연장된다.
- [0087] 제 2 도메인(B)에 제 2 가지 전극(601b)이 복수로 구비될 수 있는 바, 이때 복수의 제 2 가지 전극(601b)들은 서로 평행하게 배열된다. 여기서, 제 2 가지 전극(601b)들 중 일부 가지 전극들은, 제 2 도메인(B)과 접하는 수 평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 2 가지 전극(601b)들 중 나머지 가지 전극들은 제 2 도메인(B)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향 으로 연장된다.
- [0088] 제 3 도메인(C)에 제 3 가지 전극(601c)이 복수로 구비될 수 있는 바, 이때 복수의 제 3 가지 전극(601c)들은 서로 평행하게 배열된다. 여기서, 제 3 가지 전극(601c)들 중 일부 가지 전극들은, 제 3 도메인(C)과 접하는 수 평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 3 가지 전극(601c)들 중 나머지 가지 전극들은 제 3 도메인(C)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향 으로 연장된다.
- [0089] 제 4 도메인(D)에 제 4 가지 전극(601d)이 복수로 구비될 수 있는 바, 이때 복수의 제 4 가지 전극(601d)들은 서로 평행하게 배열된다. 여기서, 제 4 가지 전극(601d)들 중 일부 가지 전극들은, 제 4 도메인(D)과 접하는 수 평부(611)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 4 가지 전극(601d)들 중 나머지 가지 전극들은 제 4 도메인(D)과 접하는 수직부(612)의 일측 변으로부터 그 일측 변에 대하여 사선 방향 으로 연장된다.

- [0090] 한편, 제 1 도메인(A)에 위치한 일부 제 1 가지 전극(601a)들의 단부들과 제 2 도메인(B)에 위치한 일부 제 2 가지 전극(601b)들의 단부들이 연결부(614)에 의해 서로 연결될 수 있다.
- [0091] 제 2 하부 부화소 전극(L2)은 제 2 부화소 영역(P2)에 위치한다. 제 2 하부 부화소 전극(L2)은 제 2 부화소 영역(P2)의 중심부를 둘러싸는 폐곡선 형태를 취한다. 이를 위해, 제 2 하부 부화소 전극(L2)은 중심부가 개구된 형상을 가질 수 있다. 이후, 설명되겠지만, 제 2 부화소 영역(P2)은 상부 화소 전극(UPE)에 의해 복수의 도메인들로 구분되는 바, 제 2 하부 부화소 전극(L2)은 각 도메인의 일부만을 점유한다. 예를 들어, 제 2 하부 부화소 전극(L2)이, 도 4에 도시된 바와 같이, 제 1 내지 제 4 면형 전극들(644a, 644b, 644c, 644d)을 포함할 수 있는 바, 이와 같은 경우 제 1 면형 전극(644a)은 제 1 도메인(A)의 일부만을 점유하고, 제 2 면형 전극(644b)은 제 2 도메인(B)의 일부만을 점유하고, 제 3 면형 전극(644c)은 제 3 도메인(C)의 일부만을 점유하고, 그리고 제 4 면형 전극(644d)은 제 4 도메인(D)의 일부만을 점유한다. 이때, 면형 전극들(644a, 644b, 644c, 644d) 각각의 양측 단부는 인접한 다른 면형 전극들의 단부들과 연결된다.
- [0092] 제 2 하부 부화소 전극(L2)은 외부로부터 강하 신호를 공급받는다. 강하 신호는 공통 전압 또는 이 공통 전압보다 작은 전압일 수 있다. 예를 들어, 강하 신호는 공통 전압의 반에 해당하는 값을 가질 수 있다.
- [0093] 강하 신호는 게이트 드라이버(112)로부터 제공될 수 있다.
- [0094] 한편, 한 수평라인의 화소들에 구비된 제 2 하부 부화소 전극(L2)들은 서로 연결될 수 있다. 이때, 게이트 드라이버(112)에 가장 근접하여 위치한 최외곽 화소에 구비된 제 2 하부 부화소 전극(L2)으로 전술된 강하 신호가 인가될 수 있다. 한편, 서로 인접한 제 2 하부 부화소 전극(L2)들 간의 연결부는, 그 제 2 하부 부화소 전극(L2)들 사이에 위치한 데이터 라인과 교차한다.
- [0095] 전술된 홈(436) 및 홀(446)은, 도 4와 같이 구성된 하부 화소 전극(LPE)에 의해 가려진 부분을 제외한 컬러필터(354) 및 하부 절연막(391) 부분에 위치한다. 예를 들어, 홈(436) 및 홀(446)은 제 1 가지 전극(601a)들 사이, 제 2 가지 전극(601b)들 사이, 제 3 가지 전극(601c)들 사이, 제 4 가지 전극(601d)들 사이, 그리고 제 2 하부 부화소 전극(L2)의 개구부에 위치한다.
- [0096] 위와 같은 구성을 갖는 하부 화소 전극(LPE)은 ITO(Indium tin oxide) 또는 IZO(Indium zinc oxide)등의 투명한 도전 물질로 만들어질 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.
- [0097] 하부 화소 전극(LPE) 및 컬러필터(354) 상에 상부 절연막(392)이 위치한다. 이때, 상부 절연막(392)은 그 하부 화소 전극(LPE) 및 컬러필터(354)를 포함한 제 1 기판(301)의 전면(全面)에 형성된다. 상부 절연막(392)은 전술된 보호막(320), 게이트 절연막(311) 및 하부 절연막(391) 중 어느 하나와 동일한 물질로 이루어질 수 있다. 한편, 상부 절연막(392)은 적어도 하나의 홈(486)을 가질 수 있다. 이 홈(486)은 하부 화소 전극(LPE)과 중첩되지 않는 상부 절연막(392) 부분에 위치한다. 한편, 홈(486)은 상부 화소 전극(UPE)의 일부와 중첩한다.
- [0098] 상부 절연막(392)에 이를 관통하는 상부 콘택홀(도 9i의 360b)이 형성되는 바, 이 상부 콘택홀(360b)은 하부 콘택홀(360a)의 바로 위에 위치한다. 상부 콘택홀(360b)과 하부 콘택홀(360a)이 연결되어 하나의 드레인 콘택홀(도 9i의 360)을 형성한다.
- [0099] 블랙 매트릭스(376)는 상부 절연막(392) 상에 위치한다. 블랙 매트릭스(376)는 화소 영역(P)을 제외한 부분에서의 빛샘을 차단한다.
- [0100] 도 3에 도시된 바와 같이, 상부 화소 전극(UPE)은 화소 영역(P)에 구비된다. 이때, 도 6 및 도 7에 도시된 바와 같이, 상부 화소 전극(UPE)은 상부 절연막(392) 상에 위치한다.
- [0101] 상부 화소 전극(UPE)은 공통 전극(330)과 함께 전계를 생성한다. 이러한 상부 화소 전극(UPE)은 접속부(662)를 통해 드레인 전극(DE)에 전기적으로 연결된다. 접속부(662)는 상부 화소 전극(UPE)과 일체로 구성되며, 드레인 콘택홀(360) 상에 위치한다. 이 접속부(662)는 드레인 콘택홀(360)을 통해 노출된 드레인 전극(DE)에 연결된다.
- [0102] 여기서, 도 5를 참조하여, 상부 화소 전극(UPE)에 대하여 구체적으로 설명하면 다음과 같다.
- [0103] 상부 화소 전극(UPE)은, 도 5에 도시된 바와 같이, 서로 연결된 제 1 상부 부화소 전극(U1)과 제 2 상부 부화소 전극(U2)을 포함한다.
- [0104] 제 1 상부 부화소 전극(U1)은 제 1 부화소 영역(P1)에 위치한다. 이때, 제 1 상부 부화소 전극(U1)은 제 1 하부

부화소 전극(L1) 상에 구비된다.

- [0105] 제 1 상부 부화소 전극(U1)은 제 1 부화소 영역(P1)을 복수의 도메인들로 분할하는 분할한다. 예를 들어, 제 1 상부 부화소 전극(U1)은 서로 교차하는 수평부(721) 및 수직부(722)를 포함한다. 수평부(721)는 제 1 부화소 영역(P1)을 2개의 도메인들로 분할하며, 그리고 수직부(722)는 그 분할된 2개의 도메인들 각각을 또 다른 2개의 더 작은 도메인들로 분할한다. 수평부(721) 및 수직부(722)로 구성된 제 1 상부 부화소 전극(U1)에 의해 제 1 부화소 영역(P1)은 4개의 도메인들(A, B, C, D)로 나뉜다. 제 1 상부 부화소 전극(U1)은 전술된 제 1 하부 부화소 전극(L1)의 줄기 전극(613)과 실질적으로 동일한 형상을 갖는다. 제 1 상부 부화소 전극(U1)의 적어도 일부는 제 1 하부 부화소 전극(L1)에 구비된 줄기 전극(613)과 중첩한다. 이때, 이 줄기 전극(613)은 제 1 상부 부화소 전극(U1)에 의해 완전히 가려질수 있다. 한편, 제 1 상부 부화소 전극(U1)은 제 1 하부 부화소 전극(L1)에 구비된 제 1 내지 제 4 가지 전극들(601a, 601b, 601c, 601d)과 중첩하지 않는다.
- [0106] 제 2 상부 부화소 전극(U2)은 제 2 부화소 영역(P2)에 위치한다. 이때, 제 2 상부 부화소 전극(U2)은 제 2 하부 부화소 전극(L2) 상에 구비된다.
- [0107] 제 2 하부 부화소 전극(L2)은 줄기 전극(713)과 이 줄기 전극(713)과 일체로 구성된 복수의 가지 전극들(701a, 701b, 701c, 701d)을 포함한다.
- [0108] 줄기 전극(713)은 제 2 부화소 영역(P2)을 복수의 도메인들(AA, BB, CC, DD)로 분할한다. 예를 들어, 줄기 전극(713)은 서로 교차하는 수평부(711) 및 수직부(712)를 포함한다. 수평부(711)는 제 2 부화소 영역(P2)을 2개의 도메인들로 분할하며, 그리고 수직부(712)는 그 분할된 2개의 도메인들 각각을 또 다른 2개의 더 작은 도메인들로 분할한다. 수평부(711) 및 수직부(712)로 구성된 줄기 전극(713)에 의해 제 2 부화소 영역(P2)은 4개의 도메인들(AA, BB, CC, DD)로 나뉜다.
- [0109] 가지 전극들(701a, 701b, 701c, 701d)은 줄기 전극(713)의 서로 다른 곳으로부터 서로 다른 방향으로 연장된 제 1 내지 제 4 가지 전극들(701a, 701b, 701c, 701d)을 포함한다. 즉, 제 1 내지 제 4 가지 전극들(701a, 701b, 701c, 701d)은 줄기 전극(713)에서 각 도메인(AA, BB, CC, DD) 내로 연장된다. 제 1 가지 전극(701a)은 제 1 도메인(AA)에 위치하고, 제 2 가지 전극(701b)은 제 2 도메인(BB)에 위치하고, 제 3 가지 전극(701c)은 제 3 도메인(CC)에 위치하고, 그리고 제 4 가지 전극(701d)은 제 4 도메인(DD)에 위치한다. 수직부(712)에 대하여 제 1 가지 전극(701a)과 제 2 가지 전극(701b)은 서로 대칭적인 형태를 이루며, 수직부(712)에 대하여 제 3 가지 전극(701c)과 제 4 가지 전극(701d)은 서로 대칭적인 형태를 이룬다. 또한, 수평부(711)에 대하여 제 1 가지 전극(701a)과 제 4 가지 전극(701d)은 서로 대칭적인 형태를 이루며, 수평부(711)에 대하여 제 2 가지 전극(701b)과 제 3 가지 전극(701c)은 서로 대칭적인 형태를 이룬다.
- [0110] 제 1 도메인(AA)에 제 1 가지 전극(701a)이 복수로 구비될 수 있는 바, 이때 복수의 제 1 가지 전극(701a)들은 서로 평행하게 배열된다. 여기서, 제 1 가지 전극(701a)들 중 일부 가지 전극들은, 제 1 도메인(AA)과 접하는 수평부(711)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 1 가지 전극(701a)들 중 나머지 가지 전극들은 제 1 도메인(AA)과 접하는 수직부(712)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다.
- [0111] 제 1 도메인(AA)에 구비된 제 1 가지 전극(701a)들의 각 일측 부분들은 제 2 하부 화소 전극(LPE)의 개구부 상에 위치한다. 이때, 개구부에 의해 노출된 상부 절연막(392) 부분에 홈(486)이 구비되는 바, 제 1 가지 전극(701a)들의 각 일측 부분들이 그 홈(486) 내부에 위치한다. 한편, 제 1 도메인(AA)에 구비된 제 1 가지 전극(701a)들의 각 타측 부분들은 제 1 면형 전극(644a) 상에 위치한다.
- [0112] 전술된 바와 같이 제 1 도메인(AA)의 일부 영역은 제 1 면형 전극(644a)에 의해 점유되는 반면, 나머지 영역은 점유되지 않는다. 이에 따라, 제 1 도메인(AA)에 위치한 제 1 가지 전극(701a)들의 각 타측 부분들이 제 1 면형 전극(644a)과 중첩하는 반면, 그 제 1 가지 전극(701a)들의 각 일측 부분들이 제 1 면형 전극(644a)과 중첩하지 않는다. 이에 따라, 제 1 도메인(AA)은 제 1 가지 전극(701a)들로만 점유된 제 1 영역과, 서로 중첩하는 제 1 가지 전극(701a)들과 제 1 면형 전극(644a)에 의해 점유된 제 2 영역으로 나뉜다. 즉, 제 1 도메인(AA)은, 제 1 면형 전극(644a)에 의해, 2개의 작은 도메인들로 다시 분할된다.
- [0113] 제 2 도메인(BB)에 제 2 가지 전극(701b)이 복수로 구비될 수 있는 바, 이때 복수의 제 2 가지 전극(701b)들은 서로 평행하게 배열된다. 여기서, 제 2 가지 전극(701b)들 중 일부 가지 전극들은, 제 2 도메인(BB)과 접하는 수평부(711)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 2 가지 전극(701b)들 중 나머지 가지 전극들은 제 2 도메인(BB)과 접하는 수직부(712)의 일측 변으로부터 그 일측 변에 대하여 사선

방향으로 연장된다.

- [0114] 제 2 도메인(BB)에 구비된 제 2 가지 전극(701b)들의 각 일측 부분들은 제 2 하부 화소 전극(LPE)의 개구부 상에 위치한다. 이때, 개구부에 의해 노출된 상부 절연막(392) 부분에 홈(486)이 구비되는 바, 제 2 가지 전극(701b)들의 각 일측 부분들이 그 홈(486) 내부에 위치한다. 한편, 제 2 도메인(BB)에 구비된 제 2 가지 전극(701b)들의 각 타측 부분들은 제 2 면형 전극(644b) 상에 위치한다.
- [0115] 전술된 바와 같이 제 2 도메인(BB)의 일부 영역은 제 2 면형 전극(644b)에 의해 점유되는 반면, 나머지 영역은 점유되지 않는다. 이에 따라, 제 2 도메인(BB)에 위치한 제 2 가지 전극(701b)들의 각 일측 부분들이 제 2 면형 전극(644b)과 중첩하는 반면, 그 제 2 가지 전극(701b)들의 각 타측 부분들이 제 2 면형 전극(644b)과 중첩하지 않는다. 이에 따라, 제 2 도메인(BB)은 제 2 가지 전극(701b)들로만 점유된 제 1 영역과, 서로 중첩하는 제 2 가지 전극(701b)들과 제 2 면형 전극(644b)에 의해 점유된 제 2 영역으로 나뉜다. 즉, 제 2 도메인(BB)은, 제 2 면형 전극(644b)에 의해, 2개의 작은 도메인들로 다시 분할된다.
- [0116] 제 3 도메인(CC)에 제 3 가지 전극(701c)이 복수로 구비될 수 있는 바, 이때 복수의 제 3 가지 전극(701c)들은 서로 평행하게 배열된다. 여기서, 제 3 가지 전극(701c)들 중 일부 가지 전극들은, 제 3 도메인(CC)과 접하는 수평부(711)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 3 가지 전극(701c)들 중 나머지 가지 전극들은 제 3 도메인(CC)과 접하는 수직부(712)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다.
- [0117] 제 3 도메인(CC)에 구비된 제 3 가지 전극(701c)들의 각 일측 부분들은 제 3 하부 화소 전극(LPE)의 개구부 상에 위치한다. 이때, 개구부에 의해 노출된 상부 절연막(392) 부분에 홈(486)이 구비되는 바, 제 3 가지 전극(701c)들의 각 일측 부분들이 그 홈(486) 내부에 위치한다. 한편, 제 3 도메인(CC)에 구비된 제 3 가지 전극(701c)들의 각 타측 부분들은 제 3 면형 전극(644c) 상에 위치한다.
- [0118] 전술된 바와 같이 제 3 도메인(CC)의 일부 영역은 제 3 면형 전극(644c)에 의해 점유되는 반면, 나머지 영역은 점유되지 않는다. 이에 따라, 제 3 도메인(CC)에 위치한 제 3 가지 전극(701c)들의 각 일측 부분들이 제 3 면형 전극(644c)과 중첩하는 반면, 그 제 3 가지 전극(701c)들의 각 타측 부분들이 제 3 면형 전극(644c)과 중첩하지 않는다. 이에 따라, 제 3 도메인(CC)은 제 3 가지 전극(701c)들로만 점유된 제 1 영역과, 서로 중첩하는 제 3 가지 전극(701c)들과 제 3 면형 전극(644c)에 의해 점유된 제 2 영역으로 나뉜다. 즉, 제 3 도메인(CC)은, 제 3 면형 전극(644c)에 의해, 2개의 작은 도메인들로 다시 분할된다.
- [0119] 제 4 도메인(DD)에 제 4 가지 전극(701d)이 복수로 구비될 수 있는 바, 이때 복수의 제 4 가지 전극(701d)들은 서로 평행하게 배열된다. 여기서, 제 4 가지 전극(701d)들 중 일부 가지 전극들은, 제 4 도메인(DD)과 접하는 수평부(711)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다. 그리고 제 4 가지 전극(701d)들 중 나머지 가지 전극들은 제 4 도메인(DD)과 접하는 수직부(712)의 일측 변으로부터 그 일측 변에 대하여 사선 방향으로 연장된다.
- [0120] 제 4 도메인(DD)에 구비된 제 4 가지 전극(701d)들의 각 일측 부분들은 제 4 하부 화소 전극(LPE)의 개구부 상에 위치한다. 이때, 개구부에 의해 노출된 상부 절연막(392) 부분에 홈(486)이 구비되는 바, 제 4 가지 전극(701d)들의 각 일측 부분들이 그 홈(486) 내부에 위치한다. 한편, 제 4 도메인(DD)에 구비된 제 4 가지 전극(701d)들의 각 타측 부분들은 제 4 면형 전극(644d) 상에 위치한다.
- [0121] 전술된 바와 같이 제 4 도메인(DD)의 일부 영역은 제 4 면형 전극(644d)에 의해 점유되는 반면, 나머지 영역은 점유되지 않는다. 이에 따라, 제 4 도메인(DD)에 위치한 제 4 가지 전극(701d)들의 각 일측 부분들이 제 4 면형 전극(644d)과 중첩하는 반면, 그 제 4 가지 전극(701d)들의 각 타측 부분들이 제 4 면형 전극(644d)과 중첩하지 않는다. 이에 따라, 제 4 도메인(DD)은 제 4 가지 전극(701d)들로만 점유된 제 1 영역과, 서로 중첩하는 제 4 가지 전극(701d)들과 제 4 면형 전극(644d)에 의해 점유된 제 2 영역으로 나뉜다. 즉, 제 4 도메인(DD)은, 제 4 면형 전극(644d)에 의해, 2개의 작은 도메인들로 다시 분할된다.
- [0122] 이와 같이 제 2 화소 영역은 8개의 도메인들로 분할된다. 따라서, 하나의 화소 영역은 총 12(4+8)개의 도메인들을 포함한다.
- [0123] 한편, 제 3 도메인(CC)에 위치한 일부 제 3 가지 전극(701c)들의 단부들과 제 4 도메인(DD)에 위치한 일부 제 4 가지 전극(701d)들의 단부들이 연결부(714)에 의해 서로 연결될 수 있다.
- [0124] 위와 같은 구성을 갖는 상부 화소 전극(UPE)은 ITO 또는 IZO등의 투명한 도전 물질로 만들어질 수 있다. 이때,

ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.

- [0125] 도 7에 도시된 바와 같이, 제 1 영역(AR1)의 액정 분자(LC)들은 제 2 상부 부화소 전극(U2)에 인가된 데이터 신호에 의해 제어되며, 제 2 영역(AR2)의 액정 분자(LC)들은 제 2 상부 부화소 전극(U2)에 인가된 데이터 신호와 제 2 하부 부화소 전극(L2)에 인가된 강하 신호에 의해 제어되며, 그리고 제 3 영역(AR3)의 액정 분자(LC)들은 제 1 상부 부화소 전극(U1)에 인가된 데이터 신호와, 제 1 상부 부화소 전극(U1)과 제 1 하부 부화소 전극(L1) 간의 커패시턴스에 의해 제어된다. 이에 따라, 제 1 영역(AR1)에는 데이터 신호에 대응하는 화소 전압이 인가되고, 제 2 영역(AR2)에는 하강 신호에 의해 감쇄된 화소 전압이 인가되며, 그리고 제 3 영역(AR3)에는 커패시턴스에 의해 더욱 작아진 화소 전압이 인가된다. 다시 말하여, 제 1 영역(AR1)의 화소 전압이 가장 크고, 제 3 영역(AR3)의 화소 전압이 가장 작다. 그리고 제 2 영역(AR2)의 화소 전압은 제 1 영역(AR1)의 화소 전압보다 작고, 제 3 영역(AR3)의 화소 전압보다 크다.
- [0126] 한편, 도시되지 않았지만 상부 화소 전극(UPE) 상에 제 1 배향막이 구비되고, 그리고 공통 전극(330) 상에 제 2 배향막이 구비된다.
- [0127] 액정층(333)은 양의 유전율 이방성을 가지는 네마틱(nematic) 액정 물질을 포함할 수 있다. 액정층(333)의 액정 분자(LC)는 그 장축 방향이 제 1 기관(301) 및 제 2 기관(302) 중 어느 하나에 평행하게 배열되어 있고, 그 방향이 제 1 배향막의 러빙 방향으로부터 제 2 기관(302)에 이르기까지 나선상으로 90도 비틀린 구조를 가질 수 있다.
- [0128] 또는, 네마틱 액정 물질 대신, 액정층(333)은 수직 배향된 액정 물질들을 포함할 수도 있다. 이와 같은 경우, 제 1 배향막은 수직 배향막일 수도 있고, 광반응 물질을 포함하는 배향막일 수도 있다. 그리고, 제 2 배향막은 수직 배향막일 수도 있고, 광중합 물질을 이용하여 광배향된 배향막일 수 있다.
- [0129] 한편, 네마틱 액정 물질 대신, 액정층(333)은 음의 유전율 이방성을 갖는 액정 분자를 포함할 수 있다.
- [0130] 도 8은 본 발명의 액정 표시장치에서 액정 분자의 움직임에 설명하기 위한 도면이다.
- [0131] 본 발명에 따르면, 도 8에 도시된 바와 같이, 상부 절연막(392)의 홈(486)에 의해 액정 분자(LC)가 그 홈(486)을 향해 기울어진 상태를 가질 수 있다. 따라서, 액정 분자(LC)가 프리-틸트(pre-tilt) 각(θ_{pt})을 가질 수 있다. 따라서, 제 1 상부 부화소 전극(U1)에 근접하여 위치한 액정 분자(LC)가 그 제 1 상부 부화소 전극(U1)에 의해 발생된 전계에 거의 영향을 받지 않는다. 그러므로, 제 1 상부 부화소 전극(U1)에 근접하여 위치한 액정 분자(LC)들의 움직임이 올바르게 제어될 수 있다.
- [0132] 상부 절연막(392)은 500Å 내지 1000Å의 깊이(d)의 홈(486)을 가질 수 있다. 또한, 상부 절연막(392)은 홈(486)에서 90도 내지 130도의 각을 이루는 측면(833)과 바닥면(831)을 가질 수 있다. 한편, 상부 절연막(392)은 컬러필터(354)의 홈(436)보다 더 큰 깊이의 홈(486)을 가질 수 있다.
- [0133] 이하, 도 9a 내지 도 9k, 그리고 도 10a 내지 도 10g를 참조하여 본 발명에 따른 액정 표시장치의 제조 방법을 상세히 설명한다.
- [0134] 도 9a 내지 도 9k, 그리고 도 10a 내지 도 10g는 본 발명의 한 실시예에 따른 액정 표시장치의 제조 방법을 설명하기 위한 공정 단면도들이다.
- [0135] 먼저, 도 9a 및 도 10a에 도시된 바와 같이, 스퍼터링 방식과 같은 증착 방법을 통해 제 1 기관(301) 상에 게이트 금속층이 형성된다. 이후, 포토리소그래피 공정 및 식각 공정을 통해 이 게이트 금속층이 패터닝됨으로써 제 1 기관(301) 상에 게이트 라인(GL), 게이트 전극(GE) 및 더미 라인(346)이 형성된다. 이때, 게이트 라인(GL), 게이트 전극(GE) 및 더미 라인(346)은 화소 영역(P)을 제외한 부분에 형성된다. 여기서, 게이트 금속층은 전술된 알루미늄(Al)이나 알루미늄 합금과 같은 알루미늄 계열의 금속, 또는 은(Ag)이나 은 합금과 같은 은 계열의 금속, 또는 구리(Cu)나 구리 합금과 같은 구리 계열의 금속, 또는 몰리브덴(Mo)이나 몰리브덴 합금과 같은 몰리브덴 계열의 금속일 수 있다. 또는, 이 게이트 금속층은, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 중 어느 하나일 수 있다.
- [0136] 이어서, 도 9b 및 도 10b에 도시된 바와 같이, 게이트 라인(GL), 게이트 전극(GE) 및 더미 라인(346)을 포함한 제 1 기관(301)의 전면에 게이트 절연막(311)이 형성된다. 이후, 게이트 절연막(311) 상에 진성 아몰퍼스 실리콘과 같은 반도체 물질, 불순물이 첨가된 아몰퍼스 실리콘과 같은 불순물 반도체 물질이 차례로 증착된다. 그리고, 포토리소그래피 및 식각 공정을 통해 반도체 물질 및 불순물 반도체 물질이 패터닝됨으로써 게이트 전극

(GE)을 증첩하는 반도체층(313) 및 저항성 접촉층(315)이 형성된다.

- [0137] 이어서, 도 9c에 도시된 바와 같이, 반도체층(313)을 포함한 제 1 기판(301)의 전면에 소스 금속층이 형성된다. 이후, 포토리소그래피 공정 및 식각 공정을 통해 이 소스 금속층이 패터닝됨으로써, 반도체층(313)의 양측을 증첩함과 아울러 더미 라인(346)의 일부를 증첩하는 소스 전극(SE) 및 드레인 전극(DE)이 형성된다. 이때, 반도체층(313)의 채널 영역 상에 위치한 저항성 접촉층(315) 부분이 제거된다. 여기서, 소스 금속층은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금일 수 있다.
- [0138] 다음으로, 도 9d 및 도 10b에 도시된 바와 같이, 소스 전극(SE) 및 드레인 전극(DE)을 포함한 제 1 기판(301)의 전면에 보호막(320)이 형성된다. 이어서, 그 보호막(320)을 포함한 제 1 기판(301)의 전면에 감광성 유기 물질이 형성된다. 이후 포토리소그래피 및 식각 공정을 통해 화소 영역에 대응되는 부분에 컬러필터(354)가 형성된다. 이때, 컬러필터(354)의 가장자리는 게이트 전극(GE)을 포함한 게이트 라인(GL), 박막 트랜지스터(TFT) 및 데이터 라인(DL) 상에 위치한다. 단, 컬러필터(354)는 드레인 전극(DE) 상에 형성되지 않는다.
- [0139] 이어서, 도 9e 및 도 10c에 도시된 바와 같이, 컬러필터(354)를 포함한 제 1 기판(301)의 전면에 차례로 하부 절연막(391), 하부 화소 전극층(888) 및 포토레지스트가 형성된다. 이후, 포토리소그래피 및 식각 공정을 통해 포토레지스트가 패터닝됨으로써 하부 화소 전극층(888) 상에 포토레지스터 패턴(999)이 형성된다.
- [0140] 이후, 도 9f 및 도 10d에 도시된 바와 같이, 포토레지스터 패턴(999)을 마스크로 하여 식각 공정이 수행된다. 이에 따라 포토레지스터 패턴(999)을 통해 노출된 하부 화소 전극층(888) 부분이 제거됨으로써, 화소 영역(P)에 하부 화소 전극 패턴(LPE)이 형성된다. 여기서, 하부 화소 전극층(888)은 ITO 또는 IZO일 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다. 한편, 하부 화소 전극 패턴(LPE)은 전술된 하부 화소 전극(LPE)과 동일한 것으로, 이하 이를 하부 화소 전극(LPE)로 고쳐 부른다.
- [0141] 다음으로, 도 9g 및 도 10e에 도시된 바와 같이, 포토레지스터 패턴(999) 및 하부 화소 전극(LPE)을 마스크로 하여 식각 공정이 수행된다. 이때, 이 식각 공정시 건식 식각 방법이 사용될 수 있다. 이에 따라 포토레지스터 패턴(999) 및 하부 화소 전극(LPE)을 통해 노출된 하부 절연막(391)에 홀(446)이 형성된다. 이때, 식각 공정이 더 오래 수행될 경우, 그 하부 절연막(391)의 홀(446) 아래에 위치한 컬러필터(354) 부분에 홈(436)이 더 형성될 수 있다. 이 컬러필터(354)의 홈(436)은 형성되지 않아도 무방하다.
- [0142] 이후, 도 9h 및 도 10f에 도시된 바와 같이, 포토레지스터 패턴(999)이 제거된다. 그리고 하부 화소 전극(LPE)을 포함한 제 1 기판(301)의 전면에 상부 절연막(392)이 형성된다. 이때, 상부 절연막(392)에 홈(486)이 형성된다. 즉, 하부 절연막(391)의 홀(446) 위에 위치한 상부 절연막(392) 부분이 내려앉으면서 그 부분에 홈(486)이 형성된다.
- [0143] 이어서, 도 9i 및 도 10g에 도시된 바와 같이, 드레인 전극(DE) 상에 위치한 보호막(320) 및 상부 절연막(392)을 차례로 관통하는 드레인 콘택홀(360)이 형성된다. 드레인 콘택홀(360)은 상부 관통홀(360b) 및 하부 관통홀(360a)로 구성된다. 이 드레인 콘택홀(360)에 의해 드레인 전극(DE)이 노출된다.
- [0144] 다음으로, 도 9j에 도시된 바와 같이, 보호막(320)을 포함한 제 1 기판(301)의 전면에 상부 화소 전극용 물질이 형성된다. 그리고, 포토리소그래피 및 식각 공정을 통해 상부 화소 전극용 물질이 패터닝됨으로써, 드레인 전극(DE)에 연결되는 상부 화소 전극(UPE)이 상부 절연막(392) 상에 형성된다. 여기서, 상부 화소 전극용 물질은 ITO 또는 IZO일 수 있다. 이때, ITO는 다결정 또는 단결정의 물질일 수 있으며, 또한 IZO 역시 다결정 또는 단결정의 물질일 수 있다.
- [0145] 이어서, 도 9k에 도시된 바와 같이, 상부 화소 전극(UPE)을 포함한 제 1 기판(301)의 전면에 블랙 매트릭스용 물질이 형성된다. 그리고 포토리소그래피 및 식각 공정을 통해 블랙 매트릭스용 물질이 패터닝됨으로써, 상부 절연막(392) 상에 블랙 매트릭스(376)가 형성된다.
- [0146] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

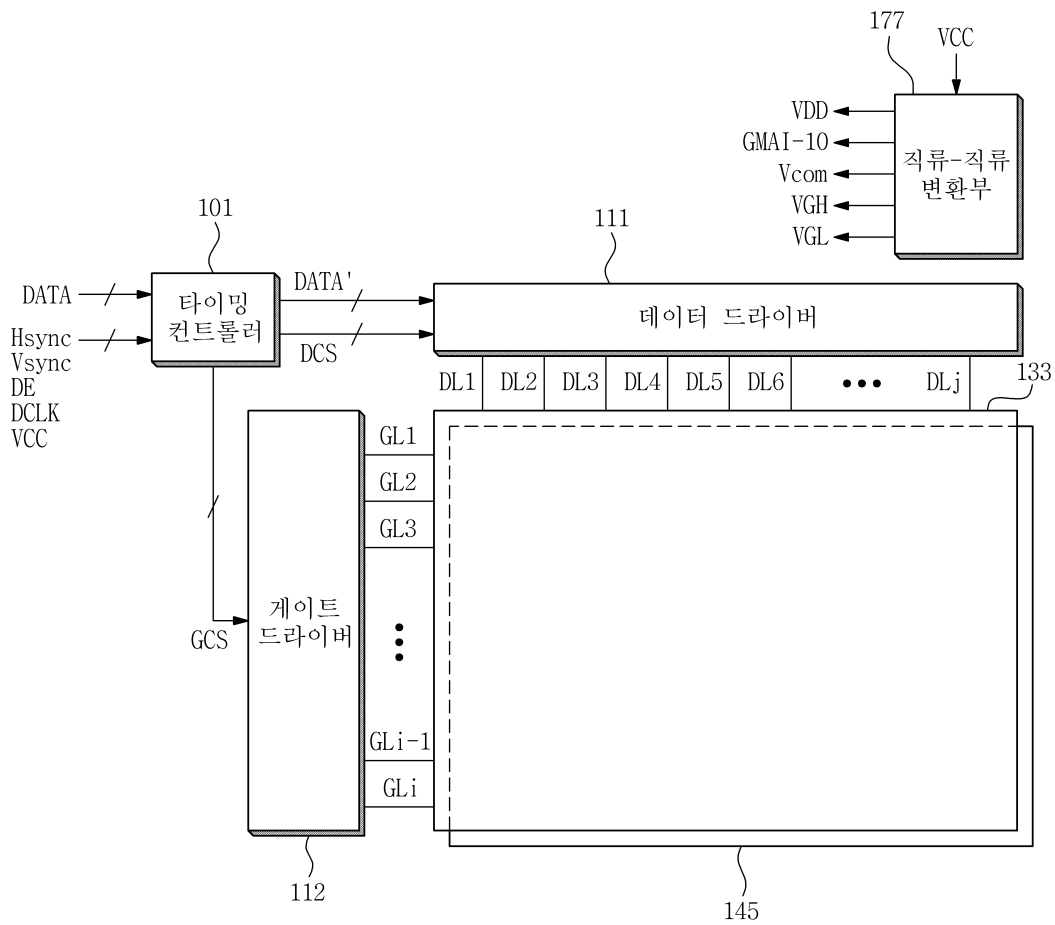
부호의 설명

- [0147] TFT: 박막 트랜지스터 SE: 소스 전극

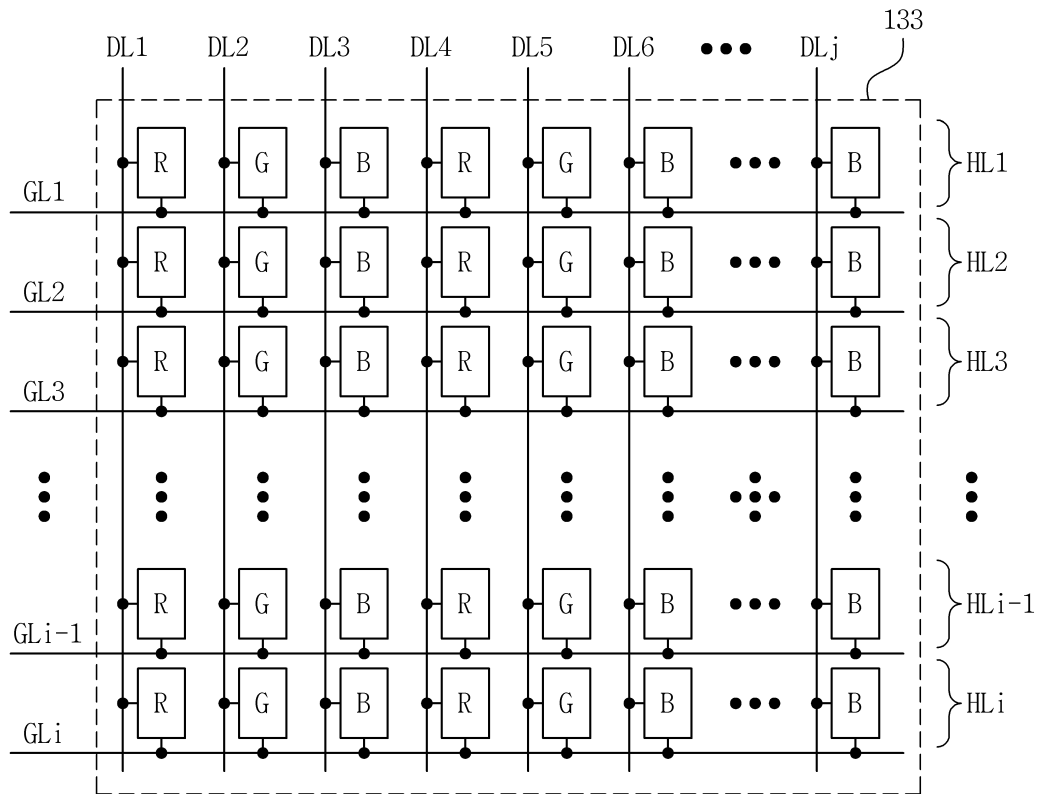
DE: 드레인 전극 GE: 게이트 전극
 313: 반도체층 315: 저항성 접촉층
 311: 게이트 절연막 320: 보호막
 346: 더미 라인 354: 컬러필터
 436, 486: 홈 446: 홀
 662: 접속부 UPE: 상부 화소 전극
 LPE: 하부 화소 전극 392: 상부 절연막
 391: 하부 절연막 612, 722: 수직부
 601d: 제 4 가지 전극 LC: 액정 분자
 333: 액정층 330: 공통 전극
 301: 제 1 기판 302: 제 2 기판
 P: 화소 영역

도면

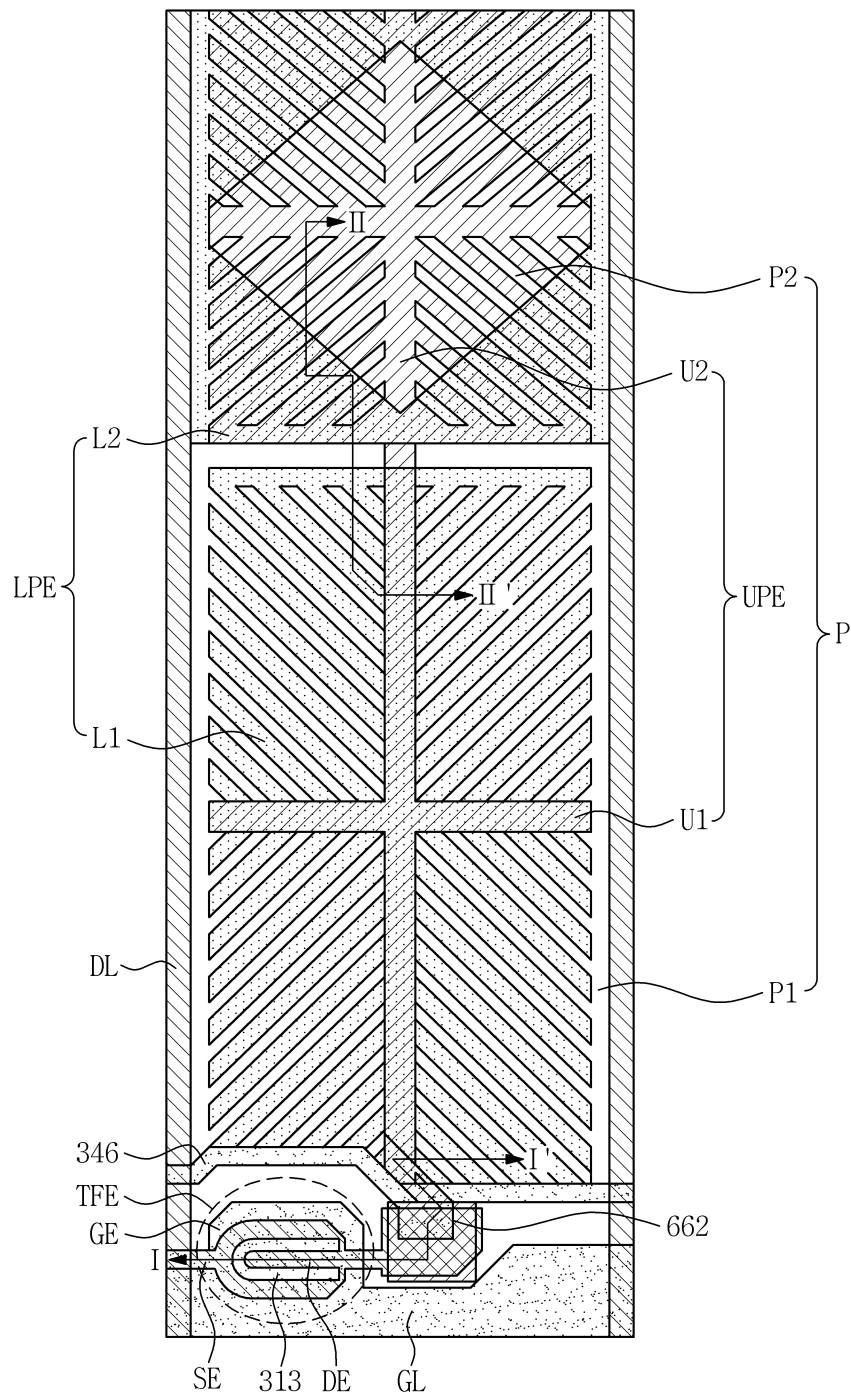
도면1



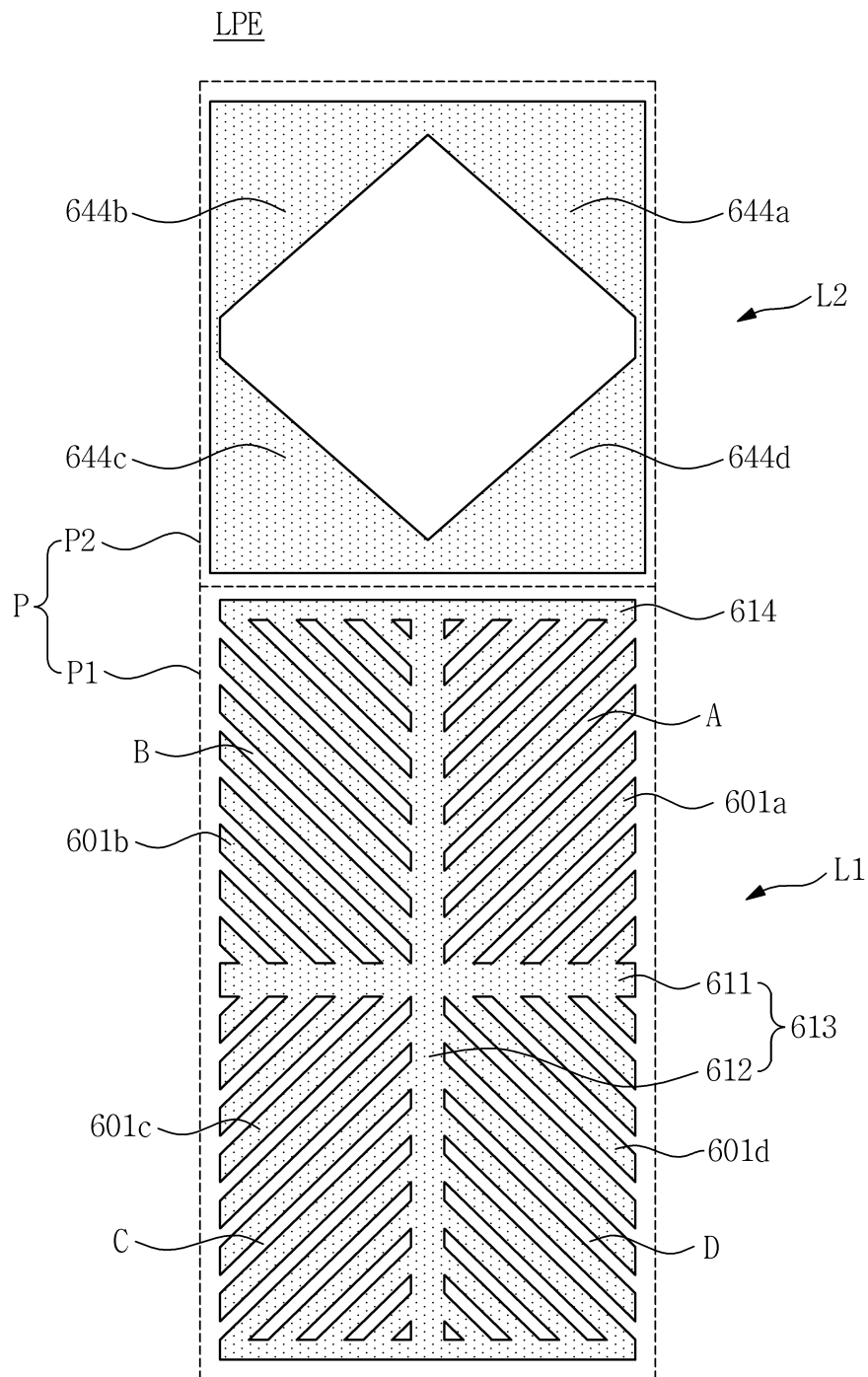
도면2



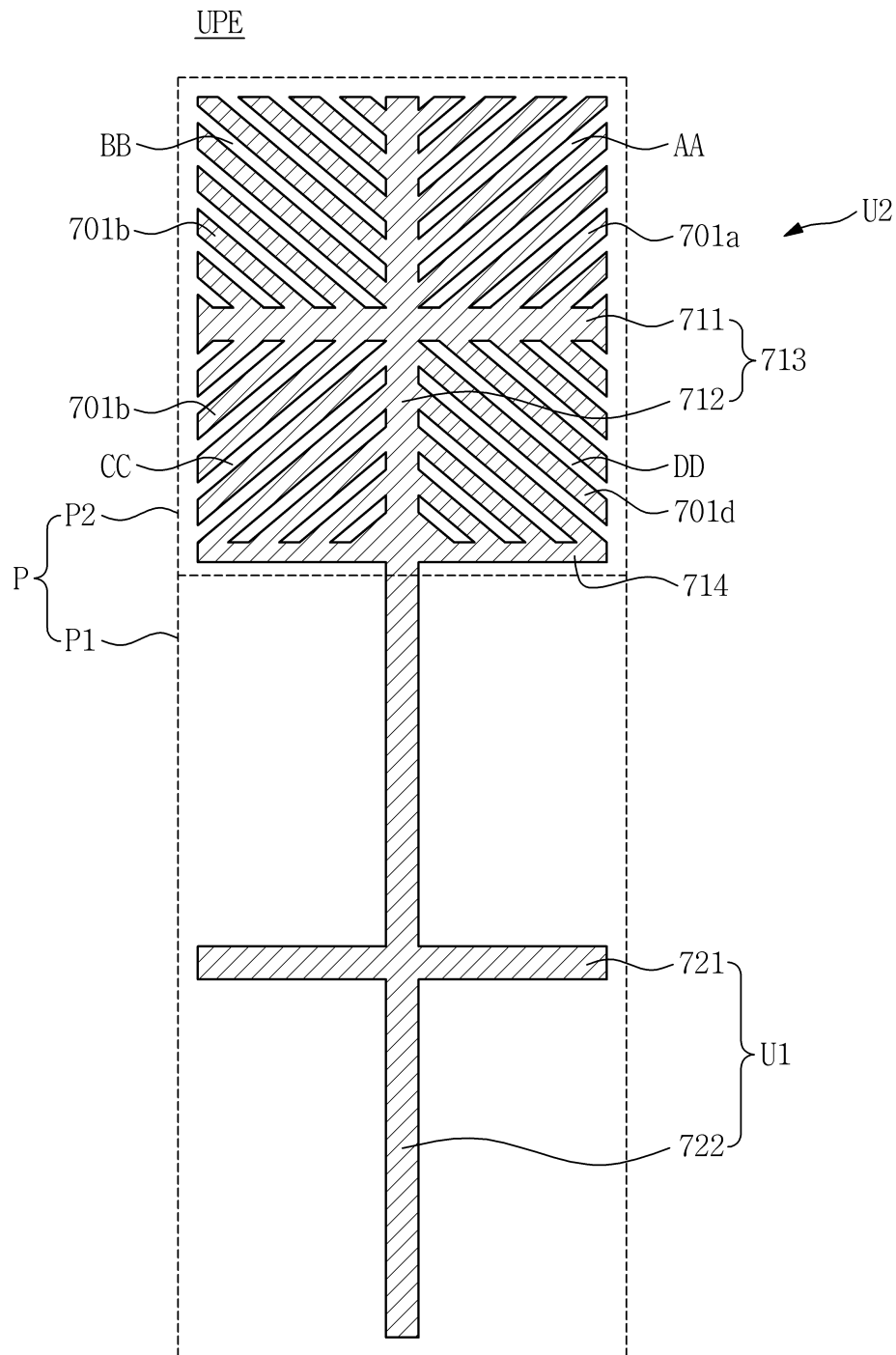
도면3



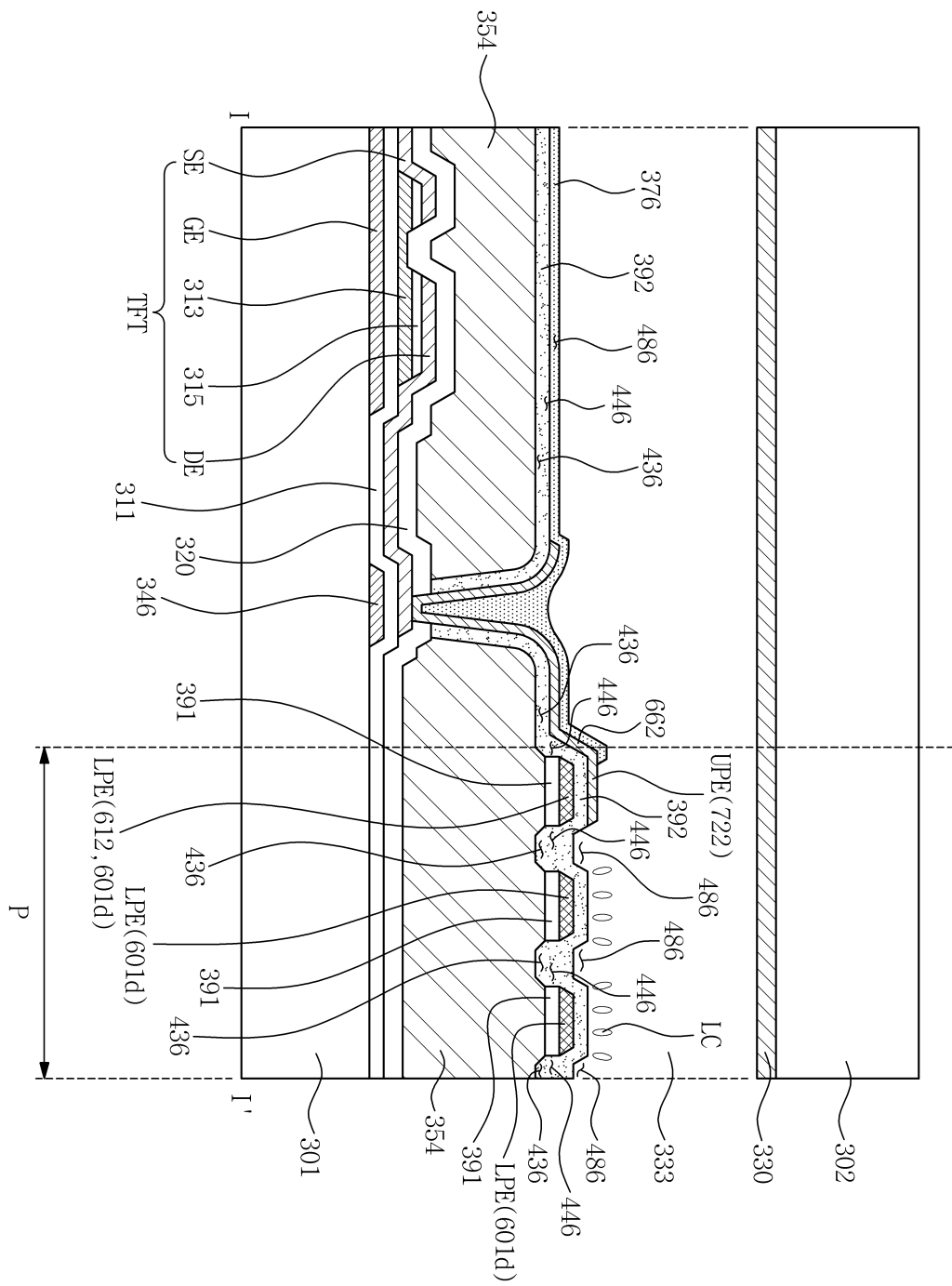
도면4



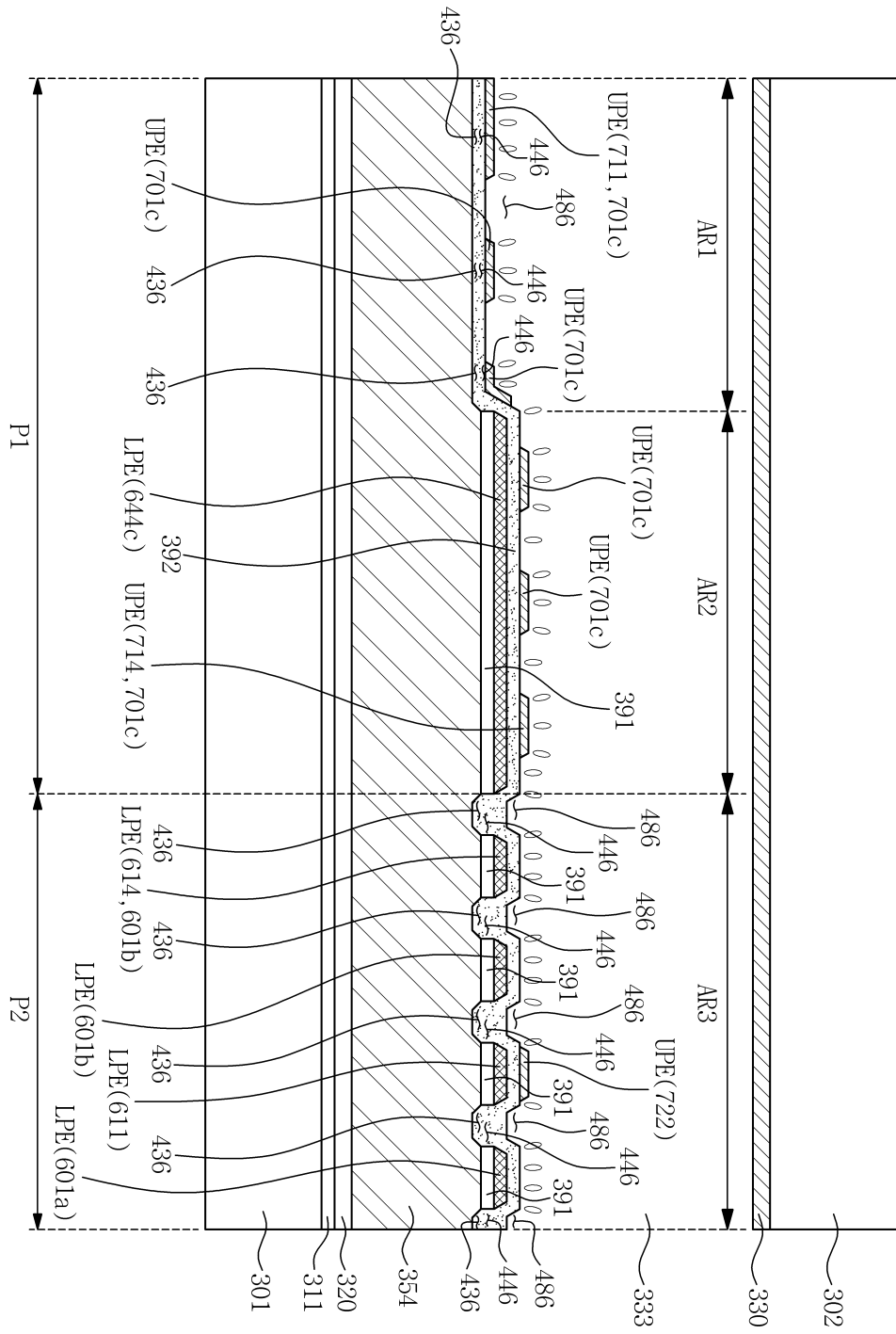
도면5



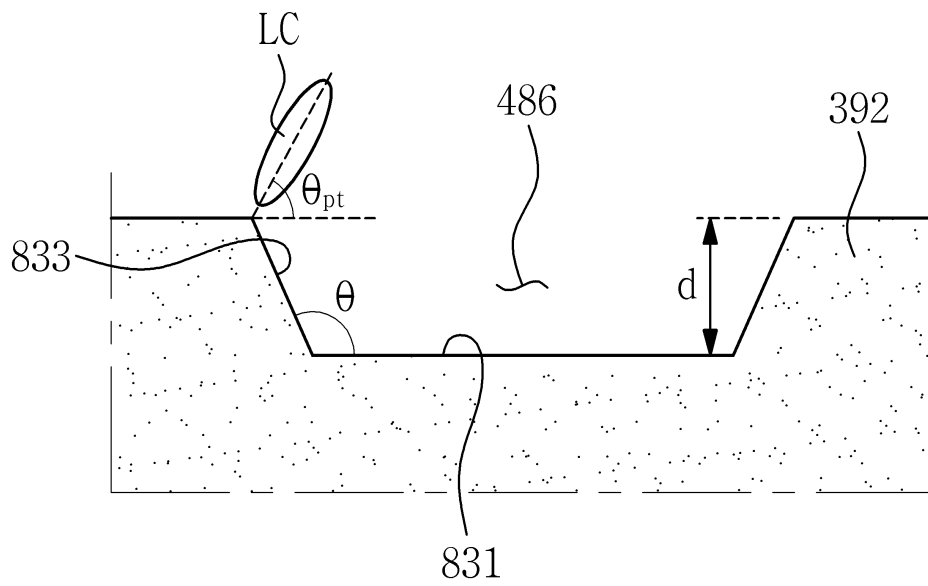
도면6



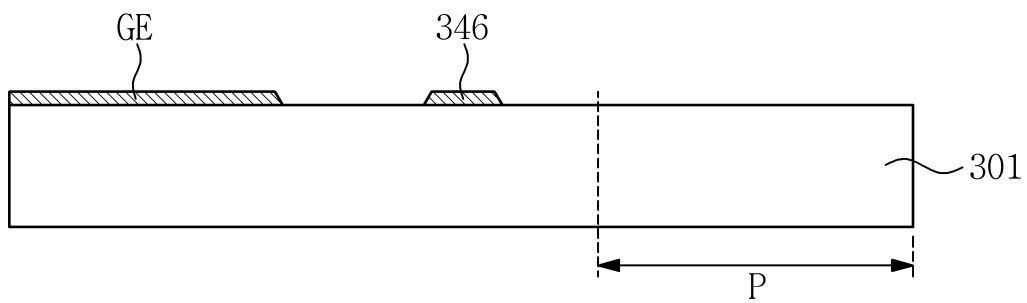
도면7



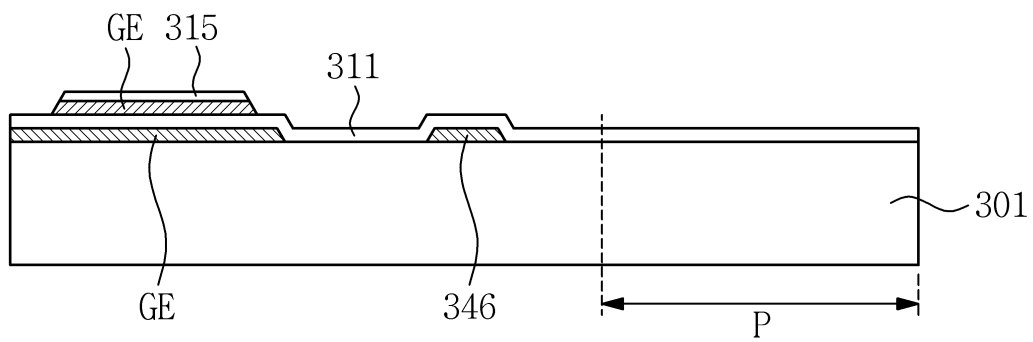
도면8



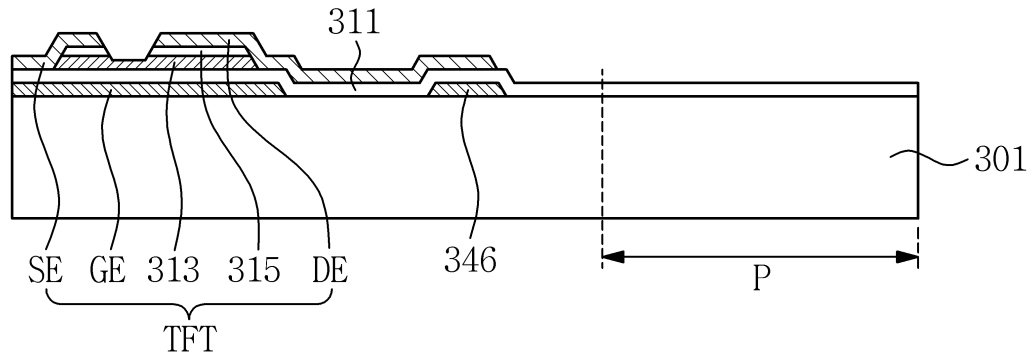
도면9a



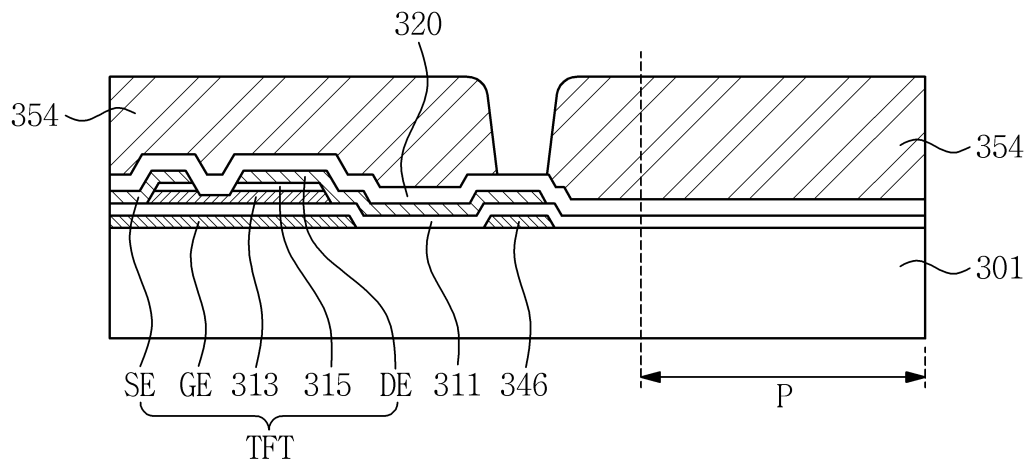
도면9b



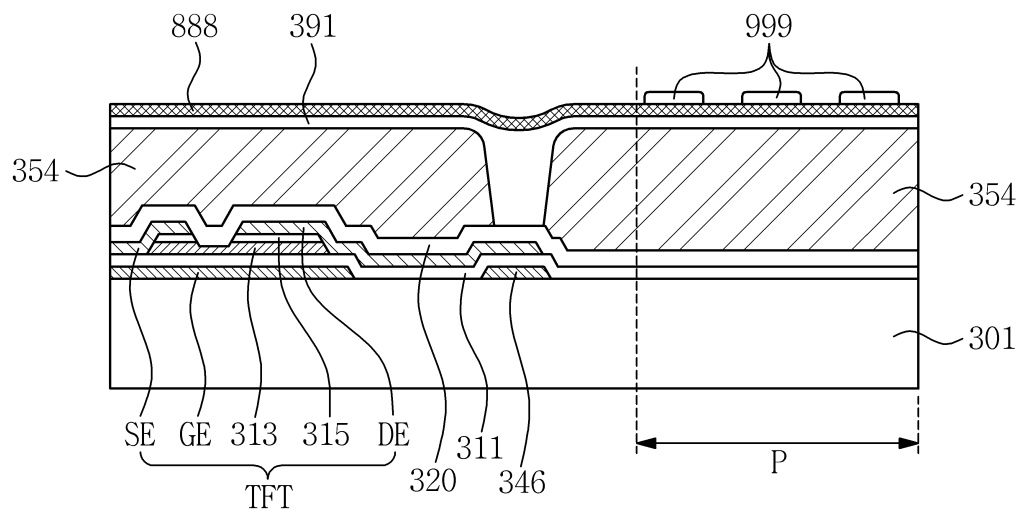
도면9c



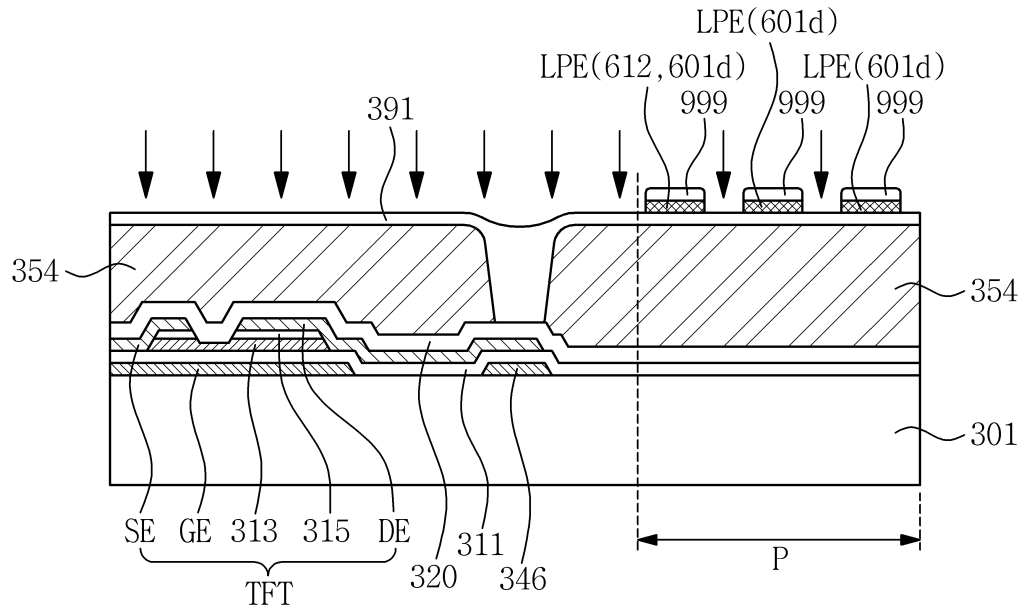
도면9d



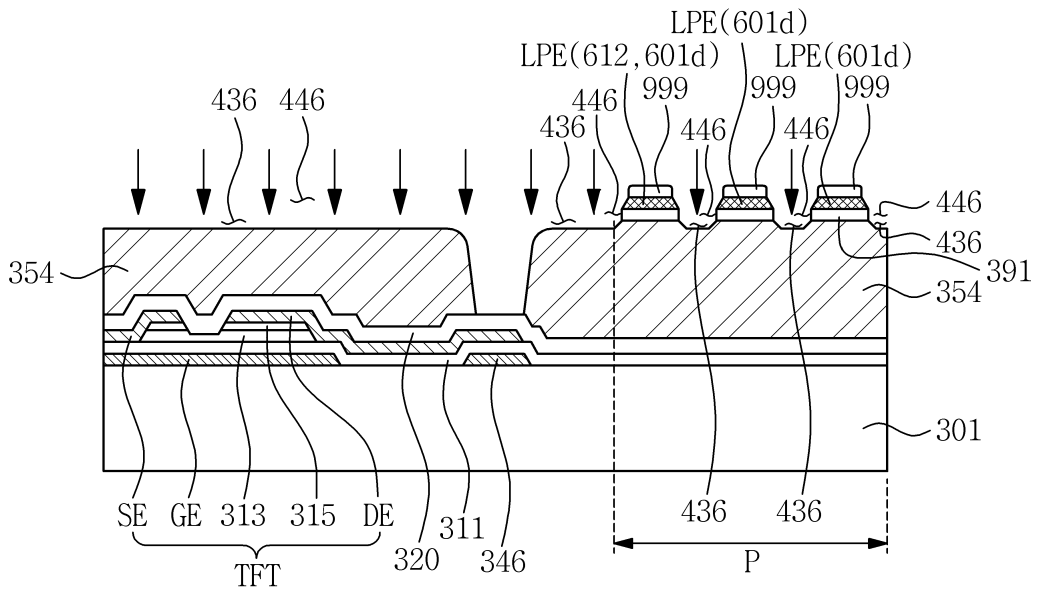
도면9e



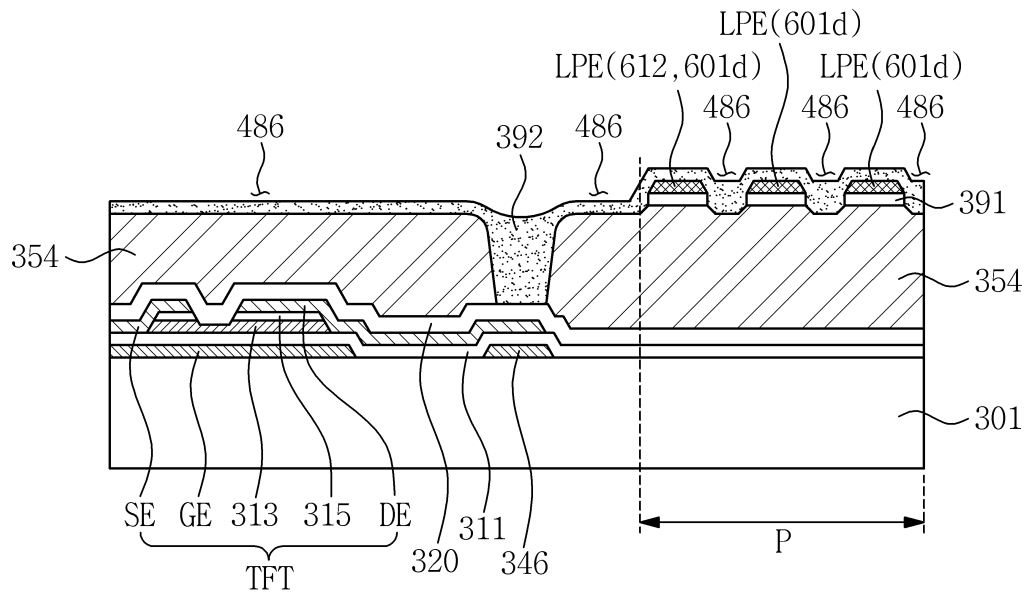
도면9f



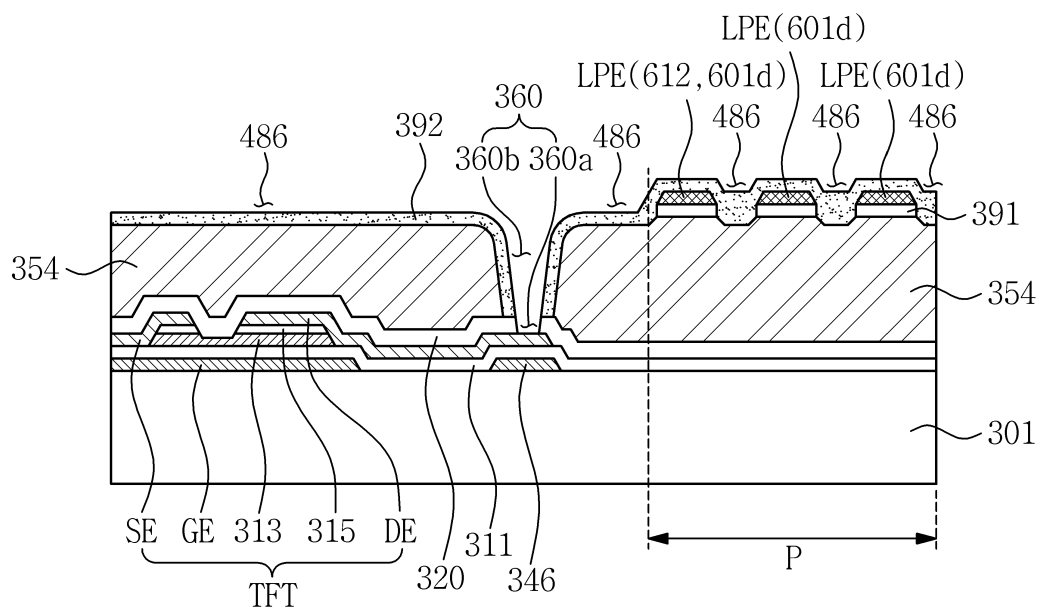
도면9g



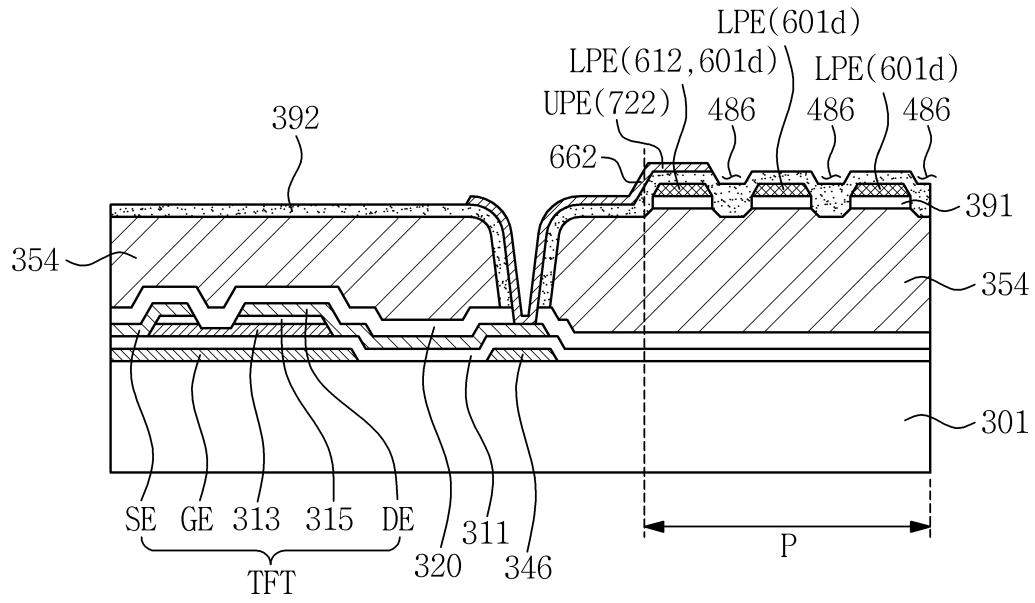
도면9h



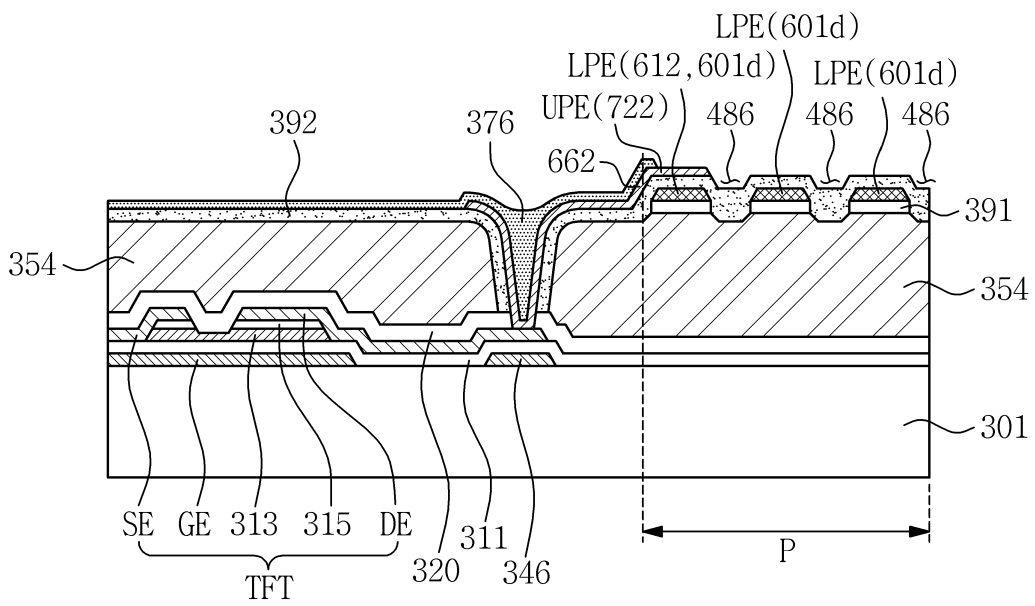
도면9i



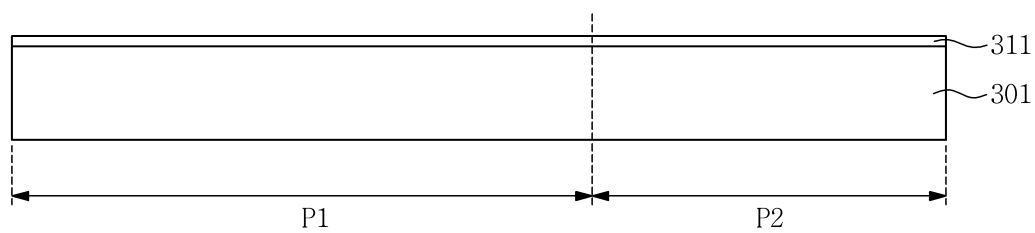
도면9j



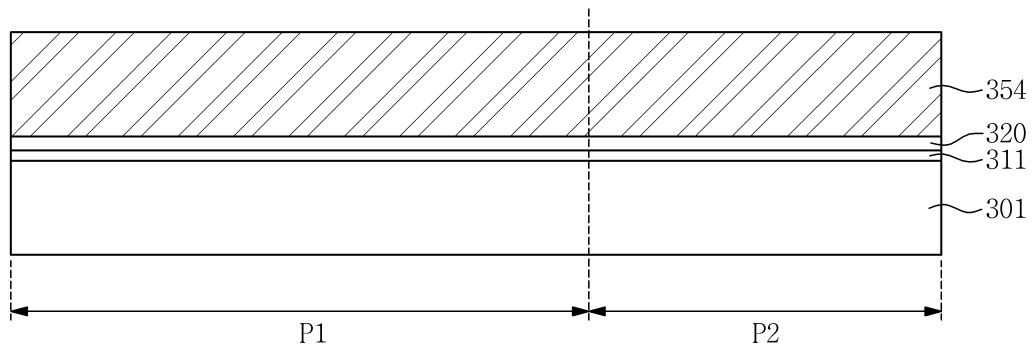
도면9k



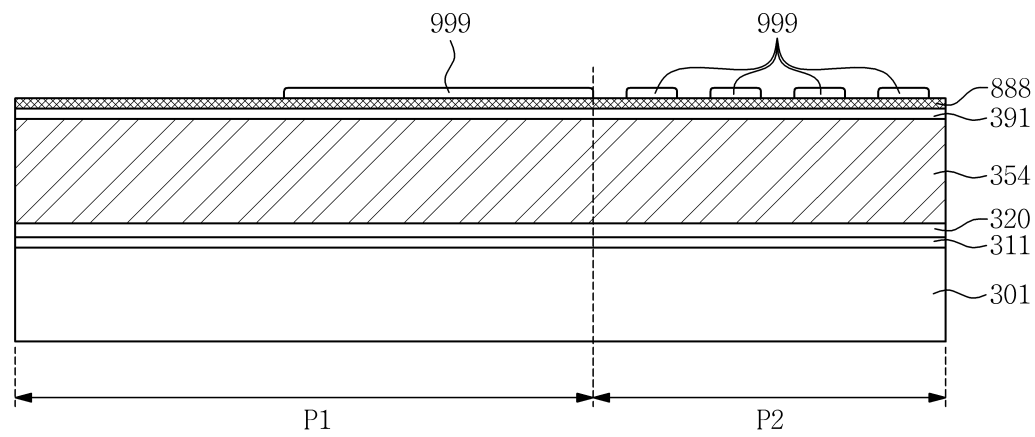
도면10a



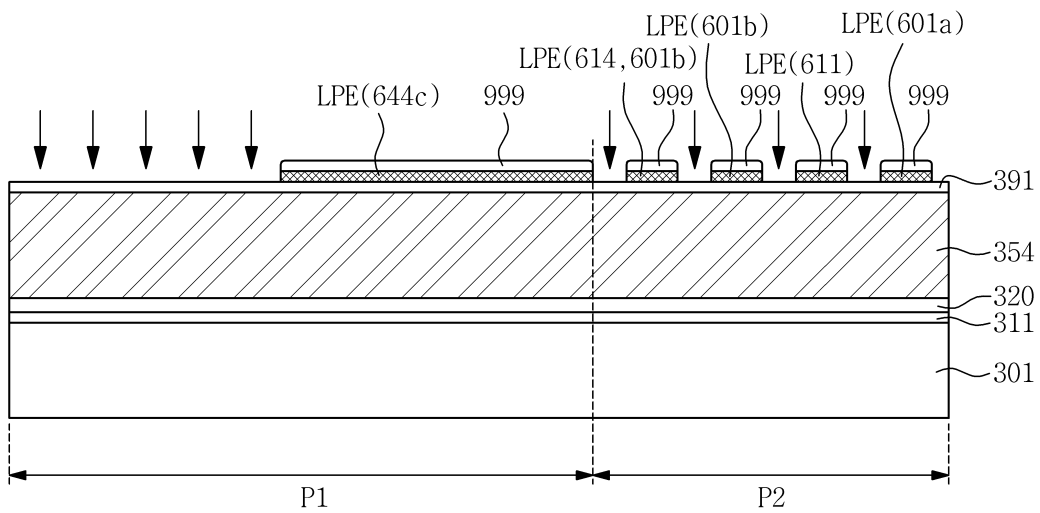
도면10b



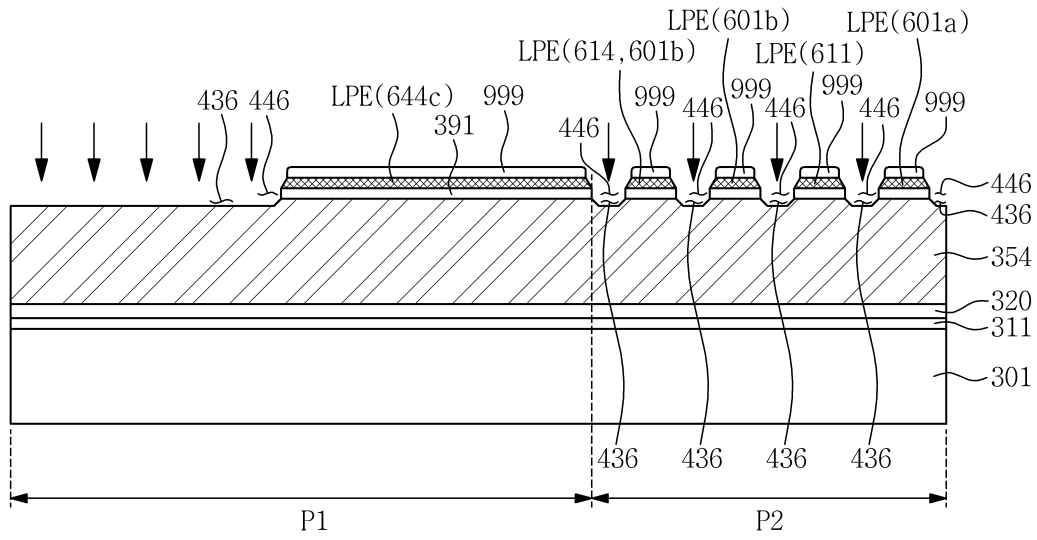
도면10c



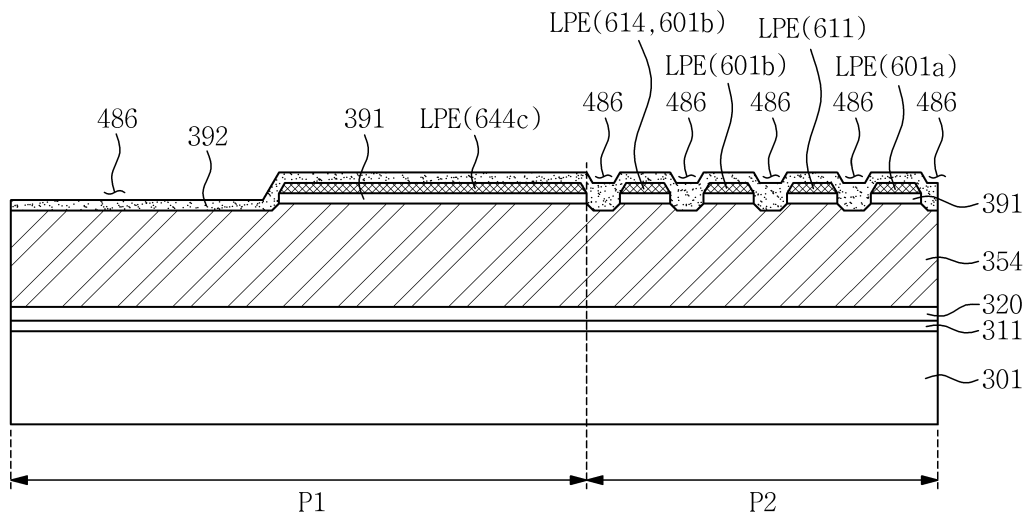
도면10d



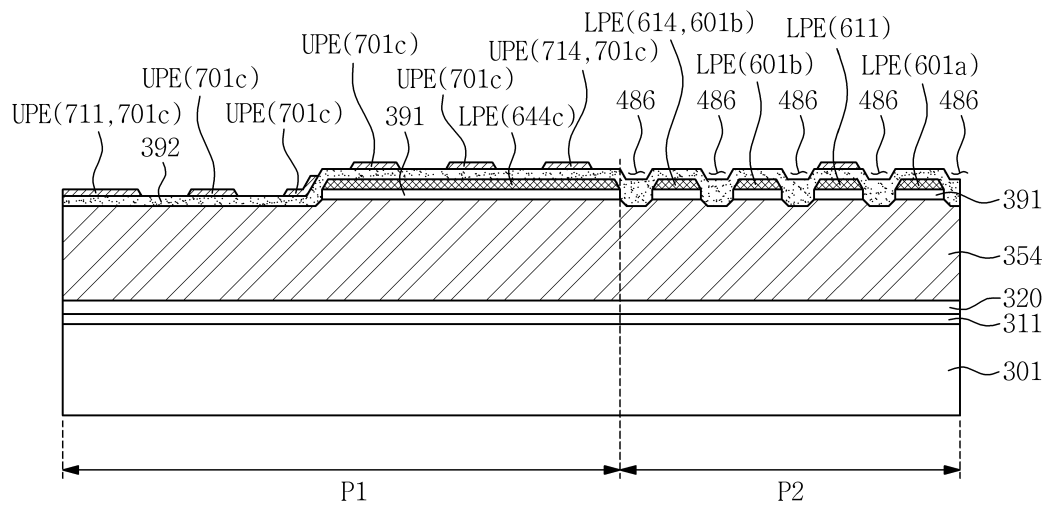
도면10e



도면10f



도면10g



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020160059580A	公开(公告)日	2016-05-27
申请号	KR1020140161079	申请日	2014-11-18
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SWAE HYUN 김새현 PARK JE HYEONG 박제형 KIM KYUNG BAE 김경배 TAE CHANG IL 태창일 HONG KI PYO 홍기표		
发明人	김새현 박제형 김경배 태창일 홍기표		
IPC分类号	G02F1/1362 G02F1/1335		
CPC分类号	G02F1/134309 G02F1/133345 G02F1/133707 G02F1/136209 G02F2001/134345 G02F2001/136222		
代理人(译)	红的		
外部链接	Espacenet		

摘要(译)

本发明包括液晶显示器，该液晶显示器能够正确地控制靠近区域之间边界的运动，并且位于液晶分子和下部像素电极之间：上部绝缘层具有至少一个凹槽：位于表面上第一基板对应于黑色矩阵：限定像素区域的像素区域，其位于液晶层中的制造方法的表面上：位于第二基板之间的第一基板：第一基板，其位于其面对的第一基板上第一基板：第一基板和第二基板以及第二基板一个基板和上像素电极，其位于上绝缘层的表面上，并且通过薄膜晶体管从数据线提供数据信号。它位于下部像素电极的表面上。

