



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0003357
(43) 공개일자 2016년01월11일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/1339 (2006.01)

G02F 1/1362 (2006.01)

(21) 출원번호 10-2014-0080927

(22) 출원일자 2014년06월30일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

요시모토, 히로시

서울 용산구 한강대로43길 8, 102동 2801호 (한강로2가, 벽산메가트리움)

다나카, 사카에

경기 수원시 영통구 영통로 232, 801동 1803호 (영통동, 벽적골8단지아파트)

(74) 대리인

특허법인 고려

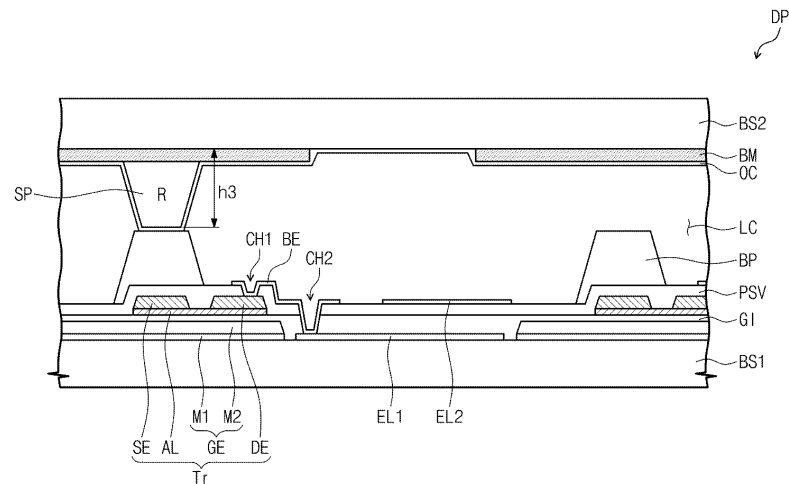
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치 및 이의 제조 방법

(57) 요약

액정 표시 장치는 제1 기판, 상기 제1 기판과 마주하는 제2 기판, 및 상기 제1 기판과 제2 기판 사이에 제공된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 상기 제1 베이스 기판 상에 제공된 제1 전극, 상기 제1 베이스 기판으로부터 돌출된 범프, 및 상기 범프를 캡핑하는 쉴드 전극부 및 상기 제1 전극의 중앙에 상기 제1 전극과 절연 중첩하는 공통 전극부를 포함하는 제2 전극을 포함한다. 상기 제2 기판은 제2 베이스 기판, 상기 제2 베이스 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층, 및 상기 범프의 상부에 대응하는 영역의 일부에서 상기 제1 기판 측으로 돌출된 스페이서를 포함한다. 상기 스페이서는 상기 색화소들 중 적어도 어느 하나와 동일 물질로 형성되며 상기 범프와 함께 상기 제1 기판과 상기 제2 기판의 간격을 유지한다.

대표도



명세서

청구범위

청구항 1

제1 기관;

상기 제1 기관과 마주하는 제2 기관; 및

상기 제1 기관과 제2 기관 사이에 제공된 액정층을 포함하고,

상기 제1 기관은

제1 베이스 기관;

상기 제1 베이스 기관 상에 제공된 제1 전극;

상기 제1 베이스 기관으로부터 돌출된 범프; 및

상기 범프를 캡핑하는 쉴드 전극부 및 상기 제1 전극의 중앙에 상기 제1 전극과 절연 중첩하는 공통 전극부를 포함하는 제2 전극을 포함하고,

상기 제2 기관은

제2 베이스 기관;

상기 제2 베이스 기관 상에 구비된 다수의 색화소를 포함하는 컬러필터층; 및

상기 범프의 상부에 대응하는 영역의 일부에서 상기 제1 기관 측으로 돌출된 스페이서를 포함하고, 상기 스페이서는 상기 색화소들 중 적어도 어느 하나와 동일 물질로 형성되며 상기 범프와 함께 상기 제1 기관과 상기 제2 기관의 간격을 유지하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 제2 베이스 기관면에 대한 상기 스페이서의 높이는 상기 제2 베이스 기관면에 대한 각 색화소의 높이보다 높은 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 제1 기관과 상기 제2 기관은 상기 스페이서가 제공된 영역에서 서로 접촉하는 액정 표시 장치.

청구항 4

제2항에 있어서,

상기 스페이서는 제1 높이를 갖는 메인 스페이서와, 상기 제1 높이보다 낮은 제2 높이를 갖는 서브 스페이서를 포함하는 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 제1 기관과 상기 제2 기관은 상기 서브 스페이서가 제공된 영역에서 서로 이격된 액정 표시 장치.

청구항 6

제1항에 있어서,

상기 제1 베이스 기관 상에 구비된 게이트 라인; 및

상기 게이트 라인과 교차하는 데이터 라인을 더 포함하고,

상기 범프는 상기 데이터 라인의 상부에서 상기 데이터 라인을 따라 연장되는 액정 표시 장치.

청구항 7

제6항에 있어서,

상기 게이트 라인 및 상기 데이터 라인에 연결되며 상기 제1 전극에 구동 전압을 인가하는 박막 트랜지스터; 및
상기 제2 베이스 기판 상에, 상기 게이트 라인, 상기 데이터 라인, 및 상기 박막 트랜지스터가 형성된 영역에
대응하여 제공되어 투과광을 차단하는 블랙 매트릭스를 더 포함하는 액정 표시 장치.

청구항 8

제8항에 있어서,

상기 스페이서는 평면상에서 볼 때 상기 블랙 매트릭스와 중첩하는 액정 표시 장치.

청구항 9

제1항에 있어서,

상기 색화소는 레드 색화소, 그린 색화소 및 블루 색화소를 포함하는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 스페이서는 상기 레드 색화소와 동일 물질로 형성된 액정 표시 장치.

청구항 11

제1항에 있어서,

상기 스페이서는 상기 제2 기판을 평면에서 봤을 때 타원 형상 또는 원 형상을 갖는 것을 특징으로 하는 액정
표시 장치.

청구항 12

제1항에 있어서,

상기 쉘드 전극부의 에지는 상기 제1 전극과 부분적으로 중첩하는 것을 특징으로 하는 액정 표시 장치.

청구항 13

제1항에 있어서,

상기 공통 전극부는 상기 데이터 라인과 평행한 것을 특징으로 하는 액정 표시 장치.

청구항 14

제1 기판을 형성하는 단계;

제2 기판을 형성하는 단계; 및

상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성하는 단계를 포함하고,

상기 제1 기판을 형성하는 단계는

제1 베이스 기판 상에 제1 전극을 형성하는 단계;

상기 제1 전극을 커버하는 절연막을 형성하는 단계;

상기 제1 베이스 기판 상에 범프를 형성하는 단계; 및

상기 범프를 캡핑하는 쉴드 전극부 및 상기 제1 전극의 중앙에 위치하는 공통 전극부를 포함하는 제2 전극을 형성하는 단계를 포함하고,

상기 제2 기판을 형성하는 단계는

제2 베이스 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 형성하는 단계; 및

상기 제2 베이스 기판면으로부터 돌출된 스페이서를 형성하는 단계를 포함하고, 상기 색화소들 중 적어도 하나의 색화소와 상기 스페이서는 단일 단계로 형성되는 액정 표시 장치 제조 방법.

청구항 15

제14항에 있어서,

상기 제2 베이스 기판면에 대한 상기 스페이서의 높이는 상기 베이스 기판면에 대한 각 색화소의 높이보다 높은 액정 표시 장치 제조 방법.

청구항 16

제15항에 있어서,

상기 색화소들 중 하나와 상기 스페이서는 1매의 마스크를 이용한 포토리소그래피로 형성되는 액정 표시 장치 제조 방법.

청구항 17

제14항에 있어서,

상기 제1 베이스 기판 상에 게이트 라인을 형성하는 단계, 및

상기 게이트 절연막 상에 상기 게이트 라인과 교차하는 데이터 라인을 형성하는 단계를 더 포함하고,

상기 범프는 상기 데이터 라인을 따라 형성되는 액정 표시 장치 제조 방법.

청구항 18

제14항에 있어서,

상기 색화소는 레드 색화소, 그린 색화소 및 블루 색화소를 포함하며, 상기 스페이서는 상기 레드 색화소와 단일 단계에서 형성되는 액정 표시 장치 제조 방법.

청구항 19

제14항에 있어서,

상기 스페이서는 제1 높이를 갖는 메인 스페이서와, 상기 제1 높이보다 낮은 제2 높이를 갖는 서브 스페이서를 포함하는 액정 표시 장치 제조 방법.

청구항 20

제19항에 있어서,

상기 색화소들 중 하나와 상기 메인 스페이서 및 상기 서브 스페이서는 1매의 하프톤 마스크를 이용한 포토리소그래피로 형성되는 액정 표시 장치 제조 방법.

발명의 설명

기술 분야

본 발명은 액정 표시 장치 및 이의 제조 방법에 관한 것으로, 더욱 상세하게는 수평 전계 모드 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0001]

[0002] 액정 표시 장치는 액정층을 이용하여 영상을 표시하는 평판 표시 장치이다. 액정 표시 장치는 액정층을 구동하는 방법에 따라 수평 전계 모드 또는 수직 전계 모드로 구분될 수 있다. 수평 전계 모드의 액정 표시 장치는 두 전극 사이에 수평 전계를 형성하여 액정층을 구동하고, 수직 전계 모드의 액정 표시 장치는 두 전극 사이에 수직 전계를 형성하여 액정층을 구동하여 영상을 표시한다.

[0003] 수직 전계 모드의 액정 표시 장치에서 두 전극은 액정 표시 패널을 형성하는 두 기판에 각각 제공되지만, 수평 전계 모드의 액정 표시 장치에서 두 전극은 두 기판 중 어느 하나의 기판에 제공된다. 그러나, 수평 전계 모드에서 두 전극이 제공된 기판 측에 인접한 액정층의 액정 분자는 제어는 용이하나, 두 전극이 제공되지 않은 다른 기판 측에 인접한 액정층의 액정 분자는 제어가 용이하지 않다. 따라서, 수평 전계 모드 액정 표시 장치에서 투과율이 감소하고, 액정 분자의 제어를 위해 구동 전압을 증가시켜야 하는 문제가 발생한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 투과율을 향상시키면서 구동 전압을 감소시킬 수 있는 액정 표시 장치를 제공하는 것이다.

[0005] 본 발명의 다른 목적은 상기한 액정 표시 장치를 제조하는 방법을 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판과 마주하는 제2 기판, 및 상기 제1 기판과 제2 기판 사이에 제공된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 상기 제1 베이스 기판 상에 제공된 제1 전극, 상기 제1 베이스 기판으로부터 돌출된 범프, 및 상기 범프를 캡핑하는 쉴드 전극부 및 상기 제1 전극의 중앙에 상기 제1 전극과 절연 중첩하는 공통 전극부를 포함하는 제2 전극을 포함한다. 상기 제2 기판은 제2 베이스 기판, 상기 제2 베이스 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층, 및 상기 범프의 상부에 대응하는 영역의 일부에서 상기 제1 기판 측으로 돌출된 스페이서를 포함한다. 상기 스페이서는 상기 색화소들 중 적어도 어느 하나와 동일 물질로 형성되며 상기 범프와 함께 상기 제1 기판과 상기 제2 기판의 간격을 유지한다.

[0007] 상기 제2 베이스 기판면에 대한 상기 스페이서의 높이는 상기 제2 베이스 기판면에 대한 각 색화소의 높이보다 높으며, 상기 제1 기판과 상기 제2 기판은 상기 스페이서가 제공된 영역에서 서로 접촉한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 스페이서는 제1 높이를 갖는 메인 스페이서와, 상기 제1 높이보다 낮은 제2 높이를 갖는 서브 스페이서를 포함할 수 있다. 상기 제1 기판과 상기 제2 기판은 상기 서브 스페이서가 제공된 영역에서 서로 이격된다.

[0009] 본 발명의 일 실시예에 있어서, 상기 색화소는 레드 색화소, 그린 색화소 및 블루 색화소를 포함할 수 있다. 상기 스페이서는 상기 레드 색화소와 동일 물질로 형성될 수 있다.

[0010] 상기한 구조를 갖는 액정 표시 장치는 제1 기판과 제2 기판을 각각 형성한 후, 상기 제1 기판과 상기 제2 기판 사이에 액정층을 형성함으로써 제조될 수 있다.

[0011] 상기 제1 기판은 제1 베이스 기판 상에 제1 전극을 형성하고, 상기 제1 전극을 커버하는 절연막을 형성하고, 상기 제1 베이스 기판 상에 범프를 형성하고, 상기 범프를 캡핑하는 쉴드 전극부 및 상기 제1 전극의 중앙에 위치하는 공통 전극부를 포함하는 제2 전극을 형성함으로써 제조될 수 있다.

[0012] 상기 제2 기판은 제2 베이스 기판 상에 구비된 다수의 색화소를 포함하는 컬러필터층을 형성하고, 상기 제2 베이스 기판면으로부터 돌출된 스페이서를 형성하는 단계를 포함한다. 상기 색화소들 중 적어도 하나의 색화소는 상기 스페이서와 단일 단계로 형성된다.

[0013] 상기 색화소들 중 하나와 상기 스페이서는 1매의 마스크를 이용한 포토리소그래피로 형성될 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 색화소는 레드 색화소, 그린 색화소 및 블루 색화소를 포함하며, 상기 스페이서는 상기 레드 색화소와 단일 단계에서 형성될 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 스페이서는 제1 높이를 갖는 메인 스페이서와, 상기 제1 높이보다 낮은 제2 높이를 갖는 서브 스페이서를 포함할 수 있으며, 상기 색화소들 중 하나와 상기 메인 스페이서 및 상기 서브 스페이서는 1매의 하프톤 마스크를 이용한 포토리소그래피로 형성될 수 있다.

발명의 효과

- [0016] 본 발명에 따르면, 데이터 라인을 따라 범프를 형성하고, 그 위로 절트 전극부가 캡핑됨으로써, 액정 분자의 제어가 용이하고, 그 결과 투과율이 향상되며, 소비 전력을 저감할 수 있다.
- [0017] 또한, 색화소에 의해 제공되는 제2 기관 측 스페이서와 제1 기관의 범프에 의해서 셀갭이 결정되므로, 추가적인 스페이서를 형성하는 공정을 생략할 수 있어 제조 공정이 단순화될 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.
- 도 2는 도 1에 도시된 화소에 대한 등가 회로도이다.
- 도 3a는 본 발명의 일 실시예에 따른 액정 표시 패널의 제1 기관의 평면도이고, 도 3b는 본 발명의 일 실시예에 따른 액정 표시 패널의 제2 기관의 평면도이다.
- 도 4a는 도 3a 및 3b에 도시된 절단선 I-I'에 따라 절단한 단면도이며, 도 4b는 도 3a 및 도 3b에 도시된 절단선 II-II'에 따라 절단한 단면도이다.
- 도 5는 본 발명의 일 실시예에 따른 액정 표시 장치에 있어서 구동 전압에 따른 투과율을 나타낸 그래프이다.
- 도 6은 본 발명의 다른 실시예에 따른 액정 표시 패널의 제2 기관의 평면도이다.
- 도 7은 도 6에 도시된 절단선 III-III'에 따라 절단한 단면도이다.
- 도 8a 내지 도 8e는 도 3a, 4a 및 도 4b에 도시된 제1 기관의 제조 과정을 나타낸 평면도들이다.
- 도 9a 내지 도 9c는 도 3b, 도 4a 및 도 4b에 도시된 제2 기관의 제조 과정을 나타낸 평면도들이다.
- 도 10a는 본 발명의 일 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이고, 도 10b는 본 발명의 다른 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.
- [0020] 상술한 본 발명이 해결하고자 하는 과제, 과제 해결 수단, 및 효과는 첨부된 도면과 관련된 실시 예들을 통해서 용이하게 이해될 것이다. 각 도면은 명확한 설명을 위해 일부가 간략하거나 과장되게 표현되었다. 각 도면의 구성 요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 부호를 가지도록 도시되었음에 유의해야 한다. 또한, 본 발명을 설명함에 있어, 관련된 공지 구성 또는 기능에 대한 구체적인 설명이 본 발명의 요지를 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략한다.
- [0021] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 도 1에 도시된 화소에 대한 등가 회로도이다.
- [0022] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정 표시 장치(DSP)는 영상을 표시하는 영상 표시부(DP), 상기 영상 표시부(DP)를 구동하는 게이트 구동부(GDV) 및 데이터 구동부(DDV), 상기 게이트 구동부(GDV)와 상기 데이터 구동부(DDV)의 구동을 제어하는 타이밍 컨트롤러(TC)를 포함한다.
- [0023] 상기 영상 표시부(DP)는 다수의 게이트 라인(G1~Gn), 다수의 데이터 라인(D1~Dm) 및 다수의 화소(PX)를 포함한다. 도 2에 도시한 바와 같이, 상기 영상 표시부(DP)는 제1 기관(SUB1), 상기 제1 기관(SUB1)과 마주하는 제2 기관(SUB2), 및 상기 제1 기관(SUB1)과 제2 기관(SUB2) 사이에 개재된 액정층(LC)으로 이루어진 액정 표시 패널을 포함할 수 있다.
- [0024] 상기 다수의 게이트 라인(G1~Gn)과 상기 다수의 데이터 라인(D1~Dm)은 상기 제1 기관(SUB1) 상에 구비된다. 상기 다수의 게이트 라인(G1~Gn)은 행 방향으로 연장되고 서로 평행하게 열 방향으로 배열된다. 상기 다수의 데이터 라인(D1~Dm)은 열 방향으로 연장되고, 서로 평행하게 행 방향으로 배열된다.
- [0025] 상기 다수의 화소 각각, 예를 들면 i번째(i는 1 이상의 정수) 게이트 라인(Gi)과 j번째(j는 1 이상의 정수) 데이

터 라인(Dj)에 연결된 화소는 박막 트랜지스터(Tr) 및 액정 커패시터(Clc)를 포함한다.

- [0026] 상기 박막 트랜지스터(Tr)는 상기 i번째 게이트 라인(Gi)에 연결된 게이트 전극, 상기 j번째 데이터 라인(Dj)에 연결된 소스 전극, 및 상기 액정 커패시터(Clc)에 연결된 드레인 전극을 구비한다.
- [0027] 상기 액정 커패시터(Clc)는 상기 제1 기판(SUB1)에 구비된 제1 전극(EL1)과 제2 전극(EL2)을 두 단자로 하며, 상기 액정층(LC)은 유전체 역할을 수행한다. 상기 제1 전극(EL1)은 상기 박막 트랜지스터(Tr)의 드레인 전극과 전기적으로 연결되며, 상기 제2 전극(EL2)은 기준 전압(Vcom)을 수신한다.
- [0028] 한편, 상기 각 화소(PX)는 상기 제1 전극(EL1)에 대응하는 상기 제2 기판(SUB2)의 영역에 구비되어 기본색 중 하나를 나타내는 컬러 필터(CF)를 포함한다.
- [0029] 다시, 도 1을 참고하면, 상기 타이밍 컨트롤러(TC)는 상기 액정 표시 장치(DSP)의 외부로부터 다수의 영상신호(RGB) 및 다수의 제어신호(CS)를 수신한다. 상기 타이밍 컨트롤러(TC)는 상기 데이터 구동부(DDV)와의 인터페이스 사양에 맞도록 상기 영상신호들(RGB)의 데이터 포맷을 변환하고, 변환된 영상신호들(R'G'B')을 상기 데이터 구동부(DDV)로 제공한다. 또한, 상기 타이밍 컨트롤러(TC)는 상기 다수의 제어신호(CS)에 근거하여 데이터 제어신호(D-CS, 예를 들어, 출력개시신호, 수평개시신호 등) 및 게이트 제어신호(G-CS, 예를 들어, 수직개시신호, 수직클럭신호, 및 수직클럭바신호)를 생성한다. 상기 데이터 제어신호(D-CS)는 상기 데이터 구동부(DDV)로 제공되고, 상기 게이트 제어신호(G-CS)는 상기 게이트 구동부(GDV)로 제공된다.
- [0030] 상기 게이트 구동부(GDV)는 상기 타이밍 컨트롤러(TC)로부터 제공되는 상기 게이트 제어신호(G-CS)에 응답해서 게이트 신호를 순차적으로 출력한다. 따라서, 상기 다수의 화소(PX)는 상기 게이트 신호에 의해서 행 단위로 순차적으로 스캐닝될 수 있다.
- [0031] 상기 데이터 구동부(DDV)는 상기 타이밍 컨트롤러(TC)로부터 제공되는 상기 데이터 제어신호(D-CS)에 응답해서 상기 영상신호들(R'G'B')을 데이터 전압들로 변환하여 출력한다. 상기 출력된 데이터 전압들은 상기 영상 표시부(DP)로 인가된다.
- [0032] 따라서, 각 화소(PX)는 상기 게이트 신호에 의해서 턴-온되고, 턴-온된 상기 화소(PX)는 상기 데이터 구동부(DDV)로부터 해당 데이터 전압을 수신하여 원하는 계조의 영상을 표시한다.
- [0033] 도 3a는 본 발명의 일 실시예에 따른 액정 표시 패널의 제1 기판의 평면도이고, 도 3b는 본 발명의 일 실시예에 따른 액정 표시 패널의 제2 기판의 평면도이고, 도 4a는 도 3a 및 3b에 도시된 절단선 I-I'에 따라 절단한 단면도이며, 도 4b는 도 3a 및 도 3b에 도시된 절단선 II-II'에 따라 절단한 단면도이다.
- [0034] 도 3a, 도 3b, 도 4a, 및 도 4b를 참조하면, 상기 영상 표시부(DP)에 포함되는 상기 액정 표시 패널은 상기 제1 기판(SUB1), 상기 제1 기판(SUB1)과 마주하는 제2 기판(SUB2), 및 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이에 개재된 액정층(LC)을 포함한다.
- [0035] 상기 제1 기판(SUB1)은 투명한 유리 또는 플라스틱 등으로 만들어진 제1 베이스 기판(BS1), 및 상기 제1 베이스 기판(BS1) 상에 구비된 제1 게이트 라인(Gi-1), 제2 게이트 라인(Gi), 제1 데이터 라인(Dj) 및 제2 데이터 라인(Dj+1)을 포함한다.
- [0036] 상기 제1 및 제2 게이트 라인(Gi-1, Gi)은 제1 방향(A1)으로 연장되고, 상기 제1 방향(A1)과 직교하는 제2 방향(A2)으로 소정 간격 이격하여 배치된다. 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 상기 제2 방향(A2)으로 연장되고, 상기 제1 방향(A1)으로 소정 간격 이격하여 배치된다.
- [0037] 상기 제1 및 제2 게이트 라인(Gi-1, Gi)은 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 게이트 절연막(GI)에 의해서 전기적으로 절연될 수 있다. 또한, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 보호막(PSV)에 의해서 커버될 수 있다.
- [0038] 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 각각은 상기 제1 및 제2 게이트 라인(Gi-1, Gi) 사이의 이격 거리의 중심 지점을 관통하며 상기 제1 및 제2 게이트 라인(Gi-1, Gi)에 평행한 중심선(미도시)을 기준으로 대칭되게 절곡된 형상을 가질 수 있다.
- [0039] 상기 제1 베이스 기판(BS1) 상에는 제1 전극(EL1), 박막 트랜지스터(Tr), 및 제2 전극(EL2)이 더 구비된다. 구체적으로, 상기 박막 트랜지스터(Tr)는 상기 제2 게이트 라인(Gi)의 일부 영역으로 정의된 게이트 전극(GE)), 상기 제1 데이터 라인(Dj)으로부터 분기된 소스 전극(SE) 및 상기 게이트 전극(GE) 상에서 상기 소스 전극(SE)과 소정 간격 이격하여 배치되는 드레인 전극(DE)을 포함한다.

- [0040] 상기 게이트 전극(GE)은 두 개의 전극층이 적층된 이중막 구조를 가질 수 있다. 상기 게이트 전극(GE)의 하부막(M1)은 투명한 도전성 물질(예를 들어, 인듐 틴 옥사이드 또는 인듐 징크 옥사이드)로 이루어질 수 있으며, 상부막(M2)은 알루미늄, 구리 또는 폴리브덴과 같은 금속막으로 이루어질 수 있다.
- [0041] 상기 제1 전극(EL1)은 상기 게이트 전극(GE)의 하부막(M1)과 동일한 물질로 이루어질 수 있다. 본 발명의 일 예로, 상기 제1 전극(EL1)은 상기 제1 및 제2 게이트 라인(Gi-1, Gi), 제1 및 제2 데이터 라인(Dj, Dj+1)에 의해서 정의된 화소 영역 내에 구비되고, 각 화소 영역 내에서 하나의 통 전극 형태로 구비된다.
- [0042] 본 발명의 일 실시예에 있어서, 상기 게이트 전극(GE)과 상기 제1 전극(EL)은 다른 재료로 다른 형태를 가질 수 있다. 일 예로, 상기 게이트 전극(GE)은 알루미늄, 구리 또는 폴리브덴과 같은 금속을 이용하여 단일막 또는 다중막으로 형성될 수 있다. 이때, 상기 게이트 전극(GE)은 상기 투명 도전성 물질은 포함되지 않을 수 있다. 상기 제1 전극(EL1)은 상기 게이트 전극(GE)과 별개로 상기 투명 도전성 물질로 형성될 수 있다.
- [0043] 상기 게이트 전극(GE)과 상기 제1 전극(EL1)은 게이트 절연막(GI)에 의해서 커버된다. 상기 게이트 절연막(GI) 상에는 액티브층(AL)이 형성된다. 도면에 도시하지는 않았지만, 상기 액티브층(AL) 상에는 서로 소정 간격 이격된 제1 및 제2 오믹 콘택층이 형성될 수 있다. 상기 제1 오믹 콘택층 위로는 상기 소스 전극(SE)이 구비되고, 상기 제2 오믹 콘택층 위로는 상기 드레인 전극(DE)이 구비된다.
- [0044] 상기 소스 및 드레인 전극(SE, DE)은 상기 보호막(PKV)에 의해서 커버된다. 상기 보호막(PKV)에는 상기 드레인 전극(DE)을 부분적으로 노출시키는 제1 콘택홀(CH1)이 형성되고, 상기 제1 콘택홀(CH1)에 인접하여 상기 보호막(PKV) 및 상기 게이트 절연막(GI)이 제거되어 상기 제1 전극(EL1)을 부분적으로 노출시키는 제2 콘택홀(CH2)이 형성된다.
- [0045] 상기 보호막(PKV) 위로는 상기 제1 및 제2 콘택홀(CH1, CH2)을 통해 상기 드레인 전극(DE)과 상기 제1 전극(EL1)을 전기적으로 연결시키는 브릿지 전극(BE)이 구비된다.
- [0046] 상기 게이트 절연막(GI) 위로는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)이 상기 제2 방향(A2)으로 길게 형성된다. 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 상기 보호막(PKV)에 의해서 커버된다.
- [0047] 상기 보호막(PKV) 위로는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라서 형성된 범프(BP)가 제공된다. 본 발명의 일 예로, 상기 범프(BP)는 화소 단위로 분리될 수도 있고, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 같이 라인 형태로 길게 형성될 수 있다.
- [0048] 또한, 상기 범프(BP)를 상기 제1 및 제2 데이터 라인(Dj, Dj+1)의 연장 방향과 직교하는 상기 제1 방향(A1)으로 절단했을 때, 상기 범프(BP)의 단면은 사다리꼴 형상을 가질 수 있다. 상기 범프(BP)의 높이를 "h1"이라 할 때, 본 발명의 일 예로, h1은 2 μ m 내지 4 μ m의 범위에 있을 수 있다.
- [0049] 한편, 상기 제2 전극(EL2)은 상기 범프(BP)를 캡핑하는 쉘드 전극부(P1) 및 상기 제1 전극(EL1)의 중앙에 위치하는 공통 전극부(P2)를 포함한다. 상기 쉘드 전극부(P1) 및 상기 공통 전극부(P2)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라 평행하게 연장될 수 있다. 또한, 상기 쉘드 전극부(P1)와 상기 공통 전극부(P2)는 전기적으로 연결되어 기준 전압(Vcom, 도 2에 도시됨)을 수신할 수 있다.
- [0050] 상기 제2 전극(EL2)의 상기 쉘드 전극부(P1)와 상기 공통 전극부(P2) 사이에는 슬릿(SL)이 형성된다. 상기 공통 전극부(P2)의 폭을 "W1"이라 하고, 상기 슬릿(SL)의 폭을 "W2"라고 할 때, 상기 W1은 상기 W2보다 작다. 상기 W1은 약 1.5 μ m 내지 약 3 μ m의 범위에 있을 수 있으며, 상기 W2는 약 2.0 μ m 내지 약 4 μ m의 범위에 있을 수 있다. 본 발명의 일 예로, 상기 W1이 3 μ m일 경우, 상기 W2는 3.5 μ m일 수 있다.
- [0051] 상기 쉘드 전극부(P1)는 상기 범프(BP)의 상면과 측면을 캡핑하는 구조를 가지며, 상기 쉘드 전극부(P1)의 예지는 상기 제1 전극(EL1)과 중첩되도록 상기 보호막(PKV) 상으로 연장된다. 따라서, 상기 쉘드 전극부(P1)는 상기 제1 전극(EL1)과 부분적으로 중첩할 수 있다. 예를 들어, 상기 쉘드 전극부(P1)와 상기 제1 전극(EL1)이 중첩되는 폭을 "W5"라 할 때 W5는 대략 1.5 μ m일 수 있다.
- [0052] 본 발명의 일 예로, 상기 범프(BP)의 상기 제1 방향(A1)으로의 폭을 "W3"이라 하고, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)의 폭을 "W4"라 할 때, 상기 W3은 W4의 1.5배 내지 2배의 크기를 가질 수 있다. 예를 들어, 상기 W3이 4 μ m인 경우, 상기 W4는 2 μ m일 수 있다.
- [0053] 또한, 상기 범프(BP)는 상기 쉘드 전극부(P1)와 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 사이의 커패시턴스를 낮추기 위하여 저 유전율(예를 들어, 3.2 이하의 유전율)을 갖는 유기 절연 물질로 이루어질 수 있다. 또한, 상

술한 바와 같이 상기 범프(BP)를 상기 쉘드 전극부(P1)로 캡핑함으로써, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)에 의한 전계를 차폐할 수 있다. 그 결과 상기 제1 및 제2 데이터 라인(Dj, Dj+1) 부근에서 액정 분자의 오동작이 발생하는 것을 방지할 수 있다.

[0054] 또한, 상기 쉘드 전극부(P1)는 상기 범프(BP)의 상면 및 측면을 따라서 형성되어 상기 제2 기판(SUB2) 측으로 돌출된 구조를 갖는다. 특히, 상기 범프(BP)의 측면 상에 위치하는 상기 쉘드 전극부(P1)와 상기 제1 전극(EL1) 사이에 형성되는 전계에 의해서 상기 제2 기판(SUB2) 측에 인접하는 액정 분자들의 제어가 용이해진다. 따라서, 상기 액정 표시 패널(DP)의 투과율이 상승하고, 상기 액정 분자들을 구동하기 위한 구동 전압이 증가되는 것을 방지할 수 있다.

[0055] 상기 제2 기판(SUB2)은 투명한 유리 또는 플라스틱 등으로 만들어진 제2 베이스 기판(BS2), 상기 제2 베이스 기판(BS2) 상에 구비된 다수의 컬러 필터(CF), 서로 인접하는 컬러 필터(CF) 사이의 영역에 구비되어 투과광을 차단하는 블랙 매트릭스(BM), 상기 블랙 매트릭스(BM) 상에 제공되며 상기 제1 기판 측으로 돌출된 스페이서(SP)를 포함한다.

[0056] 상기 블랙 매트릭스(BM)은 서로 인접한 화소와 화소 사이에는 누설되는 광을 차단하기 위한 것으로서, 서로 인접하는 두 개의 컬러 필터(CF) 사이에 제공된다.

[0057] 상기 블랙 매트릭스(BM)는 액정 표시 패널의 차광 영역(NDA)에 대응하여 형성된다. 상기 액정 표시 패널에 있어서, 영상이 표시되는 영역을 표시 영역(DA)이라고 하고, 영상이 표시되지 않은 영역을 차광 영역(NDA)이라고 하면, 상기 차광 영역(NDA)은 상기 데이터 라인, 상기 박막 트랜지스터(Tr), 및 상기 게이트 라인이 형성된 영역으로 정의될 수 있다. 상기 데이터 라인, 상기 박막 트랜지스터(Tr), 및 상기 게이트 라인 상의 액정 분자들은 상기 데이터 라인, 상기 박막 트랜지스터(Tr), 및 상기 게이트 라인 등으로부터 기인한 전계에 의해 이상(異常) 구동될 수 있으며, 이에 따라 빛샘이 발생할 수 있다. 상기 블랙 매트릭스(BM)는 상기 차광 영역(NDA)에 대응하여 제2 베이스 기판(BS2) 상에 형성되어 상기 빛샘을 차단한다.

[0058] 본 발명의 일 실시예에 있어서, 상기 블랙 매트릭스(BM)는 약 $0.5\mu\text{m}$ 내지 약 $1.5\mu\text{m}$ 의 높이로 제공될 수 있다. 본 발명의 다른 실시예에 있어서, 상기 블랙 매트릭스(BM)는 약 $1\mu\text{m}$ 의 높이로 제공될 수 있다.

[0059] 상기 컬러 필터(CF)는 상기 액정층(LC)을 통과하는 광에 색을 제공하기 위한 것이다. 상기 컬러 필터들(CF)은 상에는 레드, 그린 및 블루 색화소(R, G, B)를 포함한다. 상기 레드 색화소(R), 그린 색화소(G), 또는 청색 색화소(B)는 각 화소에 일대일로 대응하여 배치될 수 있다. 그러나, 상기 색화소의 종류는 이에 한정되는 것은 아니며, 본 발명의 다른 실시예에서는 마젠타 색화소, 옐로우 색화소, 시안 색화소 등을 더 포함할 수 있다.

[0060] 본 발명의 일 실시예에 있어서, 상기 레드, 그린 및 블루 색화소(R, G, B)는 상기 제1 방향(A1)으로 순차적으로 배치된다. 인접하는 두 개의 색화소는 상기 제1 방향(A1)으로 소정 간격 이격되어 배치될 수 있다. 또한, 상기 레드, 그린 및 블루 색화소(R, G, B)는 상기 제2 방향(A2)으로 순차적으로 배치될 수 있으며, 인접하는 두 개의 색화소는 상기 제1 방향(A2)으로 소정 간격 이격되어 배치될 수 있다.

[0061] 상기 컬러 필터(CF)의 가장자리는 상기 블랙 매트릭스(BM)와 일부 중첩할 수 있다.

[0062] 본 발명의 일 실시예에 있어서, 상기 제2 베이스 기판(BS2)의 상면에 대한 상기 컬러 필터(CF)의 높이를 "h2"라 할 때, 본 발명의 일 예로서, h2는 약 $1.5\mu\text{m}$ 내지 약 $2.5\mu\text{m}$ 일 수 있다. 본 발명의 다른 예로서, h2는 약 $2\mu\text{m}$ 일 수 있다.

[0063] 상기 스페이서(SP)는 상기 제2 베이스 기판(BS2)으로부터 상기 제1 베이스 기판(BS1) 방향으로 돌출된다. 상기 스페이서(SP)는 상기 차광 영역(NDA)에 제2 베이스 기판(BS2) 상에 제공된다. 상기 스페이서(SP)는 평면 상에서 볼 때 상기 블랙 매트릭스(BS)와 중첩하도록 형성된다. 여기서, 상기 스페이서(SP)는 상기 제1 기판(SUB1)의 범프(BP)가 제공된 영역에 대응하는 영역에 제공되며, 평면상에서 볼 때 상기 상기 스페이서(SP)는 상기 범프(BP)의 일부와 중첩한다.

[0064] 상기 제2 베이스 기판(BS2)에 대한 상기 스페이서(SP)의 높이를 "h3"라 할 때, 본 발명의 일 예로, h3는 약 $1\mu\text{m}$ 내지 약 $3.0\mu\text{m}$ 의 범위에 있을 수 있다. 본 발명의 다른 예로, h3는 약 $2\mu\text{m}$ 일 수 있다.

[0065] 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2)은 상기 스페이서(SP)와 상기 범프(BP)가 형성된 부분에서 서로 접촉한다. 상기 스페이서(SP)는 상기 범프(BP)와 함께 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이의 간격(즉, 셀갭)을 유지한다.

- [0066] 상기 스페이서(SP)는 상기 색화소들 중 어느 하나의 색화소와 동일한 물질로 동일 단계에서 형성될 수 있다. 본 발명의 일 실시예에 있어서, 상기 스페이서(SP)는 상기 색화소 중 레드 색화소(R)와 동일한 물질로 형성된다. 그러나, 상기 스페이서(SP)를 이루는 물질은 이에 한정되는 것은 아니며, 나머지 색화소 중 하나, 즉, 그린 색화소(G)나 블루 색화소(B)와 동일한 물질로 형성될 수도 있다.
- [0067] 상기 제2 기관(SUB2)의 정면에서 볼 때, 도 3b에 도시된 바와 같이, 상기 스페이서(SP)는 원형 또는 타원형의 도트 형태로 제공될 수 있다. 그러나, 상기 스페이서(SP)의 형태는 위 형상으로 한정되지 않고 다양하게 변형될 수 있다.
- [0068] 상기 스페이서(SP)와 범프(BP)는 서로 직접 접촉할 수 있으나, 상기 스페이서(SP)나 상기 범프(BP) 상에 추가적으로 소정 막이 더 개재될 수 있다. 예를 들어, 본 발명의 일 실시예에서는 상기 스페이서(SP) 상에 오버코트층(OC)이 더 제공될 수 있으며, 이 경우, 상기 오버코트층(OC)과 상기 범프(BP)가 서로 접촉할 수 있다.
- [0069] 상기 오버코트층(OC)은 상기 컬러 필터(CF), 상기 블랙 매트릭스(BM), 상기 스페이서(SP)를 커버할 수 있다. 본 발명의 일 실시예에 있어서, 상기 오버코트층(OC)은 약 $0.3\mu\text{m}$ 내지 약 $1\mu\text{m}$ 의 높이로 제공될 수 있다. 본 발명의 다른 실시예에 있어서, 상기 오버코트층(OC)은 약 $0.55\mu\text{m}$ 의 높이로 제공될 수 있다.
- [0070] 도 3b에서는 복수 개의 화소 중 하나에 스페이서(SP)가 제공된 것을 도시하였으나, 이에 한정되는 것은 아니다. 상기 스페이서(SP)는 각 화소마다 제공될 수 있으며, 각 화소마다 제공되지 않을 수도 있다. 본 발명의 다른 실시예에 있어서, 상기 스페이서(SP)의 개수는 상기 제1 기관(SUB1)과 상기 제2 기관(SUB2)의 간격을 유지할 수 있는 한도 내에서 최소로 제공될 수 있다.
- [0071] 상기 제2 기관(SUB2)은 상기 제1 기관(SUB1)과 대향하여 결합하고, 상기 제1 및 제2 기관(SUB1, SUB2) 사이에는 액정층(LC)이 개재된다.
- [0072] 상기 화소에 상기 제2 게이트 라인(Gi)을 통해 상기 게이트 신호가 인가되면, 상기 게이트 신호에 응답하여 상기 박막 트랜지스터(Tr)가 턴-온된다. 상기 제1 데이터 라인(Dj)으로 인가된 데이터 전압은 상기 턴-온된 박막 트랜지스터(Tr)의 상기 드레인 전극(DE)으로 출력되어 상기 제1 전극(EL1)으로 인가된다. 상기 데이터 전압은 상기 액정층(LC)의 액정 분자를 제어하는 구동 전압이다.
- [0073] 상기 데이터 전압을 수신한 상기 제1 전극(EL1)은 상기 기준 전압을 수신하는 상기 제2 전극(EL2)과 함께 전장을 생성함으로써, 상기 제1 전극(EL1)과 상기 제2 전극(EL2) 위에 위치하는 상기 액정층(LC)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(LC)을 통과하는 빛의 편광이 변화된다.
- [0074] 상기 제1 전극(EL1)과 상기 제2 전극(EL2)은 상기 액정층(LC)을 유전체로 액정 커패시터(Clc, 도 1에 도시됨)를 이루어 상기 박막 트랜지스터(Tr)가 턴-오프된 후에도 인가된 전압을 유지한다.
- [0075] 이처럼, 셀 갭은 상기 범프(BP)와 상기 스페이서(SP)에 의해서 결정될 수 있으며, 상기 스페이서(SP)는 상기 컬러 필터(CF)를 형성하는 단계에서 함께 형성될 수 있다. 이에 따라, 셀 갭을 유지하기 위한 스페이서(SP)를 형성하기 위한 별도의 공정이 불필요하게 되고, 상기 액정 표시 패널을 제조하는 과정에서 추가적으로 스페이서(SP)를 형성하는 공정을 생략할 수 있어 제조 공정이 단순화될 수 있다.
- [0076] 도 5은 본 발명의 일 실시예에 따른 액정 표시 장치에 있어서 구동 전압에 따른 투과율을 나타낸 그래프이다.
- [0077] 단, 도 5에서 제1 그래프(G1)는 종래 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타내고, 제2 그래프(G2)는 도 3a 및 도 3b에 도시된 패널 구조에서 구동 전압에 의한 투과율의 변화를 나타낸다.
- [0078] 도 5에 도시된 바와 같이, 동일 구동 전압에서의 투과율을 비교했을 때 상기 범프(BP)의 상면 및 측면에 상기 쉘드 전극부(P1)를 형성하여 액정 분자를 제어하는 도 3a 및 도 3b의 패널 구조가 종래의 패널 구조에 비하여 투과율이 높게 나타났다. 따라서, 도 3a 및 도 3b의 패널 구조는 종래 패널 구조에 비하여 낮은 구동 전압을 이용해서 원하는 투과율을 얻을 수 있다. 그 결과, 투과율을 향상시킬 수 있으며, 소비 전력을 저감할 수 있다.
- [0079] 도 6은 본 발명의 다른 실시예에 따른 액정 표시 패널의 제2 기관의 평면도이고, 도 7은 도 6에 도시된 절단선 III-III'에 따라 절단한 단면도이다. 본 발명의 다른 실시예에서는 설명의 중복을 방지하기 위해 본 발명의 일 실시예와 다른 점을 위주로 설명하며, 설명되지 않은 부분은 일 실시예에 따른다.
- [0080] 본 발명의 다른 실시예에 있어서, 절단선 III-III'은 본 발명의 일 실시예를 나타낸 도 3a 및 도 3b의 II-II'선에 대응한다. 도 6 및 도 7에 도시된 구성요소 중 도 3a, 도 3b, 도 4a, 및 도 4c에 도시된 구성요소와 동일한

구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.

- [0081] 도 6 및 도 7을 참조하면, 제2 기판(SUB2)은 투명한 유리 또는 플라스틱 등으로 만들어진 제2 베이스 기판(BS2), 상기 제2 베이스 기판(BS2) 상에 구비된 다수의 컬러 필터(CF), 서로 인접하는 컬러 필터(CF) 사이의 영역에 구비되어 투과광을 차단하는 블랙 매트릭스(BM), 상기 블랙 매트릭스(BM) 상에 제공되며 상기 제1 기판(SUB1) 측으로 돌출된 스페이서를 포함한다.
- [0082] 상기 스페이서는 제1 높이를 갖는 메인 스페이서(MSP)와, 상기 제1 높이보다 낮은 제2 높이를 갖는 서브 스페이서(SSP)를 포함한다. 즉, 상기 제2 베이스 기판(BS2)에 대한 상기 메인 스페이서(MSP)의 높이를 h3라고 하고, 상기 제2 베이스 기판(BS2)에 대한 상기 서브 스페이서(SSP)의 높이를 h4라고 하면, h3는 h4보다 큰 값을 갖는다. 본 발명의 일 실시예에 있어서, h3는 약 1 μ m 내지 약 3.0 μ m의 범위에 있을 수 있다. 본 발명의 다른 예로, h3는 약 2 μ m일 수 있다. h4는 약 1.3 μ m 내지 약 1.8 μ m일 수 있다.
- [0083] 상기 서브 스페이서(SSP)가 상기 메인 스페이서(MSP)보다 낮은 높이를 갖도록 형성되기 때문에 상기 서브 스페이서(SSP)가 제공된 영역에서 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2)은 서로 이격된다.
- [0084] 상기 서브 스페이서(SSP)는 상기 액정 표시 패널에 외부로부터의 힘이 가해졌을 때 상기 메인 스페이서(MSP)가 형성되지 않은 영역에서 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2)이 서로 부딪히는 것을 방지하는 완충재로서 작용한다. 예를 들어, 외부에서 상기 제2 기판(SUB2)으로부터 상기 제1 기판(SUB1) 방향으로 힘이 가해지는 경우, 상기 제2 기판(SUB2)이 상기 제1 기판(SUB1) 쪽으로 휘어지면, 상기 서브 스페이서(SSP)의 상부(오버코트층이 형성된 경우 오버코트층의 상면)가 범프(BP)와 접촉하여 상기 제1 기판(SUB1)과 제2 기판(SUB2)의 간격이 더 이상 작아지지 않도록 유지함으로써 소자의 파손을 방지한다.
- [0085] 상기 메인 스페이서(MSP) 및/또는 상기 서브 스페이서(SSP)는 상기 색화소들 중 어느 하나의 색화소와 동일한 물질로 동일 단계에서 형성될 수 있다. 본 발명의 일 실시예에 있어서, 상기 메인 스페이서(MSP) 및 상기 서브 스페이서(SSP)는 상기 색화소 중 레드 색화소(R)와 동일한 물질로 형성된다. 그러나, 상기 메인 스페이서(MSP) 및 서브 스페이서(SSP)를 이루는 물질은 이에 한정되는 것은 아니며, 그린 색화소(G)나 블루 색화소(B)와 동일한 물질로 형성될 수도 있다.
- [0086] 도 7에서는 복수 개의 화소 중 하나에 대응하여 메인 스페이서(MSP)가 제공되고, 나머지 화소에 대응하여 서브 스페이서(SSP)가 제공된 것을 도시하였으나, 이에 한정되는 것은 아니다. 상기 메인 스페이서(MSP)와 상기 서브 스페이서(SSP)의 개수는 달리 설정될 수 있으며, 각 화소마다 제공되거나 제공되지 않을 수 있다.
- [0087] 도 8a 내지 도 8e는 도 3a, 도 4a 및 도 4b에 도시된 제1 기판의 제조 과정을 나타낸 평면도들이다. 이하, 도 3a, 도 4a 및 도 4b를 함께 참조하여 제1 기판의 제조 과정을 설명한다.
- [0088] 도 8a를 참조하면, 제1 베이스 기판(BS1) 상에 제1 및 제2 금속막을 순차적으로 형성하고, 제1 마스크를 통해 상기 제1 및 제2 금속막을 패터닝하여 상기 제1 베이스 기판(BS1) 상에 제1 및 제2 게이트 라인(Gi-1, Gi), 제1 전극(EL1)을 형성한다. 상기 제1 및 제2 금속막 중 하나는 인듐 틴 옥사이드와 같은 투명성 도전 물질로 이루어지고, 다른 하나는 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은 계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 등으로 만들어질 수 있다.
- [0089] 상기 제1 및 제2 게이트 라인(Gi-1, Gi)은 상기 제1 및 제2 금속막이 순차적으로 적층된 이중막 구조를 갖는 반면, 상기 제1 전극(EL1)은 상기 제1 및 제2 금속막(Gi-1, Gi) 중 투명성을 갖는 막으로 이루어진 단일막 구조를 갖는다.
- [0090] 도면에 도시하지는 않았지만, 상기 제1 및 제2 게이트 라인(Gi-1, Gi) 및 상기 제1 전극(EL1)은 게이트 절연막(GI)에 의해서 커버된다. 상기 게이트 절연막(GI)은 실리콘 질화물(SiNx) 또는 실리콘 산화물(SiOx)로 이루어질 수 있다.
- [0091] 도 8b를 참조하면, 상기 게이트 절연막(GI) 위에는 제3 및 제4 금속막이 순차적으로 형성되고, 제2 마스크를 이용하여 상기 제3 및 제4 금속막을 패터닝하여 소스 전극(SE), 드레인 전극(DE), 상기 제1 및 제2 데이터 라인(Dj-1, Dj)을 형성한다. 상기 제3 금속막은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등으로 이루어질 수 있고, 상기 제4 금속막은 구리 등으로 이루어질 수 있다.
- [0092] 상기 소스 전극(SE) 및 상기 드레인 전극(DE)과 마주하는 상기 제1 및 제2 게이트 라인(Gi-1, Gi) 각각의 일부

영역이 게이트 전극(GE)으로 정의될 수 있다.

- [0093] 또한, 도면에 도시하지는 않았으나, 수소화 비정질 실리콘(hydrogenated amorphous silicon), 다결정 실리콘(polysilicon) 또는 산화물 반도체 등으로 만들어진 반도체층(AL, 도 4에 도시됨) 및 제1 및 제2 오믹 콘택층(미도시)이 게이트 전극(GE)과 소스 전극(SE) 사이, 상기 게이트 전극(GE)과 드레인 전극(DE) 사이에 형성될 수 있다.
- [0094] 다만, 상기 반도체층(AL)과 상기 제1 및 제2 오믹 콘택층은 상기 제2 마스크를 통해 상기 제3 금속막을 패터닝하는 과정에서 형성될 수 있다. 이로써, 상기 박막 트랜지스터(Tr)가 완성된다.
- [0095] 도면에 도시하지는 않았지만, 상기 소스 전극(SE), 상기 드레인 전극(DE), 상기 제1 및 제2 데이터 라인(Dj, Dj+1)은 보호막(PSV)에 의해서 커버된다.
- [0096] 도 8c를 참조하면, 상기 보호막(PSV) 위로 저 유전율(예를 들어, 3.0 이하의 유전율)을 갖는 유기 절연 물질을 형성한다. 이후, 제3 마스크를 이용하여 상기 유기 절연 물질을 패터닝하면, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라서 범프(BP)가 형성된다. 본 발명의 일 예로, 상기 범프(BP)는 화소 단위로 분리될 수도 있고, 상기 제1 및 제2 데이터 라인(Dj, Dj+1)과 같이 라인 형태로 길게 형성될 수 있다.
- [0097] 도 8d를 참조하면, 제4 마스크를 이용하여 상기 보호막(PSV)을 패터닝하면, 상기 보호막(PSV)에는 상기 드레인 전극(DE)을 노출시키기 위한 제1 콘택홀(CH1) 및 상기 제1 전극(EL1)을 노출시키기 위한 제2 콘택홀(CH2)이 형성된다.
- [0098] 도 8e를 참조하면, 상기 보호막(PSV) 및 상기 범프(BP) 상에 투명한 도전 물질을 형성하고, 제5 마스크를 이용하여 상기 도전 물질을 패터닝하면, 제2 전극(EL2) 및 브릿지 전극(BE)이 형성된다.
- [0099] 상기 제2 전극(EL2)은 상기 범프(BP)를 캡핑하는 쉘드 전극부(P1) 및 상기 제1 전극(EL1)의 중앙에 위치하는 공통 전극부(P2)를 포함한다. 상기 쉘드 전극부(P1) 및 상기 공통 전극부(P2)는 상기 제1 및 제2 데이터 라인(Dj, Dj+1)을 따라 평행하게 연장될 수 있다.
- [0100] 상기 제2 전극(EL2)의 상기 쉘드 전극부(P1)와 상기 공통 전극부(P2) 사이에는 슬릿(SL)이 형성된다. 상기 쉘드 전극부(P1)는 상기 범프(BP)의 상면 및 측면을 캡핑하는 구조를 가지며, 상기 쉘드 전극부(P1)의 에지는 상기 제1 전극(EL1)과 중첩된다.
- [0101] 상기 브릿지 전극(BE)은 상기 제1 콘택홀(CH1)을 통해 상기 드레인 전극(DE)과 직접적으로 콘택되고, 상기 제2 콘택홀(CH2)을 통해 상기 제1 전극(EL1)과 직접적으로 콘택된다. 따라서, 상기 드레인 전극(DE)과 상기 제1 전극(EL1)은 상기 브릿지 전극(BE)을 통해 서로 전기적으로 연결될 수 있다.
- [0102] 도 9a 내지 도 9c는 도 3b, 도 4a 및 도 4b에 도시된 제2 기관의 제조 과정을 나타낸 평면도들이다. 이하, 도 3b, 도 4a 및 도 4b를 함께 참조하여 제1 기관의 제조 과정을 설명한다.
- [0103] 도 9a를 참조하면, 제2 베이스 기관(BS2) 상에 차광 물질을 형성하고, 제5 마스크를 통해 블랙 매트릭스(BM)를 형성한다. 상기 블랙 매트릭스(BM)는 이후 영상이 표시될 표시 영역을 제외한 나머지 영역, 즉 차광 영역(NDA) 상에 형성된다. 상기 차광 영역(NDA)은 제1 기관에 있어서 게이트 라인, 데이터 라인, 및 박막 트랜지스터(Tr)가 형성된 영역에 대응한다.
- [0104] 도 9b 내지 도 9c를 참조하면, 상기 블랙 매트릭스(BM)가 형성된 제2 베이스 기관(BS2) 상에 제6 내지 8 마스크를 통해 컬러 필터(CF)와 스페이서(SP)가 형성된다. 상기 컬러 필터(CF)가 레드, 그린 및 블루 색화소(R, G, B)를 포함하는 경우, 상기 레드 색화소(R), 상기 그린 색화소(G), 및 상기 블루 색화소(B)를 소정 순서에 따라 형성할 수 있다. 본 발명의 일 실시예에서는 도 9b에서 상기 레드 색화소(R) 먼저 형성한 것을 도시한 후, 도 9c에서 나머지 상기 그린 색화소(G)나 블루 색화소(B)를 순차적으로 형성한 것을 도시하였다.
- [0105] 여기서, 상기 색화소 중 어느 하나를 형성할 때 동일 단계에서 스페이서(SP)도 함께 형성된다. 예를 들어, 도 9b에 도시된 바와 같이, 제6 마스크를 이용하여 상기 레드 색화소(R) 형성시 레드 포토레지스트를 상기 제2 베이스 기관(BS2)의 전면에 도포하고, 제6 마스크를 이용하여 레드 색화소 부분과 스페이서 부분을 노광한 다음, 상기 포토레지스트를 현상함으로써 레드 색화소(R)와 스페이서(SP)를 동시에 형성할 수 있다.
- [0106] 본 발명의 다른 실시예에 있어서, 상기 스페이서가 서로 높이가 다른 메인 스페이서(MSP)와 서브 스페이서(SSP)를 포함하는 경우, 상기 색화소 중 어느 하나를 형성할 때 하프톤 마스크를 이용한 포토리소그래피로 상기 메인 스페이서(MSP)와 상기 서브 스페이서(SSP)를 형성할 수 있다. 즉, 상기 색화소 중 하나, 상기 메인 스페이서

(MSP), 및 상기 서브 스페이서(SSP)는 하나의 마스크를 이용한 단일 포토리소그래피 단계에서 형성할 수 있다.

[0107] 다시, 도 9c를 참조하면, 나머지 색화소(예를 들어, 그린 색화소(G)와 블루 색화소(B))를 형성하고 오버코트층(OC)을 적층함으로써 제2 기판(SUB2)을 완성한다.

[0108] 상기 방법으로 제조된 상기 제1 기판(SUB1)과 상기 제2 기판(SUB2) 사이에 액정층을 형성함으로써 액정 표시 장치를 제조한다.

[0109] 도 10a은 본 발명의 일 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이고, 도 10b는 본 발명의 다른 실시예에 따른 광 배향막의 배향 방향을 나타낸 평면도이다.

[0110] 도 10a 및 도 10b를 참조하면, 상기 제2 전극(EL2) 상에는 배향막이 제공된다. 상기 배향막은 광(예를 들어, UV 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다.

[0111] 상기 배향막은 러빙 공정을 통해 배향되는 것이 아니라 광에 의해서 배향된다. 광 배향 프로세스에서는 상기 배향막의 하부막 구조를 평탄화시키는 공정이 불필요하다. 따라서, 상기 범프(BP)에 의해서 상기 제1 기판(SUB1)이 평탄하지 않아도 배향 불량이 발생하지 않는다.

[0112] 도 10a에 도시된 바와 같이, 상기 액정 분자(LCM)가 포지티브형 액정 분자인 경우, 상기 배향막은 상기 제1 및 제2 데이터 라인(Dj, Dj+1)이 연장된 제2 방향(A2)으로 광배향 처리된다.

[0113] 도 10b에 도시된 바와 같이, 상기 액정 분자(LCM)가 네가티브형 액정 분자인 경우, 상기 배향막은 상기 제1 및 제2 게이트 라인(Gi-1, Gi)이 연장된 상기 제1 방향(A1)으로 광배향 처리된다.

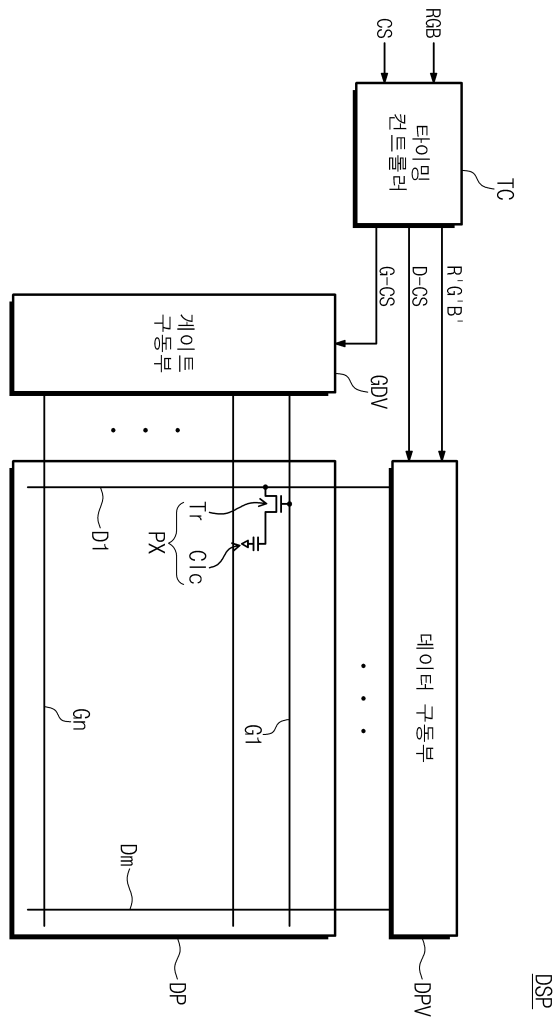
[0114] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

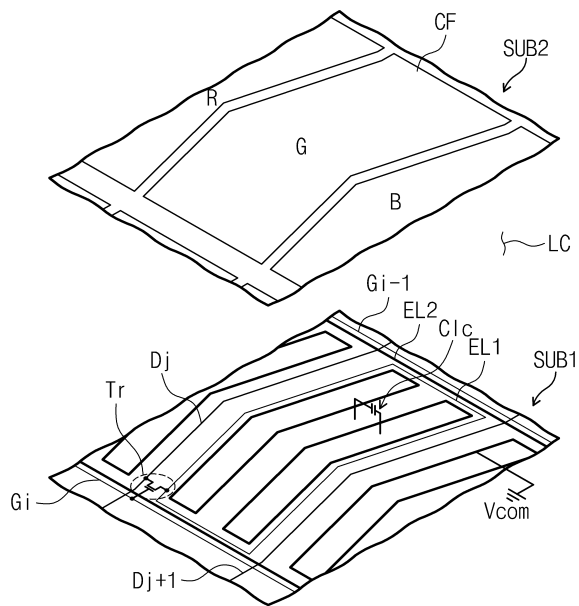
[0115] BE : 브릿지 전극 BP : 범프
CF : 컬러 필터 EL1 : 제1 전극
EL2 : 제2 전극 LC : 액정층
SP : 스페이서 MSP : 메인 스페이서
SSP : 서브 스페이서 SUB1 : 제1 기판
SUB2 : 제2 기판

도면

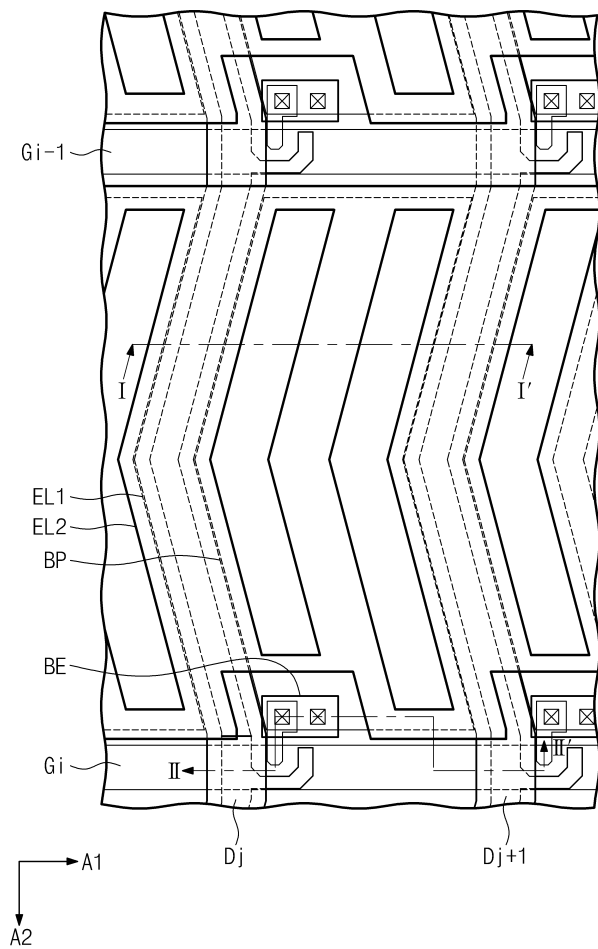
도면1



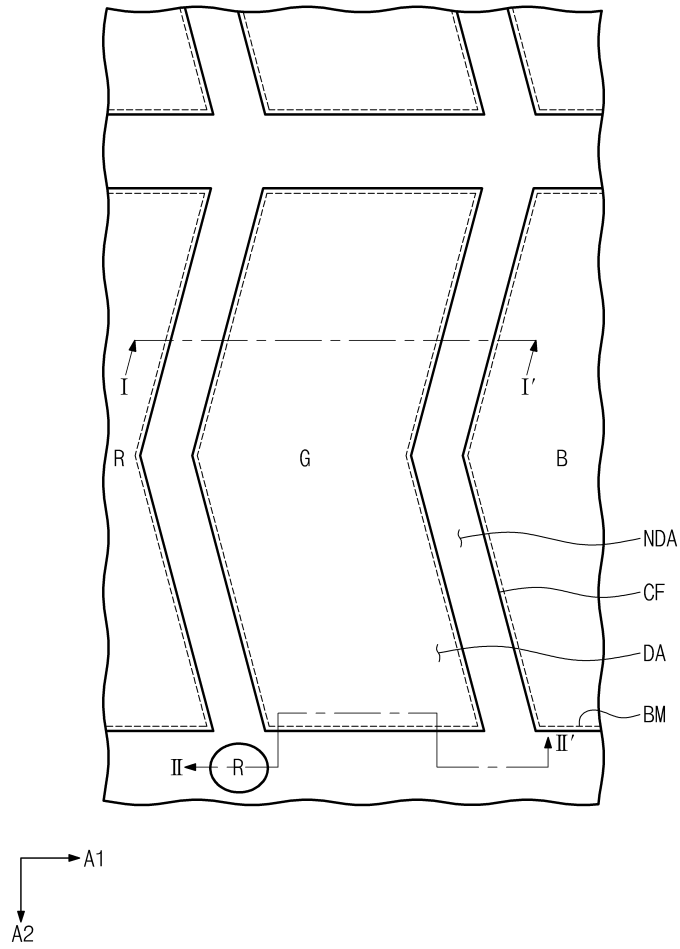
도면2



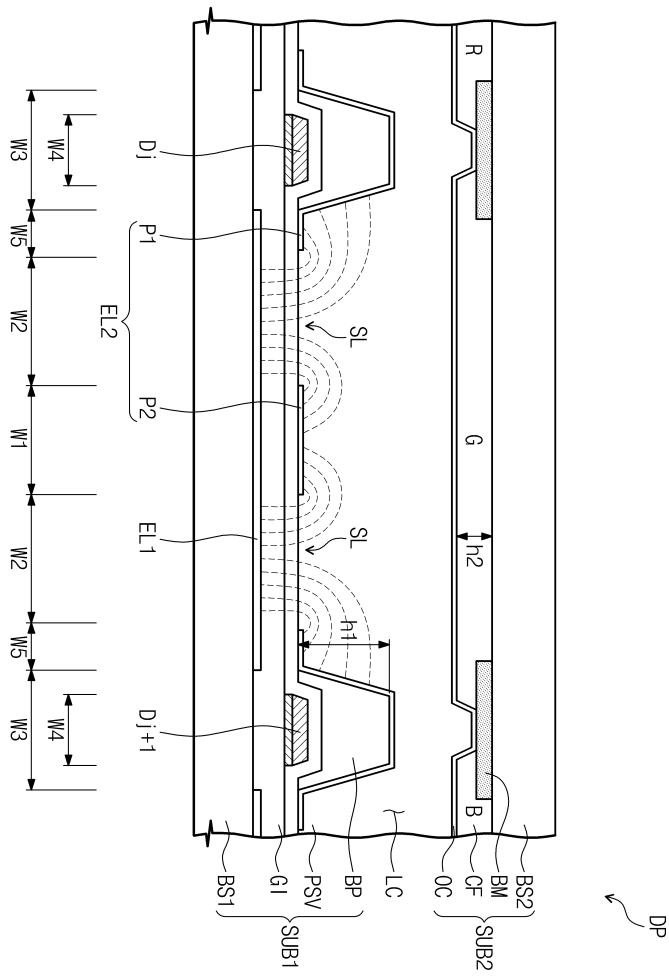
도면3a



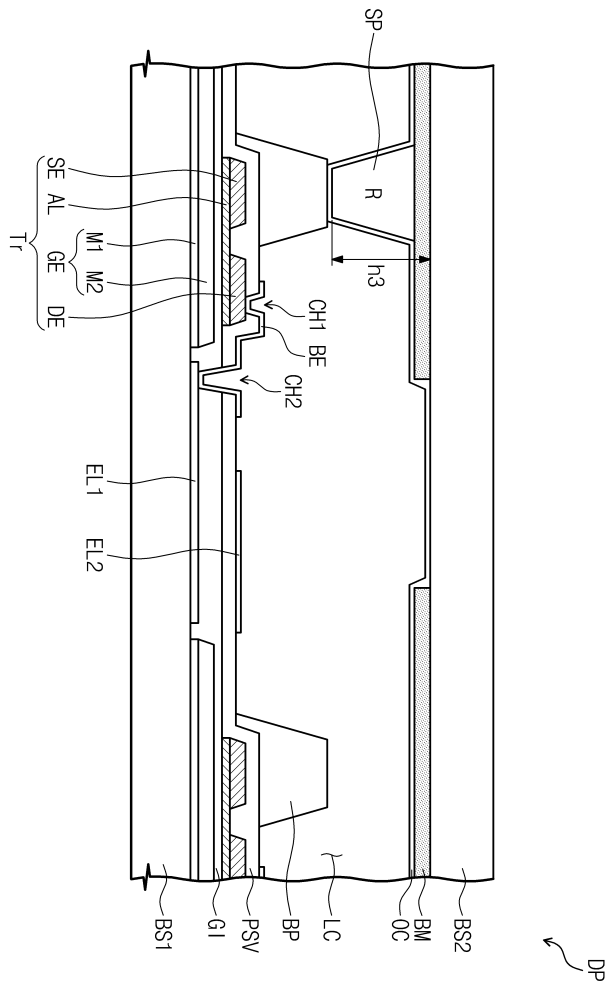
도면3b



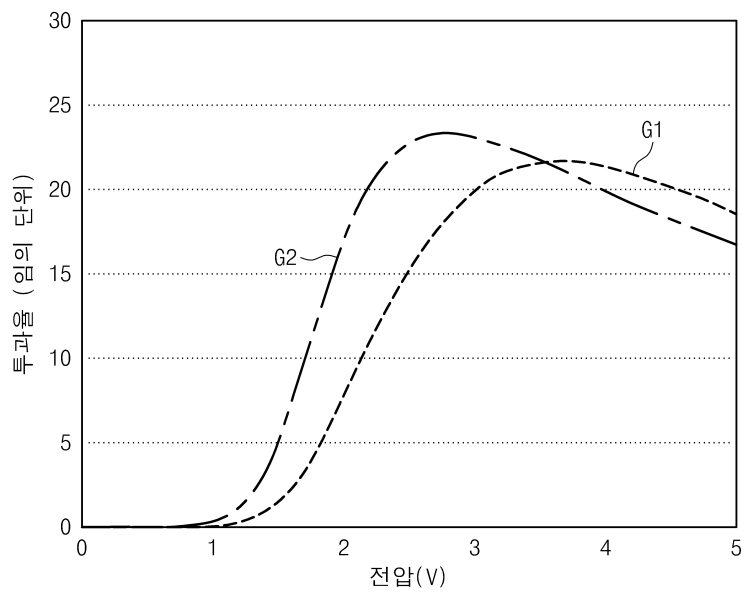
도면4a



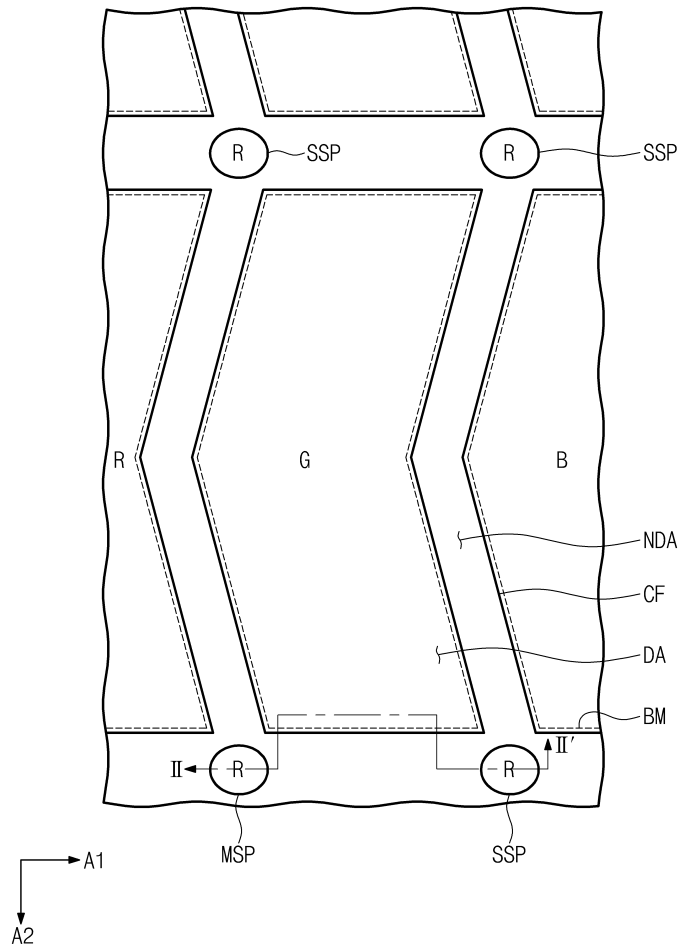
도면4b



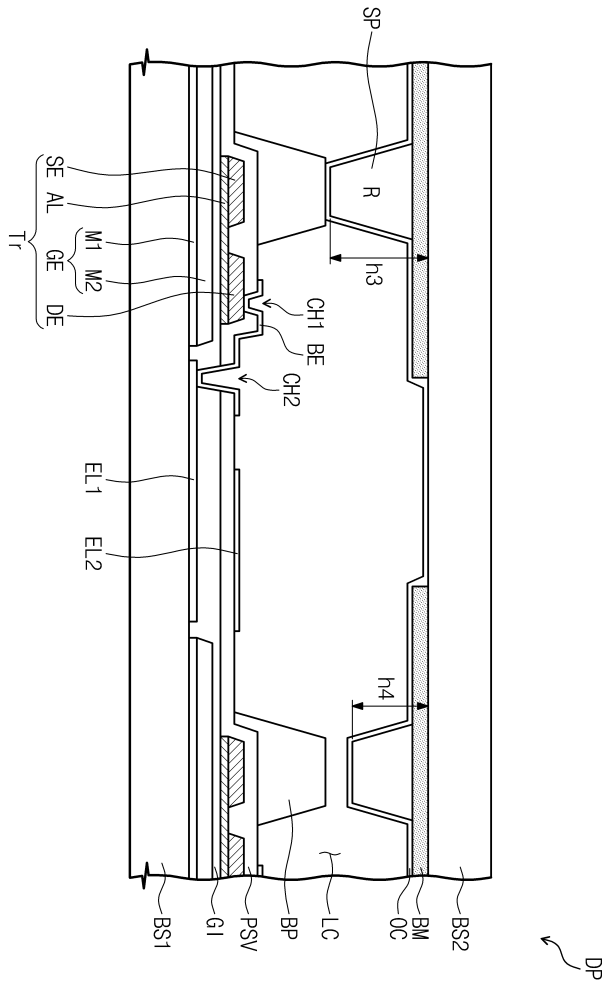
도면5



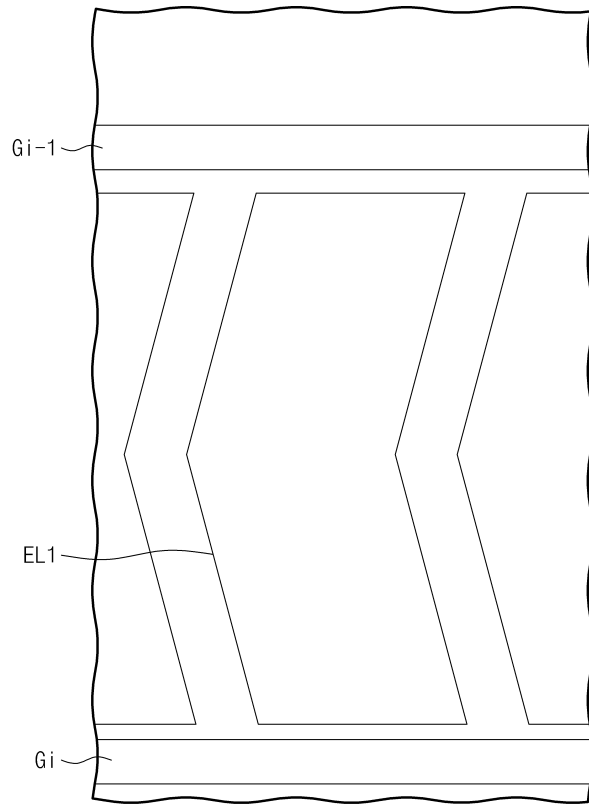
도면6



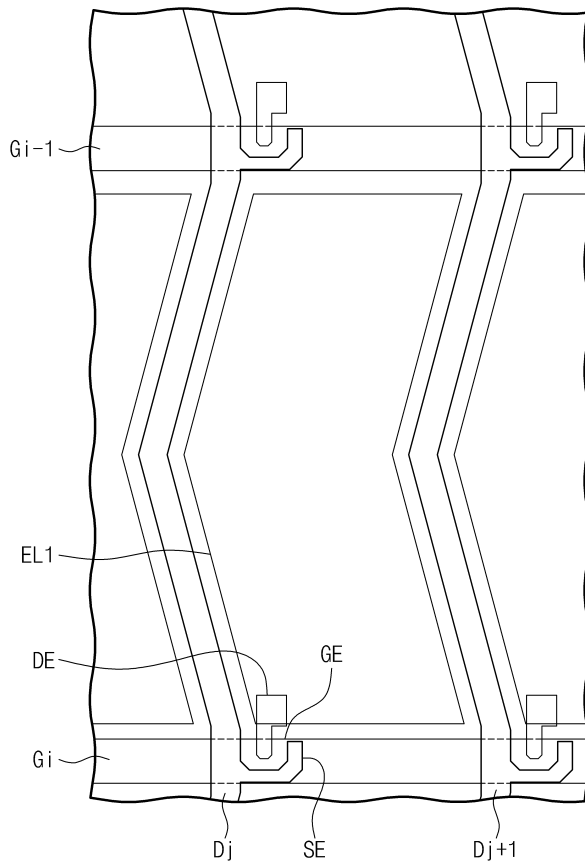
도면7



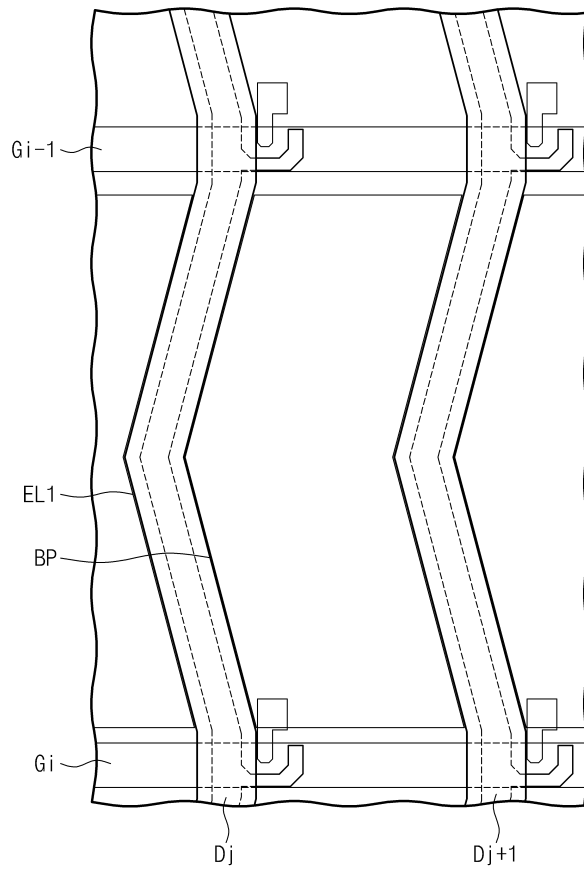
도면8a



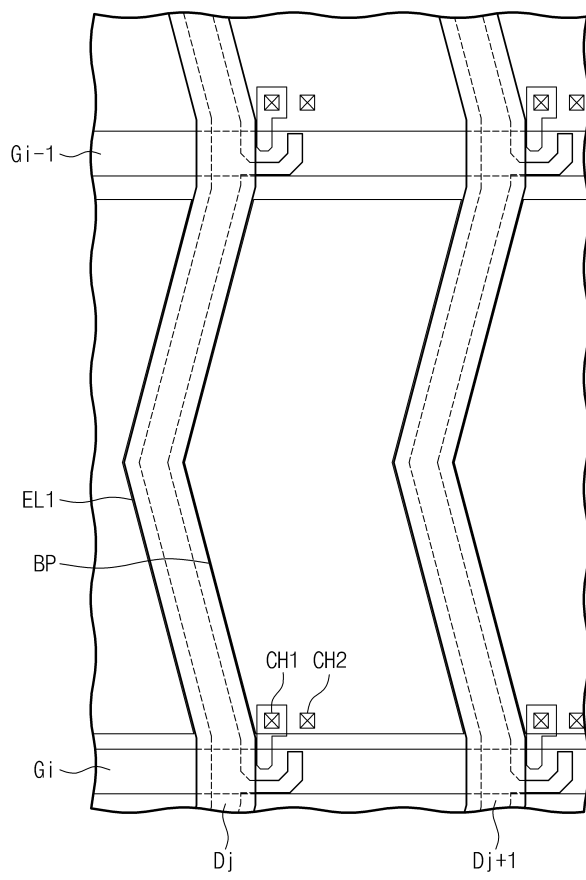
도면8b



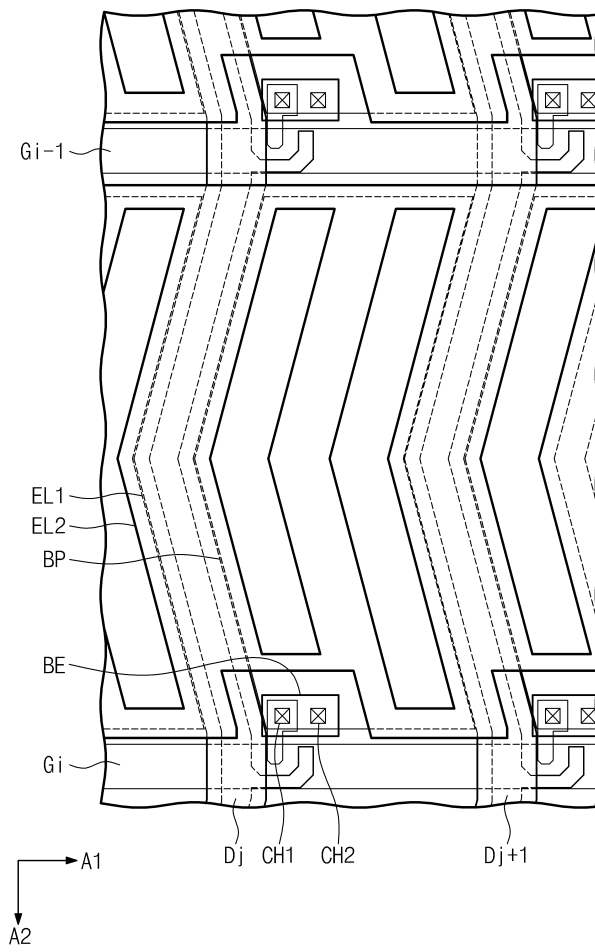
도면8c



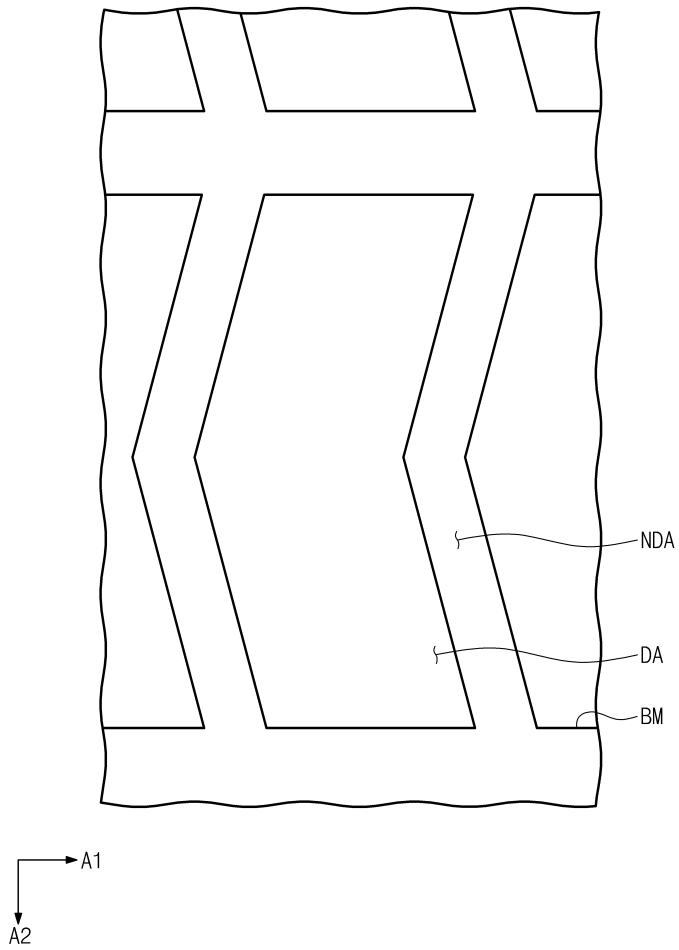
도면8d



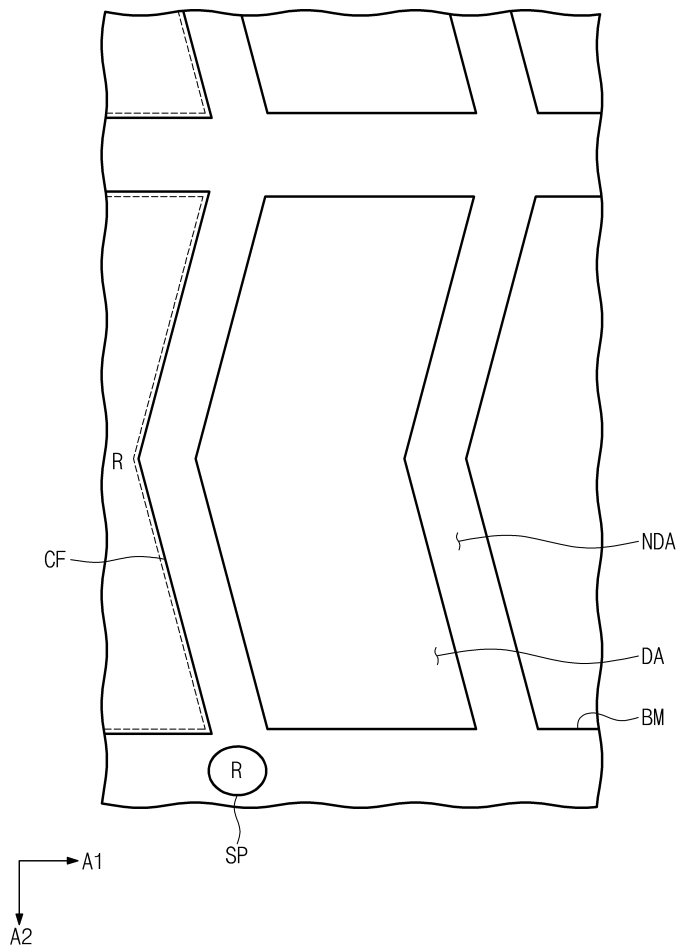
도면8e



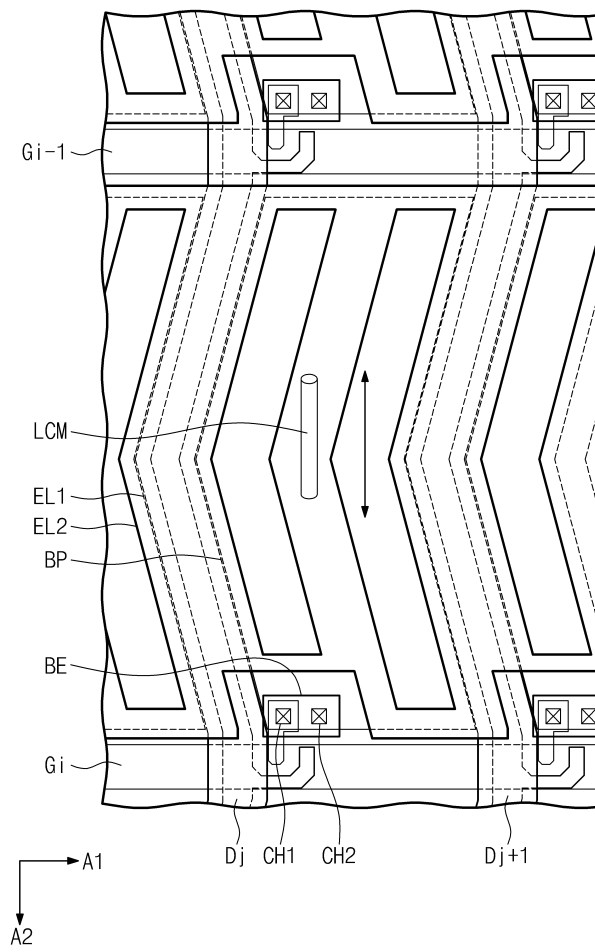
도면9a



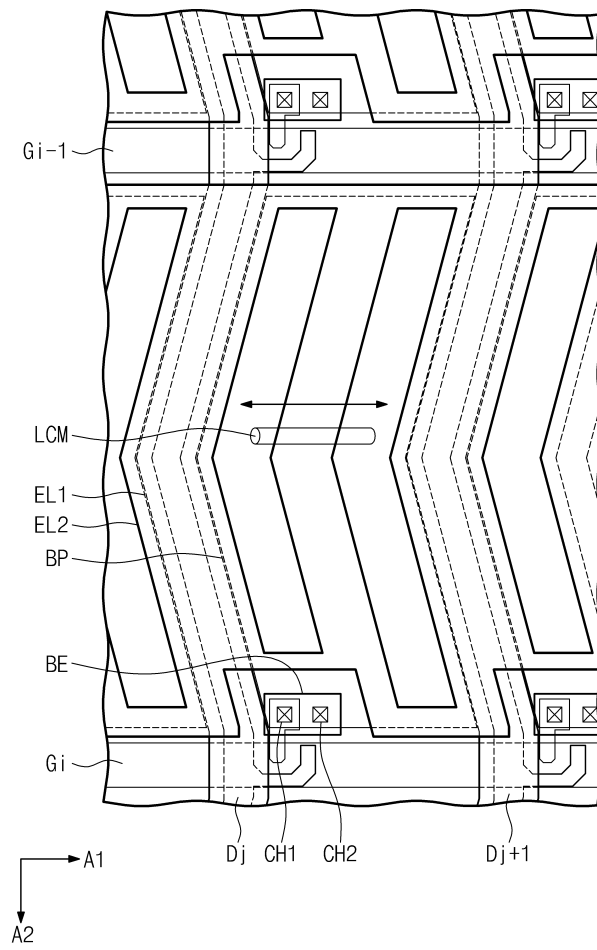
도면9b



도면10a



도면10b



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020160003357A	公开(公告)日	2016-01-11
申请号	KR1020140080927	申请日	2014-06-30
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YOSHIMOTO HIROSHI 요시모토 히로시 TANAKA SAKAE 다나카사카에		
发明人	요시모토, 히로시 다나카, 사카에		
IPC分类号	G02F1/1343 G02F1/1339 G02F1/1362		
CPC分类号	G02F1/133514 G02F1/13394 G02F1/134309 G02F2001/13396 G02F2001/13398 G02F2001/134372 G02F2001/136218		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，包括：第一基板;第二基板，其面对第一基板;以及设置在第一和第二基板之间的液晶层。第一基板包括：第一基础基板;第一电极设置在第一基底上;凸起从第一基底基板突出;第二电极，包括用于覆盖凸块的屏蔽电极单元，以及与第一电极的中心绝缘重叠的公共电极单元。第二基板包括：第二基础基板;滤色器层，包括设置在第二基底基板上的多个彩色像素;以及从与凸块的上部对应的区域的一部分朝向第一基板突出的间隔件。间隔物由与至少任何一个彩色像素相同的材料形成，并且保持第一和第二基板与凸起的间隔。

