



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0002591
(43) 공개일자 2016년01월08일

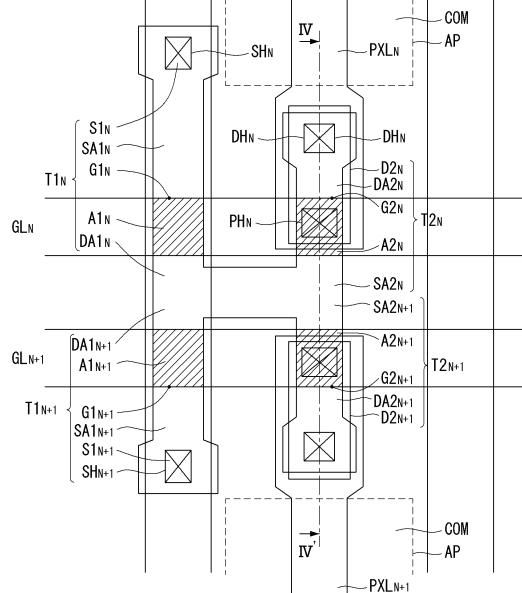
(51) 국제특허분류(Int. Cl.) <i>G02F 1/1368 (2006.01) G02F 1/1362 (2006.01)</i>	(71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동)
(21) 출원번호 10-2014-0138596	(72) 발명자 조성준
(22) 출원일자 2014년10월14일	경기도 파주시 월롱면 덕은리 파주LCD산업단지 엘씨디로 231, H동 403호 (LG 디스플레이 정다운마을)
심사청구일자 없음	김가경 경기 파주시 책향기로 441, 1012동 1504호 (동폐동, 책향기마을동문굿모닝힐아파트)
(30) 우선권주장 1020140081270 2014년06월30일 대한민국(KR)	정의현 경기 고양시 일산서구 강선로 71, 삼환마을 707동 2204호 (주엽동, 강선마을7단지아파트)
	(74) 대리인 특허법인로얄

전체 청구항 수 : 총 9 항

(54) 발명의 명칭 보상용 박막 트랜지스터를 구비한 초고 해상도 액정 표시장치

(57) 요약

본 발명은 화소당 보상용 박막 트랜지스터를 더 구비한 초고 해상도 액정 표시장치에 관한 것이다. 본 발명에 의한 초고 해상도 액정 표시장치는, N번째 화소 행과 N+1번째 화소 행 사이에 배치된 N번째 게이트 배선 및 N+1번째 게이트 배선; 상기 N번째 게이트 배선 및 상기 N+1번째 게이트 배선과 교차하는 데이터 배선; 상기 데이터 (뒷면에 계속)

대표도 - 도8

배선과 평행하게 중첩하며 상기 N번째 화소 영역에서 상기 N+1번째 화소 영역으로 연장되는 제1 수직 선분부, 상기 N번째 화소 영역 중앙 하단에서 상기 N+1번째 화소 영역 중앙 상단으로 연장되는 제2 수직 선분부, 및 상기 제1 수직 선분부와 상기 제2 수직 선분부를 연결하는 수평 선분부를 포함하는 반도체 층; 상기 제2 수직 선분부의 상기 N번째 화소 영역 중앙 하단부에 배치된 일측 단부와 연결된 N번째 드레인 전극 및 상기 제2 수직 선분부의 상기 N+1번째 화소 영역 중앙 상단부에 배치된 타측 단부와 연결된 N+1번째 드레인 전극; 그리고 상기 N번째 드레인 전극과 연결되고 상기 N번째 화소 영역으로 연장된 N번째 화소 전극 및 상기 N+1번째 드레인 전극과 연결되고 N+1번째 화소 영역으로 연장된 N+1번째 화소 전극을 포함한다.

명세서

청구범위

청구항 1

N번째 화소 행과 N+1번째 화소 행 사이에 배치된 N번째 게이트 배선 및 N+1번째 게이트 배선;

상기 N번째 게이트 배선 및 상기 N+1번째 게이트 배선과 교차하는 데이터 배선;

상기 데이터 배선과 평행하게 중첩하여 상기 N번째 화소 영역에서 상기 N+1번째 화소 영역으로 연장되는 제1 수직 선분부, 상기 N번째 화소 영역 중앙 하단에서 상기 N+1번째 화소 영역 중앙 상단으로 연장되는 제2 수직 선분부, 및 상기 제1 수직 선분부와 상기 제2 수직 선분부를 연결하는 수평 선분부를 포함하는 반도체 층;

상기 제2 수직 선분부의 상기 N번째 화소 영역 중앙 하단부에 배치된 일측 단부와 연결된 N번째 드레인 전극 및 상기 제2 수직 선분부의 상기 N+1번째 화소 영역 중앙 상단부에 배치된 타측 단부와 연결된 N+1번째 드레인 전극; 그리고

상기 N번째 드레인 전극과 연결되고 상기 N번째 화소 영역으로 연장된 N번째 화소 전극 및 상기 N+1번째 드레인 전극과 연결되고 N+1번째 화소 영역으로 연장된 N+1번째 화소 전극을 포함하는 액정 표시장치.

청구항 2

제 1 항에 있어서,

상기 N번째 드레인 전극은, 상기 제2 수직 선분부의 상기 일측 단부와 연결되고, 상기 N번째 게이트 배선 쪽으로 연장되며,

상기 N번째 화소 전극은, 상기 N번째 드레인 전극을 노출하는 상기 N번째 게이트 배선과 중첩된 N번째 화소 콘택홀을 통해 상기 N번째 드레인 전극과 접촉하는 액정 표시장치.

청구항 3

제 1 항에 있어서,

상기 N+1번째 드레인 전극은, 상기 제2 수직 선분부의 상기 타측 단부와 연결되고, 상기 N+1번째 게이트 배선 쪽으로 연장되며;

상기 N+1번째 화소 전극은, 상기 N+1번째 드레인 전극을 노출하는 상기 N+1번째 게이트 배선과 중첩된 N+1번째 화소 콘택홀을 통해 상기 N+1번째 드레인 전극과 접촉하는 액정 표시장치.

청구항 4

제 1 항에 있어서,

상기 반도체 층은,

상기 제1 수직 선분부가 상기 N번째 게이트 배선과 중첩하여 정의된 N번째 구동 박막 트랜지스터 채널 영역;

상기 제2 수직 선분부가 상기 N번째 게이트 배선과 중첩하여 정의된 N번째 보상 박막 트랜지스터 채널 영역;

상기 제1 수직 선분부가 상기 N+1번째 게이트 배선과 중첩하여 정의된 N+1번째 구동 박막 트랜지스터 채널 영역; 그리고

상기 제2 수직 선분부가 상기 N+1번째 게이트 배선과 중첩하여 정의된 N+1번째 보상 박막 트랜지스터 채널 영역을 포함하는 액정 표시장치.

청구항 5

제 1 항에 있어서,

상기 반도체 층의 상기 수평 선분부는,

상기 N번째 게이트 배선과 상기 N+1 번째 게이트 배선 사이에서 상기 게이트 배선들과 평행하게 배치된 액정 표시장치.

청구항 6

제 1 항에 있어서,

N+2번째 화소 행과 N+3번째 화소 행 사이에는 N+2번째 게이트 배선 및 N+3번째 게이트 배선이 배치되고,

상기 N+1번째 화소 행과 상기 N+2번째 화소 행 사이에는 게이트 배선이 배치되지 않는 액정 표시장치.

청구항 7

제 6 항에 있어서,

상기 N+1번째 화소 행과 상기 N+2번째 화소 행에 배치되고, 이웃하는 두 개의 데이터 배선 사이에 배치된, 상기 N+1번째 화소 영역 및 상기 N+2번째 화소 영역에 동일한 색상으로 할당된 칼라 필터를 더 포함하는 액정 표시장치.

청구항 8

제 7 항에 있어서,

상기 칼라 필터는,

행 방향으로 나열된 화소 영역별로 적색, 녹색, 청색 및 백색 칼라 필터가 교대로 배치되고,

열 방향으로 이웃하는 상기 칼라 필터는 서로 다른 색상이 배치된 액정 표시장치.

청구항 9

제 1 항에 있어서,

상기 열 방향으로 인접하는 두 화소 영역에는 동일한 색상의 칼라 필터가 배치되고,

상기 칼라 필터는 상기 열 방향 및 상기 행 방향으로 서로 다른 칼라 필터가 배치된 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 화소당 보상용 박막 트랜지스터를 더 구비한 초고 해상도 액정 표시장치에 관한 것이다. 특히, 본 발명은 화소 구동용 박막 트랜지스터의 온/오프 특성을 보상하기 위한 보상용 박막 트랜지스터를 더 구비한 초고 해상도 액정 표시장치에서 고 개구율을 구현하기 위한 화소 구조에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 이에 따라, 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장

치(Flat Panel Display Device: FPD)로 급속히 발전해 왔다. 평판 표시장치에는 액정표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED)와 같은 다양한 평판표시장치가 개발되어 활용되고 있다.

[0003] 평판표시장치를 구성하는 표시패널(DP)은 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기판을 포함한다. 예를 들어, 액정표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정표시장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 구분한다.

[0004] 수직 전계형 액정표시장치는 상 하부 기판에 대향하게 배치된 화소 전극과 공통전극 사이에 형성되는 수직 전계에 의해 TN(Twisted Nematic) 모드의 액정을 구동한다. 이러한 수직전계형 액정표시장치는 개구율이 큰 장점을 가지는 반면, 시야각이 90도 정도로 좁은 단점이 있다.

[0005] 수평 전계형 액정표시장치는 하부 기판에 평행하게 배치된 화소 전극과 공통전극 사이에 수평 전계를 형성하여 인 플레인 스위치(In Plane Switching: IPS) 모드의 액정을 구동한다. 이러한 IPS 모드의 액정표시장치는 시야각이 160도 정도로 넓은 장점이 있으나, 개구율 및 투과율이 낮은 단점이 있다. 구체적으로 IPS 모드의 액정표시장치는 인 플레인 필드(In Plane Field)를 형성하기 위해서 공통전극과 화소전극간의 간격을 상 하부 기판의 간격보다 넓게 형성하고, 적정한 세기의 전계를 얻기 위해서 공통전극과 화소 전극을 일정한 너비를 갖는 띠 형태로 형성한다. 이와 같은 IPS 모드의 화소 전극 및 공통전극 사이에는 기판과 거의 평행한 전계가 형성되지만, 너비를 갖는 화소 전극 및 공통전극들 상부의 액정에는 전계가 형성되지 않는다. 즉, 화소 전극 및 공통전극 상부에 놓인 액정분자들은 구동되지 않고 초기 배열 상태를 유지한다. 초기상태를 유지하는 액정은 광을 투과시키지 못하여 개구율 및 투과율을 저하하는 요인이다.

[0006] 이러한 IPS 모드의 액정표시장치의 단점을 개선하기 위해 프린지 필드(Fringe Field)에 의해 동작하는 프린지 필드 스위칭(Fringe Field Switching: FFS) 방식의 액정표시장치가 제안되었다. FFS 타입의 액정표시장치는 각 화소 영역에 절연막을 사이에 둔 공통전극과 화소 전극을 구비하고, 그 공통전극과 화소 전극의 간격을 상 하부 기판의 간격보다 좁게 형성하여 공통전극과 화소 전극 상부에 포물선 형태의 프린지 필드를 형성하도록 만든다. 프린지 필드에 의해 상 하부 기판 사이에 개재된 액정 분자들은 모두 동작함으로써 개구율 및 투과율이 향상된 결과를 얻을 수 있다.

[0007] 도 1은 종래의 프린지 필드 방식의 액정표시장치에 포함된 산화물 반도체 층을 갖는 평판형 표시패널을 구성하는 박막 트랜지스터(Thin Film Transistor: TFT) 기판을 나타내는 평면도이다. 도 2는 도 1에 도시한 평판표시장치의 박막 트랜지스터 기판에서 절취선 I-I'선을 따라 자른 단면도이다.

[0008] 도 1 및 도 2에 도시된 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)과, 그 교차부마다 형성된 박막 트랜지스터(T)를 구비한다. 그리고 게이트 배선(GL)과 데이터 배선(DL)의 교차 구조에 의해 화소 영역이 정의된다. 이 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PAS2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 화소 전극(PXL)은 화소 영역에 대응하는 대략 장방형의 모양을 갖고, 공통전극(COM)은 평행한 다수 개의 띠 모양으로 형성할 수 있다.

[0009] 공통전극(COM)은 게이트 배선과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다.

[0010] 박막 트랜지스터(T)는 게이트 배선(GL)의 게이트 신호에 응답하여 데이터 배선(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지하도록 한다. 이를 위해, 박막 트랜지스터(T)는 게이트 배선(GL)에서 분기한 게이트 전극(G), 데이터 배선(DL)에서 분기 된 소스 전극(S), 소스 전극(S)과 대향하며 화소 전극(PXL)과 접속된 드레인 전극(D), 그리고 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하며 소스 전극(S)과 드레인 전극(D) 사이에 채널을 형성하는 반도체 채널 층(A)을 포함한다.

[0011] 특히, 반도체 층(SE)은 다결정 실리콘(Poly-Silicon) 물질로 형성하는 데, 게이트 전극(G)과 동일한 모양으로 중첩하는 다결정 실리콘 물질이 반도체 채널 층(A)으로 정의된다. 그리고 다결정 실리콘 물질 중 반도체 채널 층(A) 영역을 제외한 부분은 플라즈마 처리로 도체화되어 소스 콘택홀(SH)과 드레인 콘택홀(DH)을 통해 각각 소스 전극(S) 및 드레인 전극(D)과 접촉된다. 즉, 다결정 실리콘 반도체 층(SE)은 소스 전극(S)과 접촉하는 소스 영역(SA), 드레인 전극(D)과 접촉하는 드레인 영역(DA), 그리고 소스 영역(SA)과 드레인 영역(DA) 사이에서 게

이트 전극(G)과 완전히 중첩하는 반도체 채널 층(A)으로 구분된다.

[0012] 프린지 필드 스위칭 방식에서는 화소 전극(PXL)과 공통 전극(COM)이 중첩하는 구조를 갖는다. 이 중첩한 영역에서 보조 용량이 형성된다. 프린지 필드를 구성하고, 보조 용량을 충분히 충진하기 위해서는 고 용량의 박막 트랜지스터를 필요로 한다. 따라서, 프린지 필드 방식에서는 탑 게이트(Top Gate) 구조를 갖는 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터를 사용하는 것이 바람직하다.

[0013] 도 2를 더 참조하여, 탑 게이트 구조를 갖는 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터의 구조를 설명한다. 기판(SUB) 위에서 반도체 층(SE)이 먼저 형성된다. 반도체 층(SE) 위에, 게이트 절연막(GI)이 전면 도포된다. 게이트 절연막(GI) 위에서 반도체 층(SE)의 중앙부인 반도체 채널 층(A)과 중첩하는 게이트 전극(G)이 형성된다.

[0014] 게이트 전극(G) 위에는 기판(SUB) 전체를 덮는 중간 절연막(IN)이 도포된다. 중간 절연막(IN) 및 게이트 절연막(GI)을 관통하여 반도체 층(SE)의 소스 영역(SA)과 드레인 영역(DA)을 개방하는 소스 콘택홀(SH) 및 드레인 콘택홀(DH)이 형성된다. 그리고 중간 절연막(IN) 위에는 소스 콘택홀(SH)을 통해 소스 영역(SA)과 접촉하는 소스 전극(S) 및 드레인 콘택홀(DH)을 통해 드레인 영역(DA)과 접촉하는 드레인 전극(D)이 형성된다.

[0015] 이와 같이 형성된 탑 게이트 형 박막 트랜지스터(T)가 형성된 기판(SUB) 위의 전체 면에는 제1 보호막(PAS1)이 도포된다. 그리고 제1 보호막(PAS1)을 관통하여 드레인 전극(D)의 일부를 노출하는 화소 콘택홀(PH)이 형성된다.

[0016] 화소 전극(PXL)은 제1 보호막(PAS1) 위에서 화소 콘택홀(PH)을 통해 드레인 전극(D)과 접속한다. 한편, 공통전극(COM)은 화소 전극(PXL)을 덮는 제2 보호막(PAS2)을 사이에 두고 화소 전극(PXL)과 중첩되게 형성된다. 이와 같은 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드형 전계를 형성한다. 또한, 화소 전극(PXL)과 공통 전극(COM)이 중첩된 영역에서는 보조 용량이 형성된다. 프린지 필드형 전계에 의해 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0017] 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터의 특성상 오프 전류(Off-Current) 특성을 열화되는 문제가 있다. 구동 박막 트랜지스터에서 열화된 오프 특성을 보상하기 위해서는 보상용 박막 트랜지스터를 더 구비하는 것이 필요하다.

[0018] 이하, 도 3을 참조하여, 보상용 박막 트랜지스터를 더 구비한 액정 표시장치의 경우를 설명한다. 도 3은 종래 기술에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 3은 보상 박막 트랜지스터를 포함하면서, 300PPI 이하의 저 해상도 액정 표시장치를 구현하기 위한 박막 트랜지스터 기판을 나타내는 도면이다.

[0019] 보상용 박막 트랜지스터를 더 구비한 종래 기술에 의한 박막 트랜지스터 기판은 하부 기판(SUB) 위에 게이트 절연막(GI)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)에 의해 화소 영역이 정의된다. 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PAS2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 화소 전극(PXL)은 화소 영역에 대응하는 대략 장방형의 모양을 갖고, 공통전극(COM)은 평행한 다수 개의 띠 모양으로 형성할 수 있다.

[0020] 각 화소 영역에는 구동 박막 트랜지스터(T1)가 하나씩 배치된다. 또한, 구동 박막 트랜지스터(T1)에는 오프-전류 특성을 보완하기 위한 보상 박막 트랜지스터(T2)가 배치된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 보상 박막 트랜지스터(T2)의 소스 전극(S2)과 연결된다.

[0021] 직렬로 연결된 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)를 포함하는 박막 트랜지스터 기판의 구조를 좀 더 구체적으로 설명한다. 기판(SUB) 위에 가로 방향으로 진행하는 게이트 배선(GL)들과 세로 방향으로 진행하는 데이터 배선(DL)들이 교차하는 구조로 매트릭스 방식의 화소 영역이 정의된다.

[0022] 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 게이트 배선(GL)에서 화소 영역 쪽으로 분기한 구조를 갖는다. 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 데이터 배선(DL)에서 화소 영역으로, 특히 게이트 전극(G1)을 향해 분기한 구조를 갖는다. 구동 박막 트랜지스터(T1)의 반도체 층(SE)은 소스 전극(S1) 및 게이트 전극(G1)과 중첩하면서 연장된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 별도의 전극으로 형성하지 않고, 소스 전극(S1)과 접촉하는 반도체 층(SE)의 소스 영역(SA1)에서 연장되어 게이트 전극(G1)을 중심으로 대향하는 영역에 형성된 드레인 영역(DA1)이 드레인 전극(D1)이 된다.

[0023]

보상 박막 트랜지스터(T2)의 게이트 전극(G2)은 별도로 형성하지 않고, 게이트 배선(DL)의 일부분을 게이트 전극(G2)으로 사용한다. 보상 박막 트랜지스터(T2)의 소스 전극(S2)도 별도로 형성하지 않고, 반도체 층(SE)의 드레인 영역(DA1)에서 연장된 소스 영역(SA2)이 소스 전극(S2)으로 사용한다. 보상 박막 트랜지스터(T2)의 드레인 전극(D2)은 반도체 층(SE)에서 연장되어 게이트 전극(G2)을 중심으로 소스 영역(SA2)과 대향하는 드레인 영역(DA2)과 접촉한다.

[0024]

구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)를 직렬로 연결하기 위해서, 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 해당 화소의 아래에 배치된 화소 영역으로 돌출된 구조를 갖는다. 그리고, 반도체 층(SE)은 아래 화소 영역에서 시작하여 게이트 배선(GL)과 중첩하도록 연장되어 해당 화소 영역 내에 배치된다. 보상 박막 트랜지스터(T2)의 드레인 전극(D)은 화소 영역 내에 형성된 화소 전극(PXL)과 연결된다.

[0025]

화소 전극(PXL)은 보호막을 사이에 두고 공통 전극(COM)과 중첩하는 구조를 갖는다. 공통전극(COM)은 게이트 배선과 나란하게 배열된 공통 배선(CL)과 접속된다. 공통전극(COM)은 공통 배선(CL)을 통해 액정 구동을 위한 기준 전압(혹은 공통 전압)을 공급받는다. 이와 같은 화소 전극(PXL)과 공통 전극(COM) 사이에서 프린지 필드 형 전계를 형성한다. 또한, 화소 전극(PXL)과 공통 전극(COM)이 중첩된 영역에서는 보조 용량이 형성된다. 프린지 필드 형 전계에 의해 박막 트랜지스터 기판과 컬러 필터 기판 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전한다. 그리고 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라져 계조를 구현한다.

[0026]

300PPI 정도의 해상도 액정 표시장치에서는 화소 영역의 크기가 큰 편이어서, 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)가 화소 영역에서 차지하는 비율이 그리 크지 않다. 특히, 보조 용량을 따로 구성하지 않고, 화소 전극(PXL)과 공통 전극(COM)이 중첩되어 보조 용량을 형성하는 프린지 필드 스위칭 방식의 액정 표시장치에서는 개구 영역이 충분히 확보된다. 따라서, 보상 박막 트랜지스터(T2)의 크기로 인해 줄어드는 개구 영역의 비율이 크게 문제되지 않는다.

[0027]

보상 박막 트랜지스터를 더 구비한 구조를 300PPI 정도의 해상도용 액정 표시장치에 적용하기 위해, 도 3에 도시한 바와 같이, 보상 박막 트랜지스터(T2)의 게이트 전극(G2)을 별도로 형성하지 않고 게이트 배선(GL)을 이용하여 구성하였다. 그 결과, 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)가 화소 영역에서 차지하는 면적을 어느 정도 줄일 수 있었다. 이러한 구조에서는, 300PPI 전후의 해상도에서는 어느 정도 개구율을 확보할 수 있지만, 300PPI 이상의 고 해상도 액정 표시장치에서는 좀 더 개구율을 확보할 필요성이 있다.

[0028]

300PPI 이상의 고 해상도 혹은 500PPI 이상의 초고 해상도용 액정 표시장치에서는 화소 영역의 크기가 이보다 낮은 해상도용에 비해서 확연히 줄어든다. 반면에, 박막 트랜지스터들(T1, T2)의 크기는, 특성을 유지하기 위해서는, 줄어드는 화소 영역에 비례하여 줄인 크기를 가질 수 없다. 즉, 고 해상도 혹은 초고 해상도를 구현하기 위한 화소 구조에서는, 화소 면적에서 박막 트랜지스터들(T1, T2) 차지하는 면적 비율이 점점 커진다. 박막 트랜지스터들(T1, T2)이 차지하는 영역은 비 투과 영역이므로, 고 해상도 및 초고 해상도에서는 개구율 감소에 중요한 원인이 된다. 300PPI 이상의 고 해상도 혹은 500PPI 이상의 초고 해상도용 액정 표시장치를 위한 박막 트랜지스터 기판은 화소 면적당 개구 영역의 비율을 좀 더 높일 수 있는 새로운 구조가 절실히 요구되고 있다.

발명의 내용

해결하려는 과제

[0029]

본 발명의 목적은, 상기 종래 기술에 의한 문제점을 극복하기 위한 것으로서, 다결정 실리콘 반도체 물질을 구비한 박막 트랜지스터의 오프-전류 특성을 보완하기 위한 보상 박막 트랜지스터를 구비한 액정 표시장치를 제공하는 데 있다. 특히, 본 발명은 500PPI(Pixel Per Inch) 이상의 초고 해상도를 구현하고, 다결정 실리콘 반도체 층을 갖는 보상 박막 트랜지스터를 구비하고, 고 개구율을 확보하기 위한 화소 구조를 갖는 액정 표시장치를 제공하는 데 있다. 본 발명의 또 다른 목적은, 500PPI 이상의 초고해상도에서 이웃하는 행들에서 배치되는 두 화소사이에서 혼색을 방지하고, 광 색상 시야각을 확보한 고 품질의 액정 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0030]

상기 본 발명의 목적을 달성하기 위한 본 발명에 의한 초고 해상도 액정 표시장치는, N번째 게이트 배선 및 N+1 번째 게이트 배선, 데이터 배선, 반도체 층, N번째 드레인 전극 및 N+1번째 드레인 전극, 그리고 N번째 화소 전극 및 N+1번째 화소 전극을 포함한다. N번째 게이트 배선 및 N+1번째 게이트 배선은 N번째 화소 행과 N+1번째

화소 행 사이에 배치된다. 데이터 배선은 N번째 게이트 배선 및 N+1번째 게이트 배선과 교차한다. 반도체 층은 데이터 배선과 평행하게 중첩하며 N번째 화소 영역에서 N+1번째 화소 영역으로 연장되는 제1 수직 선분부, N 번째 화소 영역 중앙 하단에서 N+1번째 화소 영역 중앙 상단으로 연장되는 제2 수직 선분부, 및 제1 수직 선분부와 제2 수직 선분부를 연결하는 수평 선분부를 구비한다. N번째 드레인 전극은 제2 수직 선분부의 N번째 화소 영역 중앙 하단부에 배치된 일측 단부와 연결되며, N+1번째 드레인 전극은 제2 수직 선분부의 N+1번째 화소 영역 중앙 상단부에 배치된 타측 단부와 연결된다. 그리고 N번째 화소 전극은 N번째 드레인 전극과 연결되고 N 번째 화소 영역으로 연장되며, N+1번째 화소 전극은 N+1번째 드레인 전극과 연결되고 N+1번째 화소 영역으로 연장된다.

[0031] 일례로, N번째 드레인 전극은, 제2 수직 선분부의 일측 단부와 연결되고, N번째 게이트 배선 쪽으로 연장되며, N번째 화소 전극은, N번째 드레인 전극을 노출하는 N번째 게이트 배선과 중첩된 N번째 화소 콘택홀을 통해 N번 째 드레인 전극과 접촉한다.

[0032] 일례로, N+1번째 드레인 전극은, 제2 수직 선분부의 타측 단부와 연결되고, N+1번째 게이트 배선 쪽으로 연장되며, N+1번째 화소 전극은, N+1번째 드레인 전극을 노출하는 N+1번째 게이트 배선과 중첩된 N+1번째 화소 콘택홀을 통해 N+1번째 드레인 전극과 접촉한다.

[0033] 일례로, 반도체 층은, N번째 구동 박막 트랜지스터 채널 영역, N번째 보상 박막 트랜지스터 채널 영역, N+1번째 구동 박막 트랜지스터 채널 영역, 그리고 N+1번째 보상 박막 트랜지스터 채널 영역을 포함한다. N번째 구동 박막 트랜지스터 채널 영역은, 제1 수직 선분부가 N번째 게이트 배선과 중첩하여 형성된다. N번째 보상 박막 트랜지스터 채널 영역은, 제2 수직 선분부가 N번째 게이트 배선과 중첩하여 형성된다. N+1번째 구동 박막 트랜지스터 채널 영역은, 제1 수직 선분부가 N+1번째 게이트 배선과 중첩하여 형성된다. 그리고 N+1번째 보상 박막 트랜지스터 채널 영역, 제2 수직 선분부가 N+1번째 게이트 배선과 중첩하여 형성된다.

[0034] 일례로, 반도체 층의 수평 선분부는, N번째 게이트 배선과 N+1 번째 게이트 배선 사이에서 게이트 배선들과 평행하게 배치된다.

[0035] 일례로, N+2번째 화소 행과 N+3번째 화소 행 사이에는 N+2번째 게이트 배선 및 N+3번째 게이트 배선이 배치되고, N+1번째 화소 행과 N+2번째 화소 행 사이에는 게이트 배선이 배치되지 않는다.

[0036] 일례로, N+1번째 화소 행과 N+2번째 화소 행에 배치되고, 이웃하는 두 개의 데이터 배선 사이에 배치된, N+1번 째 화소 영역 및 N+2번째 화소 영역에 동일한 색상으로 할당된 칼라 필터를 더 포함한다.

[0037] 일례로, 칼라 필터는, 행 방향으로 나열된 화소 영역별로 적색, 녹색, 청색 및 백색 칼라 필터가 교대로 배치되고, 열 방향으로 이웃하는 상기 칼라 필터는 서로 다른 색상이 배치된다.

[0038] 일례로, 열 방향으로 인접하는 두 화소 영역에는 동일한 색상의 칼라 필터가 배치되고, 칼라 필터는 상기 열 방향 및 행 방향으로 서로 다른 칼라 필터가 배치된다.

발명의 효과

[0039] 본 발명에 의한 액정 표시장치는, 각 화소에 보상용 박막 트랜지스터를 더 구비함으로써, 다결정 실리콘 반도체 물질을 포함하는 박막 트랜지스터의 오프-전류 특성을 보상하여, 양질의 화상 품질을 구현할 수 있다. 또한, 보상 박막 트랜지스터를 구비할 때 발생할 수 있는 개구율 저하를 최소한으로 하기 위한 화소 구조를 갖는다. 따라서, 500PPI 이상의 초고 해상도를 구현하더라도, 고 개구율을 확보할 수 있다는 장점이 있다. 또한, 본 발명에 의한 액정 표시장치에서 화소 행들 중에서 블랙 매트릭스가 배제되는 이웃하는 화소 행들이 동일한 칼라 필터를 갖도록 구비함으로써, 혼색을 방지하고, 색상 시야각을 더 넓게 확보할 수 있다는 장점이 있다.

도면의 간단한 설명

[0040] 도 1은 종래의 프린지 필드 방식의 액정 표시장치에 포함된 산화물 반도체 층을 갖는 평판형 표시패널을 구성하는 박막 트랜지스터 기판을 나타내는 평면도.

도 2는 도 1에 도시한 평판표시장치의 박막 트랜지스터 기판에서 절취선 I-I'선을 따라 자른 단면도.

도 3은 종래 기술에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판의 구조를 나타내는 평면도.

도 4는 본 발명의 제1 실시 예에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을

나타내는 평면도.

도 5는 도 4에 도시한 평판 표시장치의 박막 트랜지스터 기판에서 절취선 II-II' 선을 따라 자른 단면도.

도 6은 본 발명의 제2 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도.

도 7은 도 6에 도시한 보상 박막 트랜지스터를 더 구비한 박막 트랜지스터 기판에서 절취선 III-III' 선을 따라 자른 단면도.

도 8은 본 발명의 제3 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도.

도 9는 도 7에 도시한 보상 박막 트랜지스터를 더 구비한 박막 트랜지스터 기판에서 절취선 IV-IV' 선을 따라 자른 단면도.

도 10은 본 발명의 제2 및 제3 실시 예들에서 화소들에 할당된 칼라 필터들의 배치 구조의 일 예를 나타내는 평면도.

도 11은 본 발명의 제2 및 제3 실시 예에서 화소들에 할당된 칼라 필터들의 배치 구조의 다른 예를 나타내는 평면도.

도 12는 본 발명에 의한 액정 표시장치에서 칼라 필터의 배치 구조를 나타낸 평면도.

발명을 실시하기 위한 구체적인 내용

[0041] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시 예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0042] <제1 실시 예>

[0043] 이하, 도 4 및 5를 참조하여, 본 발명의 제1 실시 예에 대하여 설명한다. 도 4는 본 발명의 제1 실시 예에 의한 보상 박막 트랜지스터를 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 5는 도 4에 도시한 평판 표시장치의 박막 트랜지스터 기판에서 절취선 II-II' 선을 따라 자른 단면도이다. 도 4 및 5는 보상 박막 트랜지스터를 포함하면서, 400PPI 정도의 고 해상도 액정 표시장치를 구현하기 위한 박막 트랜지스터 기판을 나타내는 도면들이다.

[0044] 본 발명의 제1 실시 예에 의한, 박막 트랜지스터 기판은 하부 기판(SUB) 위에 중간 절연막(IN)을 사이에 두고 교차하는 게이트 배선(GL) 및 데이터 배선(DL)에 의해 화소 영역이 정의된다. 화소 영역에는 프린지 필드를 형성하도록 제2 보호막(PAS2)을 사이에 두고 형성된 화소 전극(PXL)과 공통전극(COM)을 구비한다. 공통전극(COM)은 화소 영역의 대부분을 모두 덮도록 형성되고, 화소 전극(PXL)은 평행한 다수 개의 띠 모양으로 형성될 수 있다. 400PPI 정도의 고 해상도용 박막 트랜지스터 기판에서는 화소의 크기가 상당히 작아진다. 따라서, 화소 전극(PXL)이 두 세개 정도의 선분들로만 이루어질 수도 있다.

[0045] 각 화소 영역에는 구동 박막 트랜지스터(T1)가 하나씩 배치된다. 또한, 구동 박막 트랜지스터(T1)에는 오프-전류 특성을 보완하기 위한 보상 박막 트랜지스터(T2)가 배치된다. 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 보상 박막 트랜지스터(T2)의 소스 전극(S2)과 연결된다.

[0046] 직렬로 연결된 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)를 포함하는 박막 트랜지스터 기판의 구조를 좀 더 구체적으로 설명한다. 기판(SUB) 위에 가로 방향으로 진행하는 게이트 배선(GL)들과 세로 방향으로 진행하는 데이터 배선(DL)들이 교차하는 구조로 매트릭스 방식의 화소 영역이 정의된다.

[0047] 제1 실시 예에서는, 화소 영역에서 발광 영역의 비율을 높이기 위해, 게이트 전극을 게이트 배선에서 분기한 형태로 형성하지 않고, 게이트 배선의 일부를 이용하여 형성한다. 즉, 반도체 층(SE)을 게이트 배선(GL)과 중첩하도록 형성함으로써 박막 트랜지스터를 구성한다.

[0048] 예를 들어, 반도체 층(SE)을 데이터 배선(DL)의 일부와 접촉하면서, 데이터 배선(DL)과 중첩하여 연장되어, 게이트 배선(GL)과 교차하도록 연장된다. 그러면, 게이트 배선(GL) 및 데이터 배선(DL)과 중첩하는 반도체 층

(SE)의 일부가 구동 박막 트랜지스터(T1)의 채널 층(A1)으로 정의된다. 그리고 게이트 배선(GL)과 평행하게 게이트 배선(GL)의 아래에 정의된 화소 영역으로 꺾어진 후, 데이터 배선(DL)과 평행하게 연장되어 게이트 배선(GL)과 다시 중첩하면서 게이트 배선(GL)의 위에 정의된 화소 영역으로 연장된다. 그러면, 게이트 배선(GL)과 중첩되는 반도체 층(SE)의 타부가 보상 박막 트랜지스터(T2)의 채널 층(A2)으로 정의된다.

[0049] 좀 더 상세히 설명한다. 기판(SUB) 위에 반도체 층(SE)이 형성되어 있다. 반도체 층(SE)은 나중에 형성될 데이터 배선(DL)의 일부를 따라서 진행하는 제1 수직 선분부(VS1)를 갖는다. 제1 수직 선분부(VS1)는 나중에 형성될 게이트 배선(GL)을 중심으로 윗단 화소 영역에서 아랫단 화소 영역까지 연장되어 배치된다. 반도체 층(SE)은 제1 수직 선분부(VS1)의 아래 끝단부에서 아랫단 화소 영역으로 꺾이어 연장된 수평 선분부(HS)를 갖는다. 그리고, 반도체 층(SE)은 수평 선분부(HS)의 아랫단 화소 영역에서 게이트 배선(GL)을 타고 넘어 윗단 화소 영역으로 연장된 제2 수직 선분부(VS2)를 갖는다.

[0050] 반도체 층(SE)이 형성된 기판(SUB) 전체 표면 위에는, 게이트 절연 물질과 게이트 금속물질을 도포하고 패턴하여 형성된, 게이트 절연막(GI) 및 게이트 배선(GL)이 배치된다. 특히, 게이트 배선(GL)은, 각 화소당, 반도체 층(SE)과 교차하는 영역이 두 부분을 갖는다. 이렇게 반도체 층(SE)과 중첩하는 게이트 배선(GL)의 부분들을 편의상 게이트 전극(G1, G2)으로 정의한다. 반도체 층(SE)의 제1 수직 선분부(VS1)와 중첩하는 게이트 배선(GL)은 구동 박막 트랜지스터의 게이트 전극(G1)으로 정의된다. 또한, 반도체 층(SE)의 제2 수직 선분부(VS2)와 중첩하는 게이트 배선(GL)은 보상 박막 트랜지스터의 게이트 전극(G2)으로 정의된다.

[0051] 반도체 층(SE)은 게이트 절연막(GI) 및 게이트 배선(GL)과 중첩하는 영역과 그렇지 않고 노출되는 영역으로 구분된다. 게이트 배선(GL)과 중첩하지 않고 노출된 영역에는 불순물을 주입하여 도체화할 수 있다. 그 결과, 게이트 배선(GL)과 중첩하는 반도체 층(SE)은 채널 영역(A1, A2)으로 정의된다. 즉, 구동 게이트 전극(G1)과 중첩하는 반도체 층(SE)은 구동 박막 트랜지스터 채널 영역(A1)으로, 보상 게이트 전극(G2)과 중첩하는 반도체 층(SE)은 보상 박막 트랜지스터 채널 영역(A2)으로 정의된다.

[0052] 게이트 전극들(G1, G2)을 포함하는 게이트 배선(GL)이 형성된 기판(SUB) 전체 표면 위에는 중간 절연막(IN)이 도포되어 있다. 이때, 게이트 배선(GL)이 형성되지 않은 도체화된 반도체 층(SE)의 영역들은 소스 영역 및 드레인 영역으로 정의된다. 구체적으로 설명하면, 구동 박막 트랜지스터 채널 영역(A1)의 일측부이며 반도체 층(SE)의 시작부는 구동 박막 트랜지스터 소스 영역(SA1)으로, 구동 박막 트랜지스터 채널 영역(A1)의 타측부는 구동 박막 트랜지스터 드레인 영역(DA1)으로 정의된다. 한편, 보상 박막 트랜지스터 채널 영역(A2)의 일측부이며, 구동 박막 트랜지스터 드레인 영역(D1)에서 연장된 부분은 보상 박막 트랜지스터 소스 영역(SA2)으로, 보상 박막 트랜지스터 채널 영역(A2)의 타측부는 보상 박막 트랜지스터 드레인 영역(DA2)으로 정의된다. 특히, 구동 박막 트랜지스터 드레인 영역(DA1)과 보상 박막 트랜지스터 소스 영역(SA2)은 반도체 층(SE)의 수평 선분부(HS)를 구성한다.

[0053] 중간 절연막(IN)에는, 구동 박막 트랜지스터 소스 영역(SA1)의 일부를 노출하는 소스 콘택홀(SH)과, 보상 박막 트랜지스터 드레인 영역(DA2)의 일부를 노출하는 드레인 콘택홀(DH)을 구비한다. 중간 절연막(IN) 위에는 소스-드레인 금속 물질로 형성된 데이터 배선(DL)이 배치되어 있다. 데이터 배선(DL)은 게이트 배선(GL)과 직교하도록 배치된다. 특히, 화소 영역에서 비 표시 영역의 비율을 줄이기 위해, 소스 전극을 별도로 형성하지 않고, 데이터 배선(DL)의 일부를 소스 전극으로 활용한다. 즉, 소스 콘택홀(SH)을 통해 노출된 반도체 층(SE)의 구동 박막 트랜지스터 소스 영역(SA1)과 접촉하는 데이터 배선(DL)의 일부가 구동 박막 트랜지스터 소스 전극(S1)이 된다. 한편, 드레인 콘택홀(DH)을 통해서 노출된 반도체 층(SE)의 보상 박막 트랜지스터 드레인 영역(DA2)과 접촉하는 드레인 전극(D2)은 별도로 배치된다. 드레인 전극(D2)은 화소 영역에서 하단부에 일정한 크기를 갖고 형성되어 있다.

[0054] 그 후, 구동 박막 트랜지스터(T1) 및 보상 박막 트랜지스터(T2)를 덮는 제1 보호막(PAS1)이 기판(SUB) 전체 표면에 도포되어 있다. 제1 보호막(PAS1) 위에는 기판(SUB) 전체 표면 대부분을 덮도록 공통 전극(COM)이 배치된다. 공통 전극(COM)의 면 저항을 낮추며, 하부에 배치된 박막 트랜지스터들(T1, T2) 및 각종 배선들과의 전기적 간섭을 차폐할 수 있도록 가급적 기판(SUB) 전체 면적의 대부분을 덮는 구조를 갖는 것이 바람직하다. 공통 전극(COM) 위에는 화소 전극(PXL)을 형성하여야 하는데, 화소 전극(PXL)과 보상 박막 트랜지스터 드레인 전극(D2)을 연결하기 위한 화소 콘택홀(PH) 부분을 제외한 거의 모든 영역을 덮도록, 공통 전극(COM)을 형성하는 것이 바람직하다.

[0055] 공통 전극(COM) 위에는 기판(SUB) 전체 표면을 덮는 제2 보호막(PAS2)이 도포되어 있다. 제2 보호막(PAS2) 및 제1 보호막(PAS1)의 일부를 제거하여 보상 박막 트랜지스터 드레인 전극(D2) 일부를 노출하는 화소 콘택홀(PH)

이 형성되어 있다. 화소 콘택홀(PH)은 드레인 콘택홀(DH)로부터 화소 영역 내측으로 일정 거리 이격한 위치에 형성된다. 제2 보호막(PAS2) 위에는 화소 콘택홀(PH)을 통해 보상 박막 트랜지스터 드레인 전극(D2)과 연결되는 화소 전극(PXL)이 형성되어 있다. 공통 전극(COM)과 화소 전극(PXL) 사이에 프린지 필드를 형성하도록 하기 위해, 화소 전극(PXL)은 다수 개의 선분 형태로 형성하는 것이 바람직하다.

[0056] 본 발명의 제1 실시 예에 의한 박막 트랜지스터 기판은, 300 내지 400PPI 정도의 고 해상도용 액정 표시장치에 적용할 수 있다. 400PPI 전후의 고 해상도를 구현하기 위해서는 화소 영역의 크기가 상당히 작아진다. 예를 들어, 화소 전극(PXL)을 구성하는 선분은 2개 혹은 3개의 수직 선분들을 구비할 수 있다.

[0057] 도 4와 같은 구조를 갖는 액정 표시장치에서 칼라 필터들을 배치할 경우, 화소 영역(AP)에 칼라 필터가 하나씩 할당하여 배치하는 것이 바람직하다. 하나의 화소 영역(AP)은 상변 측의 게이트 배선(GLn)과 하변 측의 게이트 배선(GLn+1) 각각에 배치되는 가로 방향 블랙 매트릭스들, 그리고 좌변 측의 데이터 배선(DLn)과 우변 측의 데이터 배선(DLn+1) 각각에 배치되는 세로 방향 블랙 매트릭스들에 의해 둘러싸인 구조를 갖는다. 따라서, 단위 화소 별로 하나씩 배치된 칼라 필터들을 구비할 수 있다.

[0058] 또한, 세로 방향으로 구분하여 하나의 화소 열에 동일한 색상의 칼라 필터가 하나씩 배열되도록 형성할 수도 있다. 예를 들어, 적색 칼라 필터가 첫번째 화소 열들에 공통적으로 할당되고, 청색 칼라 필터가 두번째 화소 열들에 공통적으로 할당되고, 빨강 칼라 필터가 세번째 화소 열들에 공통적으로 할당될 수 있다.

[0059] <제2 실시 예>

[0060] 제1 실시 예에 의한 박막 트랜지스터 기판의 구조는 화소 영역 내에서 비 표시 영역이 차지하는 비율을 줄여서 고 해상도용 액정 표시장치에 적용할 수 있었다. 그러나 제1 실시 예와 같은 구동 박막 트랜지스터에 직렬로 연결된 보상 박막 트랜지스터를 더 구비한 박막 트랜지스터 기판을 500PPI 이상의 초고 해상도용 액정 표시장치에 그대로 적용하는 데에는 충분하지 않다. 500PPI를 넘어 700PPI 정도의 초고 해상도 액정 표시장치에 적용할 수 있도록 비 표시 영역의 비율을 극소화한 박막 트랜지스터 기판의 구조가 필요하다. 이하의 설명에서는 제1 실시 예에서 제시한 기본 개념을 더욱 확장하여 비 표시 영역을 극소화함으로써 500 내지 700PPI 정도의 초고 해상도를 구현할 수 있는 박막 트랜지스터 기판의 구조를 제안한다.

[0061] 이하, 도 6 및 도 7을 참조하여 본 발명의 제2 실시 예에 대하여 설명한다. 도 6은 본 발명의 제2 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 7은 도 6에 도시한 보상 박막 트랜지스터를 더 구비한 박막 트랜지스터 기판에서 절취선 III-III'선을 따라 자른 단면도이다.

[0062] 도 6 및 도 7을 참조하면 본 발명의 제2 실시 예에 의한 박막 트랜지스터 기판은 구동 박막 트랜지스터(T1) 그리고 구동 박막 트랜지스터(T1)와 직렬로 연결된 보상 박막 트랜지스터(T2)를 포함한다. 단위 화소별로 보았을 때, 구동 박막 트랜지스터(T1)과 보상 박막 트랜지스터(T2)는 제1 실시 예의 것과 거의 동일하다. 즉, 'U'자 형태를 가지며, 게이트 배선(GL)과 연속으로 두 번 교차하는 반도체 층(SE)을 포함한다. 또한, 반도체 층(SE)은 데이터 배선(DL)과 일측 단부가 연결되고, 타측 단부는 화소 영역 내에 배치된다.

[0063] 특히, 제2 실시 예에서는 상하로 이웃하여 배치된 두 화소에 할당된 반도체 층(SE)들이 서로 연결된 구조를 갖는다. 이러한 구조를 갖는 이유는 화소 영역 중에서 비 발광부가 차지하는 면적 비율을 극소화하기 위함이다. 제2 실시 예는 기본적으로 제1 실시 예의 개념을 갖고 있지만, 비 발광(개구) 영역의 면적을 더 줄이기 위한 구조적 특징을 갖는 것으로 이를 중심으로 더 구체적으로 설명한다.

[0064] 매트릭스 방식으로 배열된 다수 개의 화소들의 구조를 보면, 홀수 번째 화소 행(N)과 짝수 번째 화소 행(N+1)이 서로 이웃해서 배치되어 있다. 여기서, N을 홀수로 정의한다. 홀수 번째 화소 행(N)의 게이트 배선(GL_N)과 짝수 번째 화소 행(N+1)의 게이트 배선(GL_{N+1})은 서로 인접하여 배치된다. 제1 실시 예에서 각각의 게이트 배선들이 한 화소 행에 하나씩 배치되는 반면, 제2 실시 예에서는 두 개의 게이트 배선들이 인접하여 배치되어, 이웃하는 두 화소 행의 사이마다 게이트 배선이 배치된다. 다시 말해, 홀수 번째 화소 행(N)과 짝수 번째 화소 행(N+1) 사이에는 두 개의 게이트 배선들(GL_N, GL_{N+1})이 배치되는 반면, 짝수 번째 화소 행(N+1)과 다음 홀수 번째 화소행(N+2) 사이에는 게이트 배선들이 배치되지 않는다.

[0065] N번째 화소 행에는 N번째 게이트 배선(GL_N)이 할당된다. N+1번째 화소 행에는 N번째 게이트 배선(GL_N)과 인접하여 배치된 N+1번째 게이트 배선(GL_{N+1})이 할당된다. N번째 게이트 배선(GL_N)과 N+1번째 게이트 배선(GL_{N+1})들이

데이터 배선(DL)과 교차하는 부분에 N번째 구동 박막 트랜지스터(T_{1N}) 및 N+1번째 구동 박막 트랜지스터(T_{1N+1})가 배치된다.

[0066] N번째 화소 행에 할당된 반도체 층(SE_N)은 'U'자 형태를 갖는다. 반면에 N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})은 'U'자 형태를 갖는다. 특히, 이 두 반도체 층들(SE_N , SE_{N+1})은 서로 한 몸체로 연결되어 있다.

[0067] N번째 화소 행에 할당된 반도체 층(SE_N)은, N번째 제1 수직 선분부(VS_{1N}), 수평 선분부(HS) 그리고 N번째 제2 수직 선분부(VS_{2N})를 포함한다. N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})은, N+1번째 제1 수직 선분부(VS_{1N+1}), 수평 선분부(HS) 그리고 N+1번째 제2 수직 선분부(VS_{2N+1})를 포함한다. 여기서, 수평 선분부(HS)는 N번째 화소 행에 할당된 반도체 층(SE_N)과 N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})에서 공통된 부분이다. 즉, N번째 화소 행에 할당된 반도체 층(SE_N)과 N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})은, 수평 선분부(HS)를 공통 분모로 서로 결합하여 'H'자형을 이룬다.

[0068] 단면 구조를 나타내는 도 7을 중심으로 좀 더 상세히 설명한다. 기판(SUB) 위에 반도체 층(SE)이 형성되어 있다. 반도체 층(SE)은 나중에 형성될 데이터 배선(DL)의 일부를 따라서 진행하는 제1 수직 선분부(VS_1)를 갖는다. 제1 수직 선분부(VS_1)는 나중에 형성될 게이트 배선들(GL_N , GL_{N+1})을 중심으로 N번째 화소 영역에서 N+1번째 화소 영역까지 연장되어 배치된다. 반도체 층(SE)은 N번째 화소 영역에서 게이트 배선들(GL_N , GL_{N+1})을 타고 넘어 N+1번째 화소 영역으로 연장된 제2 수직 선분부(VS_2)를 갖는다. 그리고 제1 수직 선분부(VS_1)와 제2 수직 선분부(VS_2)를 연결하는 수평 선분부(HS)를 갖는다. 수평 선분부(HS)는 N번째 게이트 배선(GL_N)과 N+1번째 게이트 배선(GL_{N+1})의 사이에 배치된다.

[0069] 반도체 층(SE)이 형성된 기판(SUB) 전체 표면 위에는, 게이트 절연 물질과 게이트 금속물질을 도포하고 패턴하여 형성된, 게이트 절연막(GI) 및 N번째 및 N+1번째 게이트 배선들(GL_N , GL_{N+1})이 배치된다. 특히, 각 게이트 배선들(GL_N , GL_{N+1})은, 각 화소당, 반도체 층(SE)과 교차하는 영역이 두 부분을 갖는다. 이렇게 반도체 층(SE)과 중첩하는 게이트 배선들(GL_N , GL_{N+1})의 부분들을 편의상 N번째 게이트 전극들(G_{1N} , G_{2N}) 및 N+1번째 게이트 전극들(G_{1N+1} , G_{2N+1})로 정의한다. 반도체 층(SE)의 제1 수직 선분부(VS_1)와 중첩하는 N번째 게이트 배선(GL_N)은 N번째 구동 박막 트랜지스터의 게이트 전극(G_{1N})으로 정의된다. 또한, 반도체 층(SE)의 제2 수직 선분부(VS_2)와 중첩하는 N번째 게이트 배선(GL_N)은 N번째 보상 박막 트랜지스터의 게이트 전극(G_{2N})으로 정의된다.

[0070] 한편, 반도체 층(SE)의 제1 수직 선분부(VS_1)와 중첩하는 N+1번째 게이트 배선(GL_{N+1})은 N+1번째 구동 박막 트랜지스터의 게이트 전극(G_{1N+1})으로 정의된다. 또한, 반도체 층(SE)의 제2 수직 선분부(VS_2)와 중첩하는 N+1번째 게이트 배선(GL_{N+1})은 N+1번째 보상 박막 트랜지스터의 게이트 전극(G_{2N+1})으로 정의된다.

[0071] 반도체 층(SE)은 게이트 절연막(GI) 및 게이트 전극들(G_{1N} , G_{2N})과 중첩하는 영역과 그렇지 않고 노출되는 영역으로 구분된다. 게이트 전극들(G_{1N} , G_{2N})과 중첩하지 않고 노출된 영역에는 불순물을 주입하여 도체화할 수 있다. 그 결과, 게이트 전극들(G_{1N} , G_{2N})과 중첩하는 반도체 층(SE)은 채널 영역들(A_{1N} , A_{1N+1} , A_{2N} , A_{2N+1})로 정의된다.

[0072] 즉, N번째 구동 게이트 전극(G_{1N})과 중첩하는 반도체 층(SE)은 N번째 구동 박막 트랜지스터 채널 영역(A_{1N})으로, N번째 보상 게이트 전극(G_{2N})과 중첩하는 반도체 층(SE)은 N번째 보상 박막 트랜지스터 채널 영역(A_{2N})으로 정의된다. 또한, N+1번째 구동 게이트 전극(G_{1N+1})과 중첩하는 반도체 층(SE)은 N+1번째 구동 박막 트랜지스터 채널 영역(A_{1N+1})으로, N+1번째 보상 게이트 전극(G_{2N+1})과 중첩하는 반도체 층(SE)은 N+1번째 보상 박막 트랜지스터 채널 영역(A_{2N+1})으로 정의된다.

[0073] 게이트 전극들(G_{1N} , G_{2N} , G_{1N+1} , G_{2N+1})을 포함하는 게이트 배선들(GL_N , GL_{N+1})이 형성된 기판(SUB) 전체 표면 위에는 중간 절연막(IN)이 도포되어 있다. 이때, 게이트 배선들(GL_N , GL_{N+1})이 형성되지 않은 도체화 된 반도체 층(SE)의 영역들은 소스 영역 및 드레인 영역으로 정의된다.

[0074] 구체적으로 설명하면, N번째 구동 박막 트랜지스터 채널 영역(A_{1N})의 일측부이며 반도체 층(SE)의 시작부는 N번째 구동 박막 트랜지스터 소스 영역(SA_{1N})으로, N번째 구동 박막 트랜지스터 채널 영역(A_{1N})의 타측부는 N번째 구동 박막 트랜지스터 드레인 영역(DA_{1N})으로 정의된다. 한편, N번째 보상 박막 트랜지스터 채널 영역(A_{2N})의 일측부이며, N번째 구동 박막 트랜지스터 드레인 영역(D_{1N})에서 연장된 부분은 N번째 보상 박막 트랜지스터 소스 영역(SA_{2N})으로, N번째 보상 박막 트랜지스터 채널 영역(A_{2N})의 타측부는 N번째 보상 박막 트랜지스터 드레인 영역(DA_{2N})으로 정의된다.

[0075] 또한, N+1번째 구동 박막 트랜지스터 채널 영역(A_{1N+1})의 일측부이며 반도체 층(SE)의 시작부는 N+1번째 구동 박막 트랜지스터 소스 영역(SA_{1N+1})으로, N+1번째 구동 박막 트랜지스터 채널 영역(A_{1N+1})의 타측부는 N+1번째 구동 박막 트랜지스터 드레인 영역(DA_{1N+1})으로 정의된다. 한편, N+1번째 보상 박막 트랜지스터 채널 영역(A_{2N+1})의 일측부이며, N+1번째 구동 박막 트랜지스터 드레인 영역(D_{1N+1})에서 연장된 부분은 N+1번째 보상 박막 트랜지스터 소스 영역(SA_{2N+1})으로, N+1번째 보상 박막 트랜지스터 채널 영역(A_{2N+1})의 타측부는 N+1번째 보상 박막 트랜지스터 드레인 영역(DA_{2N+1})으로 정의된다.

[0076] 특히, N번째 구동 박막 트랜지스터 드레인 영역(DA_{1N})과 N번째 보상 박막 트랜지스터 소스 영역(SA_{2N})은 반도체 층(SE)의 수평 선분부(HS)를 구성한다. 마찬가지로 N+1번째 구동 박막 트랜지스터 드레인 영역(DA_{1N+1})과 N+1번째 보상 박막 트랜지스터 소스 영역(SA_{2N+1})은 반도체 층(SE)의 수평 선분부(HS)를 구성한다. 즉, 반도체 층(SE)은 'U'자 형과 'U'자형이 서로 겹치면서 겹치는 부분이 반도체 층(SE)의 수평 선분부(HS)를 형성한다.

[0077] 중간 절연막(IN)에는, N번째 구동 박막 트랜지스터 소스 영역(SA_{1N})의 일부를 노출하는 N번째 소스 콘택홀(SH_N)과, N번째 보상 박막 트랜지스터 드레인 영역(DA_{2N})의 일부를 노출하는 N번째 드레인 콘택홀(DH_N)을 구비한다. 또한, N+1번째 구동 박막 트랜지스터 소스 영역(SA_{1N+1})의 일부를 노출하는 N+1번째 소스 콘택홀(SH_{N+1})과, N+1번째 보상 박막 트랜지스터 드레인 영역(DA_{2N+1})의 일부를 노출하는 N+1번째 드레인 콘택홀(DH_{N+1})을 구비한다.

[0078] 중간 절연막(IN) 위에는 소스-드레인 금속 물질로 형성된 데이터 배선(DL)이 배치되어 있다. 데이터 배선(DL)은 게이트 배선(GL)과 직교하도록 배치된다. 특히, 화소 영역에서 비 표시 영역의 비율을 줄이기 위해, 소스 전극을 별도로 형성하지 않고, 데이터 배선(DL)의 일부를 소스 전극으로 활용한다. 즉, N번째 소스 콘택홀(SH_N)을 통해 노출된 반도체 층(SE)의 N번째 구동 박막 트랜지스터 소스 영역(SA_{1N})과 접촉하는 데이터 배선(DL)의 일부가 N번째 구동 박막 트랜지스터 소스 전극($S1_N$)이 된다. 마찬가지로, N+1번째 소스 콘택홀(SH_{N+1})을 통해 노출된 반도체 층(SE)의 N+1번째 구동 박막 트랜지스터 소스 영역(SA_{1N+1})과 접촉하는 데이터 배선(DL)의 일부가 N+1번째 구동 박막 트랜지스터 소스 전극($S1_{N+1}$)이 된다.

[0079] 한편, N번째 드레인 콘택홀(DH_N)을 통해서 노출된 반도체 층(SE)의 N번째 보상 박막 트랜지스터 드레인 영역(DA_{2N})과 접촉하는 N번째 드레인 전극($D2_N$)은 별도로 배치된다. N번째 드레인 전극($D2_N$)은 N번째 화소 영역의 하단부에서 상단부로 연장되며 일정한 크기를 갖고 형성되어 있다. 또한, N+1번째 드레인 콘택홀(DH_{N+1})을 통해서 노출된 반도체 층(SE)의 N+1번째 보상 박막 트랜지스터 드레인 영역(DA_{2N+1})과 접촉하는 N+1번째 드레인 전극($D2_{N+1}$)은 별도로 배치된다. N+1번째 드레인 전극($D2_{N+1}$)은 N+1번째 화소 영역의 상단부에서 하단부로 연장되며 일정한 크기를 갖고 형성되어 있다.

[0080] 그 후, 구동 박막 트랜지스터들($T1_N$, $T1_{N+1}$) 및 보상 박막 트랜지스터들($T2_N$, $T2_{N+1}$)을 덮는 제1 보호막(PAS1)이 기판(SUB) 전체 표면에 도포되어 있다. 제1 보호막(PAS1) 위에는 기판(SUB) 전체 표면 대부분을 덮도록 공통 전극(COM)이 배치된다. 공통 전극(COM)의 면 저항을 낮추며, 하부에 배치된 박막 트랜지스터들($T1_N$, $T1_{N+1}$, $T2_N$, $T2_{N+1}$) 및 각종 배선들과의 전기적 간섭을 차폐할 수 있도록 가급적 기판(SUB) 전체 면적의 대부분을 덮는 구조를 갖는 것이 바람직하다. 공통 전극(COM) 위에는 화소 전극(PXL)을 형성하여야 하는데, 화소 전극(PXL)과 보상 박막 트랜지스터 드레인 전극들($D2_N$, $D2_{N+1}$)을 연결하기 위한 화소 콘택홀들(PH_N , PH_{N+1}) 부분을 제외한 거의

모든 영역을 덮도록, 공통 전극(COM)을 형성하는 것이 바람직하다.

[0081] 공통 전극(COM) 위에는 기판(SUB) 전체 표면을 덮는 제2 보호막(PAS2)이 도포되어 있다. 제2 보호막(PAS2) 및 제1 보호막(PAS1)의 일부를 제거하여 보상 박막 트랜지스터 드레인 전극들(D_{2N}, D_{2N+1}) 일부를 노출하는 화소 콘택홀들(PH_N, PH_{N+1})이 형성되어 있다. 화소 콘택홀들(PH_N, PH_{N+1})은 드레인 콘택홀들(DH_N, DH_{N+1})로부터 화소 영역 내측으로 일정 거리 이격한 위치에 형성된다. 제2 보호막(PAS2) 위에는 화소 콘택홀들(PH_N, PH_{N+1})을 통해 보상 박막 트랜지스터 드레인 전극들(D_{2N}, D_{2N+1})과 연결되는 화소 전극(PXL)이 형성되어 있다. 공통 전극(COM)과 화소 전극(PXL) 사이에 프린지 필드를 형성하도록 하기 위해, 화소 전극(PXL)은 다수 개의 선분 형태로 형성하는 것이 바람직하다.

[0082] 본 발명의 제2 실시 예에서는, 게이트 배선들이 홀수번째 화소 행과 짝수번째 화소 행을 한 단위로 하여 배치된다. 따라서, 각 화소 행마다 게이트 배선이 하나씩 배치된 제1 실시 예에 비해서 화소 행 단위로 보았을 때, 발광 영역이 차지하는 비율이 좀 더 넓어진다. 따라서, 500PPI 내지 700PPI의 초고 해상도용 액정 표시장치에 적용하더라도, 충분한 개구율을 확보할 수 있다.

<제3 실시 예>

[0083] 하지만, 800PPI 이상 1,000PPI 정도의 초고 해상도를 구현하기 위해서는 좀 더 개구 영역을 확보할 필요가 있다. 이하, 도 8 및 도 9를 참조하여, 초고 해상도에서 개구율을 극대화하기 위한, 본 발명의 제3 실시 예에 의한 박막 트랜지스터 기판을 설명한다. 도 8은 본 발명의 제3 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기판을 나타내는 평면도이다. 도 9는 도 7에 도시한 보상 박막 트랜지스터를 더 구비한 박막 트랜지스터 기판에서 절취선 IV-IV'선을 따라 자른 단면도이다.

[0084] [0085] 도 8 및 도 9를 참조하면, 제3 실시 예에 의한 보상 박막 트랜지스터를 더 구비한 액정 표시장치용 박막 트랜지스터 기판은, 구동 박막 트랜지스터(T1) 그리고 구동 박막 트랜지스터(T1)와 직렬로 연결된 보상 박막 트랜지스터(T2)를 포함한다. 단위 화소별로 보았을 때, 구동 박막 트랜지스터(T1)와 보상 박막 트랜지스터(T2)는 제2 실시 예의 것과 거의 동일하다.

[0086] 단면 구조를 나타내는 도 9를 중심으로, 제3 실시 예에 의한 박막 트랜지스터 기판의 구조를 상세히 설명한다. 기판(SUB) 위에 반도체 층(SE)이 형성되어 있다. 반도체 층(SE)은 홀수 번째 화소 행과 짝수 번째 화소 행 사이에서 'H'자 형태로 배치된다. 특히, 홀수 번째(N) 화소 행에 할당된 구동 박막 트랜지스터(T_{1N}) 및 보상 박막 트랜지스터(T_{2N})는 'U'자 형태를 갖고 홀수 번째 게이트 배선(GL_N)을 두 차례 중복하면서 직렬로 연결된다. 한편, 짝수 번째(N+1) 화소 행에 할당된 구동 박막 트랜지스터(T_{1N+1}) 및 보상 박막 트랜지스터(T_{2N+1})는 'U'자 형태를 갖고 짝수 번째 게이트 배선(GL_{N+1})을 두 차례 중복하면서 직렬로 연결된다.

[0087] 홀수 번째 화소 행(N)과 짝수 번째 화소 행(N+1)이 서로 이웃해서 배치되어 있다. 여기서, 편의상 N을 홀수로 정의한다. 홀수 번째 화소 행(N)의 게이트 배선(GL_N)과 짝수 번째 화소 행(N+1)의 게이트 배선(GL_{N+1})은 서로 인접하여 배치된다. 제3 실시 예에서도 제2 실시 예와 마찬가지로 두 개의 게이트 배선들이 인접하여 배치되며, 이웃하는 두 화소 행의 사이마다 게이트 배선이 배치된다. 홀수 번째 화소 행(N)과 짝수 번째 화소 행(N+1) 사이에는 두 개의 게이트 배선들(GL_N, GL_{N+1})이 배치되는 반면, 짝수 번째 화소 행(N+1)과 다음 홀수 번째 화소행(N+2) 사이에는 게이트 배선들이 배치되지 않는다.

[0088] N번째 화소 행에는 N번째 게이트 배선(GL_N)이 할당된다. N+1번째 화소 행에는 N번째 게이트 배선(GL_N)과 인접하여 배치된 N+1번째 게이트 배선(GL_{N+1})이 할당된다. N번째 게이트 배선(GL_N)과 N+1번째 게이트 배선(GL_{N+1})들이 데이터 배선(DL)과 교차하는 부분에 N번째 구동 박막 트랜지스터(T_{1N}) 및 N+1번째 구동 박막 트랜지스터(T_{1N+1})가 배치된다.

[0089] N번째 화소 행에 할당된 반도체 층(SE_N)은 'U'자 형태를 갖는다. 반면에 N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})은 'U'자 형태를 갖는다. 특히, 이 두 반도체 층들(SE_N, SE_{N+1})은 서로 한 물체로 연결되어 있다.

[0090] N번째 화소 행에 할당된 반도체 층(SE_N)은, N번째 제1 수직 선분부(VS_{1N}), 수평 선분부(HS) 그리고 N번째 제2 수직 선분부(VS_{2N})을 포함한다. N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})은, N+1번째 제1 수직 선분부

(VS_{1,N+1}), 수평 선분부(HS) 그리고 N+1번째 제2 수직 선분부(VS_{2,N+1})를 포함한다. 여기서, 수평 선분부(HS)는 N 번째 화소 행에 할당된 반도체 층(SE_N)과 N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})에서 공통된 부분이다. 즉, N번째 화소 행에 할당된 반도체 층(SE_N)과 N+1번째 화소 행에 할당된 반도체 층(SE_{N+1})은, 수평 선분부(HS)를 공통 분모로 서로 결합하여 'H'자형을 이룬다.

[0091] 다르게 표현하면, 상하로 이웃하여 배치된 홀수 번째 화소 영역과 짹수 번째 화소 영역 사이에는, 홀수 번째 게이트 배선(GL_N)과 짹수 번째 게이트 배선(GL_{N+1})이 배치된다. 그리고 홀수 번째 게이트 배선(GL_N)과 짹수 번째 게이트 배선(GL_{N+1}) 그리고 데이터 배선(DL)이 교차하는 부분에는 'H' 자형 반도체 층(SE)이 배치된다.

[0092] 'H' 자형 반도체 층(SE)은 제1 수직 선분부(VS1), 수평 선분부(HS) 및 제2 수직 선분부(VS2)를 포함한다. 제1 수직 선분부(VS1)는 데이터 배선(DL)의 N번째 화소 영역부에서 시작하여 홀수 번째 게이트 배선(GL_N)과 짹수 번째 게이트 배선(GL_{N+1})을 모두 중첩하여 N+1번째 화소 영역부까지 연장된다. 즉, 제1 수직 선분부(VS1)는 N번째 제1 수직 선분부(VS_{1,N})와 N+1번째 제1 수직 선분부(VS_{1,N+1})로 이루어져 있다. 제1 수직 선분부(VS1)의 일측 단부는, N번째 화소 영역에서 데이터 배선(DL)의 일부를 노출하는 N번째 소스 콘택홀(SH_N)을 통해 데이터 배선(DL)과 접촉한다. 제1 수직 선분부(VS1)의 타측 단부는, N+1번째 화소 영역에서 데이터 배선(DL)의 일부를 노출하는 N+1번째 소스 콘택홀(SH_{N+1})을 통해 데이터 배선(DL)과 접촉한다.

[0093] 제2 수직 선분부(VS2)는 N번째 화소 영역부에서 시작하여 홀수 번째 게이트 배선(GL_N)과 짹수 번째 게이트 배선(GL_{N+1})을 모두 중첩하여 N+1번째 화소 영역부까지 연장된다. 즉, 제2 수직 선분부(VS2)는 N번째 제2 수직 선분부(VS_{2,N})와 N+1번째 제2 수직 선분부(VS_{2,N+1})로 이루어져 있다. 제2 수직 선분부(VS2)의 일측 단부는, N번째 화소 영역에 배치된다. 그리고 제2 수직 선분부(VS2)의 일측 단부는 N번째 드레인 콘택홀(DH_N)에 의해 N번째 드레인 전극(D_N)과 접촉한다. 제2 수직 선분부(VS2)의 타측 단부는, N+1번째 화소 영역에 배치된다. 그리고 제2 수직 선분부(VS2)의 타측 단부는 N+1번째 드레인 콘택홀(DH_{N+1})에 의해 N+1번째 드레인 전극(D_{N+1})과 접촉한다.

[0094] 수평 선분부(HS)는 제1 수직 선분부(VS1)과 제2 수직 선분부(VS2)를 연결한다. 특히, 홀수 번째 게이트 배선(GL_N)과 짹수 번째 게이트 배선(GL_{N+1}) 사이에 배치되면서, 제1 수직 선분부(VS1)과 제2 수직 선분부(VS2)를 연결하는 형태를 갖는다.

[0095] 제3 실시 예에서는 800PPI 이상의 초고 해상도용 박막 트랜지스터 기판에 관한 것으로, 제2 실시 예에서보다 개구 영역을 좀 더 넓게 확보하는 구조를 갖는다. 이를 위해, 제3 실시 예가 제2 실시 예와 다른 점은, 드레인 전극들(D_N, D_{N+1})의 구조 및 화소 콘택홀들(PH_N, PH_{N+1})의 위치에 있다.

[0096] 제3 실시 예에서는, N번째 보상 박막 트랜지스터(T_{2,N})를 구성하는 드레인 전극(D_{2,N})이, N번째 보상 박막 트랜지스터의 드레인 영역(DA_{2,N})을 노출하는 N번째 드레인 콘택홀(DH_N)을 통해, N번째 보상 박막 트랜지스터의 드레인 영역(DA_{2,N})과 접촉한다. 이와 동시에 N번째 게이트 배선(GL_N)의 상부와 중첩하도록 연장되어 형성된다. 제2 실시 예에서는 N번째 보상 박막 트랜지스터(T_{2,N})를 구성하는 드레인 전극(D_{2,N})이 N번째 드레인 콘택홀(DH_N)을 통해 N번째 보상 박막 트랜지스터의 드레인 영역(DA_{2,N})과 접촉하면서, N번째 화소 영역 쪽으로 연장되어 형성되어 있다. 하지만, 제3 실시 예에서는, N번째 드레인 전극(D_{2,N})을 N번째 게이트 배선(GL_N)과 중첩하도록 형성하여, 화소 영역에서 개구 영역의 비율을 더 확보하였다.

[0097] 따라서, N번째 보상 박막 트랜지스터(T_{2,N})를 구성하는 N번째 드레인 전극(D_{2,N})을 노출하는 N번째 화소 콘택홀(PH_N) 역시 N번째 게이트 배선(GL_N)의 상부에 형성된다. N번째 게이트 배선(GL_N)이 배치된 영역에는 N+1번째 게이트 배선(GL_{N+1}) 및 반도체 층의 수평 선분부(HS)가 배치되므로, N번째 드레인 콘택홀(DH_N)과 N번째 화소 콘택홀(PH_N) 사이의 이격 거리를 충분히 확보할 수 있다.

[0098] 또한, N+1번째 보상 박막 트랜지스터(T_{2,N+1})를 구성하는 드레인 전극(D_{2,N+1})도 N+1번째 보상 박막 트랜지스터의 드레인 영역(DA_{2,N+1})을 노출하는 N+1번째 드레인 콘택홀(DH_{N+1})을 통해 N+1번째 보상 박막 트랜지스터의 드레인

영역($DA2_{N+1}$)과 접촉하면서, $N+1$ 번째 게이트 배선(GL_N)의 상부와 중첩하도록 연장되어 형성된다. 제2 실시 예에서는 $N+1$ 번째 보상 박막 트랜지스터($T2_{N+1}$)를 구성하는 드레인 전극($D2_{N+1}$)이 $N+1$ 번째 드레인 콘택홀(DH_{N+1})을 통해 $N+1$ 번째 보상 박막 트랜지스터의 드레인 영역($DA2_{N+1}$)과 접촉하면서, $N+1$ 번째 화소 영역 쪽으로 연장되어 형성되어 있다. 하지만, 제3 실시 예에서는, $N+1$ 번째 드레인 전극($D2_{N+1}$)을 $N+1$ 번째 게이트 배선(GL_{N+1})과 중첩하도록 형성하여, 화소 영역에서 개구 영역의 비율을 더 확보하였다.

[0099] 따라서, $N+1$ 번째 보상 박막 트랜지스터($T2_{N+1}$)를 구성하는 $N+1$ 번째 드레인 전극($D2_{N+1}$)을 노출하는 $N+1$ 번째 화소 콘택홀(PH_{N+1}) 역시 $N+1$ 번째 게이트 배선(GL_{N+1})의 상부에 형성된다. $N+1$ 번째 게이트 배선(GL_{N+1})이 배치된 영역에는 N 번째 게이트 배선(GL_N) 및 반도체 층의 수평 선분부(HS)가 배치되므로, $N+1$ 번째 드레인 콘택홀(DH_{N+1})과 $N+1$ 번째 화소 콘택홀(PH_{N+1}) 사이의 이격 거리를 충분히 확보할 수 있다.

[0100] N 번째 화소 전극(PXL_N)은 N 번째 화소 콘택홀(PH_N)을 통해 N 번째 드레인 전극($D2_N$)과 접촉하고, N 번째 화소 영역으로 연장된 선분 형태를 갖는다. 또한, $N+1$ 번째 화소 전극(PXL_{N+1})은 $N+1$ 번째 화소 콘택홀(PH_{N+1})을 통해 $N+1$ 번째 드레인 전극($D2_{N+1}$)과 접촉하고, $N+1$ 번째 화소 영역으로 연장된 선분 형태를 갖는다. 800PPI 정도의 초고 해상도에서는 화소 전극들(PXL_N , PXL_{N+1})은 단일 선분 형태를 가질 수도 있다.

[0101] 본 발명의 제2 및 제3 실시 예에서는, 홀수 번째 게이트 배선과 짝수 번째 게이트 배선을, 홀수 번째 화소 행과 짝수 번째 화소 행의 사이에 서로 인접하도록 배치한다. 또한, 박막 트랜지스터를 구성하는 반도체 층을 하나의 물체로 형성함으로써, 화소 영역에서 박막 트랜지스터가 차지하는 비 표시 영역의 비율을 현저히 낮출 수 있다. 따라서, 500PPI 이상의 초고 해상도용 박막 트랜지스터 기판을 구현할 때 충분한 개구율을 확보할 수 있다. 더욱이, 제3 실시 예에서는 화소 전극을 비 표시 영역인 게이트 배선 쪽으로 연장하고, 드레인 전극과 화소 전극을 연결하는 화소 콘택홀을 게이트 배선과 중첩하는 위치에 형성함으로써, 800PPI 이상의 초고 해상도용 박막 트랜지스터 기판을 구현할 때 충분한 개구율을 확보할 수 있다.

[0102] 도 6과 도 8에서 점선 네모로 표시한 부분이 개구 영역(AP)이다. 도 6에서는 개구 영역(AP)이 드레인 콘택홀(DH), 드레인 전극($D2$) 그리고 화소 콘택홀(PH)이 차지하는 공간을 제외하고 형성된다. 그리고 드레인 콘택홀(DH), 드레인 전극($D2$) 그리고 화소 콘택홀(PH)이 게이트 배선(GL)보다 화소 영역쪽으로 일부 침범하고 있어, 그만큼 화소 영역 내에서 개구 영역(AP)이 차지하는 비율이 줄어든다. 반면, 도 8에서는 드레인 콘택홀(DH), 드레인 전극($D2$) 그리고 화소 콘택홀(PH)이 게이트 배선들(GL_N , GL_{N+1})이 형성되는 공간과 중첩되어 형성되므로, 개구 영역(AP)이 화소 영역 대부분을 차지하여, 개구율을 최대한으로 확보할 수 있다.

[0103] 도 6과 같은 구조를 갖는 액정 표시장치에서 칼라 필터들을 배치할 경우, 화소 영역(AP)에 칼라 필터가 하나씩 할당하여 배치할 수 있다. 예를 들어, 제1 실시 예와 동일한 방식으로 배치될 수 있다. 하지만, 제2 및 제3 실시 예들에 의한 액정 표시장치는 500PPI 이상의 초고 해상도에 적용하기 위한 화소 구조로서, 빛을 투과하는 개구 영역이 차지하는 비율이 상당히 줄어든 구조이다. 따라서, 화면의 밝기를 높이기 위해 적색, 녹색 및 청색 칼라 필터들 이외에 백색 칼라 필터를 더 구비한 4-픽셀 구조를 가질 수 있다. 이 경우, 색상 표시의 효율성을 높이고 무라 방지를 위해 도 10에 도시한 것과 같은 방식으로 칼라 필터들을 배치할 수 있다.

[0104] 도 10은 본 발명의 제2 및 제3 실시 예들에서 화소들에 할당된 칼라 필터들의 배치 구조의 일 예를 나타내는 평면도이다. 도 10에 도시한 바와 같이, 2×2 행렬 단위를 하나로 하여 4개의 칼라 필터들, 즉, 적색 칼라 필터(CFR), 녹색 칼라 필터(CFG), 청색 칼라 필터(CFB) 및 백색 칼라 필터(CFW)들이 배치될 수 있다.

[0105] 그런데 두 개의 게이트 배선들이 서로 인접하여 배치되므로, 열 방향으로 인접한 두 개의 화소 영역(AP)들이 상변 측 두 개의 게이트 배선들(GL_N 및 GL_{N+1})과 하변 측 두 개의 게이트 배선들(GL_{N+2} 및 GL_{N+3})에 배치되는 가로 방향 블랙 매트릭스(BM)들, 그리고 좌변 측의 데이터 배선(DL_N)과 우변 측의 데이터 배선(DL_{N+1}) 각각에 배치되는 세로 방향 블랙 매트릭스(BM)들에 의해 둘러싸인 구조를 갖는다.

[0106] 따라서, 열 방향으로 이웃하는 두 개의 화소 영역들 사이에는 블랙 매트릭스가 존재하지 않는다. 예를 들어, 도 10에서 적색 칼라 필터(CFR)와 청색 칼라 필터(CFB) 사이 그리고, 녹색 칼라 필터(CFG)와 백색 칼라 필터(CFW) 사이에는 블랙 매트릭스가 배치되지 않는다. 따라서, 블랙 매트릭스가 존재하지 않는 영역(A)에서 색상 혼색이 발생할 수 있다. 그 결과, 색상 시야각이 현저히 좁아지는 문제가 발생할 수 있다.

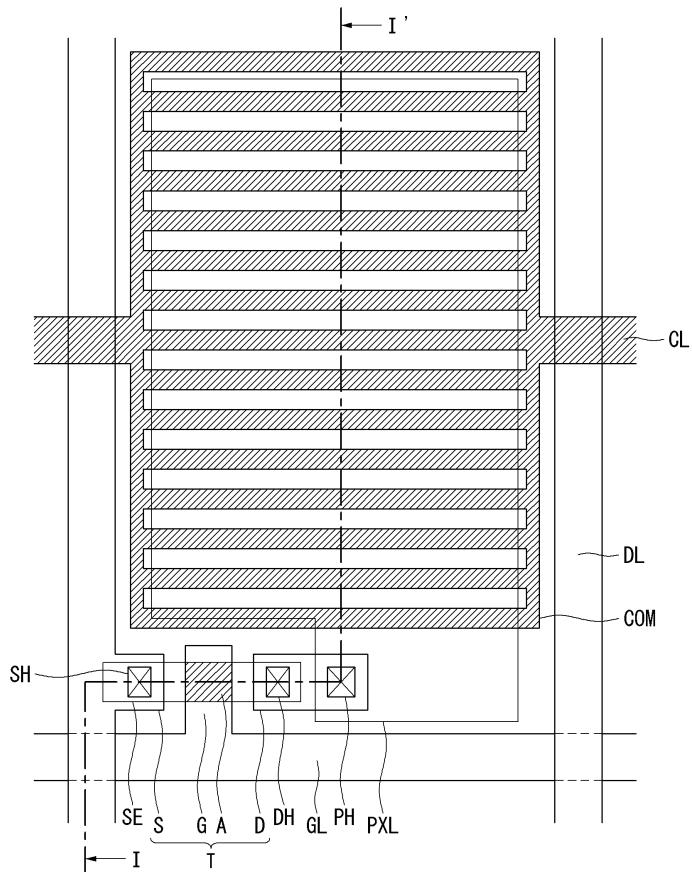
- [0107] 본 발명에서 이러한 문제를 해결하기 위해, 도 11에 도시한 것과 같은, 바람직한 칼라 필터 배열을 제안한다. 도 11은 본 발명의 제2 및 제3 실시 예에서 화소들에 할당된 칼라 필터들의 배치 구조의 다른 예를 나타내는 평면도이다.
- [0108] 두 개의 게이트 배선들이 서로 인접하여 배치되므로, 열 방향으로 인접한 두 개의 화소 영역(AP)들이 상변 측 두 개의 게이트 배선들(GLN 및 GLN+1)과 하변 측 두 개의 게이트 배선들(GLN+2 및 GLN+3)에 배치되는 가로 방향 블랙 매트릭스(BM)들, 그리고 좌변 측의 데이터 배선(DLn)과 우변 측의 데이터 배선(DLn+1) 각각에 배치되는 세로 방향 블랙 매트릭스(BM)들에 의해 둘러싸인 구조를 갖는다.
- [0109] 이와 같이 블랙 매트릭스(BM)으로 둘러싸여 서로 열 방향으로 인접한 두 개의 화소 영역(AP)들에 동일한 칼라 필터를 배치하는 것이 바람직하다. 예를 들어, 상변 측 두 개의 게이트 배선들(GLN 및 GLN+1)과 하변 측 두 개의 게이트 배선들(GLN+2 및 GLN+3)에 배치되는 가로 방향 블랙 매트릭스(BM)들 사이에 배치된 두 행의 화소 영역들(AP)에, 각 열별로 적색 칼라 필터(CFR), 녹색 칼라 필터(CFG), 청색 칼라 필터(CFB) 및 백색 칼라 필터(CFW)를 행 방향으로 반복하여 배치할 수 있다.
- [0110] 그 결과, 블랙 매트릭스(BM) 사이에 동일한 칼라 필터들이 존재하게 되어, 색상이 서로 다른 화소 사이에서의 혼색이 발생하지 않는다. 또한, 색상 시야각도 광 시야각으로 확보할 수 있다.
- [0111] 특히, 백색 칼라 필터(CFW)를 더 구비한 경우, 액정 표시장치 전체 면적에 걸쳐서 칼라 필터들의 배치 구조는, 도 12에 도시한 바와 같이, 서로 어긋나게 배치하는 것이 바람직하다. 도 12는 본 발명에 의한 액정 표시장치에서 칼라 필터의 배치 구조를 나타낸 평면도이다.
- [0112] 예를 들어, 제1 실시 예에서 설명한 것과 같이, 동일한 열에 배치된 화소 영역들에 동일한 칼라 필터를 배치할 경우, 백색 칼라 필터(CFW)가 어느 한 열에 배치된 모든 화소 영역(AP)들에 할당되는데, 이 경우, 그 열만 유독 밝기가 도드라져 보이는 문제가 발생한다. 즉, RGBW 방식의 칼라 필터들을 할당할 경우, 색상 표현의 효율을 최적화하고, 휘도 불균일한 배치로 인해 발생할 수 있는 무라(mura)가 발생하지 않도록 하기 위해 행 방향뿐 아니라 열 방향으로도 이웃하는 칼라 필터가 서로 다른 색상이 할당되도록 배치하는 것이 바람직하다.
- [0113] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위 내에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명은 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구 범위에 의해 정해져야만 할 것이다.

부호의 설명

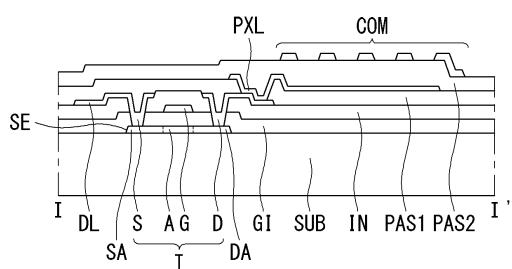
- [0114] T: 박막 트랜지스터 SUB: 기판
 GL: 게이트 배선 CL: 공통 배선
 DL: 데이터 배선 PXL: 화소 전극
 COM: 공통 전극 T1: 구동 박막 트랜지스터
 T2: 보상 박막 트랜지스터 BM: 블랙 매트릭스
 G, G1, G2: 게이트 전극 S, S1, S2: 소스 전극
 D, D1, D2: 드레인 전극 A, A1, A2: 반도체 채널 층
 GI: 게이트 절연막 PAS: 보호막
 SH: 소스 콘택홀 SA: 소스 영역
 DH: 드레인 콘택홀 DA: 드레인 영역
 PH: 화소 콘택홀 IL: 중간 절연막
 PAS1: 제1 보호막 PAS2: 제2 보호막

도면

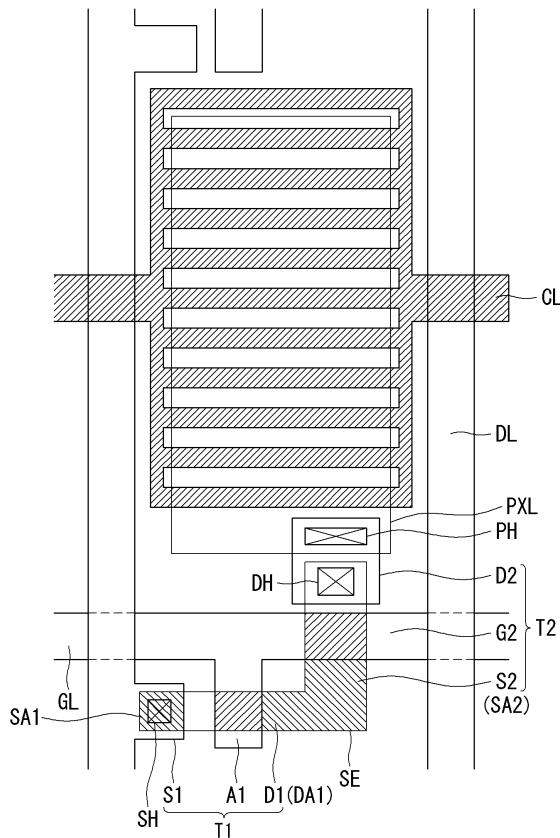
도면1



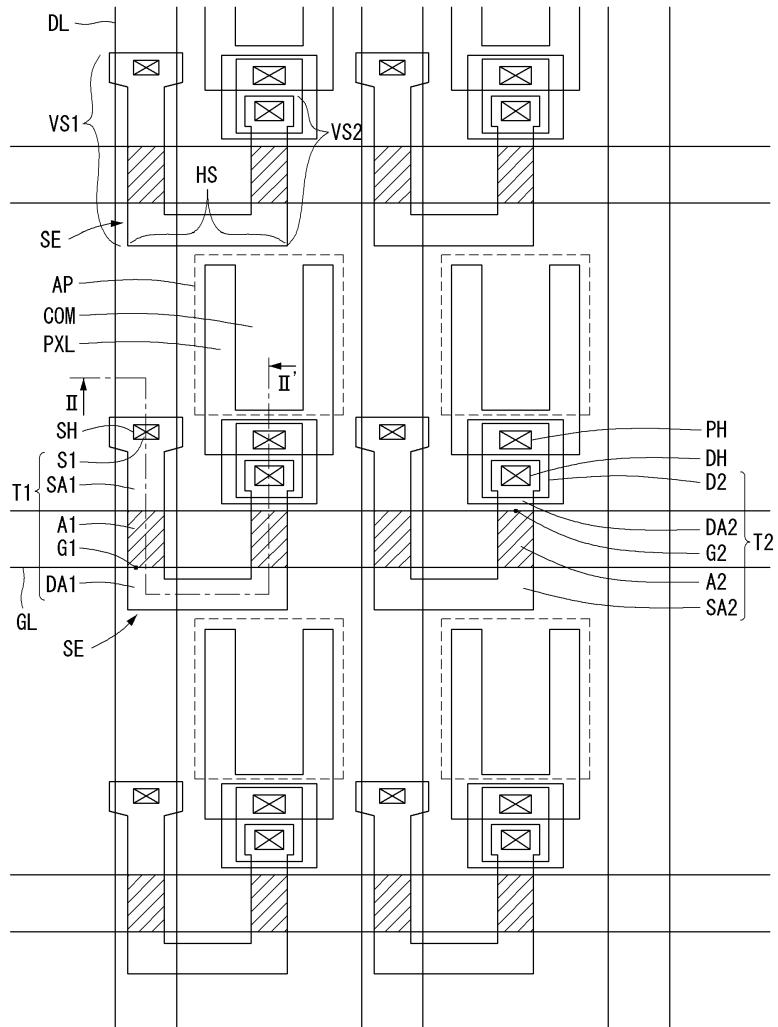
도면2



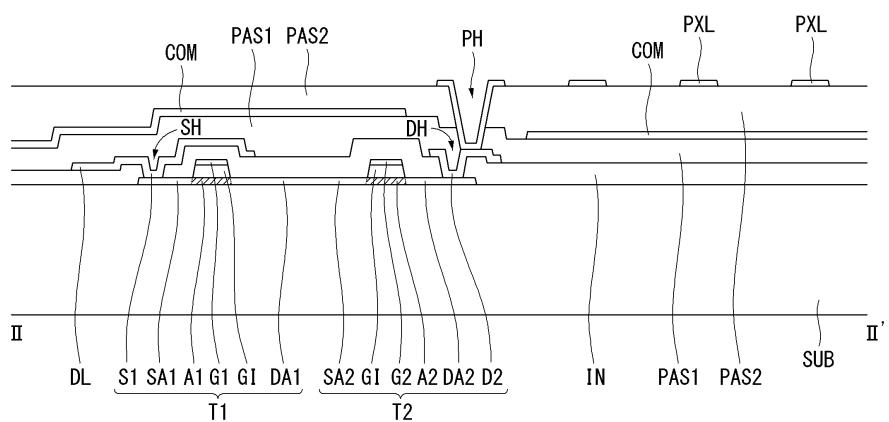
도면3



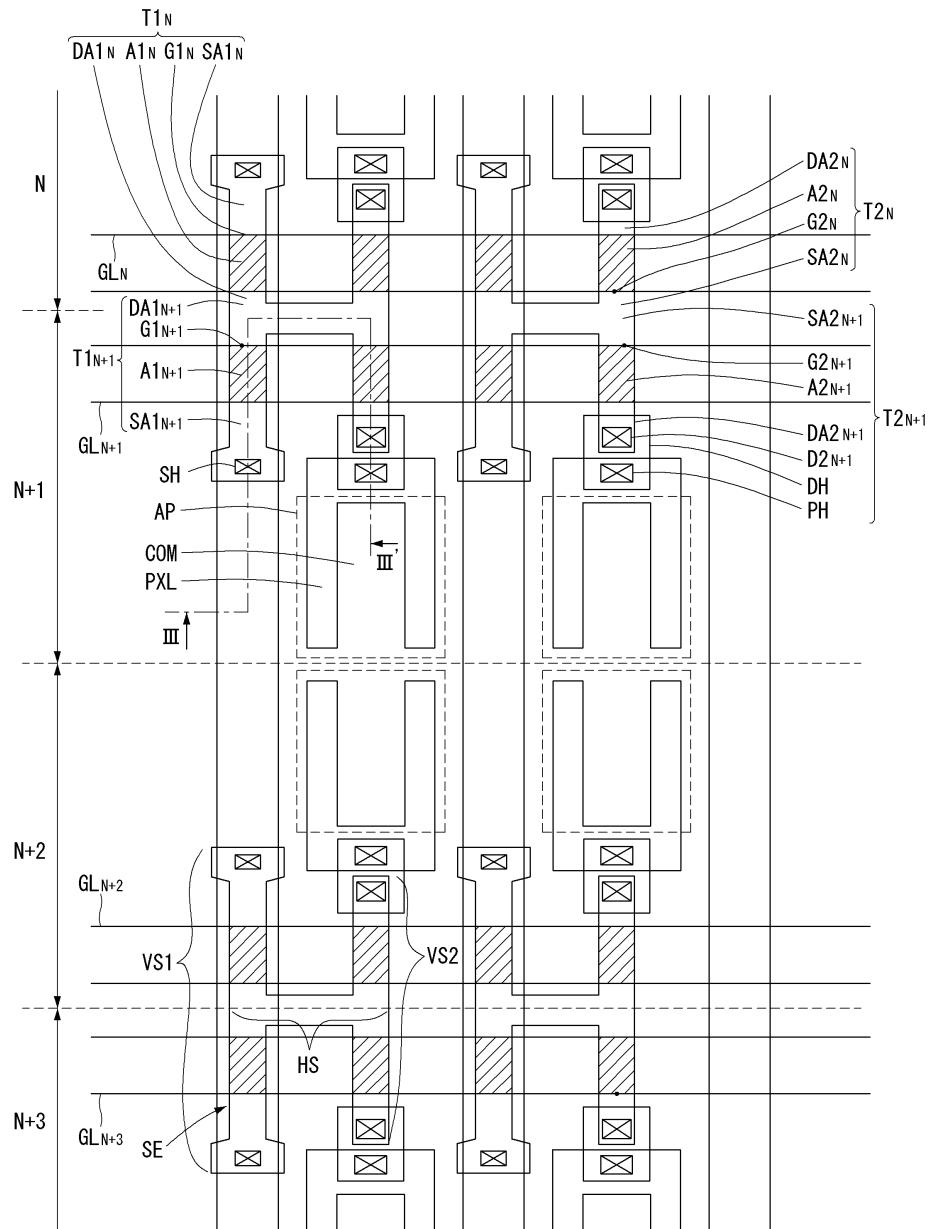
도면4



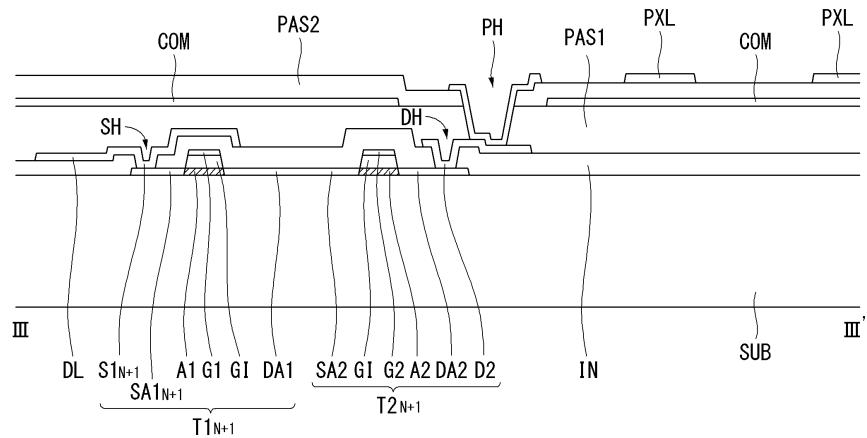
도면5



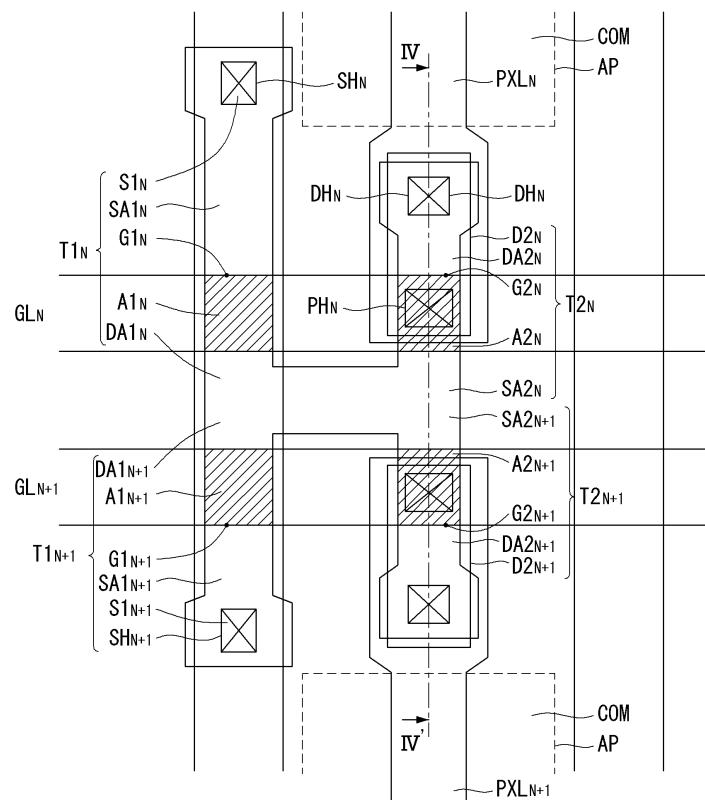
도면6



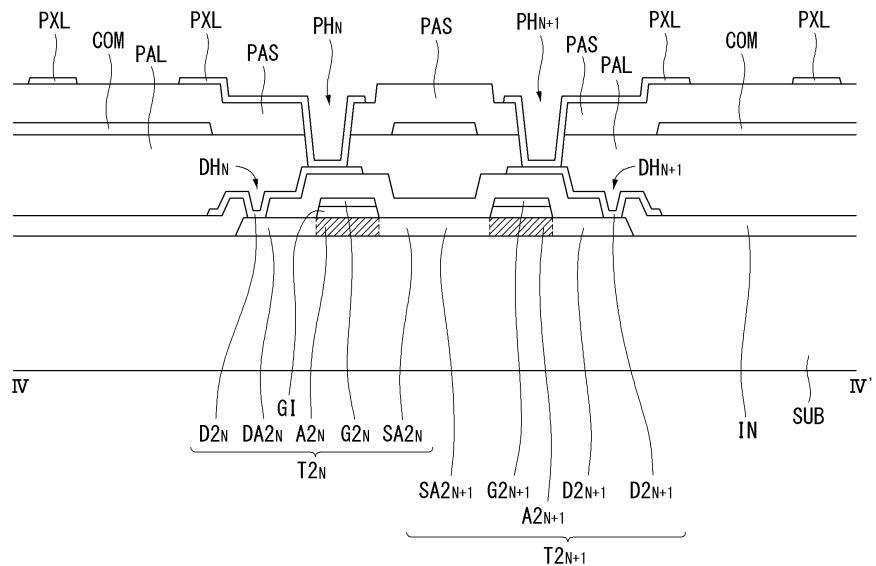
도면7



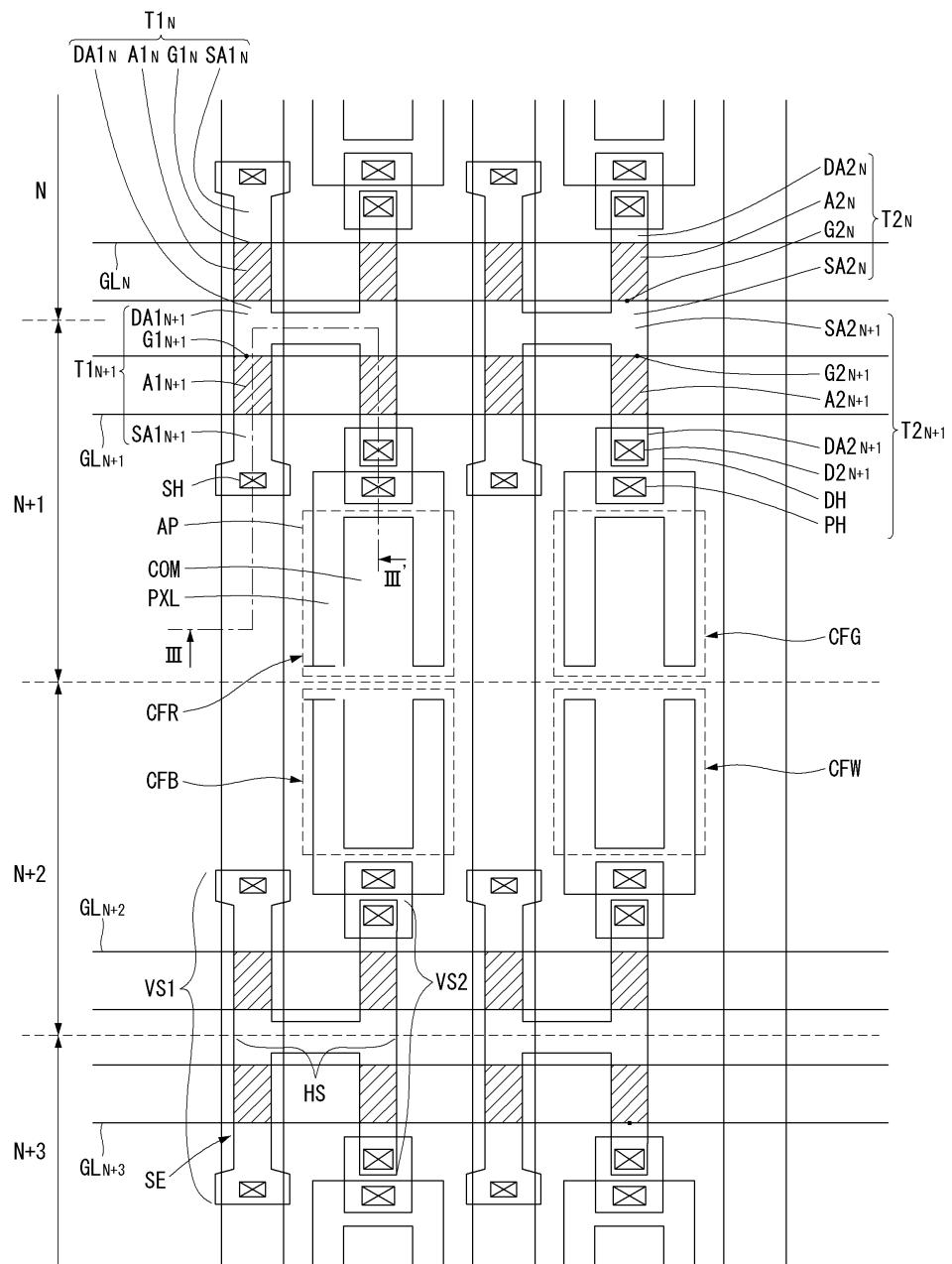
도면8



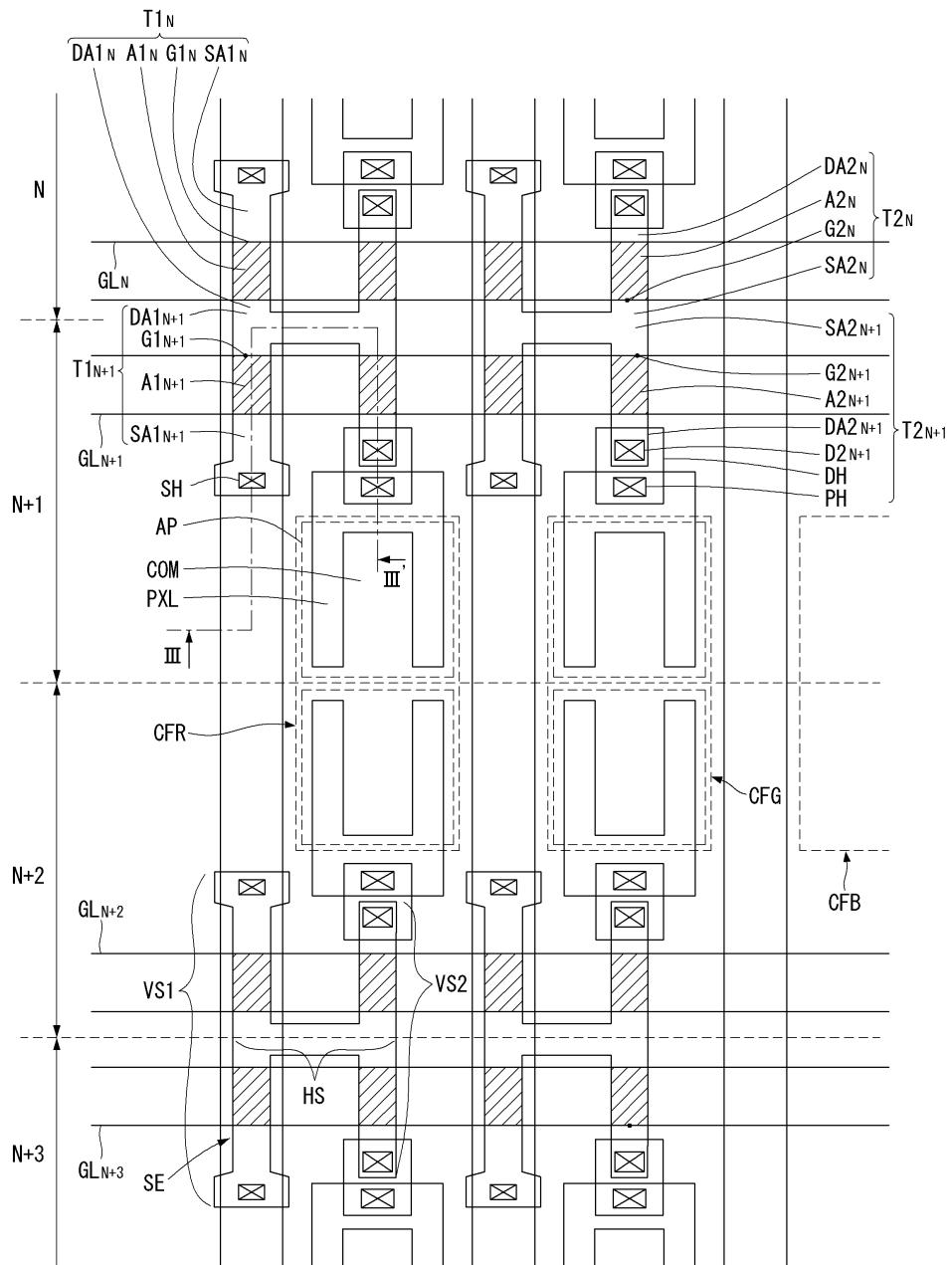
도면9



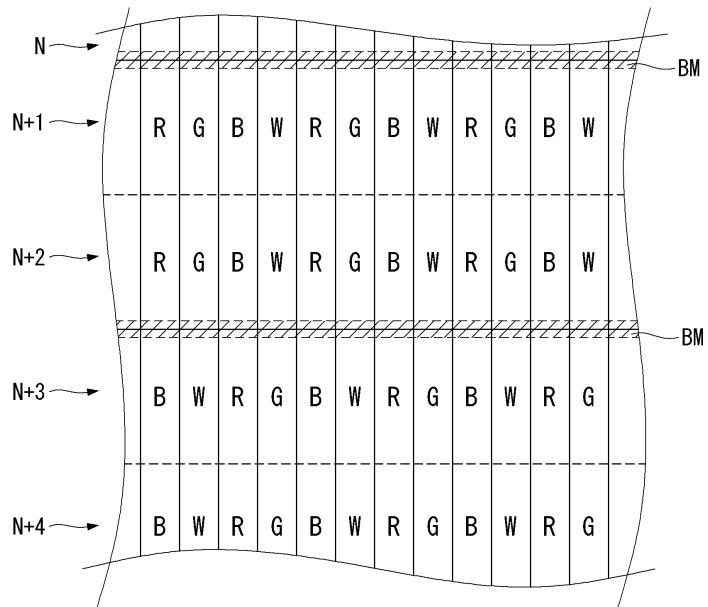
도면10



도면11



도면12



专利名称(译)	分辨率液晶显示装置具有用于补偿的薄膜晶体管		
公开(公告)号	KR1020160002591A	公开(公告)日	2016-01-08
申请号	KR1020140138596	申请日	2014-10-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SEONG JUN 조성준 KIM KA KYUNG 김가경 CHUNG EUI HYUN 정의현		
发明人	조성준 김가경 정의현		
IPC分类号	G02F1/1368 G02F1/1362		
CPC分类号	G02F1/136286 G02F1/133514 G02F2201/40 H01L29/786		
优先权	1020140081270 2014-06-30 KR		
外部链接	Espacenet		

摘要(译)

超高分辨率液晶显示器本发明涉及一种超高分辨率液晶显示器，它还具有用于每像素补偿的薄膜晶体管。根据本发明的超高分辨率液晶显示器包括：第N栅极线和布置在第N像素列和第(N+1)像素之间的第(N+1)^栅极线柱；与第N栅极线和第(N+1)栅极线交叉的数据线；半导体层，包括与数据线平行重叠并从第N个像素区域延伸到第(N+1)个第二像素区域的第一垂直线单元，从中央下部延伸的第二垂直线单元第N个像素区域到第(N+1)个像素区域的中央上部，以及水平线单元，用于连接第一垂直线单元和第二垂直线单元；连接到第二垂直线的第N个像素区域的中央下部的一端的第N漏极和连接到中央上部的另一端的第(N+1)个第二电极第二垂直线的第(N+1)^像素区域；第N像素电极连接第N漏极并向第N像素区域延伸，第(N+1)像素电极连接第(N+1)第二漏极并延伸朝向第(N+1)个像素区域。

