



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0047944

(43) 공개일자 2015년05월06일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2013-0128040

(22) 출원일자 2013년10월25일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김경욱

대구 달서구 월배로 130, (진천동)

신기택

대구 북구 칠곡중앙대로 598, 105동 501호 (읍내동, 칠곡e-편한세상)

이희원

경북 구미시 옥계북로 43-48, 106동 203호 (옥계동, 구미옥계휴먼시아1단지)

(74) 대리인

특허법인천문

전체 청구항 수 : 총 13 항

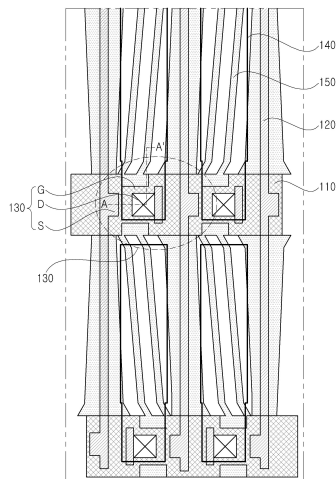
(54) 발명의 명칭 액정 디스플레이 장치와 이의 제조 방법

(57) 요약

본 발명은 시야각 및 투과율을 높게 유지하면서 픽셀들 간의 커패시터 편차를 줄일 수 있는 액정 디스플레이 장치와 이의 제조 방법에 관한 것이다.

본 발명의 실시 예에 따른 액정 디스플레이 장치는 기판 상에서 제1 방향으로 형성된 복수의 게이트 라인; 상기 게이트 라인과 교차하도록 제2 방향으로 형성된 복수의 데이터 라인; 상기 복수의 게이트 라인과 상기 복수의 데이터 라인에 의해 정의된 복수의 픽셀 영역에 형성된 박막트랜지스터; 상기 복수의 픽셀 영역 내에 사각형의 형태로 형성된 픽셀 전극; 및 복수의 핑거 패턴을 포함하여 상기 픽셀 전극 상에 형성되는 공통 전극을 포함하고, 상기 픽셀 영역은 사각형의 형태로 형성된 것을 특징으로 한다.

대표도 - 도2



명세서

청구범위

청구항 1

기관 상에서 제1 방향으로 형성된 복수의 게이트 라인;

상기 게이트 라인과 교차하도록 제2 방향으로 형성된 복수의 데이터 라인;

상기 복수의 게이트 라인과 상기 복수의 데이터 라인에 의해 정의된 복수의 픽셀 영역에 형성된 박막트랜지스터;

상기 복수의 픽셀 영역 내에 사각형의 형태로 형성된 픽셀 전극; 및

상기 픽셀 전극 상에 형성되고 복수의 핑거 패턴으로 구성된 공통 전극;을 포함하고,

상기 픽셀 영역은 사각형의 형태로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 2

제1 항에 있어서,

상기 픽셀 전극은 상기 픽셀 영역의 프로파일을 따라 사각형의 형태로 형성되고,

상기 공통 전극은 일정 각을 두고 틀어져 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 3

제1 항에 있어서,

상기 복수의 데이터 라인은 일직선으로 곧게 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 4

제1 항에 있어서,

상하좌우로 인접한 픽셀들의 픽셀 전극이 동일한 형상으로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 5

제1 항에 있어서,

상기 복수의 픽셀 영역의 개구를 정의하는 블랙 매트릭스가 상부 기관 상에 형성되고,

상기 블랙 매트릭스는 컬럼 스페이서를 가리기 위한 부분을 제외하고 사각형의 형태로 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 6

제1 항에 있어서,

상하로 인접한 2 픽셀로 2 도메인을 형성한 것을 특징으로 하는 액정 디스플레이 장치.

청구항 7

제1 항에 있어서,

상기 상하로 인접한 픽셀에 형성된 공통 전극의 핑거 패턴들은 틀어진 방향이 상이하게 형성된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 8

제1 항에 있어서,

상하좌우로 인접한 8개의 픽셀들로 하나의 픽셀 유닛을 구성하고, 상기 픽셀 유닛이 반복적으로 배치된 것을 특징으로 하는 액정 디스플레이 장치.

청구항 9

기관 상에서 제1 방향으로 복수의 게이트 라인을 형성하고 박막트랜지스터의 게이트 전극을 형성하는 단계;상기 복수의 게이트 라인과 게이트 전극을 덮도록 게이트 절연층을 형성하는 단계;

상기 게이트 전극과 중첩되는 영역의 게이트 절연층 상에 액티브층을 형성하는 단계;

상기 기관 상에서 제2 방향으로 복수의 데이터 라인을 형성하고 박막트랜지스터의 소스 전극과 드레인 전극을 형성하는 단계;

상기 복수의 데이터 라인과 상기 박막트랜지스터를 덮도록 제1 보호층과 평탄화층을 형성하고, 상기 드레인 전극의 상면이 노출되도록 컨택홀을 형성하는 단계;

상기 복수의 게이트 라인과 상기 복수의 데이터 라인의 교차에 의해 정의된 복수의 픽셀 영역 내에 사각형의 형태로 픽셀 전극을 형성하는 단계;

상기 픽셀 전극을 덮도록 제2 보호층을 형성하는 단계; 및

상기 제2 보호층 상에 형성되고 복수의 핑거 패턴을 포함하는 공통 전극을 형성하는 단계;를 포함하고,

상기 픽셀 영역을 사각형의 형태로 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 10

제8 항에 있어서,

상기 픽셀 영역의 프로파일을 따라 상기 픽셀 전극을 사각형의 형태로 형성하고,

상기 공통 전극은 일정 각을 두고 들어지도록 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 11

제8 항에 있어서,

상기 복수의 데이터 라인을 일직선으로 곧게 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 12

제8 항에 있어서,

상하좌우로 인접한 픽셀들의 픽셀 전극을 동일한 형상을 가지도록 형성하는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

청구항 13

제8 항에 있어서,

상기 복수의 픽셀 영역의 개구를 정의하는 블랙 매트릭스를 상부 기관 상에 형성하는 단계를 더 포함하고,

상기 블랙 매트릭스는 컬럼 스페이서를 가리기 위한 부분을 제외하고 사각형의 형태로 형성되는 것을 특징으로 하는 액정 디스플레이 장치의 제조 방법.

발명의 설명

기술 분야

본 발명은 액정 디스플레이 장치에 관한 것으로, 시야각 및 투과율을 높게 유지하면서 픽셀들 간의 커패시터 편차를 줄일 수 있는 액정 디스플레이 장치와 이의 제조 방법에 관한 것이다.

[0001]

배경 기술

- [0002] 이동통신 단말기, 노트북 컴퓨터와 같은 각종 휴대용 전자기기가 발전함에 따라 이에 적용할 수 있는 평판 디스플레이 장치(Flat Panel Display Device)에 대한 요구가 증대되고 있다.
- [0003] 평판 디스플레이 장치로는 액정 디스플레이 장치(LCD: Liquid Crystal Display device), 플라즈마 디스플레이 패널(PDP: Plasma Display Panel), 전계 방출 디스플레이 장치(Field Emission Display device), 유기발광 다이오드 디스플레이 장치(OLED: Organic Light Emitting Diode Display device) 등이 개발되었다.
- [0004] 이러한, 평판 디스플레이 장치 중에서 액정 디스플레이 장치(LCD)는 양산 기술의 발전, 구동수단의 용이성, 저 전력 소비, 고화질 구현 및 대화면 구현의 장점이 있어 휴대용 기기에 적합하며 적용 분야가 지속적으로 확대되고 있다.
- [0005] 도 1은 종래 기술에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다. 도 1에서는 액정 패널에 형성된 복수의 픽셀들 중에서 일부를 도시하고 있으며, IPS(In Plane Switching) 모드의 TFT 어레이 기판(하부 기판)의 픽셀 구조를 나타내고 있다. 도 1에서는 컬러필터 어레이 기판(상부 기판), 백라이트 유닛 및 구동 회로부의 도시는 생략하였다.
- [0006] 도 1을 참조하면, 액정 패널의 TFT 어레이 기판에는 TFT 어레이 기판에는 복수의 픽셀이 형성되어 있으며, 상기 복수의 픽셀 각각은 서로 교차하도록 형성된 복수의 게이트 라인(10)과 복수의 데이터 라인(20)에 의해 정의된다.
- [0007] 게이트 라인(10)과 데이터 라인(20)이 교차하는 영역 마다 박막 트랜지스터(30, thin film transistor, 이하 'TFT'라 함)가 형성되어 있다.
- [0008] TFT(30)는 바텀 게이트(bottom gate) 타입으로 형성되어 있으며, 게이트 라인(10)에서 면적이 확대된 게이트 전극(G), 데이터 라인(20)에서 연장된 소스 전극(S), 반도체 물질로 형성된 액티브층 및 드레인 전극(D)으로 구성된다.
- [0009] 각 픽셀에는 외부로부터 입력되는 영상 데이터에 따른 데이터 전압을 공급하기 위한 픽셀 전극(40)이 형성되어 있고, 픽셀 전극(40)의 상부에 공통 전극(50)이 형성되어 있다.
- [0010] TFT(30)의 드레인 전극(D)과 픽셀 전극(40)은 콘택홀을 통해 연결된다. 픽셀의 개구율 손실을 위해서 콘택홀은 스토리지 커패시터(Cst) 영역에 형성된다. 공통 전극(50)은 각 픽셀 마다 핑거(finger) 형상을 가지도록 패턴닝되어 전체 픽셀에 공통으로 형성된다.
- [0011] 공통 전극(50)의 핑거 패턴을 일정한 각을 두고 틀어져 형성되어 있고, 픽셀 전극(40)은 공통 전극(50)의 핑거 패턴과 동일한 각도로 틀어져 형성되어 있다.
- [0012] 도 1에 도시된 종래 기술의 액정 디스플레이 장치의 픽셀들은 상하 픽셀들이 서로 다른 형태의 2 도메인(domain) 구조로 형성되어 있어, 기존의 1 도메인에 비해 시야각 및 컬러 쉬프트의 단점을 개선하였다.
- [0013] 그러나, 데이터 라인들이 교번적으로 일정 각도로 틀어져 형성되어 있어 픽셀의 프로파일이 사다리꼴 형태로 형성되어 있고, 수평 방향으로 인접한 2개의 픽셀들이 서로 맞물린 형태로 형성되어 있다.
- [0014] 이와 같이, 픽셀들이 사다리꼴 형태로 형성되면, 제조 공정에서 메탈 레이어들이 똑바로 중첩(overlay)되지 않고 메탈 레이어들이 틀어지게 형성될 수 있다.
- [0015] 이에 따라, 각 픽셀마다 메탈 레이어들이 중첩되는 면적이 서로 달라져 각 픽셀들의 커패시터 용량이 달라지게 된다. 이로 인해, 세로 방향 및 가로 방향의 라인 뒨(dim)이 발생할 수 있고, 플리커(flicker) 불량이 발생되어 화질이 저하되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0016] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, 픽셀들 간에 커패시터 용량의 편차가 발생하는 것을 방지할 수 있는 액정 디스플레이 장치와 이의 제조 방법을 제공하는 것을 기술적 과제로 한다.
- [0017] 본 발명은 앞에서 설명한 문제점을 해결하기 위한 것으로서, 수평 및 수직 방향의 라인 뒨(dim) 불량과, 플리커

(flicker) 발생에 따른 화질 저하를 방지하는 것을 기술적 과제로 한다.

[0018] 위에서 언급된 본 발명의 기술적 과제 외에도, 본 발명의 다른 특징 및 이점들이 이하에서 기술되거나, 그러한 기술 및 설명으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0019] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 기판 상에서 제1 방향으로 형성된 복수의 게이트 라인; 상기 게이트 라인과 교차하도록 제2 방향으로 형성된 복수의 데이터 라인; 상기 복수의 게이트 라인과 상기 복수의 데이터 라인에 의해 정의된 복수의 픽셀 영역에 형성된 박막트랜지스터; 상기 복수의 픽셀 영역 내에 사각형의 형태로 형성된 픽셀 전극; 및 복수의 핑거 패턴을 포함하여 상기 픽셀 전극 상에 형성되는 공통 전극;을 포함하고, 상기 픽셀 영역은 사각형의 형태로 형성된 것을 특징으로 한다.

[0020] 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조 방법은 기판 상에서 제1 방향으로 복수의 게이트 라인을 형성하고 박막트랜지스터의 게이트 전극을 형성하는 단계; 상기 복수의 게이트 라인과 게이트 전극을 덮도록 게이트 절연층을 형성하는 단계; 상기 게이트 전극과 중첩되는 영역의 게이트 절연층 상에 액티브층을 형성하는 단계; 상기 기판 상에서 제2 방향으로 복수의 데이터 라인을 형성하고 박막트랜지스터의 소스 전극과 드레인 전극을 형성하는 단계; 상기 복수의 데이터 라인과 상기 박막트랜지스터를 덮도록 제1 보호층과 평탄화층을 형성하고, 상기 드레인 전극의 상면이 노출되도록 컨택홀을 형성하는 단계; 상기 복수의 게이트 라인과 상기 복수의 데이터 라인의 교차에 의해 정의된 복수의 픽셀 영역 내에 사각형의 형태로 픽셀 전극을 형성하는 단계; 상기 픽셀 전극을 덮도록 제2 보호층을 형성하는 단계; 및 상기 제2 보호층 상에 복수의 핑거 패턴을 포함하는 공통 전극을 형성하는 단계;를 포함하고, 상기 픽셀 영역을 사각형의 형태로 형성하는 것을 특징으로 한다.

발명의 효과

[0021] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조 방법은 픽셀들 간에 커패시터 용량의 편차가 발생되는 것을 방지할 수 있다.

[0022] 본 발명의 실시 예에 따른 액정 디스플레이 장치와 이의 제조 방법은 수평 및 수직 방향의 라인 뎀(dim) 불량과, 플리커(flicker) 발생에 따른 화질 저하를 방지할 수 있다.

[0023] 이 밖에도, 본 발명의 실시 예들을 통해 본 발명의 또 다른 특징 및 이점들이 새롭게 파악될 수도 있을 것이다.

도면의 간단한 설명

[0024] 도 1은 종래 기술에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다.

도 2는 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이다.

도 3은 도2에 도시된 TFT가 형성된 부분을 확대하여 나타내는 도면이다.

도 4는 도 2에 도시된 A-A' 선에 따른 단면도이다.

도 5 내지 도 12는 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조 방법을 나타내는 도면이다.

도 13은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀들의 배치 구조를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0025] 이하, 첨부된 도면을 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치와, 이의 제조 방법에 대하여 설명하기로 한다.

[0026] 본 발명의 실시 예들을 설명함에 있어서 어떤 구조물(전극, 라인, 레이어, 컨택)이 다른 구조물 '상부에 또는 상에' 및 '아래에 또는 하부에' 형성된다고 기재된 경우, 이러한 기재는 이 구조물들이 서로 접촉되어 있는 경우는 물론이고 이들 구조물들 사이에 제3의 구조물이 개재되어 있는 경우까지 포함하는 것으로 해석되어야 한다.

[0027] 아울러, 상기 '상부에 또는 상에' 및 '아래에 또는 하부에'라는 표현은 도면에 기초하여 터치 센서가 내장된 액정 디스플레이 장치의 구성 및 본 발명의 제조 방법들을 설명하기 위한 것이다. 따라서, 상기 '상부에 또는 상

에' 및 '아래에 또는 하부에'라는 표현은 제조 공정 과정과 제조가 완료된 이후 구성에서 서로 상이할 수 있다.

- [0028] 액정 디스플레이 장치는 액정층의 배열을 조절하는 방식에 따라 TN(Twisted Nematic) 모드, VA(Vertical Alignment) 모드, IPS(In Plane Switching) 모드, FFS(Fringe Field Switching) 모드 등 다양하게 개발되어 있다.
- [0029] 그 중에서, IPS 모드와 FFS 모드는 하부 기판 상에 픽셀 전극과 공통 전극을 배치하여 픽셀 전극과 공통 전극 사이의 전계에 의해 액정층의 배열을 조절하는 방식이다.
- [0030] 도 2는 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 나타내는 도면이고, 도 3은 도2에 도시된 TFT가 형성된 부분을 확대하여 나타내는 도면이다.
- [0031] 도 2 및 도 3에서는 FFS(Fringe Field Switching) 모드로 구동되는 TFT 어레이 기판(하부 기판)의 픽셀 구조를 나타내고 있으며, 복수의 픽셀들 중에서 일부의 픽셀들만을 도시하고 있다. 컬러필터 어레이 기판(상부 기판), 백라이트 유닛 및 구동 회로부의 도시는 생략하였다.
- [0032] 구동 회로부는 타이밍 컨트롤러(T-con), 데이터 드라이버(D-IC), 게이트 드라이버(G-IC), 백라이트 구동부 및 구동 회로들에 구동 전원을 공급하는 전원 공급부를 포함한다.
- [0033] 여기서, 구동 회로부의 전체 또는 일부는 COG(Chip On Glass) 또는 COF(Chip On Flexible Printed Circuit, Chip On Film) 방식으로 액정 패널 상에 형성될 수 있다.
- [0034] 도 2 및 도 3을 참조하면, 액정 패널의 TFT 어레이 기판에는 복수의 픽셀이 형성되며, 상기 복수의 픽셀 각각은 서로 교차하는 복수의 게이트 라인(110)과 복수의 데이터 라인(120)에 의해 정의된다.
- [0035] 게이트 라인(110)은 제1 방향(예로서, X축 방향)으로 형성되고, 데이터 라인(120)은 제2 방향(예로서, Y축 방향)으로 형성된다. 게이트 라인(110) 및 데이터 라인(120)은 길다란 바(bar) 형태로 형성된다.
- [0036] 본 발명의 실시 예에 따른 액정 디스플레이 장치는 픽셀의 개구 영역의 프로파일이 사각형 형태가 되도록 게이트 라인(110)과 데이터 라인(120)이 형성되어 있다. 즉, 종래의 액정 디스플레이 장치의 데이터 라인은 사선 방향으로 일정 각도로 기울어져 형성되어 있으나, 본 발명의 실시 예에 따른 액정 디스플레이 장치의 데이터 라인은 수직 방향으로 곧게 일직선으로 형성되어 있다.
- [0037] 게이트 라인(110)과 데이터 라인(120)의 교차에 의해 형성된 픽셀 영역에는 픽셀 전극(140)과 공통 전극(150)이 형성되어 있다. 픽셀 전극(140)과 공통 전극(150)은 서로 다른 레이어에 형성된다.
- [0038] 픽셀 전극(140)은 픽셀의 개구 영역 내에 사각형의 형상으로 형성되어 있다. 즉, 픽셀 전극(140)은 픽셀 영역의 프로파일을 따라 사각형의 형태로 형성되어 있다. 그리고, 공통 전극(150)은 복수의 핑거 패턴을 가지도록 형성되어 있으며, 픽셀 내에서 일정 각을 두고 틀어져 형성되어 있다.
- [0039] 공통 전극(150)은 픽셀의 일측에 형성된 컨택홀(미도시)을 통해 공통 전극 라인(미도시)과 전기적으로 접속되어 공통 전극(150)에 공통 전압(Vcom)이 공급된다.
- [0040] 복수의 게이트 라인(110)과 복수의 데이터 라인(120)이 교차하는 영역의 TFT(130)가 형성되어 있다. TFT(130)의 드레인 전극(D)과 픽셀 전극(140)은 컨택홀을 통해 전기적으로 연결된다. TFT(130)의 드레인 전극(D)과 픽셀 전극(140)의 접속시키는 컨택홀은 개구율을 손실을 줄이기 위해서 게이트 라인(110) 상에 형성된다. 이때, 컨택홀은 가로4um×세로4um 내지 가로14um×세로10um의 크기로 형성될 수 있다.
- [0041] 도 4는 도 2에 도시된 A-A' 선에 따른 단면도이다.
- [0042] 도 4를 결부하여 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀 구조를 보다 구체적으로 설명하기로 한다.
- [0043] 기판(101)은 글래스 기판 또는 플렉서블 한 플라스틱 기판이 적용될 수 있다. 기판(101) 상의 TFT 영역에는 TFT(130)의 게이트 전극(131)이 형성되어 있다. 수평 방향으로 형성된 게이트 라인(110)의 면적이 TFT 영역에서 확대되어 TFT(130)의 게이트 전극(131)이 형성된다.
- [0044] 게이트 라인(110)과 게이트 전극(131)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,500 Å의 두께로 형성될 수 있다.

- [0045] 다른 예로서, 게이트 라인(110)과 게이트 전극(131)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 형성될 수도 있다.
- [0046] 도면에 도시하지 않았지만, 기판 위에는 버퍼층이 형성되고, 버퍼층 상에 게이트 라인(110), 게이트 전극(131), 공통 전극 라인(미도시)이 형성될 수 있다. 버퍼층은 무기물, 일 예로서 SiO_2 , 또는 SiN_x 물질로 형성될 수 있으며, 2,000~3,000Å의 두께를 가질 수 있다.
- [0047] 게이트 라인(110)과 게이트 전극(131)을 덮도록 게이트 절연층(102, gate insulator)이 형성되어 있다. 게이트 절연층(102)은 SiO_2 물질 또는 SiN_x 물질로 형성될 수 있으며, 4,000Å의 두께로 형성될 수 있다.
- [0048] 다른 예로서, 게이트 절연층(102)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 4,000Å의 두께로 형성될 수 있다.
- [0049] 게이트 전극(131)과 중첩되도록 게이트 절연층(102)의 상부에 TFT(130)의 액티브층(132)이 형성되어 있다. 액티브층(132)은 반도체 물질로, 2,200Å의 두께로 형성될 수 있다. 이때, 액티브층(132)의 반도체 물질로써 폴리실리콘(P-Si), 비정질 실리콘(a-Si), 저온 다결정 실리콘(LTPS: Low Temperature Poly Silicon) 또는 산화물(Oxide)이 이용될 수 있다.
- [0050] 액티브층(132) 위의 일측에는 TFT(130)의 소스 전극(133)이 형성되고, 타측에는 드레인 전극(134)이 형성되어 있다. 소스 전극(133)은 데이터 라인(120)이 픽셀 영역 내부로 연장되어 형성된다. 그리고, 드레인 전극(134)은 아일랜드(island) 패턴으로 형성된다.
- [0051] 데이터 라인(120), 소스 전극(133) 및 드레인 전극(134)은 동일 레이어에 형성된다. 데이터 라인(120), 소스 전극(133) 및 드레인 전극(134)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,500Å의 두께로 형성될 수 있다.
- [0052] 다른 예로서, 데이터 라인(120), 소스 전극(133) 및 드레인 전극(134)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 2,500Å의 두께로 형성될 수 있다.
- [0053] 이와 같이, 게이트 전극(131), 게이트 절연층(102), 액티브층(132), 소스 전극(133) 및 드레인 전극(134)이 형성되어 TFT(130)를 구성한다.
- [0054] TFT(130)를 덮도록 제1 보호층(103, PAS1)이 형성되어 있다. 제1 보호층(103)은 SiO_2 또는 SiN_x 물질로, 1,000Å의 두께로 형성된다.
- [0055] 기판 전면을 덮도록 평탄화층(104)이 형성되어 있다. 평탄화층(104)은 포토아크릴(photoacryl) 물질로 2.0um~3.0um의 두께로 형성되어 기판 전면을 평탄화시킨다.
- [0056] 평탄화층(104) 상의 개구 영역에 픽셀 전극(140)이 형성되어 있다. 드레인 전극(134)의 상면 일부가 노출되도록 컨택홀이 형성되고, 컨택홀 내부에도 픽셀 전극(140)이 형성되어 TFT(130)의 드레인 전극(134)과 픽셀 전극(140)이 전기적으로 연결된다.
- [0057] 픽셀 전극(140)을 덮도록 제2 보호층(106, PAS2)이 형성되어 있다. 제2 보호층(106)은 SiO_2 또는 SiN_x 물질로, 2,000Å의 두께로 형성된다.
- [0058] 제2 보호층(106) 상에는 공통 전극(150)이 형성되어 있다. 공통 전극(150)은 복수의 평거 패턴을 가지도록 형성되어 있다. 이러한, 공통 전극(150)은 픽셀 내에서 일정 각을 두고 틀어져 형성되어 있다. 공통 전극(150)은 픽셀의 일측에 형성된 컨택홀(미도시)을 통해 공통 전극 라인(미도시)과 전기적으로 접속되어 공통 전극(150)에 공통 전압(V_{com})이 공급된다.
- [0059] 이와 같이, 픽셀 전극(140)과 공통 전극(150)은 서로 다른 레이어에 형성되어, 픽셀 전극(140)과 공통 전극(150) 사이에 프린지 필드가 형성되게 된다.
- [0060] 픽셀 전극(140)과 공통 전극(150)은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)와 같은 투명 전도성 물질로, 400Å의 두께로 형성된다.

- [0061] 도면에 도시하지 않았지만, 하부 기관(TFT 어레이 기관)과 상부 기관(컬러필터 어레이 기관) 사이에 소정 공간을 형성시키기 위해서, 하부 기관(TFT 어레이 기관)에는 컬럼 스페이스(CS)가 형성된다. 하부 기관(TFT 어레이 기관)과 상부 기관(컬러필터 어레이 기관) 사이에는 소정 공간에는 액정이 주입되어 있다.
- [0062] 컬러필터가 형성되는 상부 기관(컬러필터 어레이 기관)에는 복수의 픽셀들을 구분시키기 위한 블랙매트릭스(BM)가 형성되며, 이러한 블랙 매트릭스는 각 픽셀의 개구 영역의 손실을 줄이기 위해서 게이트 라인(110)과 데이터 라인(120)과 중첩되도록 형성된다. 이때, 블랙 매트릭스는 컬럼 스페이스를 가리기 위한 부분을 제외하고 사각형의 형태로 형성되어 있다.
- [0063] 상술한 구성들을 포함하는 본 발명의 실시 예에 따른 액정 디스플레이 장치는 픽셀의 개구 영역의 프로파일이 사각형 형태가 되도록 게이트 라인과 데이터 라인을 형성하였다. 그리고, 각 픽셀의 개구 영역 내에서 픽셀 전극을 사각형 형태로 형성하였다. 즉, 상하 및 좌우로 인접한 픽셀들의 데이터 라인(120) 및 픽셀 전극(140)이 동일한 형상으로 형성되어 있다.
- [0064] 이를 통해, 제조 공정 시 메탈들의 중첩(overlay)이 틀어지더라도 픽셀들의 메탈들이 중첩된 면적과 틀어진 면적이 동일해져, 픽셀들의 커패시터 용량이 상이해지는 불량을 방지할 수 있다. 이와 같이, 픽셀들의 커패시터 용량이 균일하게 형성되어 방향 및 가로 방향의 라인 뎀(dim) 및 플리커(flicker) 불량을 방지할 수 있다.
- [0065] 도 5 내지 도 12는 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조 방법을 나타내는 도면이다.
- [0066] 이하, 도 5 내지 도 12를 참조하여 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조 방법을 상세히 설명한다.
- [0067] 도 5를 참조하면, 기관(101) 상에 메탈 물질을 도포한 후, 제1 마스크(Mask 1)를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 복수의 게이트 라인, 복수의 공통 전극 라인 및 각 픽셀 영역에 게이트 전극(131)을 형성한다. 이때, 복수의 게이트 라인은 제1 방향(예로서, X축 방향)으로 형성된다. 제1 방향(예로서, 수평 방향)으로 형성된 게이트 라인의 면적이 TFT 영역에서 확대되어 TFT의 게이트 전극(131)이 형성된다. 기관(101)은 글래스 기관 또는 플렉서블 한 플라스틱 기관이 적용될 수 있다.
- [0068] 도면에 도시하지 않았지만, 기관 위에는 버퍼층이 형성되고, 버퍼층 상에 게이트 라인, 게이트 전극(131), 공통 전극 라인(미도시)이 형성될 수 있다. 버퍼층은 무기물, 일 예로서 SiO_2 , 또는 SiNx 물질로 형성될 수 있으며, 2,000~3,000Å의 두께를 가질 수 있다.
- [0069] 게이트 라인과 게이트 전극(131)은 동일 레이어에 형성되며, 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,500Å의 두께로 형성될 수 있다.
- [0070] 다른 예로서, 게이트 라인과 게이트 전극(131)은 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 2,500Å의 두께로 형성될 수 있다.
- [0071] 이어서, 도 6을 참조하면, 게이트 라인과 게이트 전극(131)을 덮도록 게이트 절연층(102, gate insulator)을 형성한다. 게이트 절연층(102)은 SiO_2 물질 또는 SiNx 물질로 형성될 수 있으며, 4,000Å의 두께로 형성된다.
- [0072] 다른 예로서, 게이트 절연층(102)은 TEOS(Tetra Ethyl Ortho Silicate) 또는 MTO(Middle Temperature Oxide)를 CVD(Chemical Vapor Deposition)로 증착하여 4,000Å의 두께로 형성될 수도 있다.
- [0073] 이후, 게이트 절연층(102) 상에 반도체 물질을 증착시키고, 반도체 물질 상에 메탈 물질을 도포한다.
- [0074] 이후, 제2 마스크(Mask 2)를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 게이트 전극(131)과 중첩되도록 액티브층(132)을 2,200Å의 두께로 형성한다. 그리고, 액티브층(132)을 형성할 때 동시에 데이터 라인(120), 소스 전극(133) 및 드레인 전극(134)을 2,500Å의 두께로 형성한다. 이때, 액티브층(132)과 소스/드레인 레이어를 동시에 형성하기 위해서 제2 마스크로서 하프톤 마스크(Half tone mask)를 이용한다.
- [0075] 포토레지스트(PR)를 도포한 후, 하프톤 마스크(Half tone mask: HTM)를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 액티브층(132)과 소스/드레인 레이어를 동시에 형성한다.
- [0076] 여기서, 포토레지스트는 노광 된 영역이 남아있는 네거티브 포토레지스트(negative PR)가 적용될 수 있다. 하프톤 마스크(HTM)는 풀톤 영역, 하프톤 영역 및 차단 영역을 포함하여 구성된다.

- [0077] 풀톤 영역과 대응되는 포토레지스트는 모두 남아 두껍게 형성된다. 그리고, 하프톤 영역과 대응되는 포토레지스트는 빛의 투과량 즉, 노광량에 따라서 포토레지스트가 잔존하는 양(포토레지스트가 제거되는 양)이 조절되어 얇은 두께로 형성된다. 또한, 차단 영역과 대응되는 포토레지스트는 노광이 되지 않아 모두 제거된다.
- [0078] 복수의 데이터 라인은 제2 방향(예로서, Y축 방향)으로 형성된다.
- [0079] 데이터 라인을 형성할 때 각 픽셀마다 소스 전극(133) 및 드레인 전극(134)을 형성한다. 액티브층(132) 위의 일측에 소스 전극(133)을 형성하고, 타측에 드레인 전극(134)을 형성한다. 소스 전극(133)은 데이터 라인이 픽셀 영역 내부로 연장되어 형성되고, 드레인 전극(134)은 아일랜드(island) 패턴으로 형성된다.
- [0080] 여기서, 액티브층(132)의 반도체 물질로써 폴리실리콘(P-Si), 비정질 실리콘(a-Si), 저온 다결정 실리콘(LTPS: Low Temperature Poly Silicon) 또는 산화물(Oxide)이 적용될 수 있다.
- [0081] 데이터 라인, 소스 전극(133) 및 드레인 전극(134)은 동일 레이어에 형성되며, 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질로 2,500Å의 두께로 형성될 수 있다.
- [0082] 다른 예로서, 데이터 라인, 소스 전극(133) 및 드레인 전극(134)은 동일 레이어에 형성되며, 알루미늄(Al), 몰리브덴(Mo), 티타늄(Ti), 은(Ag), 금(Au), 니켈(Ni), 카드뮴(Cd), 하프늄(Hf), 텅스텐(W), 탄탈륨(Ta), 크롬(Cr), 지르코늄(Zr) 또는 구리(Cu)의 메탈 물질을 포함하는 합금으로 2,500Å의 두께로 형성될 수 있다.
- [0083] 이와 같이, 게이트 전극(131), 게이트 절연층(102), 액티브층(132), 소스 전극(133) 및 드레인 전극(134)이 형성하여 TFT(130)를 구성한다.
- [0084] 이어서, 도 7을 참조하면, TFT(130)를 형성시킨 후, 기판 전면에 SiO₂ 또는 SiNx 물질을 1,000Å의 두께로 도포하여, TFT(130)를 덮도록 제1 보호층(103, PAS)을 형성한다.
- [0085] 이어서, 도 8을 참조하면, 제1 보호층(103)을 덮도록 기판(101) 전면에 포토아크릴(photoacryl) 물질을 도포하여 평탄화층(104)을 형성한다. 이때, 평탄화층(104)은 2.0um~3.0um의 두께로 형성되어 기판(101) 전면을 평탄화시킨다.
- [0086] 이후, 제3 마스크(Mask 3)을 이용한 식각 공정 및 애싱 공정을 수행하여, 드레인 전극(134)과 중첩되는 영역의 평탄화층(104)을 일부분 제거(104a)한다. 평탄화층(104)을 일부분이 제거하여 드레인 전극(134)과 중첩되는 영역의 제1 보호층(103)을 노출시킨다.
- [0087] 이어서, 도 9를 참조하면, 건식 식각(dry etching) 공정을 수행하여 드레인 전극(134)과 중첩되는 영역의 제1 보호층(103)을 제거한다. 드레인 전극(134)과 중첩되는 영역의 제1 보호층(103)을 제거하여 드레인 전극(134)을 노출시키는 콘택홀(105)을 형성한다.
- [0088] 여기서, 콘택홀(105)은 TFT(130)의 드레인 전극(134)과 픽셀 전극(140)의 접속시키기 위한 것으로, 개구율을 손실을 줄이기 위해서 게이트 라인(110) 상에 형성된다. 이러한, 콘택홀(105)은 가로4um×세로4um 내지 가로14um×세로10um의 크기로 형성될 수 있다.
- [0089] 이어서, 도 10을 참조하면, 기판(101) 전면에 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)와 같은 투명 전도성 물질을 400Å의 두께로 도포한다.
- [0090] 이후, 제4 마스크(Mask 4)를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 픽셀 영역 내부(개구 영역)에 픽셀 전극(140)을 형성한다.
- [0091] 픽셀 전극(140)은 픽셀의 개구 영역 내에 사격형의 형상으로 형성된다. 픽셀 전극(140)은 콘택홀(105) 내에도 형성되어, TFT(130)의 드레인 전극(D)과 픽셀 전극(140)은 콘택홀을 통해 전기적으로 연결된다.
- [0092] 이어서, 도 11을 참조하면, 픽셀 전극(140)을 덮도록 제2 보호층(106, PAS2)을 형성한다. 제2 보호층(106)은 SiO₂ 또는 SiNx 물질로, 2,000Å의 두께로 형성된다.
- [0093] 여기서, 도면에 도시되어 있지 않지만, 액티브 영역의 외곽의 패드 영역에는 게이트 패드, 데이터 패드, 게이트 링크 및 데이터 링크가 형성되어 있다. 이때, 제2 보호층(106)은 게이트 패드, 데이터 패드, 게이트 링크 및 데이터 링크의 상부에도 형성된다.
- [0094] 제5 마스크(Mask 5)를 이용한 제1 마스크(Mask 1)를 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수

행하여 게이트 패드, 데이터 패드, 게이트 링크 및 데이터 링크가 노출되도록 패드 영역에 형성된 제2 보호층(106)의 일부분을 제거하여 콘택홀들을 형성한다.

[0095] 이어서, 도 12를 참조하면, 제2 보호층(106) 상에 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)와 같은 투명 전도성 물질을 400Å의 두께로 도포한다.

[0096] 이후, 제6 마스크(Mask 6)을 이용한 포토리소그래피 공정, 식각 공정 및 애싱 공정을 수행하여 복수의 핑거 패턴을 가지는 공통 전극(150)을 형성한다.

[0097] 이러한, 공통 전극(150)은 픽셀 내에서 일정 각을 두고 틀어져 형성되어 있다. 공통 전극(150)은 픽셀의 일측에 형성된 콘택홀(미도시)을 통해 공통 전극 라인(미도시)과 전기적으로 접속되어 공통 전극(150)에 공통 전압(Vcom)이 공급된다.

[0098] 이와 같이, 픽셀 전극(140)과 공통 전극(150)은 서로 다른 레이어에 형성되어, 픽셀 전극(140)과 공통 전극(150) 사이에 프린지 필드가 형성되게 된다.

[0099] 픽셀 전극(140)과 공통 전극(150)은 ITO(indium tin oxide), IZO(indium zinc oxide) 또는 ITZO(indium tin zinc oxide)와 같은 투명 전도성 물질로, 400Å의 두께로 형성된다.

[0100] 도면에 도시하지 않았지만, 하부 기판(TFT 어레이 기판)과 상부 기판(컬러필터 어레이 기판) 사이에 소정 공간을 형성시키기 위해서, 하부 기판(TFT 어레이 기판)에는 컬럼 스페이서(CS)를 형성한다.

[0101] 이후, 하부 기판(TFT 어레이 기판)과 상부 기판(컬러필터 어레이 기판)을 합착시키면, 컬럼 스페이서에 의해서 하부 기판(TFT 어레이 기판)과 상부 기판(컬러필터 어레이 기판) 사이에는 소정 공간이 마련된다.

[0102] 이후, 하부 기판(TFT 어레이 기판)과 상부 기판(컬러필터 어레이 기판) 사이의 소정 공간에는 액정을 주입한 후, 액정이 외부로 흘러나오지 않도록 하부 기판(TFT 어레이 기판)과 상부 기판(컬러필터 어레이 기판)의 사이드를 실링한다.

[0103] 상부 기판(컬러필터 어레이 기판)에는 레드, 그린 및 블루의 컬러필터가 픽셀 영역에 대응되도록 형성되며, 복수의 픽셀들을 구분시키기 위한 블랙매트릭스(BM)가 형성된다.

[0104] 이러한, 블랙 매트릭스는 각 픽셀의 개구 영역의 손실을 줄이기 위해서 게이트 라인(110)과 데이터 라인(120)과 중첩되도록 형성된다. 이때, 블랙 매트릭스는 컬럼 스페이서를 가리기 위한 부분을 제외하고 사각형의 형태로 형성되어 있다. 상술한 본 발명의 실시 예에 따른 액정 디스플레이 장치의 제조 방법을 이용하여, 픽셀의 개구 영역의 프로파일이 사각형 형태가 되도록 게이트 라인과 데이터 라인을 형성하였다. 그리고, 각 픽셀의 개구 영역 내에서 픽셀 전극을 사각형 형태로 형성하였다. 즉, 상하 및 좌우로 인접한 픽셀들의 데이터 라인(120) 및 픽셀 전극(140)이 동일한 형상으로 형성되어 있다.

[0105] 이를 통해, 제조 공정 시 메탈들의 중첩(overlay)이 틀어지더라도 픽셀들의 메탈들이 중첩된 면적과 틀어진 면적이 동일해져, 픽셀들의 커패시터 용량이 상이해지는 불량을 방지할 수 있다. 이와 같이, 픽셀들의 커패시터 용량이 균일하게 형성되어 방향 및 가로 방향의 라인 뎀(dim) 및 플리커(flicker) 불량을 방지할 수 있다.

표 1

	종래 기술	본 발명
Cgs	상하 pixel 차이 : 47.8%	상하 pixel 차이 : 0%
	좌우 pixel 차이 : 0%	좌우 pixel 차이 : 0%
Cst	상하 pixel 차이 : 2.05%	상하 pixel 차이 : 0%
	좌우 pixel 차이 : 3.18%	좌우 pixel 차이 : 0%
Cdp	상하 pixel 차이 : 0%	상하 pixel 차이 : 0%
	좌우 pixel 차이 : 13.86%	좌우 pixel 차이 : 0%

[0106]

[0107]

상기 표 1에 기재된 바와 같이, 종래 기술은 제조 공정 시 메탈들의 중첩(overlay)이 틀어져 픽셀들의 커패시터 용량이 상이해지는 문제점이 있다. 반면, 본 발명은 픽셀들의 메탈들이 중첩된 면적과 틀어진 면적이 동일해져 픽셀들의 커패시터 용량이 동일한 장점이 있다. 도 13은 본 발명의 실시 예에 따른 액정 디스플레이 장치의 픽셀들의 배치 구조를 나타내는 도면이다.

[0108]

도 13을 참조하면, 본 발명의 실시 예에 따른 액정 디스플레이 장치는 상하로 인접한 2 픽셀로 2 도메인(domain)을 형성할 수 있다.

[0109]

그리고, 상하좌우로 인접한 8개의 픽셀들로 하나의 픽셀 유닛을 구성할 수 있고, 이러한 픽셀 유닛이 반복적으로 배치될 수 있다. 상하로 인접한 픽셀에 형성된 공통 전극의 핑거 패턴들은 틀어진 방향이 상이하게 형성되어 있다.

[0110]

본 발명이 속하는 기술분야의 당 업자는 상술한 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

[0111]

본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

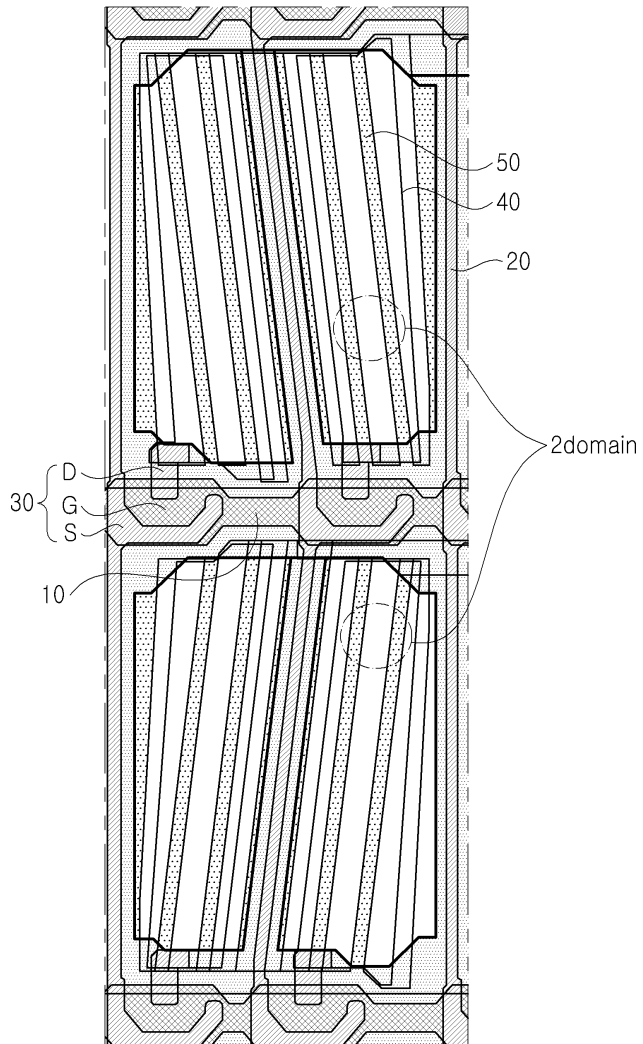
부호의 설명

[0112]

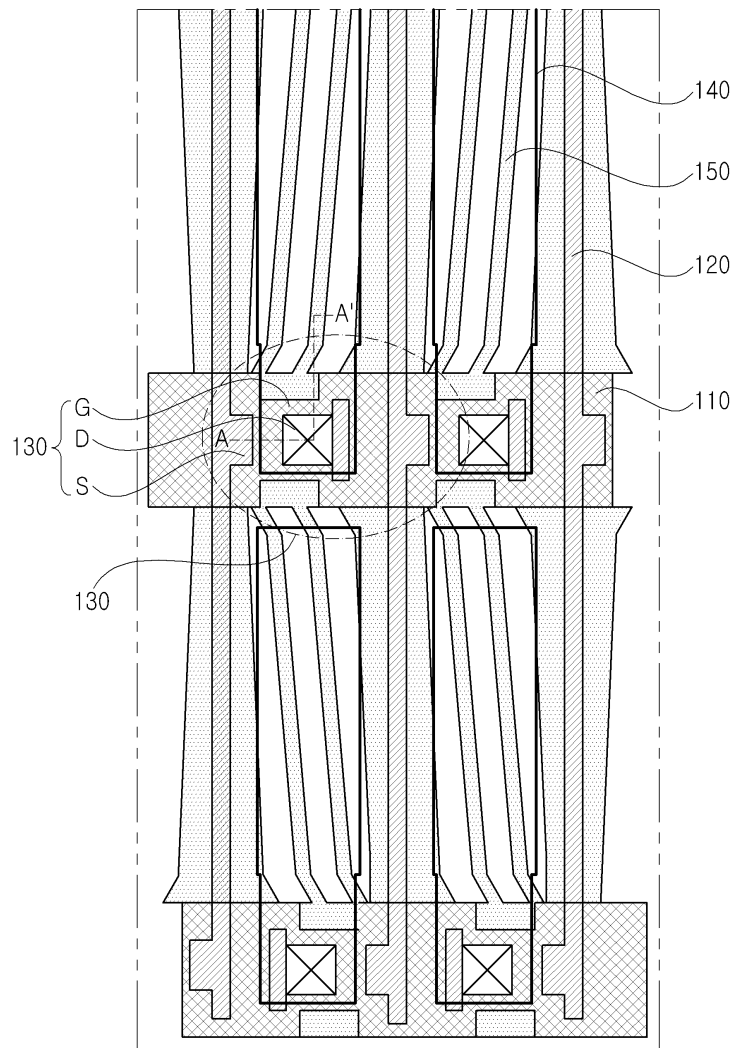
101: 기판 102: 게이트 절연층
 103: 제1 보호층 104: 평탄화층
 105: 콘택홀 106: 제2 보호층
 110: 게이트 라인 120: 데이터 라인
 130: TFT 131: 게이트 전극
 132: 액티브층 133: 소스 전극
 134: 드레인 전극 140: 픽셀 전극
 150: 공통 전극

도면

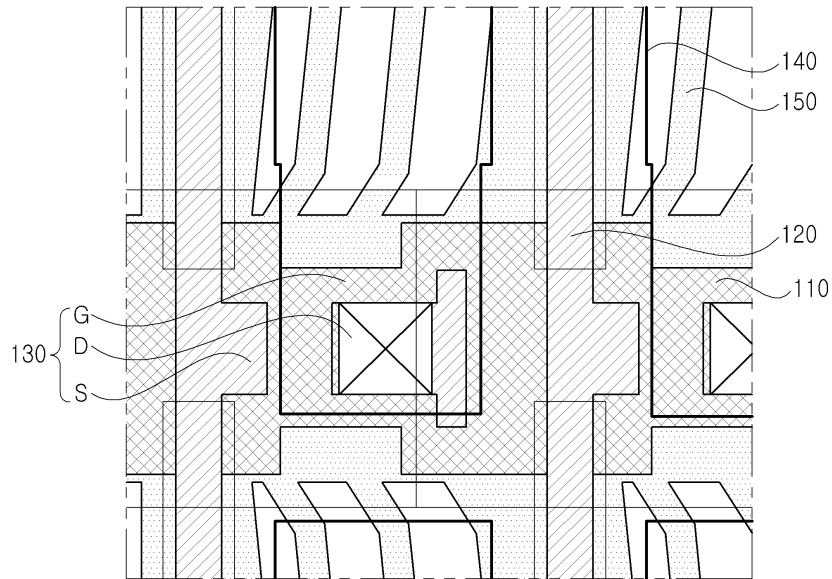
도면1



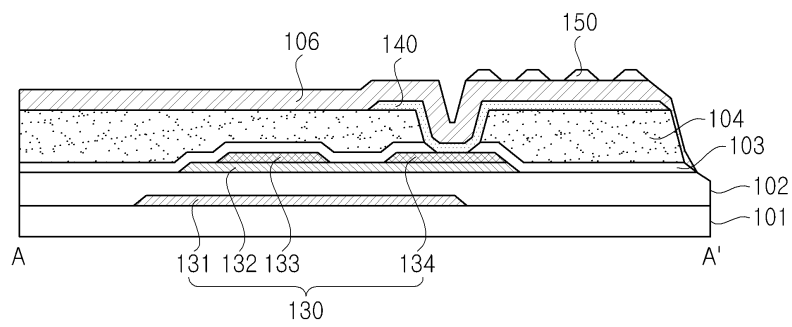
도면2



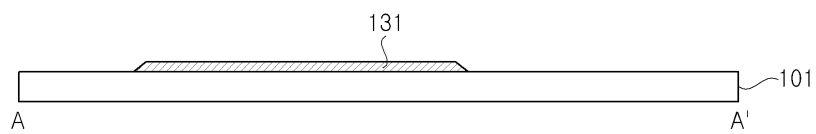
도면3



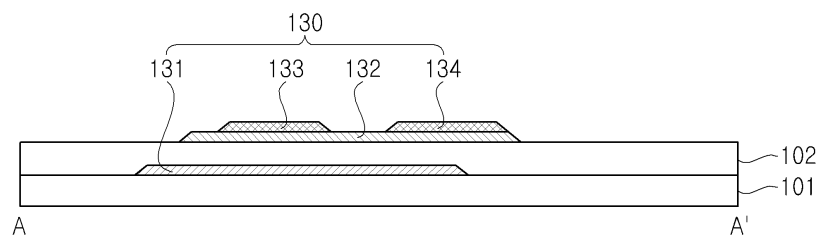
도면4



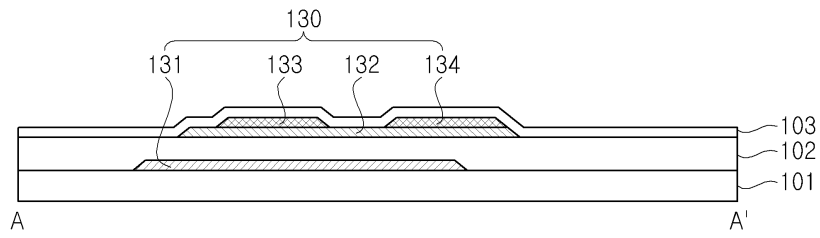
도면5



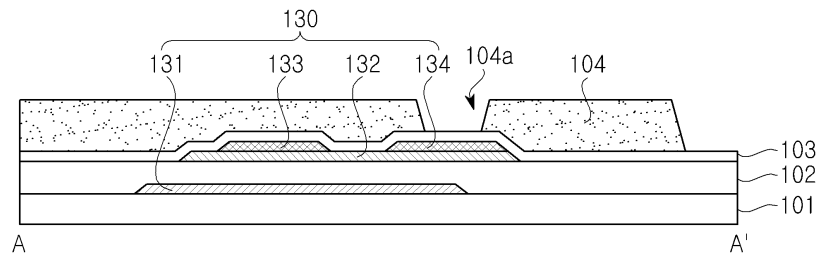
도면6



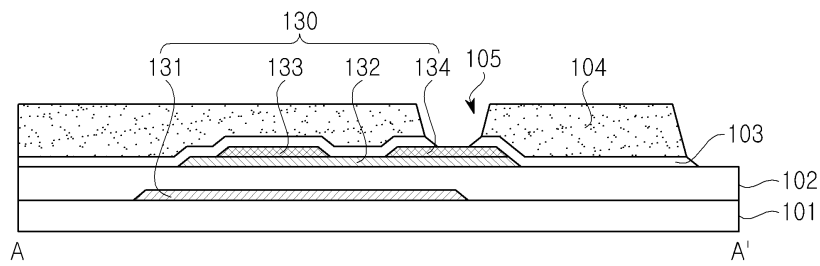
도면7



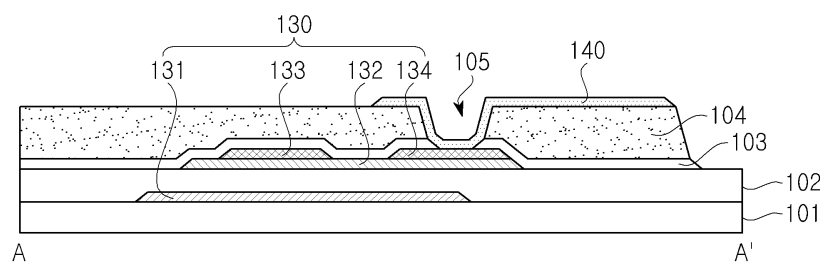
도면8



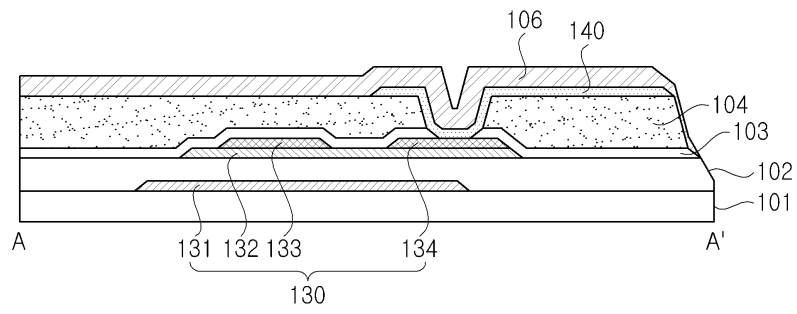
도면9



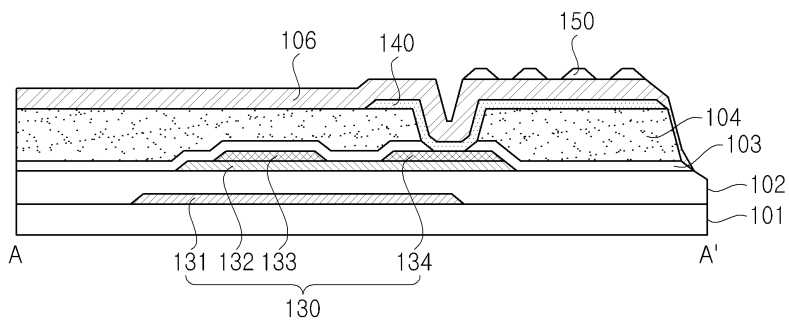
도면10



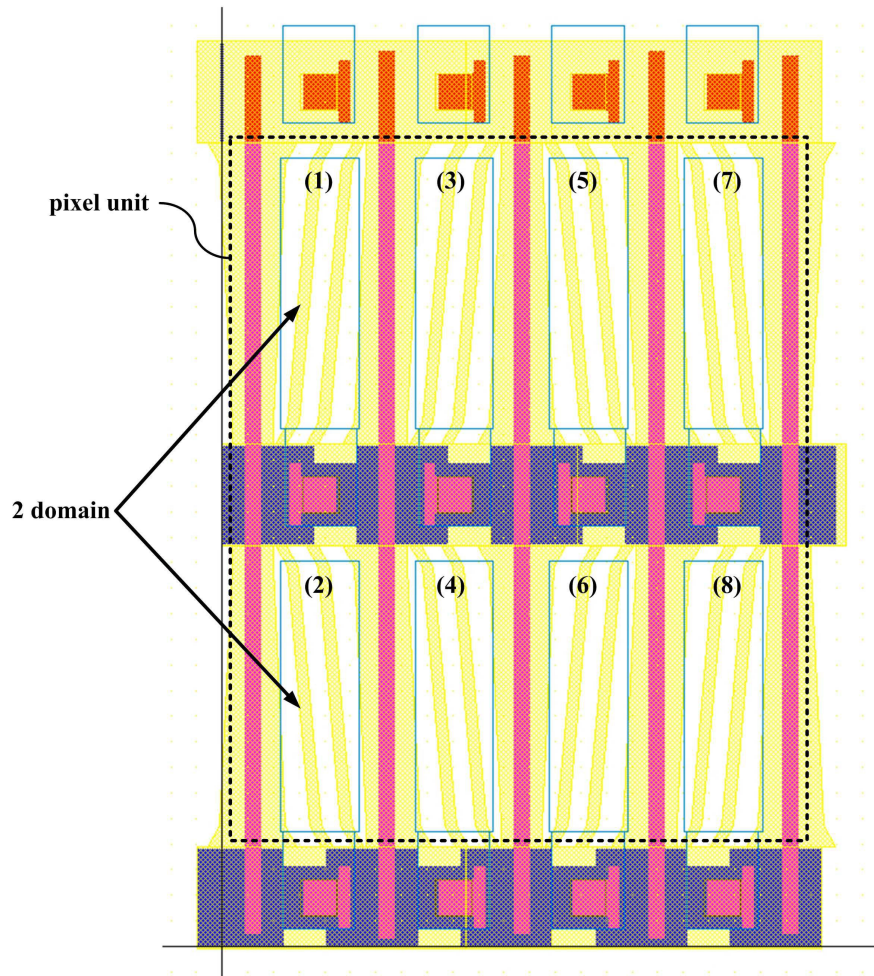
도면11



도면12



도면13



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020150047944A	公开(公告)日	2015-05-06
申请号	KR1020130128040	申请日	2013-10-25
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KYOUNG WOOK KIM 김경욱 KITAEG SHIN 신기택 HEEWON LEE 이희원		
发明人	김경욱 신기택 이희원		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/133512 G02F1/133514 G02F1/134336 G02F1/136286 G02F1/1368 G02F2001/134372 H01L27/1296 G02F1/134363 G02F1/1362 G02F2201/123		
其他公开文献	KR102092844B1		
外部链接	Espacenet		

摘要(译)

公开了一种LCD装置及其制造方法，其减小了像素之间的电容偏差而没有任何视角变化和高透射率。LCD装置包括在基板上沿第一方向形成的多条栅极线，沿第二方向形成以与多条栅极线交叉的多条数据线，形成在多个栅极线中的每一个中的薄膜晶体管（TFT）由多条栅极线和多条数据线限定的像素区域，在多个像素区域的每一个中形成为四边形的像素电极，以及形成在像素电极上的公共电极，并且被配置为包括多个手指模式。多个像素区域中的每一个形成为四边形形状。

