



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0047399  
(43) 공개일자 2015년05월04일

(51) 국제특허분류(Int. C1.)

G02F 1/1343 (2006.01) G02F 1/1339 (2006.01)

(21) 출원번호 10-2013-0127429

(22) 출원일자 2013년10월24일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

황인재

경기 수원시 영통구 영통로514번길 53, 112동  
1301호 (영통동, 황골마을주공2단지아파트)

정미혜

경기 수원시 장안구 천천로74번길 92, 824동 140  
2호 (정자동, 대월마을대림진흥아파트)

(74) 대리인

특허법인 고려

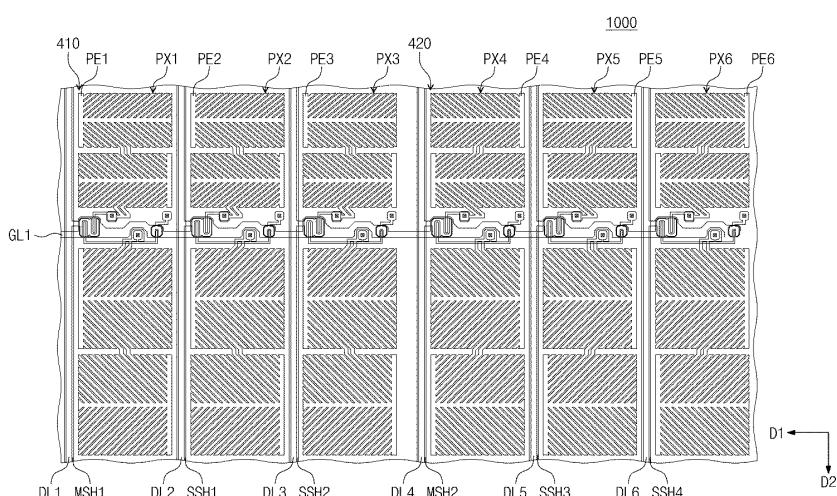
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 액정표시패널

### (57) 요약

본 발명의 일 실시예에 따른 액정표시패널은, 제1 도트 및 제2 도트 사이에서 상기 제1 방향과 수직하는 제2 방향을 따라 연장되는 메인 블랙 매트릭스 영역, 상기 다수의 제1 화소영역들 사이 및 상기 다수의 제2 화소영역들 사이에서 상기 제2 방향을 따라 연장되는 서브 블랙 매트릭스 영역을 포함하며, 서브 블랙 매트릭스 영역의 폭은 상기 메인 블랙 매트릭스 영역의 폭보다 적습니다. 따라서, 액정표시패널이 절곡 되어 어레이 기판 및 대향 기판 간에 오정렬이 발생하더라도, 액정분자들의 배향불량에 의한 텍스처를 방지하면서 화소의 개구율을 증가시킬 수 있다.

### 대 표 도



## 명세서

### 청구범위

#### 청구항 1

제1 방향을 따라 절곡되는 액정표시패널에 있어서,

다수의 제1 화소영역들을 구비하는 제1 도트, 다수의 제2 화소영역들을 구비하는 제2 도트, 상기 제1 도트 및 제2 도트 사이에서 상기 제1 방향과 수직하는 제2 방향을 따라 연장되는 메인 블랙 매트릭스영역, 상기 다수의 제1 화소영역들 사이 및 상기 다수의 제2 화소영역들 사이에서 상기 제2 방향을 따라 연장되는 서브 블랙 매트릭스 영역, 다수의 제1 화소전극들 및 다수의 제2 화소전극들을 포함하는 어레이 기판;

상기 어레이 기판과 대향하여 결합하는 대향 기판; 및

상기 어레이 기판 및 상기 대향 기판 사이에 개재되는 액정층을 포함하며,

각 상기 제1 화소전극은 대응되는 상기 제1 화소영역을 정의하며, 각 상기 제2 화소전극은 대응되는 상기 제2 화소영역을 정의하고,

상기 제1 화소전극들은 동일한 패턴을 가지며, 상기 제2 화소 전극들은 동일한 패턴을 가지고, 상기 제1 및 제2 화소전극들의 상기 패턴은 서로 상이하며,

상기 서브 블랙 매트릭스 영역의 폭은 상기 메인 블랙 매트릭스 영역의 폭보다 적은 것을 특징으로 하는 액정표시패널.

#### 청구항 2

제1항에 있어서,

상기 메인 블랙 매트릭스 영역의 폭은 소정의 기준값 보다 크고, 상기 서브 블랙 매트릭스 영역의 폭은 상기 기준값 보다 적은 것을 특징으로 하는 액정표시패널.

#### 청구항 3

제2항에 있어서,

상기 기준값은 상기 액정표시패널의 곡률 및 두께에 근거하여 결정되는 것을 특징으로 하는 액정표시패널.

#### 청구항 4

제1항에 있어서,

각 상기 제1 및 제2 화소영역들은 녹색광을 표시하는 그린화소영역, 적색광을 표시하는 레드화소영역 및 청색광을 표시하는 블루화소영역으로 이루어지는 것을 특징으로 하는 액정표시패널.

#### 청구항 5

제1항에 있어서,

각 상기 제1 및 제2 화소영역은 상기 제2 방향으로 배열되는 다수의 도메인들을 포함하며,

상기 각 제1 및 제2 화소영역내에서 상기 다수의 도메인들 중 적어도 두 개의 상기 도메인들간의 액정 배향 방향은 서로 상이한 것을 특징으로 하는 액정표시패널.

#### 청구항 6

제5항에 있어서,

상기 제1 및 제2 도트 내에서 상기 다수의 도메인들은  $n \times m$  크기의 매트릭스 형태로 배치되며,

각 상기 제1 화소영역들 내에서 상기  $n$ 번째 행에 배치되는 상기 도메인들간의 액정 배향 방향은 서로 동일하며,

각 상기 제2 화소영역들 내에서 상기 n번째 행에 배치되는 상기 도메인들간의 액정 배향 방향은 서로 동일한 것을 특징으로 하는 액정표시패널.

### 청구항 7

제6항에 있어서,

상기 제1 도트의 상기 n번째 행에 배치되는 상기 도메인들간의 상기 액정 배향 방향과 상기 제2 도트의 상기 n번째 행에 배치되는 상기 액정 배향 방향은 서로 상이한 것을 특징으로 하는 액정 표시패널.

### 청구항 8

제7항에 있어서,

상기 제1 도트의 상기 n번째 행에 배치되는 상기 도메인들간의 상기 액정 배향 방향과 상기 제2 도트의 상기 n번째 행에 배치되는 상기 액정 배향 방향은 상기 블랙 매트릭스 영역을 기준으로 서로 대칭인 것을 특징으로 하는 액정 표시패널.

### 청구항 9

제5항에 있어서,

각 상기 제1 및 제2 화소전극의 일부는 연장되어 대응되는 상기 다수의 도메인들을 정의하는 것을 특징으로 하는 액정표시패널.

### 청구항 10

제9항에 있어서,

각 제1 및 제2 화소영역내에서 상기 다수의 도메인들은 상기 제2 방향을 배열된 제1 도메인, 제2 도메인, 제3 도메인 및 제4 도메인을 포함하고,

상기 제1 및 제2 화소전극 각각은

상기 제1 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제1 가지부들;

상기 제2 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제2 가지부들;

상기 제3 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제3 가지부들; 및

상기 제4 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제4 가지부들을 포함하는 것을 특징으로 하는 액정표시패널.

### 청구항 11

제5항에 있어서,

각 상기 제1 및 제2 화소전극은 제1 및 제2 서브화소전극을 포함하며,

상기 제1 및 제2 서브화소전극은 서로 다른 데이터 신호를 제공받는 것을 특징으로 하는 액정 표시 장치.

### 청구항 12

제1항에 있어서,

상기 어레이 기판은 상기 화소전극과 전기적으로 절연되며, 상기 메인 및 서브 블랙 매트릭스 영역을 따라 배치되며, 블랙 계조를 표시하도록 상기 액정층을 제어하는 차폐전극을 더 포함하는 것을 특징으로 하는 액정표시패널.

### 청구항 13

제12항에 있어서,

상기 대향 기판은 공통전극을 포함하며,

상기 차폐전극은 상기 공통전극과 동일한 전압을 수신받는 것을 특징으로 하는 액정표시패널.

#### 청구항 14

제11항에 있어서,

상기 어레이 기판은 상기 화소전극 및 상기 차폐전극 사이에 배치되는 절연막을 더 포함하는 것을 특징으로 하는 액정표시패널.

#### 청구항 15

제1항에 있어서,

상기 액정층은 음의 유전율을 갖는 액정분자들을 포함하는 액정층인 것을 특징으로 하는 액정표시패널.

#### 청구항 16

제1항에 있어서,

상기 어레이 기판은 상기 제2 방향으로 연장되는 다수의 데이터 라인들 및 상기 제1 방향으로 연장되는 케이트 라인들을 더 포함하며,

상기 다수의 데이터 라인은 상기 메인 및 서브 블랙 매트릭스 영역을 따라 배치되는 것을 특징으로 하는 액정표시패널.

#### 청구항 17

제16항에 있어서,

상기 액정표시패널은 상기 다수의 케이트 라인들을 따라 연장되어, 평면에서 봤을 때 상기 다수의 케이트 라인들을 커버하며, 차광물질로 이루어진 차광층 더 포함하는 것을 특징으로 하는 액정표시패널.

#### 청구항 18

제16항에 있어서,

상기 액정표시패널은 상기 다수의 메인 및 서브 블랙매트릭스 영역들을 따라 연장되어, 평면에서 봤을 때 상기 다수의 메인 및 서브 블랙매트릭스 영역들을 커버하며, 차광물질로 이루어진 차광층을 더 포함하는 것을 특징으로 하는 액정표시패널.

### 발명의 설명

#### 기술 분야

[0001] 본 발명은 액정표시패널에 관한 것으로, 보다 상세하게는 휘어진 형상을 갖는 표시패널에 관한 것이다.

#### 배경 기술

[0002] 액정표시패널은 평판표시장치 중 하나로, 티브이, 모니터, 노트북 및 휴대폰 등 다양한 장치들에 영상을 표시하는 용도로 사용되고 있다.

[0003] 액정표시패널은 두 기판 사이에 개재되어 있는 액정층에 전계를 인가하고 이 전계의 세기를 조절하여 백라이트 어셈블리로부터 기판에 투과되는 빛의 양을 조절함으로써 원하는 영상을 얻는다.

[0004] 최근에는 휘어진 액정표시패널이 개발되고 있는데, 휘어진 액정표시패널은 곡면의 표시 영역을 제공하여 사용자에게 입체감, 몰입감 및 임장감이 향상된 영상을 제공할 수 있다.

#### 발명의 내용

#### 해결하려는 과제

[0005] 본 발명의 목적은 곡면 형상을 갖는 표시영역에서 표시되는 영상의 표시품질이 향상된 액정표시패널을 제공하는

데 있다.

### 과제의 해결 수단

[0006]

본 발명의 일 실시예에 따른 액정표시패널은 제1 방향을 따라 절곡되는 액정표시패널에 있어서, 다수의 제1 화소영역들을 구비하는 제1 도트, 다수의 제2 화소영역들을 구비하는 제2 도트, 상기 제1 도트 및 제2 도트 사이에서 상기 제1 방향과 수직하는 제2 방향을 따라 연장되는 메인 블랙 매트릭스영역, 상기 다수의 제1 화소영역들 사이 및 상기 다수의 제2 화소영역들 사이에서 상기 제2 방향을 따라 연장되는 서브 블랙 매트릭스 영역, 다수의 제1 화소전극들 및 다수의 제2 화소전극들을 포함하는 어레이 기판; 상기 어레이 기판과 대향하여 결합하는 대향 기판; 및 상기 어레이 기판 및 상기 대향 기판 사이에 개재되는 액정층을 포함하며, 각 상기 제1 화소전극은 대응되는 상기 제1 화소영역을 정의하며, 각 상기 제2 화소전극은 대응되는 상기 제2 화소영역을 정의하고, 상기 제1 화소전극들은 동일한 패턴을 가지며, 상기 제2 화소전극들은 동일한 패턴을 가지고, 상기 제1 및 제2 화소전극들의 상기 패턴은 서로 상이하며, 상기 서브 블랙 매트릭스 영역의 폭은 상기 메인 블랙 매트릭스 영역의 폭보다 적다.

[0007]

상기 메인 블랙 매트릭스 영역의 폭은 소정의 기준값 보다 크고, 상기 서브 블랙 매트릭스 영역의 폭은 상기 기준값 보다 적다.

[0008]

상기 기준값은 상기 액정표시패널의 곡률 및 두께에 근거하여 결정된다.

[0009]

각 상기 제1 및 제2 화소영역들은 녹색광을 표시하는 그린화소영역, 적색광을 표시하는 레드화소영역 및 청색광을 표시하는 블루화소영역으로 이루어진다.

[0010]

각 상기 제1 및 제2 화소영역은 상기 제2 방향으로 배열되는 다수의 도메인들을 포함하며, 상기 각 제1 및 제2 화소영역내에서 상기 다수의 도메인들 중 적어도 두 개의 상기 도메인들간의 액정 배향 방향은 서로 상이하다.

[0011]

상기 제1 및 제2 도트 내에서 상기 다수의 도메인들은  $nxm$  크기의 매트릭스 형태로 배치되며, 각 상기 제1 화소영역들 내에서 상기 n번째 행에 배치되는 상기 도메인들간의 액정 배향 방향은 서로 동일하며, 각 상기 제2 화소영역들 내에서 상기 n번째 행에 배치되는 상기 도메인들간의 액정 배향 방향은 서로 동일하다.

[0012]

상기 제1 도트의 상기 n번째 행에 배치되는 상기 도메인들간의 상기 액정 배향 방향과 상기 제2 도트의 상기 n번째 행에 배치되는 상기 액정 배향 방향은 서로 상이하다.

[0013]

상기 제1 도트의 상기 n번째 행에 배치되는 상기 도메인들간의 상기 액정 배향 방향과 상기 제2 도트의 상기 n번째 행에 배치되는 상기 액정 배향 방향은 상기 블랙 매트릭스 영역을 기준으로 서로 대칭이다.

[0014]

각 상기 제1 및 제2 화소전극의 일부는 연장되어 대응되는 상기 다수의 도메인들을 정의한다.

[0015]

각 제1 및 제2 화소영역내에서 상기 다수의 도메인들은 상기 제2 방향을 배열된 제1 도메인, 제2 도메인, 제3 도메인 및 제4 도메인을 포함하고, 상기 제1 및 제2 화소전극 각각은 상기 제1 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제1 가지부들; 상기 제2 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제2 가지부들; 상기 제3 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제3 가지부들; 및 상기 제4 도메인에 위치하고, 평면상에서 상기 제1 및 제2 방향들과 경사진 방향으로 연장된 제4 가지부들을 포함한다.

[0016]

각 상기 제1 및 제2 화소전극은 제1 및 제2 서브화소전극을 포함하며, 상기 제1 및 제2 서브화소전극은 서로 다른 데이터 신호를 제공받는다.

[0017]

상기 어레이 기판은 상기 화소전극과 전기적으로 절연되며, 상기 메인 및 서브 블랙 매트릭스 영역을 따라 배치되며, 블랙 계조를 표시하도록 상기 액정층을 제어하는 차폐전극을 더 포함하는 것을 특징으로 한다.

[0018]

상기 대향 기판은 공통전극을 포함하며, 상기 차폐전극은 상기 공통전극과 동일한 전압을 수신 받는다.

[0019]

상기 어레이 기판은 상기 화소전극 및 상기 차폐전극 사이에 배치되는 절연막을 더 포함한다.

[0020]

상기 액정층은 음의 유전율을 갖는 액정분자들을 포함하는 액정층이다.

[0021]

상기 어레이 기판은 상기 제2 방향으로 연장되는 다수의 데이터 라인들 및 상기 제1 방향으로 연장되는 게이트 라인들을 더 포함하며, 상기 다수의 데이터 라인은 상기 메인 및 서브 블랙 매트릭스 영역을 따라 배치된다.

[0022]

상기 액정표시패널은 상기 다수의 게이트 라인들을 따라 연장되어, 평면에서 봤을때 상기 다수의 게이트 라인들

을 커버하며, 차광물질로 이루어진 차광층 더 포함한다.

[0023] 상기 액정표시패널은 상기 다수의 메인 및 서브 블랙매트릭스 영역들을 따라 연장되어, 평면에서 봤을 때 상기 다수의 메인 및 서브 블랙매트릭스 영역들을 커버하며, 차광물질로 이루어진 차광층을 더 포함한다.

### 발명의 효과

[0024] 본 발명에 따르면, 액정표시패널이 절곡되어 어레이 기판 및 대향 기판간에 오정렬이 일어나더라도 배향 불량의 텍스처는 발생하지 않는다. 따라서, 액정표시패널의 표시품질이 향상된다. 또한, 서브 블랙매트릭스 영역의 폭을 좁힐 수 있어 화소의 개구율은 향상된다.

### 도면의 간단한 설명

[0025] 도 1a는 일 실시예에 따른 액정표시패널의 사시도이다.

도 1b는 도 1a에 도시된 액정표시패널의 측면도이다.

도 2는 일 실시예에 따른 액정표시패널의 화소를 나타내는 평면도이다.

도 3은 도 2의 I-I'에 따라 절취된 면을 나타내는 단면도이다.

도 4는 도 2의 II-II'에 따라 절취된 면을 나타내는 단면도이다.

도 5는 도 2에 도시된 화소에 정의되는 도메인들 및 액정 배향 방향들을 나타내는 평면도이다.

도 6은 도 2의 III-III'에 따라 절취된 면을 나타내는 단면도이다.

도 7은 일 실시예에 따른 액정표시패널의 제1 및 제2 도트를 나타낸 평면도이다.

도 8는 도 7에 도시된 화소에 정의되는 도메인들 및 액정 배향 방향들을 나타내는 평면도이다.

도 9는 도 7의 IV-IV'에 따라 절취된 면을 나타내는 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0026] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0027] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 다수의 표현을 포함한다.

[0028] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

[0029] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0030] 도 1a는 일 실시예에 따른 액정표시패널의 사시도이고, 도 1b는 도 1a에 도시된 액정표시패널의 측면도이다.

[0031] 도 1a 및 도 1b를 참조하면, 액정표시패널(1000)은 영상이 표시되는 표시 영역(DA)을 갖고, 액정표시패널(1000)은 휘어진 형상을 갖는다. 따라서, 액정표시패널(1000)은 곡면의 형상을 갖는 표시 영역(DA)을 이용하여 입체감, 몰입감 및 입장감이 향상된 영상을 표시할 수 있다.

- [0032] 액정표시패널(1000)은 어레이 기판(100), 대향 기판(300) 및 액정층(200, 도2)을 포함할 수 있다. 대향 기판(300)은 어레이 기판(100)에 대향하여 어레이 기판(100)과 결합되고, 액정층(200)은 어레이 기판(100)과 대향 기판(300) 사이에 개재된다.
- [0033] 액정표시패널(1000)은 표시영역(DA)상에 매트릭스 형태로 배열된 다수의 화소를 포함한다. 각 화소는 수신 받은 신호에 대응하여 영상을 생성한다.
- [0034] 액정표시패널(1000)는 평면상에서 제1 방향(D1)을 따라 휘어진다. 이에 따라, 어레이 기판(100)의 일부 또는 전부(全部)는 제1 방향(D1)을 따라 휘어진 형상을 갖고, 표시 영역(DA)은 제1 방향(D1)을 따라 굽곡진 곡면 형상 형상을 가질 수 있다. 또한, 대향 기판(300)은 어레이 기판(100)과 함께 휘어진 형상을 가질 수 있다.
- [0035] 한편, 측면상에서 어레이 기판(100)의 휘어진 부분에 제1 포인트(P1)를 정의하고, 제1 포인트(P1)를 지나는 어레이 기판(100)의 상면의 법선(10)을 정의하고, 대향 기판(300)에 법선(10)과 만나는 제2 포인트(P2)를 정의한다. 또한, 제1 포인트(P1)에서 사용자의 시야 방향과 나란한 시선 라인(15)을 정의하고, 대향 기판(300)에서 시선 라인(15)과 만나는 제3 포인트(P3)를 정의한다. 이 경우에, 어레이 기판(100) 및 대향 기판(300)이 휘어진 형상을 가지므로 대향 기판(300)에서 제2 포인트(P2)의 위치는 제3 포인트(P3)의 위치와 상이할 수 있다.
- [0036] 상술한 바와 같이, 제2 및 제3 포인트들(P2, P3)의 위치들이 서로 일치하지 않는 현상을 어레이 기판(100) 및 대향 기판(300) 간의 오정렬(miss-alignment)이라고 정의한다. 이하, 오정렬에 의해 표시영역(DA)에서 표시되는 영상의 표시품질이 저하되는 것이 방지될 수 있는 액정표시패널(1000)의 구조가 설명된다.
- [0037] 도 2는 일 실시예에 따른 액정표시패널의 화소를 나타내는 평면도이고, 도 3은 도 2의 I-I'에 따라 절취된 면을 나타내는 단면도이며, 도 5는 도 2에 도시된 화소에 정의되는 도메인들 및 액정 배향 방향들을 나타내는 평면도이다. 각 화소의 기능 및 구조는 동일하므로, 도 2에서는 다수의 화소들 중 하나의 화소만을 도시하였으며, 나머지 화소들의 도시는 생략된다. 또한, 도 2에서는 어레이 기판(100)의 구조가 주로 도시되며 대향 기판(300)의 구조는 도 3에서 도시된다.
- [0038] 도 2, 도 3 및 도 5를 참조하면, 어레이 기판(100)은 제1 베이스 기판(140), 게이트 라인(GL), 제1 및 제2 데이터 라인(DL1, DL2), 제1 내지 제3 박막 트랜지스터(TFT1~TFT3), 화소 전극(PE) 및 제1 배향막(110)을 포함한다. 대향 기판(300)은 제2 배향막(310), 컬러필터(330) 및 공통 전극(320), 블랙 매트릭스(340) 및 제2 베이스 기판(350)을 포함한다.
- [0039] 제1 베이스 기판(140)은 플라스틱 기판과 같이 높은 광 투과 특성 및 플렉서블 특성을 갖는 절연기판일 수 있다.
- [0040] 게이트 라인(GL)은 제1 베이스 기판(140) 위에 배치되고, 제1 내지 제3 박막 트랜지스터들(TFT1~TFT3) 측으로 게이트 신호를 전송한다. 게이트 라인(GL)은 제1 방향(D1)으로 연장되며, 제1 내지 제3 박막 트랜지스터들(TFT1~TFT3)과 전기적으로 연결된다.
- [0041] 제1 및 제2 데이터 라인(DL1, DL2)은 게이트 라인(GL)과 절연되어 제1 베이스 기판(140) 위에 배치되며, 제1 방향(D1)으로 소정 간격 이격하여 제1 방향(D1)과 수직한 제2 방향(D2)으로 연장된다. 제1 데이터 라인(DL1)은 제1 및 제2 박막 트랜지스터들(TFT1, TFT2) 측으로 데이터 신호를 전송한다.
- [0042] 화소(PX)는 제1 및 제2 데이터 라인(DL1, DL2) 사이에 정의되는 화소영역(PA) 및 중간영역(MA)을 포함한다. 화소영역(PA)은 제1 서브화소영역(PA1) 및 제2 서브 화소영역(PA2)를 포함한다. 중간영역(MA)은 제1 및 제2 서브 화소영역(PA1, PA2) 사이에 배치된다. 발명의 일 실시예로, 제1 및 제2 서브 화소 영역(PA1, PA2) 및 중간 영역(MA)은 제2 방향(D2)을 따라 순차적으로 배열된다.
- [0043] 이 경우에, 화소 전극(PE)은 제1 서브 화소 영역(PA1)에 배치되는 제1 서브 화소 전극(PE1) 및 제2 서브 화소 영역(PA2)에 배치되는 제2 서브 화소 전극(PE2)을 포함할 수 있다. 제1 서브 화소 영역(PA1)은 제1 내지 제4 도메인(DM1~DM4)을 포함하며, 제2 서브 화소 영역(PA2)은 제5 내지 제8 도메인(DM5~DM8)을 포함한다.
- [0044] 화소(PX)는 제1 및 제2 스토리지 전극(CS1, CS2)를 포함한다. 제1 및 제2 스토리지 전극(CS1, CS2)는 각각 제1 및 제2 서브 화소 전극(PE1, PE2)과 평면상에 볼 때 중첩되어 제1 및 제2 커패스터를 형성한다. 제1 및 제2 스토리지 전극(CS1, CS2)은 스토리지 전압을 인가 받는다.
- [0045] 제1 스토리지 전극(CS1)은 제1 방향(D1)으로 연장되는 제1 스토리지 라인(SL1) 및 제1 스토리지 라인(SL1)으로부터 제2 방향(D2)으로 연장되는 제1 서브 스토리지 라인(VL1)을 포함한다. 제1 스토리지 라인(SL1)은 제1 서브

화소 전극(PE1)의 하측 엣지와 평면상에서 봤을 때 적어도 일부가 중첩된다. 제1 서브 스토리지 라인(VL1)은 제1 서브 화소 전극(PE1)의 좌, 우측 엣지와 평면상에서 봤을 때 적어도 일부가 중첩된다.

[0046] 제2 스토리지 전극(CS2)은 화소(PX)의 하측에 인접하게 배치된 화소에 배치되는 제2 스토리지 라인(미도시)로부터 제2 방향(D2)로 연장되며, 제2 서브 화소 전극(PE2)의 좌, 우측 엣지와 평면상에서 봤을 때 적어도 일부가 중첩된다.

[0047] 중간 영역(MA)에는 게이트 라인(GL) 및 제1 내지 제3 박막 트랜지스터(TFT1~TFT3)가 형성된다.

[0048] 제1 박막 트랜지스터(TFT1)는 게이트 라인(GL), 제1 데이터 라인(DL1) 및 제1 서브 화소 전극(PE1)과 전기적으로 연결된다. 따라서, 제1 박막 트랜지스터(TFT1)가 게이트 신호에 의해 턴-온 되는 경우에, 데이터 신호가 제1 서브 화소 전극(PE1) 측으로 제공될 수 있다.

[0049] 제1 박막 트랜지스터(TFT1)는 제1 게이트 전극(GE1), 제1 반도체층(AL1), 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 제1 게이트 전극(GE1)은 게이트 라인(GL)으로부터 분기되고, 제1 반도체층(AL1)은 게이트 절연층(GI)을 사이에 두고 제1 게이트 전극(GE1) 위에 배치될 수 있다. 제1 소스 전극(SE1)은 제1 데이터 라인(DL1)으로부터 분기되어 제1 반도체층(AL1)과 접촉되고, 제1 드레인 전극(DE1)은 제1 소스 전극(SE1)과 이격되어 제1 반도체층(AL1)과 접촉된다. 제1 드레인 전극(DE1)은 연장되어 컨택홀을 통해 제1 서브 화소 전극(PE1)으로부터 분기된 제1 연결 전극에 전기적으로 연결된다.

[0050] 제2 및 제3 박막 트랜지스터(TFT2, TFT3)는 데이터 신호와 상이한 서브 데이터 신호를 제2 서브 화소 전극(PE2) 측으로 제공한다. 여기서, 서브 데이터 신호는 데이터 신호에 근거하여 결정된다.

[0051] 제2 박막 트랜지스터(TFT2)는 제2 게이트 전극(GE2), 제2 반도체층(AL2), 제2 소스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 제2 게이트 전극(GE2)은 게이트 라인(GL)으로부터 분기되고, 제2 반도체층(AL2)은 게이트 절연층(GI)을 사이에 두고 제2 게이트 전극(GE2) 위에 배치될 수 있다. 제2 소스 전극(SE2)은 제1 데이터 라인(DL1)으로부터 분기되어 제2 반도체층(AL2)과 접촉되고, 제2 드레인 전극(DE2)은 제2 소스 전극(SE2)과 이격되어 제2 반도체층(AL2)과 접촉된다. 제2 드레인 전극(DE2)은 연장되어 컨택홀을 통해 제2 서브 화소 전극(PE2)으로부터 분기된 제2 연결 전극에 전기적으로 연결된다.

[0052] 제3 박막 트랜지스터(TFT3)는 제3 게이트 전극(GE3), 제3 반도체층(AL3), 제3 소스 전극(SE3) 및 제3 드레인 전극(DE3)을 포함한다. 제3 게이트 전극(GE3)은 게이트 라인(GL)으로부터 분기되고, 제3 반도체층(AL3)은 게이트 절연층(GI)을 사이에 두고 제3 게이트 전극(GE3) 위에 배치될 수 있다. 제3 소스 전극(SE3)은 제2 드레인 전극(DE2)로부터 연장되어 제3 반도체층(AL3)과 접촉되고, 제3 드레인 전극(DE3)은 제2 소스 전극(SE2)과 이격되어 제1 반도체층(AL2)과 접촉된다. 제3 드레인 전극(DE3)은 연장되어 컨택홀을 통해 제1 스토리지 라인(SL1)과 전기적으로 연결된다.

[0053] 제1 박막 트랜지스터(TFT1)의 크기와 제2 박막 트랜지스터(TFT2)의 크기는 동일하게 설정될 수 있다. 제3 박막 트랜지스터(TFT3)의 크기는 제2 박막 트랜지스터(TFT2)의 크기보다 작게 설정될 수 있다.

[0054] 제2 및 제3 박막트랜지스터(TFT2, TFT3)는 게이트 라인(GL)을 통해 제공받는 게이트 신호에 응답하여 턴 온된다. 턴 온된 제2 박막 트랜지스터(TFT2)는 제1 데이터 라인(DL1)을 통해 수신된 데이터 신호를 제2 서브 화소 전극(PE2)에 제공한다. 턴 온된 제3 박막 트랜지스터(T3)는 제1 스토리지 라인(SL1)을 통해 수신된 스토리지 전압을 제2 서브 화소 전극(PE2)에 제공하여 데이터 신호의 전압 레벨을 다운 시킨다.

[0055] 보다 구체적으로, 제2 서브 화소 전극(PE2)에 걸리는 전압은 제2 박막 트랜지스터(TFT2) 및 제3 박막 트랜지스터(TFT3)의 턴 온시 저항 상태의 저항값에 의해 분배된 전압이다. 여기서, 제2 서브 화소 전극(PE2)에 걸리는 전압은, 상술한 서브 데이터 신호의 전압이라 정의된다. 서브 데이터 신호의 전압은 데이터 전압 및 스토리지 전압의 중간 정도의 전압 값을 가진다.

[0056] 상술 내용을 종합하면, 제1 내지 제3 박막 트랜지스터(TFT1~TFT3)는 게이트 신호에 의해 턴-온 된다. 이 경우에, 제1 박막 트랜지스터(TFT1)를 통해 제1 서브 화소 전극(PE1) 측으로 데이터 신호가 제공되고, 제2 박막 트랜지스터(TFT2)를 통해 제2 서브 화소 전극(PE2) 측으로 서브 데이터 신호가 제공될 수 있다. 따라서, 제1 및 제2 서브 화소 전극들(PE1, PE2)이 서로 다른 데이터 신호들로 구동되어, 제1 및 제2 서브 화소 영역들(PA1, PA2)에서 서로 다른 계조들이 표시될 수 있다.

[0057] 한편, 어레이 기판(100)은 제1 절연층(130), 제2 절연층(120) 및 제1 배향막(110)을 포함한다. 제1 절연층(130)은 제2 박막 트랜지스터(TFT2)를 커버하며, 제2 절연층(120)은 제1 절연층(130) 상에 구비된다. 컨택홀은 제2

드레인 전극(DE2)이 노출되도록 제1 및 제2 절연층(130, 120)을 개구하여 형성된다.

[0058] 제1 서브 화소 전극(PE1)은 제2 절연층(120) 위에 배치되고, 제1 서브 화소 전극(PE1)은 콘택홀을 통해 제2 드레인 전극(DE2)과 접촉된다.

[0059] 액정층(200)은 어레이 기판 및 대향 기판(100, 300) 사이에 배치되며, 액정층(200)을 투과되는 광의 세기를 제어한다. 액정층(200)은 유전율 이방성을 가지는 복수의 액정분자를 포함한다. 액정분자는 음의 유전율 이방성을 갖고 있어, 인가된 전계와 액정분자의 장축이 수직한 방향으로 배열될 수도 있다. 이에 한정되지 않고 액정분자는 양의 유전율 이방성을 갖고 있어, 인가된 전계와 액정분자의 장축이 평행한 방향으로 배열될 수도 있다. 액정분자는 상기 어레이 기판(100)과 상기 대향 기판(300) 사이에서 두 기판(100, 300)에 수직한 방향으로 수직 배향(homeoTFTopic)된다. 또한, 액정분자는, 다른 실시예로, 두 기판(100, 300)에 수평한 방향으로 수평 배향(homogeneous)될 수 있다.

[0060] 제1 및 대향 기판(100, 300) 사이에 전계가 인가되면 상기 액정분자들이 특정 방향으로 재배열되며, 재배열된 액정분자를 통과하는 광의 편광은 재배열된 액정분자의 광학적 이방성에 의해 변한다. 그에 따라, 광은 제1 및 대향 기판(100, 300)에 구비된 편광판(미도시)에 의해 투과되거나 차단된다.

[0061] 여기서, '재배열된다'라는 용어는 주로 상기 액정분자들이 상기 어레이 기판(100) 또는 상기 대향 기판(300)과 수평한 평면에서 회전하거나, 상기 어레이 기판(100) 또는 상기 대향 기판(300)과 수직한 평면에서 회전하는 것을 의미한다.

[0062] 제1 배향막(110)은 화소 전극(PE) 위에 배치되어 액정층(200)과 접촉된다. 어레이 기판(100) 및 대향 기판(300) 사이에 전계가 형성되지 않을 때, 제1 배향막(110)은 액정층(200)이 갖는 액정 분자들을 제1 배향막(110)에 대해 경사지도록 배향시킨다.

[0063] 대향 기판(300)은 제2 베이스 기판(350), 컬러필터(330), 차광층(340), 공통 전극(320) 및 제2 배향막(310)을 포함한다. 제2 베이스기판(350)은 플라스틱과 같이 높은 광 투과 특성 및 플렉서블 특성을 갖는 절연기판일 수 있다.

[0064] 공통 전극(320)은 제2 베이스 기판(350) 위에 배치되어 화소 전극(PE)과 함께 액정층(200)에 작용하는 전계를 발생한다. 차광층(340)은 게이트 라인(GL), 제1 및 제2 박막 트랜ジ스터들(TFT1, TFT2)의 위치에 대응하여 제2 베이스 기판(350) 위에 배치될 수 있고, 차광층(340)은 광을 차단한다. 또한, 컬러 필터(330)는 제2 베이스 기판(350) 위에 배치되어 액정층을 투과한 광을 컬러광으로 필터링한다.

[0065] 차광층(340) 및 컬러필터(330)는 제2 베이스 기판(350) 위에 배치되나, 본 발명이 이에 한정되는 것은 아니다. 예를 들면, 다른 실시예에서는 차광층(340) 및 컬러필터(330) 중 적어도 하나는 제1 베이스 기판(140) 위에 배치될 수도 있다.

[0066] 제1 서브 화소 전극(PE1)은 제1 가로 줄기부(HS1), 제2 가로 줄기부(HS2), 제1 세로 줄기부(VS1), 제2 세로 줄기부(VS2) 및 제1 내지 제4 가지부들(B1, B2, B3, B4)로 이루어진 패턴을 포함한다.

[0067] 제1 세로 줄기부(VS1)는 제1 가로 줄기부(HS1), 제1 가지부들(B1)의 에지들 및 제2 가지부들(B2)의 에지들과 연결되고, 제2 세로 줄기부(VS2)는 제2 가로 줄기부(HS2), 제3 가지부들(B3)의 에지들 및 제4 가지부들(B4)의 에지들과 연결된다. 제1 및 제2 세로 줄기부들(VS1, VS2) 각각은 제2 방향(D2)으로 연장된다.

[0068] 제1 가로 줄기부(HS1)는 제1 세로 줄기부(VS1), 제1 가지부들(B1)의 에지들 및 제2 가지부들(B2)의 에지들과 연결된다. 제1 가로 줄기부(HS1)는 제1 방향(D1)으로 연장되어 제1 세로 줄기부(VS1)의 중앙 부분으로부터 분기될 수 있다. 제1 가지부들(B1)은 제1 가로 줄기부(HS1)에 대해 제2 가지부들(B2)과 대칭인 형상을 가질 수 있고, 제1 가로 줄기부(HS1)는 제1 및 제2 도메인들(DM1, DM2) 사이에 위치할 수 있다.

[0069] 제2 가로 줄기부(HS2)는 제2 세로 줄기부(VS2), 제3 가지부들(B3)의 에지들 및 제4 가지부들(B4)의 에지들과 연결된다. 이 실시예에서는, 제2 가로 줄기부(HS2)는 제1 방향(D1)으로 연장되어 제2 세로 줄기부(VS2)의 중앙 부분으로부터 분기될 수 있다. 제3 가지부들(B3)은 제2 가로 줄기부(HS2)에 대해 제4 가지부들(B4)과 대칭인 형상을 가질 수 있고, 제2 가로 줄기부(HS2)는 제3 및 제4 도메인들(DM3, DM4) 사이에 위치할 수 있다.

[0070] 제1 가지부(B1)은 제1 도메인(DM1)에 위치하며, 제1 가지부들(B1) 중 일부는 제1 가로 줄기부(HS1)로부터 분기되고, 제1 가지부들(B1) 중 다른 일부는 제1 세로 줄기부(VS1)로부터 분기된다. 또한, 제1 가지부들(B1) 각각은 평면상에서 제1 방향(D1) 및 제2 방향(D2)과 경사진 제3 방향(D3)으로 연장되고, 제1 가지부들(B1)은 서로

이격되어 배열된다.

[0071] 제2 가지부(B2)는 제2 도메인(DM2)에 위치하며, 제2 가지부들(B2) 중 일부는 제1 가로 줄기부(HS1)로부터 분기되고, 제2 가지부들(B2) 중 다른 일부는 제1 세로 줄기부(VS1)로부터 분기된다. 또한, 제2 가지부들(B2) 각각은 평면상에서 제1 및 제2 방향들(D1, D2)과 경사진 제4 방향(D4)으로 연장되고, 제2 가지부들(B2)은 서로 이격되어 배열된다.

[0072] 평면상에서 제4 방향(D4)은 제3 방향(D3)과 교차할 수 있다. 예를 들면, 평면상에서 제3 및 제4 방향들(D3, D4)은 서로 직교할 수 있고, 평면상에서 제3 및 제4 방향들(D3, D4) 각각은 제1 방향(D1) 또는 제2 방향(D2)과 45도를 형성할 수 있다.

[0073] 제3 가지부(B3)는 제3 도메인(DM3)에 위치하며, 제3 가지부들(B3) 중 일부는 제2 가로 줄기부(HS2)로부터 분기되고, 제3 가지부들(B3) 중 다른 일부는 제2 세로 줄기부(VS2)로부터 분기된다. 또한, 제3 가지부들(B3) 각각은 평면상에서 제1 및 제2 방향들(D1, D2)과 경사진 제5 방향(D5)으로 연장되고, 제3 가지부들(B3)은 서로 이격되어 배열된다.

[0074] 제4 가지부(B4)는 제4 도메인(DM4)에 위치하며, 제4 가지부들(B4) 중 일부는 제2 가로 줄기부(HS2)로부터 분기되고, 제4 가지부들(B4) 중 다른 일부는 제2 세로 줄기부(VS2)로부터 분기된다. 또한, 제4 가지부들(B4) 각각은 평면상에서 제1 및 제2 방향들(D1, D2)과 경사진 제6 방향(D6)으로 연장되고, 제4 가지부들(B4)은 서로 이격되어 배열된다.

[0075] 평면상에서 제6 방향(D6)은 제5 방향(D5)과 교차할 수 있다. 예를 들면, 평면상에서 제5 및 제6 방향들(D5, D6)은 서로 직교할 수 있고, 평면상에서 제5 및 제6 방향들(D5, D6) 각각은 제1 방향(D1) 또는 제2 방향(D2)과 45도를 형성할 수 있다.

[0076] 제2 서브 화소 전극(PE2)의 크기는 제1 서브 화소 전극(PE1)의 크기와 상이할 수 있으나, 제2 서브 화소 전극(PE2)의 형상은 제1 서브 화소 전극(PE1)의 형상과 유사할 수 있다.

[0077] 제2 서브 화소 전극(PE2)은 제3 가로 줄기부(HS3), 제4 가로 줄기부(HS4), 제3 세로 줄기부(VS3), 제4 세로 줄기부(VS4) 및 제5 내지 제8 가지부들(B5, B6, B7, B8)으로 이루어진 패턴을 포함한다.

[0078] 제3 세로 줄기부(VS3)는 제2 방향(D2)으로 연장되어 제3 가로 줄기부(HS3), 제5 가지부들(B5)의 에지들 및 제6 가지부들(B6)의 에지들과 연결된다. 제4 세로 줄기부(VS4)는 제2 방향(D2)으로 연장되어 제4 가로 줄기부(HS4), 제7 가지부들(B7)의 에지들 및 제8 가지부들(B8)의 에지들과 연결된다.

[0079] 제3 가로 줄기부(HS3)는 제3 세로 줄기부(VS3)로부터 분기되어 제1 방향(D1)으로 연장되고, 제4 가로 줄기부(HS4)는 제4 세로 줄기부(VS4)로부터 분기되어 제1 방향(D1)으로 연장된다. 이 실시예에서는, 제3 가로 줄기부(HS3)는 제3 세로 줄기부(VS3)의 중앙 부분으로부터 분기될 수 있고, 제4 가로 줄기부(HS4)는 제4 세로 줄기부(VS4)의 중앙 부분으로부터 분기될 수 있다.

[0080] 제5 가지부(B5)는 제5 도메인(DM5)에 위치하며, 제5 가지부들(B5) 중 일부는 제3 가로 줄기부(HS3)로부터 분기되고, 제5 가지부들(B5) 중 다른 일부는 제3 세로 줄기부(VS3)로부터 분기된다. 제5 가지부들(B5) 각각은 평면상에서 제3 방향(D3)으로 연장되고, 제5 가지부들(B5)은 서로 이격되어 배열된다.

[0081] 제6 가지부(B6)는 제6 도메인(DM6)에 위치하며, 제6 가지부들(B6) 중 일부는 제3 가로 줄기부(HS3)로부터 분기되고, 제6 가지부들(B6) 중 다른 일부는 제3 세로 줄기부(VS3)로부터 분기된다. 제6 가지부들(B6) 각각은 평면상에서 제4 방향(D4)으로 연장되고, 제6 가지부들(B6)은 서로 이격되어 배열된다.

[0082] 제7 가지부(B7)는 제7 도메인(DM7)에 위치하며, 제7 가지부들(B7) 중 일부는 제4 가로 줄기부(HS4)로부터 분기되고, 제7 가지부들(B7) 중 다른 일부는 제4 세로 줄기부(VS4)로부터 분기된다. 제7 가지부들(B7) 각각은 평면상에서 제5 방향(D5)으로 연장되고, 제7 가지부들(B7)은 서로 이격되어 배열된다.

[0083] 제8 가지부(B8)는 제8 도메인(DM8)에 위치하며, 제8 가지부들(B8) 중 일부는 제4 가로 줄기부(HS4)로부터 분기되고, 제8 가지부들(B8) 중 다른 일부는 제4 세로 줄기부(VS4)로부터 분기된다. 제8 가지부들(B8) 각각은 평면상에서 제6 방향(D6)으로 연장되고, 제8 가지부들(B8)은 서로 이격되어 배열된다.

[0084] 제1 서브 화소 전극(PE1)은 제1 도메인 연결부(LP1)를 더 포함하고, 제2 서브 화소 전극(PE2)은 제2 도메인 연결부(LP2)를 더 포함할 수 있다.

- [0085] 제1 도메인 연결부(LP1)는 제2 도메인(DM2) 및 제3 도메인(DM3) 사이에 배치되어 제2 및 제3 가지부들(B2, B3)을 전기적으로 연결하고, 제2 도메인 연결부(LP2)는 제6 도메인(DM6) 및 제7 도메인(DM7) 사이에 배치되어 제6 및 제7 가지부들(B6, B7)을 전기적으로 연결한다.
- [0086] 제1 도메인 연결부(LP1)는 제2 및 제3 도메인들(DM2, DM3) 간의 경계 영역의 중앙에 위치할 수 있고, 제2 도메인 연결부(LP2)는 제6 및 제7 도메인들(DM6, DM7) 간의 경계 영역의 중앙에 위치할 수 있다.
- [0087] 상기 제1 가지부들(B1)에 의해 상기 액정분자들이 배향되는 영역을 상기 제1 도메인(DM1)으로 정의할 때, 상기 제1 도메인(DM1)에서 제1 액정 배향 방향(DR1)은 제3 방향(D3)으로 정의된다. 상기 제2 가지부들(B2)에 의해 상기 액정분자들이 배향되는 영역을 상기 제2 도메인(DM2)으로 정의할 때, 상기 제2 도메인(DM2)에서 제2 액정 배향 방향(DR2)은 제7 방향(D4)으로 정의된다.
- [0088] 이와 마찬가지로, 상기 제3 도메인(DM3)에서 제3 액정 배향 방향(DR3)은 상기 제5 방향(D5)으로 정의되며, 상기 제4 도메인(DM2)에서 제4 액정 배향 방향(DR4)은 상기 제6 방향(D6)으로 정의될 수 있다.
- [0089] 상술한 내용을 종합하면, 상기 제1 서브 화소 영역(PA1)에 상기 제2 방향(D2)으로 순차적으로 배열되는 상기 제1 내지 제4 도메인들(DM1~DM4)이 형성되고, 상기 제1 내지 제4 도메인들(DM1~DM4)에서 액정 배향 방향들은 모두 상이하다. 따라서, 상기 제1 서브 화소 영역(PA1)에 대한 시야 범위가 확대될 수 있다.
- [0090] 또한, 상기 제2 서브 화소 영역(PA2)에 상기 제2 방향(D2)으로 순차적으로 배열되는 상기 제5 내지 제8 도메인들(DM5~DM8)이 형성되고, 상기 제5 내지 제5 도메인들(DM5~DM8)에서 액정 배향 방향들은 모두 상이하다. 따라서, 상기 제2 서브 화소 영역(PA2)에 대한 시야 범위가 확대될 수 있다.
- [0091] 상술한 특징을 갖는 제1 내지 제8 도메인들(DM1~DM8)이 제1 및 제2 서브 화소 영역들(PA1, PA2)에 정의되는 경우에, 발생되는 효과를 도6을 참조하여 설명한다.
- [0092] 도 6은 도 2의 III-III'에 따라 절취된 면을 나타내는 단면도이다. 도 6은 간략한 설명을 위해 액정표시패널(1000)의 구성 중 일부의 구성만을 도시하였으며 나머지 구성은 도시를 생략하였다.
- [0093] 도 6을 참조하면, 앞서 상술한 바와 같이, 액정표시패널(1000)이 제1 방향(D1)을 따라 휘어짐에 따라 어레이 기판(100) 및 대향 기판(300) 간에 오정렬이 발생될 수 있다. 이 경우에, 오정렬에 의해 어레이 기판(100) 및 대향 기판(300) 간에 제1 방향(D1)으로 제1 길이(L1)만큼 정렬이 어긋날 수 있다.
- [0094] 하지만, 본 발명의 실시예에서는, 제1 내지 제8 도메인들(DM1~DM8)은 제1 방향(D1)과 수직인 제2 방향(D2)으로 배열되므로, 액정분자들의 배향불량에 의한 텍스쳐가 발생되지 않는다.
- [0095] 보다 상세하게는, 어레이 기판(100)에 배치된 제1 배향막(110)에 의해 액정 분자들이 배향된 영역을 하부 배향 영역(AR1)으로 정의되며, 대향 기판(300)에 배치된 제2 배향막(310)에 의해 액정 분자들이 배향된 영역을 상부 배향 영역(AR2)으로 정의된다. 각 배향 영역(AR1, AR2)에서의 액정 배향 방향은 제1 액정 배향 방향(DR1, D4)으로 동일하다. 이 경우 대향 기판(300)이 제1 방향(D1)으로 쉬프트 되어 하부 배향 영역(AR1)의 위치가 상부 배향 영역(AR2)의 위치와 부분적으로 일치하지 않더라도, 제1 도메인(DM1)상에서는 동일한 액정 배향 방향을 갖는 하부 배향 영역(AR1)과 상부 배향 영역(AR2)이 여전히 중첩된다. 즉, 제1 도메인(DM1)상에서 하부 배향 영역(AR1)은 제1 액정 배향 방향(DR1)과 상이한 방향으로 배향된 다른 상부 배향 영역과 중첩되지 않는다.
- [0096] 따라서, 본 발명의 실시예에서는 각 도메인에서 서로 다른 방향들로 배향된 상부 배향 영역 및 하부 배향 영역이 중첩됨에 따라 발생되는 배향 불량이 발생되지 않고, 그 결과, 배향 불량에 의한 텍스쳐 및 각 도메인에서 국부적으로 광의 투과도가 저하되는 현상이 발생되지 않는다.
- [0097] 도 4는 도 2의 II-II'에 따라 절취된 면을 나타내는 단면도이다.
- [0098] 도2 및 도4를 참조하면, 어레이 기판(100)은 제1 및 제2 차폐 전극(SHE1, SHE2)를 포함한다. 제1 및 제2 차폐 전극(SHE1, SHE2)은 백라이트 어셈블리(미도시)로부터 제공되는 광을 차단한다. 보다 구체적으로, 제1 및 제2 차폐 전극(SHE1, SHE2)은 제2 방향(D2)으로 연장되어 각각 제1 및 제2 데이터 라인(DL1, DL2)과 전기적으로 접연되어 오버랩 된다. 제1 및 제2 차폐전극(SHE1, SHE2)에는 공통전극(CE)에 전송되는 전압의 크기와 동일한 크기를 갖는 전압이 인가된다.
- [0099] 따라서, 제1 및 제2 차폐 전극(SHE1, SHE2)과 공통전극(CE)사이에는 무전계가 형성된다. 이 경우 제1 및 제2 차폐 전극(SHE1, SHE2) 상의 액정분자들은 음의 유전율을 가지므로 어레이 기판(100)과 수직배향이 되도록 재정렬 된다. 그에 따라, 수직 배향된 액정분자를 측으로 입사된 광은 편광이 변하지 않으므로, 대향 기판(200)의 편광

판(미도시)에 의하여 차광된다.

[0100] 제1 및 제2 차폐전극(SHE1, SHE2)의 다양하게 변형되어 실시 될 수 있다. 예를 들어, 제1 차폐전극(SHE1)은 메인 차폐전극일 수 있으며, 제2 차폐전극(SHE2)은 메인 차폐전극보다 폭이 좁은 서브 차폐전극 일 수 있다. 이에 대하여는 후술한다.

[0101] 앞서 상술한 바와 같이, 액정표시패널(1000)이 제1 방향(D1)을 따라 휘어짐에 따라 어레이 기판(100) 및 대향 기판(300) 간에 오정렬이 발생되더라도, 오정렬의 정도에 관계 없이 여전히 제1 및 제2 차폐전극(SHE1, SHE2)은 제1 및 제2 데이터 라인(DL1, DL2) 상에 무전계를 형성시키므로, 화소 영역(PA)내에 세로줄 암부가 형성되는 것을 방지 할 수 있다.

[0102] 도 7은 일 실시예에 따른 액정표시패널의 제1 및 제2 도트를 나타낸 평면도이며, 도 8는 도 7에 도시된 화소에 정의되는 도메인들 및 액정 배향 방향들을 나타내는 평면도이다.

[0103] 도 7을 참조하면 액정표시패널(1000)은 제1 내지 제7 데이터 라인(DL1~DL7), 게이트 라인(GL), 제1 도트(410), 제2 도트(420), 제1 내지 제3 메인 블랙매트릭스 영역(511~513) 및 제1 내지 제4 서브 블랙매트릭스 영역(521~524)을 포함한다.

[0104] 제1 도트(410)는 제1 방향(D1)으로 배열되며, 영상을 생성하는 제1 내지 제3 화소(PX1~PX3)를 포함한다. 여기서 제1 내지 제3 화소(PX1~PX3)는 각각 다수의 도메인을 포함하는 제1 내지 제3 화소영역(PA1~PA3)을 갖는다. 제1 도트(410)내에 배치되는 도메인들은 nxm 크기의 매트릭스 형태로 배치된다. 본 발명의 일 실시예로써, 제1 도트(410)에서 다수의 도메인은 8X3 크기의 매트릭스 형태로 배열된다.

[0105] 제1 내지 제3 화소(PX1~PX3)는 제1 내지 제3 데이터 라인(DL1~DL3)과 제1 방향(D1)을 따라 순차적으로 교번하여 배치되며 게이트 라인(GL)과 전기적으로 연결된다.

[0106] 제1 화소(PX1)는 제1 데이터 라인(DL1)과 전기적으로 연결되어 제1 데이터 라인(DL1)으로부터 제1 데이터 신호를 수신한다. 제2 화소(PX2)은 제2 데이터 라인(DL2)과 전기적으로 연결되어 제2 데이터 라인(DL2)으로부터 제2 데이터 신호를 수신한다. 제3 화소(PX3)은 제3 데이터 라인(DL3)과 전기적으로 연결되어 제3 데이터 라인(DL3)으로부터 제3 데이터 신호를 수신한다. 따라서 각 화소(PX1~PX3)는 서로 다른 영상을 생성할 수 있다.

[0107] 본 발명의 일 실시예로써, 제1 내지 제3 화소(PX1~PX3)는 서로 다른 컬러를 갖는 광을 생성한다. 보다 상세하게, 제1 화소(PX1)는 레드 컬러필터를 구비하며, 적색광을 생성하는 레드화소이다. 제2 화소(PX2)는 그린 컬러필터를 구비하며, 녹색광을 생성하는 그린화소이다. 제3 화소(PX3)는 블루 컬러필터를 구비하며, 청색광을 생성하는 블루화소이다.

[0108] 제1 내지 제3 화소(PX1~PX3)은 제1 내지 제3 화소(PX1~PX3)의 도메인을 정의하는 패턴을 갖는 제1 내지 제3 화소전극(PE1~PE3)을 포함한다.

[0109] 본 발명의 일 실시예에서 제1 내지 제3 화소전극(PE1~PE3)은 동일한 패턴을 갖는다. 따라서, 제1 도트(410) 내의 다수의 도메인들 중 동일한 행에 배치되는 도메인은 같은 액정 배향 방향을 갖는다. 보다 구체적으로, 제1 도트(410) 내에서 제1 행(R01)에 배치되는 제1 도메인 그룹(RD1)의 액정 배향 방향은 제3 방향(D3)이며, 제1 도트(410) 내에서 제2 행(R02)에 배치되는 제2 도메인 그룹(RD2)의 액정 배향 방향은 제3 방향(D4)이며, 제1 도트(410) 내에서 제3 행(R03)에 배치되는 제3 도메인 그룹(RD3)의 액정 배향 방향은 제5 방향(D5)이며, 제1 도트(410) 내에서 제4 행(R04)에 배치되는 제4 도메인 그룹(RD4)의 액정 배향 방향은 제6 방향(D6)이다.

[0110] 마찬가지로, 제5 내지 제8 행(R05~R08)에 배치되는 도메인들 중 같은 행에 배치되는 도메인들의 액정 방향은 동일하다.

[0111] 제2 도트(420)는 제1 방향(D1)으로 배열되며, 영상을 생성하는 제4 내지 제6 화소(PX4~PX6)를 포함한다. 제4 내지 제6 화소(PX4~PX6)는 다수의 도메인(DM)을 포함하는 제4 내지 제6 화소영역(PA4~PA5)을 갖는다.

[0112] 제2 도트(420)내 배치되는 도메인들은 nxm 크기의 매트릭스 형태로 배치된다. 본 발명의 일 실시예로써, 제2 도트(420)의 도메인은 8X3 크기의 매트릭스 형태로 배열된다. 제4 내지 제6 화소(PX4~PX6)는 제4 내지 제7 데이터 라인(DL4~DL7)과 제1 방향(D1)을 따라 순차적으로 교번하여 배치되며 게이트 라인(GL)과 전기적으로 연결된다.

[0113] 제4 화소(PX4)는 제4 데이터 라인(DL4)과 전기적으로 연결되어 제4 데이터 라인(DL4)으로부터 제4 데이터 신호를 수신한다. 제5 화소(PX5)은 제5 데이터 라인(DL5)과 전기적으로 연결되어 제5 데이터 라인(DL5)으로부터 제5

데이터 신호를 수신한다. 제6 화소(PX6)은 제6 데이터 라인(DL6)과 전기적으로 연결되어 제6 데이터 라인(DL6)으로부터 제6 데이터 신호를 수신한다. 따라서 각 화소(PX4~PX6)는 서로 다른 영상을 생성할 수 있다.

[0114] 본 발명의 일 실시예로써, 제4 내지 제6 화소(PX4~PX6)는 서로 다른 컬러를 갖는 광을 생성한다. 보다 상세하게, 제4 화소(PX4)는 레드 컬러필터를 구비하며, 적색광을 생성하는 레드화소이다. 제5 화소(PX5)는 그린 컬러필터를 구비하며, 녹색광을 생성하는 그린화소이다. 제6 화소(PX6)는 블루 컬러필터를 구비하며, 청색광을 생성하는 블루화소이다.

[0115] 제4 내지 제6 화소(PX4~PX6)는 제4 내지 제6 화소(PX4~PX6)의 도메인(DM)을 정의하는 패턴을 갖는 제4 내지 제6 화소전극(PE4~PE6)을 포함한다.

[0116] 본 발명의 일 실시예에서 제4 내지 제6 화소전극(PE4~PE6)은 동일한 패턴을 갖는다. 따라서, 제2 도트 내(420)의 다수의 도메인들 중 동일한 행에 배치되는 도메인(DM)은 같은 액정 배향 방향을 갖는다. 보다 구체적으로, 제2 도트 내(420)에서 제1 행(R01)에 배치되는 제5 도메인 그룹(RD5)의 액정 배향 방향은 제5 방향(D5)이며, 제2 도트 내(420)에서 제2 행(R02)에 배치되는 제6 도메인 그룹(RD6)의 액정 배향 방향은 제6 방향(D6)이며, 제2 도트 내(420)에서 제3 행(R03)에 배치되는 제7 도메인 그룹(RD7)의 액정 배향 방향은 제3 방향(D3)이며, 제2 도트 내(420)에서 제4 행(R04)에 배치되는 제8 도메인 그룹(RD8)의 액정 배향 방향은 제4 방향(D4)이다.

[0117] 마찬가지로, 제2 도트(420) 내에서 제5 내지 제8 행(R05~R08)에 배치되는 도메인들(DM)의 액정 방향은 동일하다.

[0118] 제1 도트(410)내에 배치되는 제1 내지 제3 화소 전극(PE1~PE3)의 패턴은 제2 도트 (420)내에 배치되는 제4 내지 제6 화소전극(PE4~PE6)의 패턴과 상이하다. 본 발명의 일 실시예로, 제1 내지 제3 화소 전극(PE1~PE3)의 패턴과 제4 내지 제6 화소전극(PE4~PE6)의 패턴은 제2 방향(D2)을 기준으로 서로 대칭된다.

[0119] 제1 내지 제3 메인 블랙매트릭스 영역(511~513)은 제2 방향(D2)으로 연장되며, 제1 및 제2 도트(410, 420)와 제1 방향(D1)을 따라 교번적으로 배치된다. 보다 구체적으로, 제1 도트(410)는 제1 및 제2 메인 블랙매트릭스 영역(511, 512) 사이에 배치되며, 제2 도트(420)은 제2 및 제3 메인 블랙매트릭스 영역(512, 513)사이에 배치될 수 있다.

[0120] 제1 및 제2 서브 블랙매트릭스 영역(521, 522)은 제2 방향(D2)으로 연장되며, 제1 내지 제3 화소영역(PA1~PA3)과 제1 방향(D1)을 따라 교번적으로 배치된다. 보다 구체적으로, 제1 서브 블랙매트릭스 영역(521)은 제1 및 제2 화소(PA1, PA2) 사이에 배치되며, 제2 서브 블랙매트릭스영역(522)은 제2 및 제3 화소(PA1, PA2)사이에 배치될 수 있다.

[0121] 제3 및 제4 서브 블랙매트릭스 영역(523, 524)는 제2 방향(D2)으로 연장되며, 제4 내지 제6 화소영역(PA4~PA6)과 제1 방향(D1)을 따라 교번적으로 배치된다. 보다 구체적으로, 제3 서브 블랙매트릭스 영역(523)은 제3 및 제4 화소(PA3, PA4) 사이에 배치되며, 제4 서브 블랙매트릭스영역(524)은 제4 및 제5 화소(PA4, PA5)사이에 배치될 수 있다.

[0122] 액정표시패널(1000)은 제1 내지 제3 메인 차폐전극(MSH1~MSH3) 및 제1 내지 제4 서브 차폐전극(SSH1~SSH4)을 포함한다.

[0123] 제1 내지 제3 메인 차폐전극(MSH1~MSH3)은 제1 내지 제3 메인 블랙 매트릭스 영역(511~513)을 따라 배치된다. 따라서, 제1 내지 제3 메인 블랙 매트릭스 영역(511~513)은 백라이트 어셈블리로부터 제1 내지 제3 메인 블랙 매트릭스 영역(511~513)측으로 제공되는 광을 차광한다.

[0124] 제1 내지 제4 서브 차폐전극(SSH1~SSH3)은 제1 내지 제4 서브 블랙매트릭스 영역(521~524)을 따라 배치된다. 따라서, 제1 내지 제4 서브 블랙매트릭스 영역(521~524)은 백라이트 어셈블리로부터 제1 내지 제4 서브 블랙매트릭스 영역(521~524)측으로 제공되는 광을 차광한다.

[0125] 그러나 이에 한정되지 않고 메인 블랙매트릭스 영역들(511~513) 및 서브 블랙매트릭스 영역들(521~524)에는 메인 차폐전극들(MSH1~MSH3) 및 서브 차폐전극들(SSH1~SSH3)이 배치되지 않고 차광물질로 이루어진 차광층(미도시)이 배치될 수 있다.

[0126] 메인 블랙매트릭스 영역들(511~513)의 제1 방향(D1)으로의 폭인 제1 폭(W1)은 서브 블랙매트릭스 영역들(521~524)의 제1 방향(D1)으로의 폭인 제2 폭(W2)보다 넓다.

[0127] 본 발명의 일 실시예에서 제1 폭(W1)은 소정의 기준값보다 크고 제2 폭(W2)는 소정의 기준값보다 적을 수 있다. 여기서, 소정의 기준값은 액정표시패널(1000)이 제1 방향(D1)으로 절곡된 경우 제1 방향(D1)을 따라 측정되는

곡률 및 액정표시패널(1000)의 두께에 근거하여 결정된다. 예를 들면, 소정의 기준값은 액정표시패널(1000)의 곡률이 커질수록, 액정표시패널(1000)의 두께가 두꺼워 질수록 커질 수 있다. 보다 구체적으로, 소정의 기준값은 전술한 제1 길이(L1, 도 6)일 수 있다.

[0128] 상술한 내용을 종합하면, 메인 블랙매트릭스 영역들(511~513)의 양측에서 같은 행에 배치되는 도메인들은 서로 상이한 액정 배향 방향을 가지며, 서브 블랙매트릭스 영역들(521~524)의 양측에서 같은 행에 배치되는 도메인들은 서로 동일한 액정 배향 방향을 가진다. 이때, 서브 블랙매트릭스 영역들(521~524)의 제2 폭(W2)을 작게 형성하여 화소의 개구율을 증가 시킬 수 있다. 이하 도 9를 참조하여 보다 상세히 설명한다.

[0129] 도 9는 도 7의 IV-IV'에 따라 절취된 면을 나타내는 단면도이다. 도 9는 간략한 설명을 위해 액정표시장치(1000)의 일부 구성을 생략하여 도시하였다.

[0130] 도 9를 참조하면, 대향기판(300)은 제2 배향막(310) 및 제2 베이스 기판(350)을 포함하며, 어레이 기판(100)은 제1 베이스 기판(140) 및 제1 배향막(110)을 포함한다. 앞서 상술한 바와 같이, 액정표시패널(1000)이 제1 방향(D1)을 따라 희어짐에 따라 어레이 기판(100) 및 대향 기판(300) 간에 오정렬이 발생될 수 있다. 이 경우에, 오정렬에 의해 어레이 기판(100) 및 대향 기판(300) 간에 제1 방향(D1)으로 제1 길이(L1)만큼 정렬이 어긋날 수 있다.

[0131] 구체적으로, 오정렬이 일어나기 전 상태에서 제2 메인 블랙매트릭스 영역(512)과 대응되는 어레이 기판(100) 및 대향 기판(300) 상에서의 영역을 각각 하부 메인 블랙매트릭스 영역(512a) 및 상부 메인 블랙매트릭스 영역(512b)이라고 정의한다. 상부 및 하부 메인 블랙매트릭스 영역(512a, 512b)은 제2 메인 블랙매트릭스 영역(512)과 동일한 제1 폭(W1)을 가진다.

[0132] 마찬가지로, 오정렬이 일어나기 전 상태에서 제3 서브 블랙매트릭스 영역(523)과 대응되는 어레이 기판(100) 및 대향 기판(300) 상에서의 영역을 각각 제2 하부 서브 블랙매트릭스 영역(523a) 및 제2 상부 서브 블랙매트릭스 영역(523b)이라고 정의한다. 상부 및 하부 서브 블랙매트릭스 영역(523a, 523b)은 제3 서브 블랙매트릭스 영역(523)과 동일한 제2 폭(W2)을 가진다.

[0133] 이 경우, 어레이 기판(100) 및 대향 기판(300)간에 오정렬이 일어나는 때에는, 제1 상부 메인 블랙매트릭스 영역(512b)은 제1 하부 메인 블랙매트릭스 영역(512a)과 제1 길이(L1)만큼 정렬이 어긋나며, 제2 상부 서브 블랙매트릭스 영역(523b)은 제2 하부 서브 블랙매트릭스 영역(523a)과 제1 길이(L1)만큼 정렬이 어긋난다.

[0134] 하지만, 본 발명의 실시예에서는, 메인 블랙매트릭스 영역(511~513)의 제1 폭(W1)은 각각 제1 길이(L1)보다 크고 서브 블랙매트릭스 영역(521~524)의 제2 폭(W2)은 각각 제1 길이(L1)보다 적게 형성되므로, 오정렬에 의해 각 도메인(DM1~DM8)에서 배향 불량이 발생되지 않는다.

[0135] 보다 구체적으로, 제3 화소영역(PA3)과 제4 화소영역(PA4)의 액정 배향 방향이 다르지만, 제1 폭(W1)이 제1 길이(L1)보다 크므로, 오정렬이 일어나더라도 제3 및 제4 화소영역(PA3, PA4)의 서로 다른 액정 배향 방향을 갖는 액정들이 중첩되는 영역은 발생하지 않는다.

[0136] 또한, 제2 폭(W2)은 제1 길이(L1)보다 적지만 제4 화소영역(PA4)과 제5 화소영역(PA5)은 액정 배향 방향이 동일하므로, 오정렬이 일어나더라도 서로 다른 액정 배향 방향을 갖는 액정들이 중첩되는 영역이 발생하지 않는다.

[0137] 종래에는 액정표시패널이 절곡되면 어레이 기판(100) 및 대향 기판(300)간의 오정렬에 의하여 서로 다른 방향으로 배향된 도메인의 액정분자들이 중첩되고, 그로 인해 텍스처가 발생하였다. 이를 방지하기 위해 각 도메인 사이의 블랙매트릭스 영역을 넓게 형성하는 경우 화소의 개구율이 감소되었다.

[0138] 그러나, 본 발명에 따르면, 절곡되는 제1 방향(D1)을 따라 동일한 액정 배향 방향을 갖는 도메인들이 배치된다. 이러한 도메인들 사이에 배치되는 서브 블랙매트릭스 영역(521~524)의 폭을 감소시킴으로써 화소(PX1~PX6)의 개구율은 증가된다.

[0139] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

## 부호의 설명

[0140]

100: 아래이 기판 200: 액정층

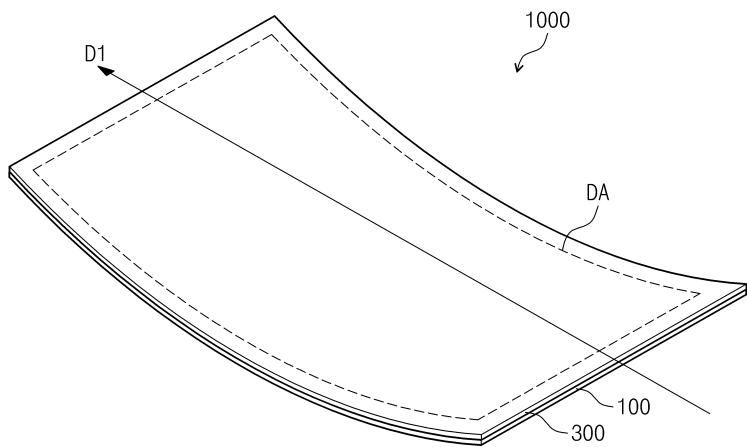
300: 대향 기판 410, 420: 제1 및 제2 도트

511~513: 제1 내지 제3 메인 블랙매트릭스 영역

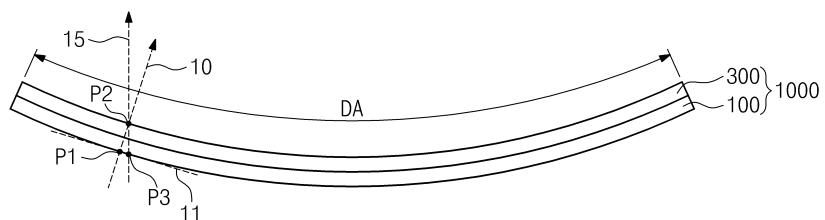
521~524: 제1 내지 제4 서브 블랙매트릭스 영역

## 도면

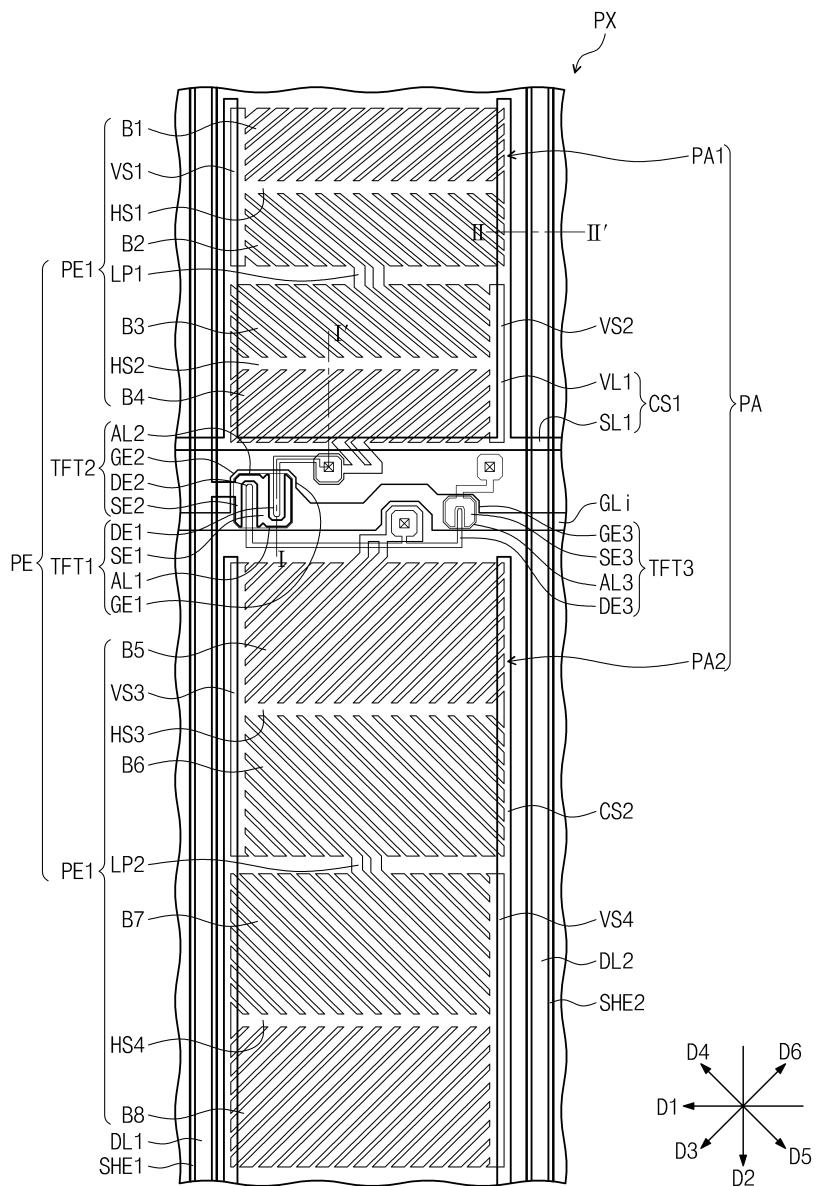
### 도면1a



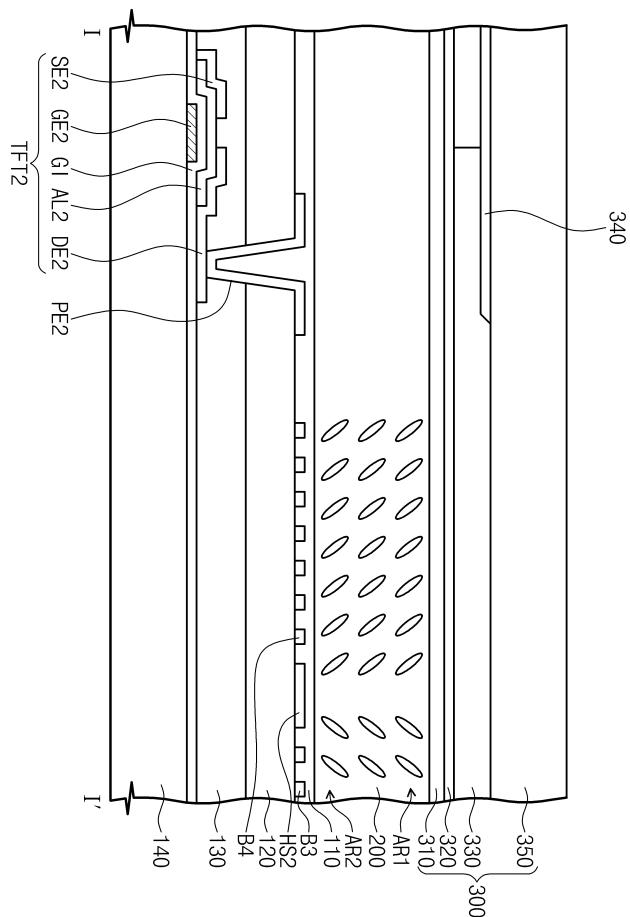
### 도면1b



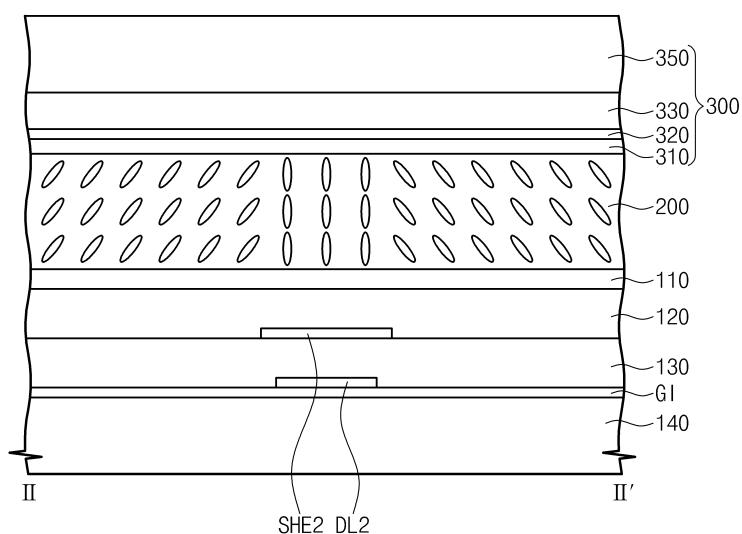
## 도면2



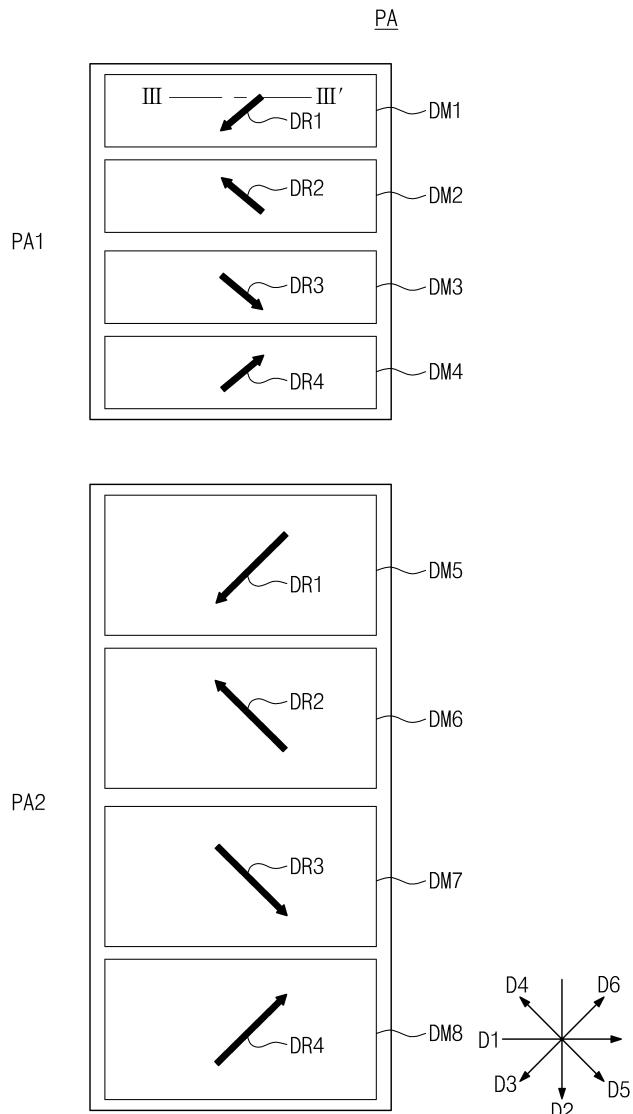
도면3



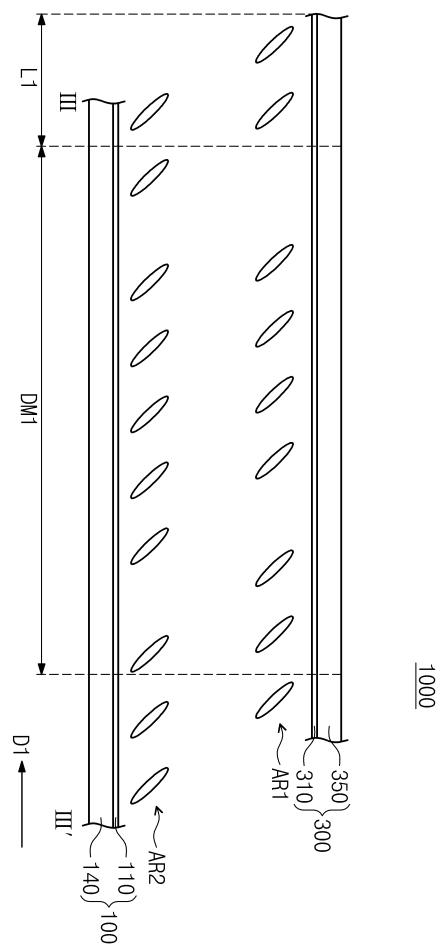
도면4



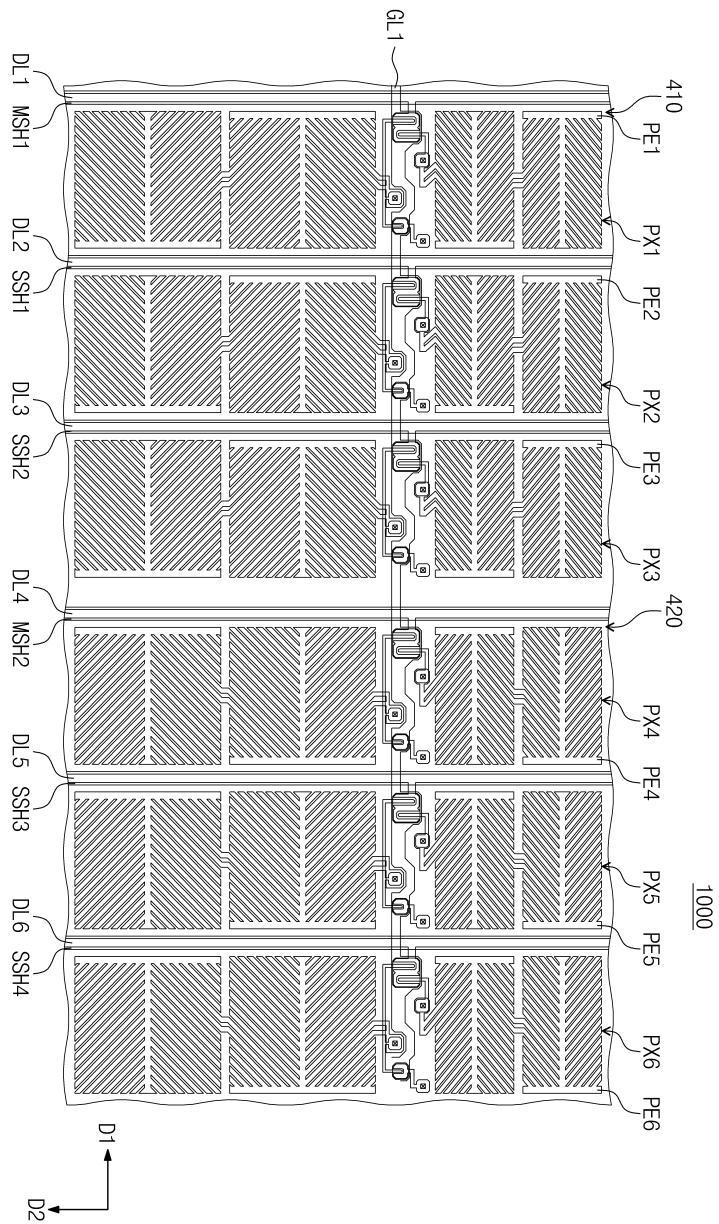
## 도면5



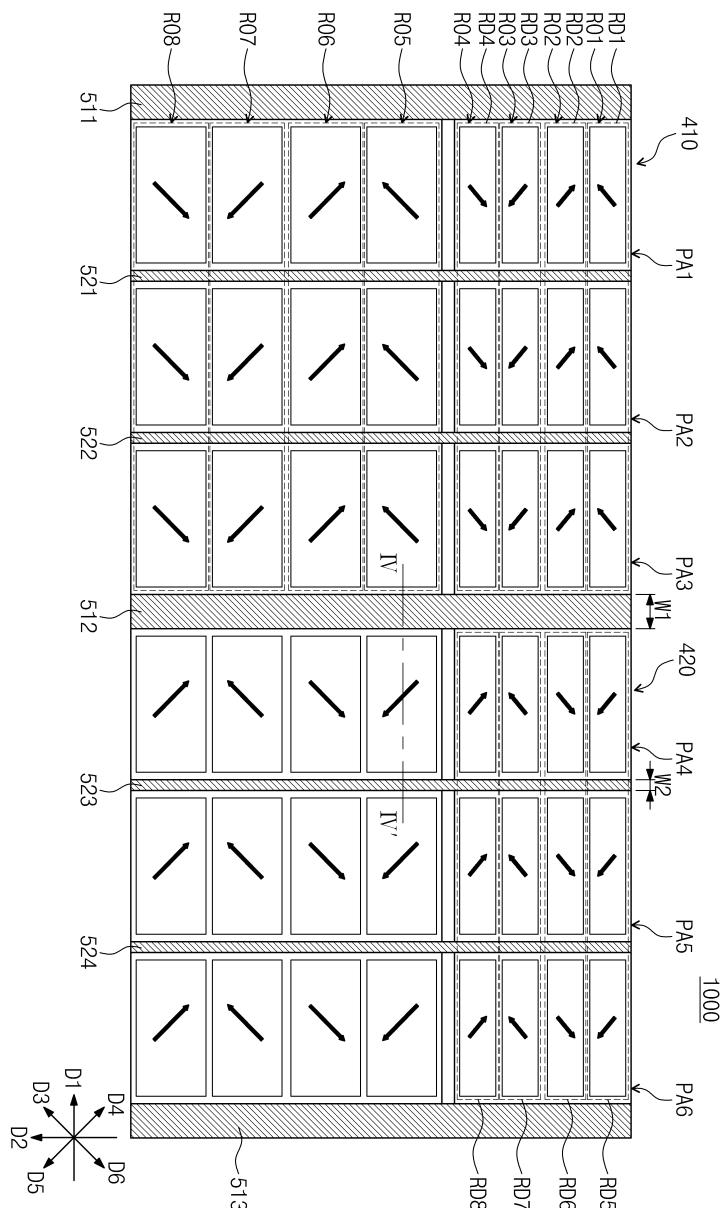
도면6



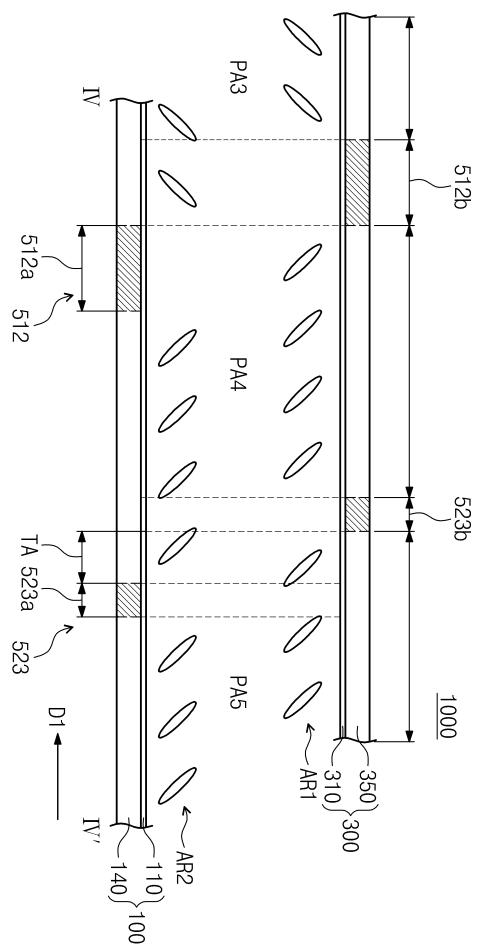
## 도면7



도면8



도면9



专利名称(译)	液晶显示面板		
公开(公告)号	<a href="#">KR1020150047399A</a>	公开(公告)日	2015-05-04
申请号	KR1020130127429	申请日	2013-10-24
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HWANG IN JAE 황인재 JUNG MEEHYE 정미혜		
发明人	황인재 정미혜		
IPC分类号	G02F1/1343 G02F1/1339		
CPC分类号	G02F1/136209 G02F1/133512 G02F1/133753 G02F1/134309 G02F2001/133757 G02F2001/134345		
外部链接	<a href="#">Espacenet</a>		

**摘要(译)**

沿第一方向弯曲的液晶显示面板包括阵列基板，所述阵列基板包括分别包括多个第一和第二像素区域的第一和第二点，主黑矩阵区域，子黑矩阵，多个第一和第二像素电极;面对并耦合到阵列基板的相对基板;以及阵列和相对基板之间的液晶层。每个第一像素电极限定第一像素区域对应的第一像素区域，每个第二像素电极限定第二像素区域对应的第二像素区域，第一像素电极各自具有相同的图案，第二像素电极每个都具有与第一像素电极不同的相同图案，并且子黑矩阵区域的宽度小于主黑矩阵区域的宽度。

