



층(32)과, 제2 도전층(32) 상의 제2 절연층(52)과, 제2 절연층(52) 상의 제3 도전층(41)과, 제3 도전층(41) 상의 제3 절연층(53)과, 제3 절연층(53) 상의 제4 도전층(42)과, 복수의 버스 라인과, 복수의 인출선(18)과, 제3 도전층(41)에 설치된 공통 전극(15)과, 표시 영역 밖에 설치되고, 인출선(18)과 교차하고, 공통 신호를 전송하는 공통 간배선(16)과, 표시 영역 밖에 설치되고, 공통 전극(15)을 공통 간배선(16)에 접속하는 접속 전극(17)을 포함하고, 공통 간배선(16)은 제1 도전층(31)에 설치되고, 복수의 인출선(18)은 공통 간배선(16) 상에서, 제2 도전층(32)에 설치되고, 접속 전극(17)은 적어도 제4 도전층(42)에 설치되어 있다.

---

## 특허청구의 범위

### 청구항 1

어레이 기판과, 표시부와, 상기 표시부 내에 배열된 복수의 화소를 구비하는 액정 디스플레이로서,  
 상기 어레이 기판은,  
 절연 기판과,  
 상기 절연 기판 상의 제1 도전층과,  
 상기 제1 도전층 상의 제1 절연층과,  
 상기 제1 절연층 상의 제2 도전층과,  
 상기 제2 도전층 상의 제2 절연층과,  
 상기 제2 절연층 상의 제3 도전층과,  
 상기 제3 도전층 상의 제3 절연층과,  
 상기 제3 절연층 상의 제4 도전층과,  
 상기 표시부에 대응하는 영역 내에 설치된 복수의 버스 라인과,  
 상기 영역 밖에 설치되고, 대응하는 버스 라인에 각각 접속된 복수의 인출선과,  
 상기 영역의 안과 밖에 설치되고, 상기 복수의 화소에 공통인 신호를 공급하는 전극과,  
 상기 영역 밖에 설치되고, 상기 복수의 인출선과 교차하고, 상기 신호를 전송하는 배선과,  
 상기 영역 밖에 설치되고, 상기 전극을 상기 배선에 접속하는 접속 전극을 포함하고,  
 상기 배선은 상기 제1 도전층에 설치되고,  
 상기 복수의 인출선은, 상기 배선 상에서, 상기 제2 도전층에 설치되고,  
 상기 전극은 상기 제3 도전층에 설치되고,  
 상기 접속 전극은 적어도 제4 도전층에 설치되는, 액정 디스플레이.

### 청구항 2

제1항에 있어서,  
 상기 복수의 인출선은, 인접하는 제1 및 제2 인출선을 포함하고,  
 상기 접속 전극과 상기 배선과의 접속부는, 상기 제1 및 제2 인출선 사이의 영역에 설치되고,  
 상기 접속 전극과 상기 전극과의 접속부는, 상기 제1 및 제2 인출선 사이의 상기 영역에 설치되지 않는, 액정 디스플레이.

### 청구항 3

제1항 또는 제2항에 있어서,  
 상기 어레이 기판은, 상기 영역 밖 또한 상기 전극 상에 상기 제3 절연층이 없는 부분을 포함하고,  
 상기 접속 전극은, 상기 제3 절연층이 없는 상기 부분을 통해서 상기 전극에 접속되는, 액정 디스플레이.

### 청구항 4

제3항에 있어서,  
 상기 제3 절연층이 없는 상기 부분은, 상기 복수의 인출선 상에 없는, 액정 디스플레이.

#### 청구항 5

제3항에 있어서,

상기 제3 절연층이 없는 상기 부분은, 상기 복수의 인출선 상에 있는, 액정 디스플레이.

#### 청구항 6

제3항에 있어서,

상기 어레이 기판은, 상기 배선 상에, 상기 제1 절연층 및 상기 제2 절연층이 없는 부분을 포함하고,

상기 제3 절연층이 없는 상기 부분은, 상기 제1 절연층 및 상기 제2 절연층이 없는 상기 부분 상의 영역으로부터, 상기 전극 상의 영역까지 확대되고,

상기 접속 전극은, 상기 제4 도전층에 설치되는, 액정 디스플레이.

#### 청구항 7

제3항에 있어서,

상기 어레이 기판은, 상기 배선 상에, 상기 제1 절연층 및 상기 제2 절연층이 없는 부분을 복수 포함하고,

상기 제3 절연층이 없는 상기 부분은, 상기 배선 상에서, 띠 형상으로 확대되고,

상기 어레이 기판을 평면에서 보았을 때, 상기 제1 절연층 및 상기 제2 절연층이 없는 상기 복수의 부분과, 상기 전극의 일부는, 상기 제3 절연층이 없는 상기 부분 내에 배치되고,

상기 접속 전극은, 상기 제4 도전층에 설치되는, 액정 디스플레이.

#### 청구항 8

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 접속 전극은, 상기 제2 도전층에 설치된 하층부와, 상기 제4 도전층에 설치된 상층부를 포함하고,

상기 어레이 기판은, 상기 배선 상에 상기 제1 절연층이 없는 부분을 포함하고, 또한, 상기 하층부 상에 상기 제2 절연층 및 상기 제3 절연층이 없는 부분을 포함하고,

상기 하층부는, 상기 제1 절연층이 없는 상기 부분을 통해서 상기 배선에 접속되고,

상기 상층부는, 상기 제2 절연층 및 상기 제3 절연층이 없는 상기 부분을 통해서 상기 하층부에 접속되는, 액정 디스플레이.

#### 청구항 9

제1항 내지 제7항 중 어느 한 항에 있어서,

상기 어레이 기판은, 상기 배선 상에, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층이 없는 부분을 포함하고,

상기 접속 전극은, 상기 제4 도전층에 설치되고, 또한, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층이 없는 상기 부분을 통해서 상기 배선에 접속되는, 액정 디스플레이.

#### 청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 어레이 기판은 박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는 반도체층을 포함하고,

상기 반도체층은 산화물 반도체를 포함하는, 액정 디스플레이.

#### 청구항 11

제1항 내지 제10항 중 어느 한 항에 있어서,  
상기 제2 절연층은 유기 절연층을 포함하는, 액정 디스플레이.

#### 청구항 12

제11항에 있어서,  
상기 제2 절연층은 무기 절연층을 포함하고,  
상기 유기 절연층은 상기 무기 절연층 상에 적층되는, 액정 디스플레이.

#### 청구항 13

제1항 내지 제12항 중 어느 한 항에 있어서,  
상기 제2 절연층은 에칭제로 에칭 가능한 층을 포함하고,  
상기 제3 절연층은, 상기 에칭제와 동일한 에칭제로 에칭 가능한 층을 포함하는, 액정 디스플레이.

#### 청구항 14

제1항 내지 제13항 중 어느 한 항에 있어서,  
상기 제1 절연층은, 하층과, 상기 하층 상에 적층된 상층을 포함하는, 액정 디스플레이.

#### 청구항 15

제1항 내지 제14항 중 어느 한 항에 있어서,  
상기 하층 및 상기 상층은, 상기 영역 밖에 있어서, 상기 제1 도전층을 덮는, 액정 디스플레이.

### 명세서

#### 기술분야

[0001] 본 발명은 액정 디스플레이에 관한 것이다. 보다 상세하게는, 복수의 화소에 공통인 신호(이하, 공통 신호라고도 함)를 공급하는 전극(이하, 공통 전극이라고도 함)을 포함하는 어레이 기판을 구비하는 액정 디스플레이에 적합한 액정 디스플레이에 관한 것이다.

#### 배경기술

[0002] 액정 디스플레이는, 복수의 화소가 배열된 표시부와, 그 주위의 프레임부를 구비하고, 표시부에 있어서 액정 분자의 전기 광학 특성을 이용하여 영상을 표시하는 장치이며, 휴대 전화, 노트북 컴퓨터, 액정 TV 등의 기기에 널리 보급되고 있다. 그러한 액정 디스플레이로서는, 액티브 매트릭스 구동 방식의 액정 디스플레이가 잘 알려져 있다. 이러한 방식의 액정 디스플레이는, 액티브 매트릭스 기판(이하, 어레이 기판이라고도 함)을 구비하고, 어레이 기판은, 통상, 버스 라인, 버스 라인에 접속된 리드선 등의 배선과, 화소 전극과, 박막 트랜지스터(TFT) 등의 스위칭 소자를 갖는다. 버스 라인으로서, 통상, 소스 버스 라인 및 게이트 버스 라인이 설치된다.

[0003] 최근 들어, 특히 스마트폰이나 태블릿 퍼스널 컴퓨터 등의 용도에 있어서, 액정 디스플레이의 표시 화면의 고정 밀도가 요망되고 있어, 소스 버스 라인 등의 버스 라인의 피치가 좁아지게 되었다. 또한, 넓은 시야각의 표시도 요망되고 있다.

[0004] 그러한 요망에 따른 주요한 액정 모드로서는, 유전율 이방성이 부인 액정 분자에 대하여 기판면에 대해 수직 방향의 전계를 인가하여 해당 액정 분자의 배향을 제어하는 수직 배향(VA: Vertical Alignment) 모드 및 유전율 이방성이 정(positive) 또는 부(negative)인 액정 분자에 대하여 기판면에 대해 수평 방향(평행한 방향)의 전계(횡전계)를 인가하여 해당 액정 분자의 배향을 제어하는 수평 배향 모드가 알려져 있다. 또한, 수평 배향 모드의 액정 디스플레이의 일종으로서, 프린지 필드 스위칭(FFS: Fringe Field Switching) 방식의 액정 디스플레이가 제안되어 있다. FFS 방식의 액정 디스플레이는, 액정층에 프린지 전계(횡전계와 종전계의 양쪽 성분을 포함하는 기울기 전계)를 인가함으로써 표시를 행한다.

- [0005] FFS 방식의 액정 디스플레이로서는, 예를 들어 단일 공정에서 복수의 콘택트 홀을 동시에 형성할 수 있는, 평탄 화막 상에 화소 전극 및 공통 전극을 배치한 FFS 모드의 액정 디스플레이가 개시되어 있다(예를 들어, 특허문헌 1 참조).
- [0006] 또한, 공통 전극에의 공통 전위의 공급을 충분히 확보함과 함께, 화소의 개구율을 향상시켜 밝은 표시를 얻을 수 있는 FFS 방식의 액정 디스플레이가 개시되어 있다(예를 들어, 특허문헌 2 참조).
- [0007] 또한, 슬릿 형상 개구를 갖는 공통 전극의 저항값을 작게 하고, 플리커 및 크로스트르크를 저감한 FFS 방식의 액정 패널이 개시되어 있다(예를 들어, 특허문헌 3 참조.).

## 선행기술문헌

### 특허문헌

- [0008] (특허문헌 0001) 일본 특허 공개 제2008-180928호 공보  
(특허문헌 0002) 일본 특허 공개 제2008-32899호 공보  
(특허문헌 0003) 일본 특허 공개 제2010-8758호 공보

## 발명의 내용

### 해결하려는 과제

- [0009] FFS 방식의 액정 디스플레이에 있어서, 어레이 기판은, 통상, 표시부에 대응하는 영역(이하, 표시 영역이라고도 함)의 안과 밖에 설치된 공통 전극과, 표시 영역 밖에 설치되고, 공통 신호를 전송하는 배선(이하, 공통 간(幹)배선이라고도 함)을 갖고, 공통 전극에는, 공통 간배선으로부터 공통 신호가 공급된다.
- [0010] 특허문헌 1의 도 5, 도 7, 도 8의 (b) 등에는, 공통 간배선에 상당하는 코먼 배선(16)이 개시되고, 특허문헌 2의 도 1, 도 2, 도 7 등에는, 공통 간배선에 상당하는 외주 공통 전위 라인(50)이 개시되어 있다. 그리고, 코먼 배선(16)은 주사선(12)(게이트 버스 라인에 상당)이 설치된 도전층보다도 위의 도전층이며, 신호선(15)(소스 버스 라인에 상당)과 같은 도전층에 형성되어 있다. 또한, 외주 공통 전위 라인(50)은 게이트 라인(14)(게이트 버스 라인에 상당)이 설치된 도전층보다도 위의 도전층이며, 표시 신호 라인(18)(소스 버스 라인에 상당)과 동일한 도전층에 형성되어 있다.
- [0011] 그러나, 이와 같이 공통 간배선을 소스 버스 라인과 동일한 도전층에 형성한 경우, 소스 버스 라인용 인출선을 공통 간배선과 교차시키기 위해서는, 인출선의 층을 변경할 필요가 있고, 그를 위한 콘택트 홀을 각 소스 버스 라인에 대하여 형성해야 한다(특허문헌 2의 도 7 참조.). 그러나, 표시 화면의 고정밀화에 수반하여, 소스 버스 라인의 피치가 좁아지고, 그것에 수반하여 인출선의 간격이 좁아진 경우, 이들 콘택트 홀을 모두 배치하는 것은, 설계상 매우 곤란하다. 또한, 모든 콘택트 홀을 배치할 수 있었다고 해도, 그들을 일렬로 배열할 수는 없어, 지그재그 형상과 같이 2열 이상으로 배열할 필요가 발생한다. 그로 인해, 그만큼 프레임부가 커져버린다.
- [0012] 또한, 공통 전극보다도 위에 절연층을 개재하여 화소 전극을 배치하고, 공통 전극을 직접, 공통 간배선에 접속한 경우에는, 공통 전극 상의 해당 절연층에 콘택트 홀을 형성하기 위한 패터닝 공정과, 공통 전극보다도 아래의 절연층에 콘택트 홀을 형성하기 위한 패터닝 공정을 따로따로 설치할 필요가 있었다. 따라서, 어레이 기판의 제조 공정을 간략화한다는 점에서 개선의 여지가 있었다.
- [0013] 본 발명은 상기 현 상황을 감안하여 이루어진 것이며, 표시 화면의 고정밀화와, 프레임부의 협소화와, 어레이 기판의 제조 공정 간략화가 가능한 액정 디스플레이를 제공하는 것을 목적으로 하는 것이다.

### 과제의 해결 수단

- [0014] 본 발명자들은, 표시 화면의 고정밀화와, 프레임부의 협소화와, 어레이 기판의 제조 공정 간략화가 가능한 액정 디스플레이에 대하여 다양하게 검토한 결과, 공통 간배선이 설치되는 도전층에 착안하였다. 그리고, 절연 기판 상에, 제1 도전층, 제1 절연층 및 제2 도전층을 이 순서대로 적층하고, 공통 간배선을 제1 도전층에 설치하고, 인출선을, 공통 간배선 상에서 제2 도전층에 설치함으로써, 콘택트 홀을 개재하지 않고 인출선을 소스 버스 라

인 등의 버스 라인에 접속할 수 있고, 또한, 공통 간배선을 표시 영역의 근처에 배치할 수 있다는 것을 알아내었다. 또한, 제2 도전층 상에 제2 절연층, 제3 도전층, 제3 절연층 및 제4 도전층을 이 순서대로 적층하고, 공통 전극을 제3 도전층에 설치하고, 접속 전극을 개재하여 공통 전극을 공통 간배선에 접속하고, 접속 전극을 적어도 제4 도전층에 설치함으로써, 제3 절연층에 설치되는 콘택트 홀과, 제2 절연층에 설치되는 콘택트 홀을 동일한 패터닝 공정에서 형성할 수 있다는 것을 알아내었다. 이상의 결과, 상기 과제를 훌륭하게 해결할 수 있다는 것에 상도하여, 본 발명에 도달한 것이다.

- [0015] 즉, 본 발명이 있는 측면은, 어레이 기판과, 표시부와, 상기 표시부 내에 배열된 복수의 화소를 구비하는 액정 디스플레이이며, 상기 어레이 기판은, 절연 기판과, 상기 절연 기판 상의 제1 도전층과, 상기 제1 도전층 상의 제1 절연층과, 상기 제1 절연층 상의 제2 도전층과, 상기 제2 도전층 상의 제2 절연층과, 상기 제2 절연층 상의 제3 도전층과, 상기 제3 도전층 상의 제3 절연층과, 상기 제3 절연층 상의 제4 도전층과, 상기 표시부에 대응하는 영역(표시 영역) 내에 설치된 복수의 버스 라인과, 상기 영역(표시 영역) 밖에 설치되고, 대응하는 버스 라인에 각각 접속된 복수의 인출선과, 상기 영역(표시 영역)의 안과 밖에 설치되고, 상기 복수의 화소에 공통인 신호(공통 신호)를 공급하는 전극(공통 전극)과, 상기 영역(표시 영역) 밖에 설치되고, 상기 복수의 인출선과 교차하고, 상기 신호(공통 신호)를 전송하는 배선(공통 간배선)과, 상기 영역(표시 영역) 밖에 설치되고, 상기 전극(공통 전극)을 상기 배선(공통 간배선)에 접속하는 접속 전극을 포함하고, 상기 배선(공통 간배선)은 상기 제1 도전층에 설치되고, 상기 복수의 인출선은, 상기 배선(공통 간배선) 상에서, 상기 제2 도전층에 설치되고, 상기 전극(공통 전극)은 상기 제3 도전층에 설치되고, 상기 접속 전극은, 적어도 제4 도전층에 설치되는 액정 디스플레이(이하, 본 발명에 따른 액정 디스플레이라고도 함)이다.
- [0016] 본 발명에 따른 액정 디스플레이는, 이와 같은 구성 요소를 필수로서 포함하는 한, 기타의 구성 요소에 의해 특별히 한정되는 것은 아니다.
- [0017] 또한, 본 명세서에 있어서는, 명확화의 관점에서, 버스 라인과 인출선의 경계를 표시 영역의 윤곽선 상에 설정하고, 버스 라인은, 표시 영역 내에 있는 것으로 하고, 인출선은, 표시 영역의 주위 영역(이하, 프레임 영역이라고도 함) 내에 있는 것으로 한다.
- [0018] 본 발명에 따른 액정 디스플레이에 있어서의 바람직한 실시 형태에 대하여 이하에 설명한다. 또한, 이하의 바람직한 실시 형태는, 적절히 서로 조합되어도 되고, 이하의 2 이상의 바람직한 실시 형태를 서로 조합한 실시 형태도 또한 바람직한 실시 형태의 하나이다.
- [0019] 상기 복수의 인출선은, 인접하는 제1 및 제2 인출선을 포함하고, 상기 접속 전극과 상기 배선(공통 간배선)과의 접속부는, 상기 제1 및 제2 인출선 사이의 영역에 설치되고, 상기 접속 전극과 상기 전극(공통 전극)과의 접속부는, 상기 제1 및 제2 인출선 사이의 상기 영역에 설치되지 않아도 된다. 이와 같이, 양쪽 접속부를 동일한 2개의 인출선 사이의 영역에 설치하지 않는 것에 의해, 표시 화면의 고정밀화가 한층 더 가능하다.
- [0020] 상기 어레이 기판은, 상기 영역(표시 영역) 밖 또한 상기 전극(공통 전극) 상에 상기 제3 절연층이 없는 부분을 포함하고, 상기 접속 전극은, 상기 제3 절연층이 없는 상기 부분을 통해서 상기 전극(공통 전극)에 접속되는 형태(이하, 형태 1이라고도 함)가 바람직하다. 이에 의해, 접속 전극을 용이하면서도 확실하게 공통 전극에 접속할 수 있다.
- [0021] 상기 형태 1에 있어서, 상기 제3 절연층이 없는 상기 부분은, 상기 복수의 인출선 위에 없어도 된다. 이와 같이, 어레이 기판을 평면에서 보았을 때에, 제3 절연층이 없는 부분이 복수의 인출선에 중첩되지 않는 것에 의해, 공통 전극(15)에 핀 홀이 존재했다고 해도, 제3 절연층의 패터닝 공정에 있어서, 제2 절연층 및 인출선이에칭되어버리는 것을 방지할 수 있다.
- [0022] 한편, 상기 형태 1에 있어서, 상기 제3 절연층이 없는 상기 부분은, 상기 복수의 인출선 상에 있어도 된다. 이와 같이, 어레이 기판을 평면에서 보았을 때에, 제3 절연층이 없는 부분이 복수의 인출선에 중첩되는 것에 의해, 설계의 자유도를 향상시킬 수 있다.
- [0023] 상기 형태 1에 있어서, 상기 어레이 기판은, 상기 배선(공통 간배선) 상에 상기 제1 절연층 및 상기 제2 절연층이 없는 부분을 포함하고, 상기 제3 절연층이 없는 상기 부분은, 상기 제1 절연층 및 상기 제2 절연층이 없는 상기 부분 상의 영역으로부터, 상기 전극(공통 전극) 상의 영역까지 확대되고, 상기 접속 전극은, 상기 제4 도전층에 설치되어도 된다. 이에 의해, 표시 화면의 고정밀화가 한층 더 가능하다.
- [0024] 상기 형태 1에 있어서, 상기 어레이 기판은, 상기 배선(공통 간배선) 상에 상기 제1 절연층 및 상기 제2 절연층이 없는 부분을 복수 포함하고, 상기 제3 절연층이 없는 상기 부분은, 상기 배선(공통 간배선) 상에서, 띠 형상

으로 확대되고, 상기 어레이 기판을 평면에서 보았을 때, 상기 제1 절연층 및 상기 제2 절연층이 없는 상기 복수의 부분과, 상기 전극(공통 전극)의 일부이관, 상기 제3 절연층이 없는 상기 부분 내에 배치되고, 상기 접속 전극은, 상기 제4 도전층에 설치되어도 된다. 이에 의해, 접속 전극과 공통 전극과의 접속부의 면적을 크게 할 수 있다. 따라서, 양쪽 전극 사이의 콘택트 저항을 저감할 수 있으며, 또한, 양쪽 전극 사이에 접속 불량이 발생하는 것을 억제할 수 있다.

[0025] 상기 접속 전극은, 상기 제2 도전층에 설치된 하층부와, 상기 제4 도전층에 설치된 상층부를 포함하고, 상기 어레이 기판은, 상기 배선(공통 간배선) 상에 상기 제1 절연층이 없는 부분을 포함하고, 또한, 상기 하층부 상에 상기 제2 절연층 및 상기 제3 절연층이 없는 부분을 포함하고, 상기 하층부는, 상기 제1 절연층이 없는 상기 부분을 통해서 상기 배선(공통 간배선)에 접속되고, 상기 상층부는, 상기 제2 절연층 및 상기 제3 절연층이 없는 상기 부분을 통해서 상기 하층부에 접속되어도 된다. 이에 의해, 제3 도전층을 형성하기 위한 에칭 시에, 공통 간배선을 접속 전극의 하층부에서 보호할 수 있다. 따라서, 제3 도전층의 재료, 제3 도전층을 형성하기 위한 에칭제 및 제1 도전층의 재료 선택지를 증가시킬 수 있다.

[0026] 한편, 상기 어레이 기판은, 상기 배선(공통 간배선) 상에 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층이 없는 부분을 포함하고, 상기 접속 전극은, 상기 제4 도전층에 설치되고, 또한, 상기 제1 절연층, 상기 제2 절연층 및 상기 제3 절연층이 없는 상기 부분을 통해서 상기 배선(공통 간배선)에 접속되어도 된다. 이에 의해, 표시 화면의 고정밀화가 한층 더 가능하다.

[0027] 또한, 상술한 제1 절연층, 제2 절연층, 및/또는, 제3 절연층이 없는 부분은, 예를 들어 개구부와 같이 폐쇄된 부분이어도 되고, 예를 들어 절결부나 절연층의 외측 부분과 같이 폐쇄되어 있지 않은 부분이어도 된다. 또한, 상기 개구부는, 소위 콘택트 홀이어도 된다.

[0028] 상기 제3 및 제4 도전층은, 투명 도전층인 것이 바람직하다. 이에 의해, 2매의 투명 전극에 의해 보유 용량을 형성할 수 있고, 개구율을 향상시킬 수 있다.

[0029] 상기 어레이 기판은, 박막 트랜지스터를 포함하고, 상기 박막 트랜지스터는, 반도체층을 포함하고, 상기 반도체층은, 산화물 반도체를 포함하는 것이 바람직하다. 산화물 반도체를 사용하여 TFT의 반도체층을 형성한 경우, 제조 프로세스 중에 있어서 일반적으로 어레이 기판 상에 형성되는 정전기 파괴(ESD) 대책용 소자의 사이즈는, 다른 반도체 재료(예를 들어 아몰퍼스 실리콘)를 사용한 경우에 비교하여 크게 할 필요가 있다. 그러나, 본 발명에 따른 액정 디스플레이에 의하면, 어레이 기판의 프레임 영역을 좁게 할 수 있다. 따라서, 본 발명에 따른 액정 디스플레이는, TFT의 반도체층의 재료로서 산화물 반도체를 사용한 경우에 특히 적합하다.

[0030] 상기 제2 절연층은, 유기 절연층을 포함하는 것이 바람직하다. 이에 의해, 제2 절연층의 막 두께를 용이하게 두껍게 할 수 있다. 따라서, 기생 용량을 저감할 수 있고, 표시에 문제가 발생하는 것을 억제할 수 있다.

[0031] 상기 제2 절연층은, 무기 절연층을 포함하고, 상기 유기 절연층은, 상기 무기 절연층 상에 적층되는 것이 바람직하다. 이에 의해, 제2 절연층의 막 두께의 확보와, TFT 등의 스위칭 소자의 신뢰성 확보를 양립시킬 수 있다.

[0032] 상기 제2 절연층은, 에칭제로 에칭 가능한 층을 포함하고, 상기 제3 절연층은, 상기 에칭제와 같은 에칭제로 에칭 가능한 층을 포함하는 것이 바람직하다. 또한, 상기 제2 절연층 및 상기 제3 절연층은 각각, 동일한 재료를 사용하여 형성된 층을 포함해도 된다. 이와 같이, 제2 및 제3 절연층이 각각, 동일한 에칭제로 에칭 가능한 층을 포함함으로써, 제3 절연층용 절연막과, 제2 절연층용 절연막을 동일한 공정에서 용이하게 패터닝할 수 있다. 또한, 상기 에칭제는 모두, 기체이어도 액체이어도 된다.

[0033] 상기 제1 절연층은, 하층과, 상기 하층 상에 적층된 상층을 포함하는 것이 바람직하다. 이에 의해, 표시 영역 내에 있어서, 하층에 TFT의 게이트 절연막을 형성할 수 있고, 또한, 상층에 TFT의 채널 보호층을 형성할 수 있다. 또한, TFT의 반도체층의 재료로서 산화물 반도체를 사용한 경우에는, TFT의 특성 향상의 관점에서 채널 보호층을 형성하는 것이 바람직하다. 따라서, 이 실시 형태는, TFT의 반도체층의 재료로서 산화물 반도체를 사용하는 경우에 특히 적합하다.

[0034] 상기 하층 및 상기 상층은, 상기 영역(표시 영역) 밖에 있어서, 상기 제1 도전층을 덮는 것이 바람직하다. 이에 의해, 제1 도전층에 설치되는 공통 간배선 등의 배선을 보다 확실하게 보호할 수 있고, 또한, 기생 용량을 저감할 수 있다.

## 발명의 효과

[0035] 본 발명에 따르면, 표시 화면의 고정밀화와, 프레임부의 협소화와, 어레이 기관의 제조 공정의 간략화가 가능한 액정 디스플레이를 실현할 수 있다.

### 도면의 간단한 설명

[0036] 도 1은 실시 형태 1의 액정 디스플레이에 포함되는 액정 패널의 평면 모식도.  
 도 2는 실시 형태 1의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 도 1 중의 일점쇄선으로 둘러싸인 영역을 확대한 도면.  
 도 3은 실시 형태 1의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 4는 도 3 중의 A-B선에 있어서의 단면 모식도.  
 도 5는 실시 형태 1의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 서브 화소 영역의 구조를 나타내는 도면.  
 도 6은 도 5중의 C-D선에 있어서의 단면 모식도.  
 도 7은 실시 형태 1의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 8은 실시 형태 1의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 9는 실시 형태 2의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 10은 도 9 중의 G-H선에 있어서의 단면 모식도.  
 도 11은 실시 형태 3의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 12는 도 11중의 J-K선에 있어서의 단면 모식도.  
 도 13은 실시 형태 4의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 14는 도 13중의 M-N선에 있어서의 단면 모식도.  
 도 15는 실시 형태 5의 액정 디스플레이에 포함되는 어레이 기관의 평면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.  
 도 16은 도 15 중의 P-Q선에 있어서의 단면 모식도.  
 도 17은 실시 형태 6의 액정 디스플레이에 포함되는 어레이 기관의 단면 모식도이며, 공통 간배선 부근의 구조를 나타내는 도면.

### 발명을 실시하기 위한 구체적인 내용

[0037] 이하에 실시 형태를 예로 들어, 본 발명을 도면에 참조하여 더욱 상세하게 설명하지만, 본 발명은 이들 실시 형태에만 한정되는 것은 아니다.

[0038] (실시 형태 1)

[0039] 실시 형태 1의 액정 디스플레이는, 액티브 매트릭스 구동 방식, 또한, 투과형 액정 디스플레이이며, 도 1에 도시하는 바와 같이, 액정 패널(1)과, 액정 패널(1)의 후방에 배치된 백라이트(도시하지 않음)와, 액정 패널(1) 및 백라이트 유닛을 구동 및 제어하는 제어부(도시하지 않음)와, 액정 패널(1)을 제어부에 접속하는 플렉시블 기관(도시하지 않음)을 구비하고 있다.

[0040] 본 실시 형태의 액정 디스플레이는, 화상을 표시하는 표시부(2)를 포함하고, 표시부(2)에는, 복수의 화소(3)가 매트릭스 형상으로 배치되어 있다. 각 화소(3)는, 복수의 색(예를 들어, 적, 녹 및 청의 3색)의 서브 화소(4)

로 구성되어 있다. 단, 본 실시 형태의 액정 디스플레이는, 모노크롬 액정 디스플레이어도 되고, 그 경우에는, 각 화소(3)를 복수의 서브 화소로 분할할 필요는 없다.

[0041] 또한, 화소 및 서브 화소의 피치는 특별히 한정되지 않지만, 예를 들어 서브 화소의 피치는,  $28\mu\text{m} \times 84\mu\text{m}$ 이어도 되고, 후술하는 소스 버스 라인(12)의 간격은,  $20\mu\text{m}$  미만이어도 된다.

[0042] 액정 패널(1)은, 액티브 매트릭스 기관(어레이 기관)(7)과, 어레이 기관(7)에 대향하고, 컬러 필터, 블랙 매트릭스 등의 부재를 갖는 대향 기관(8)과, 기관(7, 8) 사이에 형성된 액정층(도시하지 않음)과, 어레이 기관(7)의 액정층 측의 표면 상에 형성된 수평 배향막(도시하지 않음)과, 대향 기관(8)의 액정층 측의 표면 상에 형성된 수평 배향막(도시하지 않음)과, 어레이 기관(7) 상에 실장된 소스 버스 라인용 드라이버 칩(5)을 갖고 있다. 어레이 기관(7)은 액정 디스플레이의 배면측에 설치되고, 대향 기관(8)은 관찰자측에 설치되어 있다. 각 기관(7, 8)의 액정층과는 반대측의 표면 상에는, 편광판(도시하지 않음)이 부착되어 있다. 이 편광판은, 통상은 크로스니콜(crossed Nicols)로 배치되어 있다. 드라이버 칩(5)은, 어레이 기관(7)의 대향 기관(8)에 대향하지 않는 영역, 즉 대향 기관(8)으로부터 비어져나온 영역(이하, 돌출 영역이라고도 함)에 COG(Chip On Glass) 기술에 의해 실장되어 있다.

[0043] 어레이 기관(7)은, 표시부(2)에 대응하는 영역(표시 영역)(9)과, 표시 영역(9)의 주위 영역(프레임 영역)(10)을 포함하고 있다. 어레이 기관(7)은, 표시 영역(9)의 좌우에 모놀리식으로 형성된 게이트 버스 라인용 드라이버 회로(6)와, 돌출 영역 내에 형성된 복수의 단자(도시하지 않음. 이하, 어레이 단자라고도 함)와, 표시 영역(9) 내에 각각 형성된, 소스 버스 라인(12) 및 게이트 버스 라인(13)과, 프레임 영역(10) 내에 각각 형성된, 소스 버스 라인용 인출선(18) 및 게이트 버스 라인용 인출선(19)과, 표시 영역(9)을 둘러싸도록 프레임 영역(10) 내에 형성된 공통 간배선(16)과, 프레임 영역(10) 내에 각각 형성된 복수의 입력 배선(도시하지 않음)을 갖고 있다. 소스 버스 라인(12) 및 게이트 버스 라인(13)은 서로 교차하고 있고, 격자 형상으로 배치되어 있다. 게이트 버스 라인(13)은, 우측의 드라이버 회로(6)에 접속된 게이트 버스 라인(13)과, 좌측의 드라이버 회로(6)에 접속된 게이트 버스 라인(13)을 포함하고, 이들은 교대로 배치되어 있다. 어레이 단자에는, 드라이버 칩(5)의 출력 단자에 접속된 단자(이하, 제1 어레이 단자라고도 함)와, 드라이버 칩(5)의 입력 단자에 접속된 단자(이하, 제2 어레이 단자라고도 함)와, 플렉시블 기관의 단자에 접속된 단자(이하, 제3 어레이 단자라고도 함)가 포함된다. 각 인출선(18)은, 대응하는 소스 버스 라인(12)을 제1 어레이 단자에 접속하고, 각 인출선(19)은 대응하는 게이트 버스 라인(13)을 드라이버 회로(6)의 출력부에 접속하고 있다. 공통 간배선(16)은, 제3 어레이 단자에 접속되고, 공통 간배선(16)에는, 플렉시블 기관을 개재하여 제어부로부터 공통 신호가 입력된다. 또한, 공통 신호란, 모든 화소에 공통으로 인가되는 신호이다. 각 입력 배선은, 제2 어레이 단자, 또는, 드라이버 회로(6)의 입력부를, 제3 어레이 단자에 접속하고 있다. 또한, 모놀리식으로 형성된 드라이버 회로(6) 대신에 마찬가지로 기능을 갖는 드라이버 칩을 어레이 기관(7) 상에 실장해도 된다.

[0044] 도 2에 도시하는 바와 같이, 소스 버스 라인(12) 및 게이트 버스 라인(13)에 의해 구획되는 영역(이하, 서브 화소 영역이라고도 함)이 서브 화소에 대응하고 있다. 어레이 기관(7)은 표시 영역(9)을 덮도록 형성된 공통 전극(15)과, 공통 간배선(16) 상에 형성된 접속 전극(17)을 갖고 있다. 접속 전극(17)은, 하층부(17a) 및 상층부(17b)를 포함하고 있다. 공통 전극(15)은 프레임 영역(10)에 있어서, 접속 전극(17)을 개재하여 공통 간배선(16)에 접속되어 있다. 각 인출선(18)은 공통 간배선(16)과 교차하도록 공통 간배선(16) 위를 통과하고 있다. 또한, 인출선(18)의 일부는, 하층부(17a)를 우회하고 있다.

[0045] 도 3 및 도 4를 참조하여, 공통 간배선(16) 부근의 구조에 대하여 상세하게 설명한다.

[0046] 어레이 기관(7)은 투명한 절연 기관(11)을 갖고 있으며, 절연 기관(11) 상에는, 상기 제1 도전층에 해당하는 제1 배선층(31)과, 제1 절연층(51)과, 상기 제2 도전층에 해당하는 제2 배선층(32)과, 제2 절연층(52)과, 상기 제3 도전층에 해당하는 제1 투명 도전층(41)과, 제3 절연층(53)과, 상기 제4 도전층에 해당하는 제2 투명 도전층(42)이 순서대로 적층되어 있다. 제1 절연층(51)은 하층(51a)와, 하층(51a) 상에 적층된 상층(51b)을 포함하고 있다. 제2 절연층(52)은 하층(52a)와, 하층(52a) 상에 적층된 상층(52b)을 포함하고 있다. 제1 절연층(51), 제2 절연층(52) 및 제3 절연층(53)은 공통 간배선(16) 부근에서는, 층간 절연막으로서 기능하고 있다.

[0047] 공통 간배선(16)은 제1 배선층(31)에 형성되고, 인출선(18)은 공통 간배선(16) 상에서, 제2 배선층(32)에 형성되고, 하층부(17a)는 제2 배선층(32)에 형성되고, 상층부(17b)는 제2 투명 도전층(42)에 형성되고, 공통 전극(15)은 제1 투명 도전층(41)에 형성되어 있다. 하층부(17a)는 인접하는 2개의 인출선(18) 사이에 설치되고, 상층부(17b)는 복수의 인출선(18)을 가로지르도록 설치되어 있다.

- [0048] 제3 절연층(53)에는, 공통 전극(15) 상에서, 콘택트 홀(61)이 형성되어 있다. 제2 절연층(52) 및 제3 절연층(53)에는, 하층부(17a) 상에서, 콘택트 홀(62)이 형성되어 있다. 공통 전극(15)이 콘택트 홀(62)에 중첩되지 않도록 공통 전극(15)에는 절결부(15a)가 형성되어 있다. 제1 절연층(51)에는, 공통 간배선(16) 상에서, 콘택트 홀(63)이 형성되어 있고, 콘택트 홀(63)은 인접하는 2개의 인출선(18) 사이에 설치되어 있다.
- [0049] 상층부(17b)는 콘택트 홀(61)을 통해서 공통 전극(15)에 접속됨과 함께, 콘택트 홀(62)을 통해서 하층부(17a)에 접속되어 있다. 하층부(17a)는 콘택트 홀(63)을 통해서 공통 간배선(16)에 접속되어 있다. 이와 같이 하여, 공통 전극(15)은 프레임 영역(10)에 있어서, 접속 전극(17)을 개재하여 공통 간배선(16)에 접속되고, 공통 전극(15)에는 공통 간배선(16)으로부터 공통 신호가 공급된다.
- [0050] 또한, 도 1에 도시하는 바와 같이, 어레이 기판(7) 상에 드라이버 회로(6)를 모놀리식으로 형성하는 경우에는, 드라이버 회로(6)의 출력부는, 제2 배선층(32)에 설치되고, 거기에서 출력 신호가 출력된다. 그로 인해, 게이트 버스 라인(13)을 드라이버 회로(6)의 출력부에 접속하는 인출선(19)은 제2 배선층(32)에 설치되고, 출력부에 접속된 부분과, 제1 배선층(31)에 설치되고, 게이트 버스 라인(13)에 접속된 부분을 포함하고, 이들 부분은, 공통 간배선(16) 및 표시 영역(9) 사이의 영역에 있어서 제1 절연층(51)에 형성된 콘택트 홀(도시하지 않음)을 개재하여 서로 접속되어 있다. 이와 같이 하여, 인출선(19)을 개재하여 드라이버 회로(6)로부터 게이트 버스 라인(13)에 출력 신호가 공급된다. 따라서, 인출선(18)이 통하는 표시 영역(9)의 하변 이외의 변, 즉, 표시 영역(9)의 좌우의 변과, 소스 버스 라인(12)의 연장상에 닿는 표시 영역(9)의 상변의 근방에 있어서도, 공통 간배선(16)을 제1 배선층(31)에 형성할 수 있다. 한편, 드라이버 회로(6) 대신 상기 드라이버 칩을 어레이 기판(7) 상에 실장한 경우에는, 인출선(18)이 통과하는 표시 영역(9)의 하변 및 상변 이외의 변, 즉, 표시 영역(9)의 좌우의 변 근방에 있어서는, 공통 간배선(16)을 제2 배선층(32)에 형성함으로써, 제1 배선층(31)에 있어서 콘택트 홀을 통하지 않고 인출선(19)을 게이트 버스 라인(13)과 일체적으로 형성할 수 있다. 그로 인해, 표시 영역(9)의 네 코너 부근에 있어서, 공통 간배선(16)은 제1 절연층(51)에 형성된 콘택트 홀(도시하지 않음)을 통해서 제1 배선층(31)으로부터 제2 배선층(32)에 올려져 있다. 그리고, 공통 간배선(16)의 제2 배선층(32)에 설치된 부분의 아래를 제1 배선층(31)에 형성된 게이트 버스 라인(13)용 인출선(19)이 통과하고 있다. 또한, 공통 전극(15)은 제2 투명 도전층(42)에 설치된 별도의 접속 전극(도시하지 않음)을 통해서, 공통 간배선(16)의 제2 배선층(32)에 설치된 부분에 접속되어 있다.
- [0051] 이어서, 어레이 기판(7)의 서브 화소 영역의 구조를 설명한다.
- [0052] 도 5, 6에 도시하는 바와 같이, 어레이 기판(7)은, 소스 버스 라인(12) 및 게이트 버스 라인(13)에 접속된 TFT(20)와, TFT(20)에 접속된 화소 전극(14)을 갖고 있다. 화소 전극(14)에는, 서로 평행한 슬릿(14S)이 형성되어 있고, 화소 전극(14)은 서로 평행한 선상 부분을 갖는다. 공통 전극(15)은 모든 서브 화소 영역을 덮도록 설치되어 있다. 화소 전극(14)은 제2 투명 도전층(42)에 형성되고, 제3 절연층(53)을 개재하여 공통 전극(15) 상에 설치되어 있다. 게이트 버스 라인(13)은 제1 배선층(31)에 형성되고, 소스 버스 라인(12)은 제2 배선층(32)에 형성되어 있다.
- [0053] 액정층 중의 액정 분자(통상은 네마틱 액정)는, 전압 무인가시, 슬릿(14S)에 대하여 소정의 각도를 이루는 방향으로, 또한 기판(7, 8)의 표면에 대하여 평행하게 배향하고 있다.
- [0054] TFT(20)는, 스위칭 소자로서 기능하고, 반도체층(21), 채널 보호층(26), 게이트 전극(22), 소스 전극(23) 및 드레인 전극(24)을 포함하고 있다. 게이트 전극(22)은, 게이트 버스 라인(13)과 일체적으로 형성됨으로써 게이트 버스 라인(13)에 접속되고, 소스 전극(23)은, 소스 버스 라인(12)과 일체적으로 형성됨으로써 소스 버스 라인(12)에 접속되고, 드레인 전극(24)은 화소 전극(14)에 접속되어 있다. 소스 전극(23) 및 드레인 전극(24)은 각각, 반도체층(21)에 접속되어 있다. TFT(20)가 온 상태일 때, 반도체층(21) 내에 채널이 형성된다. 채널 보호층(26)은 반도체층(21) 상에 형성되어 있고, 소스 전극(23) 및 드레인 전극(24)의 패터닝 시에 채널을 에칭제로 보호한다. 채널 보호층(26)은 제1 절연층(51)의 상층(51b)에 형성되어 있다. 제1 절연층(51)의 하층(51a)은, 게이트 전극(22) 및 반도체층(21) 사이에 개재하고, TFT(20)의 게이트 절연막으로서 기능한다. 제2 절연층(52)의 하층(52a)은 패시베이션막으로서 기능하고, 상층(52b)은 평탄화막으로서 기능한다. 드레인 전극(24)은 제2 배선층(32)에 형성되고, 화소 전극(14)은 제2 절연층(52) 및 제3 절연층(53)을 관통하는 콘택트 홀(25)을 통해서, 드레인 전극(24)에 접속되어 있다. 또한, 공통 전극(15)이 콘택트 홀(25)에 중첩되지 않도록, 공통 전극(15)에는 개구(15b)가 형성되어 있다.
- [0055] 화소 전극(14)에는, TFT(20)를 통해서 소스 버스 라인(12)으로부터 화상 신호가 인가된다. 한편, 공통 전극(15)에는, 공통 신호가 인가된다. 그로 인해, 화소 전극(14)에 화상 신호가 인가되면, 화소 전극(14) 및 공통

전극(15) 사이에 포물선 형상으로 전기력선이 발생하고, 액정층에는 화상 신호에 따른 프린지 전계가 발생한다. 그리고, 이 프린지 전계에 의해 액정 분자(통상은, 정의 유전율 이방성을 가짐.)의 배향이 제어된다. 이와 같이, 공통 전극(15)은 화소 전극(14)과 쌍으로 되고, 액정층을 구동하는 대향 전극으로서 기능한다.

[0056] 또한, 화소 전극(14)은 공통 전극(15)과 중첩되어 있고, 양쪽 전극(14, 15) 사이에는 제3 절연층(53)이 개재되어 있다. 또한, 공통 전극(15)에는 공통 신호가 인가된다. 따라서, 화소 전극(14)에 화상 신호가 인가되면, 이들 투명한 부재에 의해 보유 용량이 형성된다. 이와 같이, 화소 전극(14) 및 공통 전극(15)은 보유 용량용 전극으로서도 기능한다. 또한, 제3 절연층(53)은 서브 화소 영역에 있어서, 패시베이션막 및 보유 용량의 유전체로서 기능한다.

[0057] 이어서, 본 실시 형태의 액정 디스플레이 제조 방법에 대하여 설명한다. 먼저, 어레이 기판(7)의 제조 공정에 대하여 설명한다.

[0058] 처음에 절연 기판(11)을 준비하고, 그리고, 하기 (1) 내지 (7)의 공정을 행한다. 절연 기판(11)의 구체예로서는, 예를 들어 유리기판, 플라스틱 기판 등을 들 수 있다.

[0059] (1) 제1 배선층의 형성 공정

[0060] 스퍼터법, 진공 증착법 등의 방법을 사용하여, 절연 기판(11) 상에 제1 도전막을 형성한다. 제1 도전막의 재료로서는, 예를 들어 몰리브덴(Mo), 티타늄(Ti), 알루미늄(Al), 구리(Cu), 이들의 합금 등을 들 수 있고, 제1 도전막은, 이들 재료의 막의 적층막이어도 된다. 이어서, 포토리소그래피법을 사용하여 제1 도전막을 패터닝하고, 공통 간배선(16), 게이트 버스 라인(13), 입력 배선 등의 제1 배선층(31)이 형성된다.

[0061] (2) 제1 절연층 및 반도체층의 형성 공정

[0062] 이어서, CVD법, 스퍼터법 등의 방법을 사용하여, 제1 절연막을 형성한다. 제1 절연막의 구체예로서는, 예를 들어 질화 실리콘막, 산화 실리콘막, 이들의 적층막 등을 들 수 있다. 제1 절연막의 형성 후, CVD법, 스퍼터법 등의 방법을 사용하여, 반도체 막을 형성한다. 반도체 막의 재료로서는, 예를 들어 실리콘 등의 14족 원소의 반도체, 산화물 반도체 등을 들 수 있지만, 그 중에서도 산화물 반도체가 적합하다. 산화물 반도체는, 인듐(In), 갈륨(Ga), 아연(Zn), 알루미늄(Al) 및 실리콘(Si)으로 이루어지는 군에서 선택되는 적어도 1종류의 원소와, 산소(O)를 포함하는 것이 바람직하고, In, Ga, Zn 및 O를 포함하는 것이 보다 바람직하다. 그 후, 포토리소그래피법을 사용하여 반도체 막을 패터닝하고, 반도체층(21)이 형성된다. 또한, 반도체층(21)의 결정성은 특별히 한정되지 않고, 반도체층(21)은 단결정, 다결정, 비정질, 또는, 미결정이어도 되고, 이들 2종류 이상의 결정 구조를 포함해도 된다. 이어서, CVD법, 스퍼터법 등의 방법을 사용하여, 제2 절연막을 형성한다. 제2 절연막의 구체예로서는, 예를 들어 질화 실리콘막, 산화 실리콘막, 이들의 적층막 등을 들 수 있다. 이어서, 포토리소그래피법을 사용하여 제1 절연막 및 제2 절연막을 패터닝하고, 하층(51a) 및 상층(51b)을 포함하는 제1 절연층(51)이 형성된다. 또한, 채널 보호층(26) 및 콘택트 홀(63)이 형성된다.

[0063] 또한, 본 실시 형태에 있어서, 제1 절연층(51)의 상층(51b)은, 생략되어도 되지만, TFT(20)의 반도체층(21)의 재료로서 산화물 반도체를 사용하는 경우에는, TFT(20)의 특성 향상의 관점에서, 상층(51b)을 형성하고, 채널 보호층(26)을 형성하는 것이 바람직하다. 또한, 상층(51b)을 형성함으로써, 하층(51a) 및 상층(51b)의 2층에 의해, 프레임 영역(10)에 있어서, 제1 배선층(31)을 덮을 수 있다. 이에 의해, 제1 배선층(31)의 배선을 보다 확실하게 보호할 수 있고, 또한, 기생 용량을 저감할 수 있다.

[0064] (3) 제2 배선층의 형성 공정

[0065] 이어서, 스퍼터법, 진공 증착법 등의 방법을 사용하여, 제2 도전막을 형성한다. 제2 도전막의 재료로서는, 예를 들어 Mo, Ti, Al, Cu, 이들의 합금 등을 들 수 있고, 제2 도전막은, 이들 재료의 막의 적층막이어도 된다. 이어서, 포토리소그래피법을 사용하여 제2 도전막을 패터닝하고, 인출선(18), 소스 버스 라인(12), 하층부(17a) 등의 제2 배선층(32)이 형성된다.

[0066] (4) 제2 절연층의 상층의 형성 공정

[0067] 이어서, CVD법, 스퍼터법 등의 방법을 사용하여, 제3 절연막을 형성한다. 제3 절연막의 구체예로서는, 예를 들어 질화 실리콘막, 산화 실리콘막, 이들의 적층막 등을 들 수 있다. 이어서, 스핀 코팅법, 슬릿 코팅법 등의 방법을 사용하여, 제4 절연막을 형성한다. 제4 절연막의 재료로서는, 유기 재료가 적합하고, 그 중에서도, 감광성 아크릴 수지 등의 감광성 수지가 적합하다. 그리고, 포토리소그래피법을 사용하여 제4 절연막을 패터닝하고, 제2 절연층(52)의 상층(52b)이 형성된다. 또한, 제4 절연막은, 콘택트 홀(62)로 되는 영역과, 콘택트 홀

(25)로 되는 영역에서 제거된다. 유기 재료를 사용하여 제4 절연막을 형성함으로써, 제2 절연층(52)의 막 두께를 용이하게 두껍게 할 수 있다. 따라서, 공통 전극(15)과, 소스 버스 라인(12) 등의 제2 배선층(32)에 형성된 배선 사이의 기생 용량을 저감할 수 있고, 표시에 문제가 발생하는 것을 억제할 수 있다. 또한, 제4 절연막의 재료로서 감광성 수지를 사용함으로써, 노광 처리 및 현상 처리만으로 제4 절연막의 패터닝을 완료할 수 있다.

[0068] (5) 제1 투명 도전층의 형성 공정

[0069] 이어서, 스퍼터법을 사용하여, 제1 투명 도전막을 형성한다. 제1 투명 도전막의 재료로서는, 예를 들어 인듐 산화주석(ITO: Indium Tin Oxide), 산화인듐아연(IZO: Indium Zinc Oxide) 등을 들 수 있다. 이어서, 포토리소그래피법을 사용하여 제1 투명 도전막을 패터닝하고, 공통 전극(15) 등의 제1 투명 도전층(41)이 형성된다.

[0070] (6) 제2 절연층의 하층 및 제3 절연층의 형성 공정

[0071] 이어서, CVD법, 스퍼터법 등의 방법을 사용하여, 제5 절연막을 형성한다. 제5 절연막의 구체예로서는, 예를 들어 질화 실리콘막, 산화 실리콘막, 이들의 적층막 등을 들 수 있다. 그리고, 포토리소그래피법을 사용하여 제3 절연막 및 제5 절연막을 동일한 공정에서 패터닝하고, 제2 절연층(52)의 하층(52a) 및 제3 절연층(53)이 형성된다. 이때, 제3 절연막 및 제5 절연막은, 동일한 에칭제에 의해 연속하여 에칭된다. 또한, 제3 절연막은, 콘택트 홀(62)로 되는 영역과, 콘택트 홀(25)로 되는 영역에서 제거되고, 제5 절연막은, 콘택트 홀(61)로 되는 영역과, 콘택트 홀(25)로 되는 영역에서 제거되고, 이 단계에서, 콘택트 홀(62, 25)이 완성된다. 제2 절연층(52) 및 제3 절연층(53)이 각각, 동일한 에칭제로 에칭 가능한 층을 포함함으로써, 제3 절연막과, 제5 절연막을 동일한 공정에서 용이하게 패터닝할 수 있다.

[0072] 또한, 본 실시 형태에서는, 콘택트 홀(61)은 인출선(18) 상에 형성되어 있지 않다. 그로 인해, 콘택트 홀(61) 내에 있어서 가령 공통 전극(15)에 핀 홀이 존재했다고 해도, 제5 절연막용 에칭제가 핀 홀을 통해서, 제2 절연층(52) 및 인출선(18)도 에칭해버리는 것을 효과적으로 방지할 수 있다.

[0073] 또한, 본 실시 형태에 있어서, 제2 절연층(52)의 상층(52b)은 생략되어도 되지만, 그 경우에는, 생략하지 않는 경우에 비해, 하층(52a)의 막 두께는 크게 설정된다. 제2 절연층(52)의 막 두께가 작으면, 공통 전극(15)과, 소스 버스 라인(12) 등의 제2 배선층(32)에 형성된 배선 사이의 기생 용량이 커지고, 표시에 문제가 발생할 우려가 있기 때문이다. 단, 하층(52a)만을 형성하는 경우에는, 통상, 제3 절연막의 성막 시간이 길어져버리기 때문에, 시간 단축의 관점에서는 상층(52b)을 형성하는 것이 바람직하다. 또한, 제2 절연층(52)을 유기 절연막만으로 형성하는 것도 생각되고, 그 경우에는, 제2 절연층(52)의 막 두께를 용이하게 크게 할 수 있다. 그러나, TFT(20)의 바로 위에 유기 절연막이 형성되게 되어, TFT(20)의 신뢰성을 손상시킬 우려가 있다. 한편, 제2 절연층(52)의 하층(52a)을 질화 실리콘, 산화 실리콘 등의 무기 절연 재료를 사용하여 형성함으로써, TFT(20)의 신뢰성 저하를 방지할 수 있다. 따라서, 제2 절연층(52)의 막 두께 확보와, TFT(20)의 신뢰성 확보를 용이하게 양립시키는 관점에서는, 제2 절연층(52)은 무기 절연층과, 무기 절연층 상에 적층된 유기 절연층을 포함하는 것이 바람직하다.

[0074] (7) 제2 투명 도전층의 형성 공정

[0075] 이어서, 스퍼터법을 사용하여, 제2 투명 도전막을 형성한다. 제2 투명 도전막의 재료로서는, 예를 들어 ITO, IZO 등을 들 수 있다. 이어서, 포토리소그래피법을 사용하여 제2 투명 도전막을 패터닝하고, 화소 전극(14), 상층부(17b) 등의 제2 투명 도전층(42)이 형성된다.

[0076] 그 후, 셀 조립 공정에 있어서, 어레이 기관(7)과, 별도로 제작한 대향 기관(8)의 각 표면 상에, 폴리이미드 등의 유기 수지를 포함하는 수평 배향막을 도포 형성한다. 그리고, 러빙 처리, 광 배향 처리 등의 방법을 사용하여, 액정 분자가 소정의 방향으로 초기 배향하도록 각 배향막에 배향 처리를 실시한다.

[0077] 이어서, 어레이 기관(7) 및 대향 기관(8) 중 어느 한쪽의 위에 표시 영역을 둘러싸도록 시일재를 도포하고, 어레이 기관(7)과 대향 기관(8)을 서로의 배향막이 대향하도록 중첩되고, 그리고, 양쪽 기관을 시일재에 의해 접합한다. 또한, 어레이 기관(7) 및 대향 기관(8) 중 어느 한쪽에는 셀 갭을 보유하기 위한 기둥 형상 스페이서를 미리 형성해 둔다. 이 결과, 양쪽 기관 사이에는 수 $\mu$ m 정도의 간극(셀 갭)이 형성된다. 그 후, 시일재로 둘러싸인 공간에 액정 재료를 봉입하고, 액정층을 형성한다.

[0078] 이와 같이 하여 형성된 액정 셀의 양쪽 표면 상에, 편광판 및 위상판(임의)을 부착한 후, 드라이버 칩(5)을 실장하고, 액정 패널(1)이 완성된다.

[0079] 그 후, 액정 패널(1)에 플렉시블 기관을 접속하고, 제어부 및 백라이트 유닛을 설치하고, 이들을 하우징에 수납

함으로써, 실시 형태 1의 액정 디스플레이가 완성한다.

- [0080] 본 실시 형태에 있어서는, 공통 간배선(16)은 제1 배선층(31)에 형성되고, 인출선(18)은 제2 배선층(32)에 형성되어 있다. 그로 인해, 제2 배선층(32)에 형성된 소스 버스 라인(12)과, 공통 간배선(16) 사이에 있어서, 각 인출선(18)을 아래의 배선층에 바꾸어 연결하기 위한 콘택트 홀을 형성할 필요가 없다. 따라서, 표시 화면의 고정밀화에 따라 소스 버스 라인(12)의 피치가 좁아졌다고 해도, 인출선(18)과 교차하여 공통 간배선(16)을 배치할 수 있고, 인출선(18)과 교차하는 영역에서 공통 전극(15)에의 공통 신호의 입력 경로를 확보할 수 있다. 또한, 각 인출선(18)을 바꾸어 연결하기 위한 콘택트 홀을 형성할 필요가 없으므로, 표시 영역(9)과, 공통 간배선(16)의 간격을 좁게 할 수 있고, 그 결과, 프레임 영역(10)을 좁게 할 수 있다.
- [0081] 또한, 본 실시 형태에서는, 콘택트 홀(61)과 콘택트 홀(62)을 1 이상의 인출선(18)을 사이에 끼워서 이격하여 배치하고 있다. 즉, 도 4에 도시하는 바와 같이, 접속 전극(17)과 공통 간배선(16)과의 접속부(17c)와, 접속 전극(17)과 공통 전극(15)과의 접속부(17d)를 동일한 2개의 인출선(18) 사이의 영역에 설치하고 있지 않다. 따라서, 표시 화면의 고정밀화가 한층 더 가능하다. 또한, 각 콘택트 홀(61, 62, 63)의 크기를 충분히 확보할 수 있으므로, 콘택트 불량률의 발생을 방지할 수 있고, 공통 전극(15)에 안정적으로 공통 신호를 입력할 수 있다. 그 결과, 웨도잉, 플리커 등의 표시 불량률이 발생하는 것을 억제할 수 있다.
- [0082] 또한, 본 실시 형태에 있어서, 콘택트 홀(61)과 콘택트 홀(62) 사이에 배치되는 인출선(18)의 개수는 특별히 한정되지 않고, 예를 들어, 도 7에 도시하는 바와 같이 2개이어도 되고, 도 8에 도시하는 바와 같이 1개이어도 된다.
- [0083] 그런데, 공통 간배선(16)의 배치 장소에 대해서는, 특허문헌 2의 도 3 내지 도 6에 도시되는 바와 같이, 소스 버스 라인(12)용 인출선(18)이 통과하는 영역에 공통 간배선(16)을 설치하지 않는 것도 생각된다. 그러나, 그 경우에는, 공통 전극(15) 내에 있어서 전위가 안정되지 않고, 그 결과, 웨도잉, 플리커 등의 표시 불량률이 발생할 우려가 있다. 이것은, 전기 저항이 비교적 큰 투명 도전막으로부터 공통 전극(15)이 형성되기 때문이다. 그것에 대하여 본 실시 형태에서는, 상술한 바와 같이, 소스 버스 라인(12)용 인출선(18)과 교차하는 영역에 있어서 공통 전극(15)에의 공통 신호의 입력 경로를 확보할 수 있다. 따라서, 공통 전극(15)에 안정적으로 공통 신호를 입력할 수 있고, 웨도잉, 플리커 등의 표시 불량률이 발생하는 것을 억제할 수 있다.
- [0084] 또한, 산화물 반도체를 사용하여 반도체층(21)을 형성한 경우에는, 제조 프로세스 중에 있어서 일반적으로 어레이 기판 상에 형성되는 정전기 파괴(ESD) 대책용 소자의 사이즈는, 다른 반도체 재료(예를 들어 아몰퍼스 실리콘)를 사용한 경우에 비해 크게 할 필요가 있다. 그러나, 본 실시 형태에 따르면, 어레이 기판(7)의 프레임 영역(10)을 좁게 할 수 있다. 따라서, 본 실시 형태의 액정 디스플레이는, TFT(20)의 반도체층(21)의 재료로서 산화물 반도체를 사용한 경우에 특히 적합하다.
- [0085] 또한, 본 실시 형태에서는, 접속 전극(17)이 하층부(17a)를 포함하기 때문에, 제1 투명 도전층(41)을 형성하기 위한 에칭 시에, 공통 간배선(16)을 접속 전극의 하층부(17a)로 보호할 수 있다. 따라서, 제1 투명 도전층(41)의 재료, 제1 투명 도전층(41)을 형성하기 위한 에칭제 및 제1 배선층(31)의 재료 선택지를 증가시킬 수 있다.
- [0086] 또한, 본 실시 형태에서는, 도 2에 도시하는 바와 같이, 인출선(18)은 공통 간배선(16)보다도 외측의 영역에 있어서, 1개 걸러, 콘택트 홀(27)을 통해서 제1 배선층에 바꾸어 연결되어 있다. 그리고, 제1 배선층(31)에 있는 인출선(18)과, 제2 배선층(32)에 있는 인출선(18)이 교대로 배치되어 있다. 이에 의해, 인출 배선(18)의 간격을 매우 좁게 할 수 있다. 또한, 콘택트 홀(27)은 제1 절연층(51)에 형성되어 있다.
- [0087] (실시 형태 2)
- [0088] 실시 형태 2의 액정 디스플레이는, 공통 간배선 부근의 구조가 상이한 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.
- [0089] 본 실시 형태의 액정 디스플레이에 포함되는 어레이 기판은, 도 9, 도 10에 도시하는 바와 같이, 투명한 절연 기판(211)을 갖고 있으며, 절연 기판(211) 상에는, 상기 제1 도전층에 해당하는 제1 배선층(231)과, 제1 절연층(251)과, 상기 제2 도전층에 해당하는 제2 배선층(232)과, 제2 절연층(252)과, 상기 제3 도전층에 해당하는 제1 투명 도전층(241)과, 제3 절연층(253)과, 상기 제4 도전층에 해당하는 제2 투명 도전층(242)이 이 순서대로 적층되어 있다. 제1 절연층(251)은 하층(251a)과, 하층(251a) 상에 적층된 상층(251b)을 포함하고 있다. 제2 절연층(252)은 하층(252a)과, 하층(252a) 상에 적층된 상층(252b)을 포함하고 있다.

- [0090] 또한, 본 실시 형태에 따른 어레이 기판은, 제1 배선층(231)에 형성된 공통 간배선(216)과, 공통 간배선(216) 상에서 제2 배선층(232)에 형성된 인출선(218)과, 제2 투명 도전층(242)에 형성된 접속 전극(217)과, 제1 투명 도전층(241)에 형성된 공통 전극(215)을 갖고 있다. 접속 전극(217)은 복수의 인출선(218)을 가로지르도록 설치되어 있다.
- [0091] 제3 절연층(253)에는, 공통 전극(215) 상에서, 콘택트 홀(261)이 형성되어 있다. 제1 절연층(251), 제2 절연층(252) 및 제3 절연층(253)에는, 공통 간배선(216) 상에서, 콘택트 홀(262)이 형성되어 있고, 콘택트 홀(262)은 인접하는 2개의 인출선(218) 사이에 설치되어 있다. 공통 전극(215)이 콘택트 홀(262)에 중첩되지 않도록 공통 전극(215)에는 절결부(215a)가 형성되어 있다.
- [0092] 접속 전극(217)은 콘택트 홀(261)을 통해서 공통 전극(215)에 접속됨과 함께, 콘택트 홀(262)을 통해서 공통 간배선(216)에 접속되어 있다. 이와 같이 하여, 공통 전극(215)은 프레임 영역에 있어서, 접속 전극(217)을 통해서 공통 간배선(216)에 접속되고, 공통 전극(215)에는 공통 간배선(216)으로부터 공통 신호가 공급된다.
- [0093] 본 실시 형태의 액정 디스플레이는, 어레이 기판 이외에 대해서는, 실시 형태 1에서 설명한 방법에 의해 제작할 수 있다. 또한, 본 실시 형태에 따른 어레이 기판의 제조 방법에 대해서도, 이하의 점을 제외하고, 실시 형태 1에서 설명한 방법과 실질적으로 동일하다. 본 실시 형태에서는, 반도체층의 형성 후에 제1 및 제2 절연막을 패터닝하지 않고, 제3 및 제5 절연막의 패터닝시에 동시에 제1 및 제2 절연막을 패터닝한다.
- [0094] 본 실시 형태에 따르면, 실시 형태 1에서 설치되어 있던, 하층부(17a)와, 콘택트 홀(63)을 생략할 수 있다. 따라서, 실시 형태 1에 비해, 보다 고정밀의 액정 디스플레이를 실현할 수 있다.
- [0095] (실시 형태 3)
- [0096] 실시 형태 3의 액정 디스플레이는, 공통 간배선 부근의 구조가 상이한 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.
- [0097] 본 실시 형태의 액정 디스플레이에 포함되는 어레이 기판은, 도 11, 도 12에 도시하는 바와 같이, 투명한 절연 기판(311)을 갖고 있으며, 절연 기판(311) 상에는, 상기 제1 도전층에 해당하는 제1 배선층(331)과, 제1 절연층(351)과, 상기 제2 도전층에 해당하는 제2 배선층(332)과, 제2 절연층(352)과, 상기 제3 도전층에 해당하는 제1 투명 도전층(341)과, 제3 절연층(353)과, 상기 제4 도전층에 해당하는 제2 투명 도전층(342)이 이 순서대로 적층되어 있다. 제1 절연층(351)은 하층(351a)과, 하층(351a) 상에 적층된 상층(351b)을 포함하고 있다. 제2 절연층(352)은 하층(352a)과, 하층(352a) 상에 적층된 상층(352b)을 포함하고 있다.
- [0098] 또한, 본 실시 형태에 따른 어레이 기판은, 제1 배선층(331)에 형성된 공통 간배선(316)과, 공통 간배선(316) 상에서 제2 배선층(332)에 형성된 인출선(318)과, 접속 전극(317)과, 제1 투명 도전층(341)에 형성된 공통 전극(315)을 갖고 있다. 접속 전극(317)은, 제2 배선층(332)에 형성된 하층부(317a)와, 제2 투명 도전층(342)에 형성된 상층부(317b)를 포함하고 있다. 하층부(317a)는 인접하는 2개의 인출선(318) 사이에 설치되고, 상층부(317b)는 하층부(317a) 상의 영역으로부터 하층부(317a)에 인접하는 인출선(318) 상의 영역까지 연신되어 있다.
- [0099] 제3 절연층(353)에는, 공통 전극(315) 상에서, 콘택트 홀(361)이 형성되어 있다. 제2 절연층(352) 및 제3 절연층(353)에는, 하층부(317a) 상에서, 콘택트 홀(362)이 형성되어 있다. 공통 전극(315)이 콘택트 홀(362)에 중첩되지 않도록 공통 전극(315)에는 절결부(315a)가 형성되어 있다. 제1 절연층(351)에는, 공통 간배선(316) 상에서, 콘택트 홀(363)이 형성되어 있고, 콘택트 홀(363)은 인접하는 2개의 인출선(318) 사이에 설치되어 있다.
- [0100] 상층부(317b)는 콘택트 홀(361)을 통해서 공통 전극(315)에 접속됨과 함께, 콘택트 홀(362)을 통해서 하층부(317a)에 접속되어 있다. 하층부(317a)는 콘택트 홀(363)을 통해서 공통 간배선(316)에 접속되어 있다. 이와 같이 하여, 공통 전극(315)은 프레임 영역에 있어서, 접속 전극(317)을 통해서 공통 간배선(316)에 접속되고, 공통 전극(315)에는 공통 간배선(316)으로부터 공통 신호가 공급된다.
- [0101] 본 실시 형태의 액정 디스플레이는, 실시 형태 1에서 설명한 방법에 의해 제작할 수 있다.
- [0102] 본 실시 형태에서는, 콘택트 홀(361)이 인출선(318) 상에 설치되어 있고, 콘택트 홀(361)을 배치하기 위한 스페이스를 인접하는 2개의 인출선(318) 사이에 설치할 필요가 없다. 따라서, 실시 형태 1에 비해, 보다 고정밀의 액정 디스플레이를 실현할 수 있다. 또한, 설계의 자유도를 향상시킬 수 있다.
- [0103] (실시 형태 4)
- [0104] 실시 형태 4의 액정 디스플레이는, 공통 간배선 부근의 구조가 상이한 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.

플레이와 실질적으로 동일하다.

- [0105] 본 실시 형태의 액정 디스플레이에 포함되는 어레이 기판은, 도 13, 도 14에 도시하는 바와 같이, 투명한 절연 기판(411)을 갖고 있으며, 절연 기판(411) 상에는, 상기 제1 도전층에 해당하는 제1 배선층(431)과, 제1 절연층(451)과, 상기 제2 도전층에 해당하는 제2 배선층(432)과, 제2 절연층(452)과, 상기 제3 도전층에 해당하는 제1 투명 도전층(441)과, 제3 절연층(453)과, 상기 제4 도전층에 해당하는 제2 투명 도전층(442)이 이 순서대로 적층되어 있다. 제1 절연층(451)은 하층(451a)과, 하층(451a) 상에 적층된 상층(451b)을 포함하고 있다. 제2 절연층(452)은 하층(452a)과, 하층(452a) 상에 적층된 상층(452b)을 포함하고 있다.
- [0106] 또한, 본 실시 형태에 따른 어레이 기판은, 제1 배선층(431)에 형성된 공통 간배선(416)과, 공통 간배선(416) 상에서 제2 배선층(432)에 형성된 인출선(418)과, 제2 투명 도전층(442)에 형성된 접속 전극(417)과, 제1 투명 도전층(441)에 형성된 공통 전극(415)을 갖고 있다. 접속 전극(417)은 어떤 인출선(418) 상의 영역으로부터 그것에 인접하는 인출선(418) 상의 영역까지 연신되어 있다.
- [0107] 제1 절연층(451) 및 제2 절연층(452)에는, 공통 간배선(416) 상에서, 콘택트 홀(462)이 형성되어 있다. 공통 전극(415)이 콘택트 홀(462)에 중첩되지 않도록 공통 전극(415)에는 절결부(415a)가 형성되어 있다. 제3 절연층(453)에는, 공통 간배선(416) 상에서, 개구(461)가 형성되어 있고, 개구(461)는 콘택트 홀(462)과 동일한 장소에, 콘택트 홀(462)보다도 크게 형성되어 있다. 또한, 개구(461)의 일부는, 공통 전극(415) 상에 위치하고 있고, 공통 전극(415)의 일부는 제3 절연층(453)에 의해 덮여 있지 않다.
- [0108] 접속 전극(417)은 개구(461)를 덮도록 형성됨으로써 공통 전극(415)에 접촉하고, 공통 전극(415)에 접속되어 있다. 또한, 접속 전극(417)은 콘택트 홀(462)을 통해서 공통 간배선(416)에 접속되어 있다. 이와 같이 하여, 공통 전극(415)은 프레임 영역에 있어서, 접속 전극(417)을 통해서 공통 간배선(416)에 접속되고, 공통 전극(415)에는 공통 간배선(416)으로부터 공통 신호가 공급된다.
- [0109] 본 실시 형태의 액정 디스플레이는, 실시 형태 2에서 설명한 방법에 의해 제작할 수 있다.
- [0110] 본 실시 형태에 따르면, 실시 형태 1에서 설치되어 있던, 하층부(17a)와, 콘택트 홀(63)을 생략할 수 있다. 또한, 개구(461)는 콘택트 홀(462) 상의 영역으로부터, 공통 전극(415) 상의 영역까지 확대되어 있기 때문에, 즉, 접속 전극(417)의 공통 간배선(416)과의 접속부와, 접속 전극(417)의 공통 전극(415)과의 접속부 사이에 제3 절연층(453)이 없기 때문에, 양쪽 접속부를 서로 매우 근처에 배치할 수 있다. 따라서, 실시 형태 1 및 2에 비해, 보다 고정밀의 액정 디스플레이를 실현할 수 있다.
- [0111] (실시 형태 5)
- [0112] 실시 형태 5의 액정 디스플레이는, 공통 간배선 부근의 구조가 상이한 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.
- [0113] 본 실시 형태의 액정 디스플레이에 포함되는 어레이 기판은, 도 15, 도 16에 도시하는 바와 같이, 투명한 절연 기판(511)을 갖고 있으며, 절연 기판(511) 상에는, 상기 제1 도전층에 해당하는 제1 배선층(531)과, 제1 절연층(551)과, 상기 제2 도전층에 해당하는 제2 배선층(532)과, 제2 절연층(552)과, 상기 제3 도전층에 해당하는 제1 투명 도전층(541)과, 제3 절연층(도시하지 않음)과, 상기 제4 도전층에 해당하는 제2 투명 도전층(542)이 이 순서대로 적층되어 있다. 제1 절연층(551)은 하층(551a)과, 하층(551a) 상에 적층된 상층(551b)을 포함하고 있다. 제2 절연층(552)은 하층(552a)과, 하층(552a) 상에 적층된 상층(552b)을 포함하고 있다.
- [0114] 또한, 본 실시 형태에 따른 어레이 기판은, 제1 배선층(531)에 형성된 공통 간배선(516)과, 공통 간배선(516) 상에서 제2 배선층(532)에 형성된 인출선(518)과, 제2 투명 도전층(542)에 형성된 접속 전극(517)과, 제1 투명 도전층(541)에 형성된 공통 전극(515)을 갖고 있다. 접속 전극(517)은 복수의 인출선(518)을 가로지르도록 설치되어 있다.
- [0115] 제1 절연층(551) 및 제2 절연층(552)에는, 공통 간배선(516) 상에서, 콘택트 홀(562)이 형성되어 있고, 콘택트 홀(562)은 인접하는 2개의 인출선(518) 사이에 1개씩 설치되어 있다. 공통 전극(515)이 콘택트 홀(562)에 중첩되지 않도록 공통 전극(515)에는 절결부(515a)가 형성되어 있다. 제3 절연층에는, 공통 간배선(516) 상에서, 개구(561)가 떠 형상으로 형성되어 있다. 어레이 기판을 평면에서 보았을 때, 개구(561) 내에는 복수의 콘택트 홀(562)이 배치되어 있다. 또한, 개구(561)의 일부는, 공통 전극(515) 상에 위치하고 있다.
- [0116] 접속 전극(517)은, 개구(561)를 덮도록 형성됨으로써 공통 전극(515)에 접촉하고, 공통 전극(515)에 접속되어 있다. 또한, 접속 전극(517)은 콘택트 홀(562)을 통해서 공통 간배선(516)에 접속되어 있다. 이와 같이 하여,

공통 전극(515)은 프레임 영역에 있어서, 접속 전극(517)을 통해서 공통 간배선(516)에 접속되고, 공통 전극(515)에는 공통 간배선(516)으로부터 공통 신호가 공급된다.

- [0117] 본 실시 형태의 액정 디스플레이는, 실시 형태 2에서 설명한 방법에 의해 제작할 수 있다.
- [0118] 본 실시 형태에 따르면, 실시 형태 1에서 설치되어 있던, 하층부(17a)와, 콘택트 홀(63)을 생략할 수 있다. 또한, 개구(561)는 공통 간배선(516) 상에서, 띠 형상으로 확대되고, 어레이 기관을 평면에서 보았을 때, 콘택트 홀(562)과, 공통 전극(515)의 일부는, 개구(561) 내에 배치되기 때문에, 즉, 접속 전극(517)의 공통 간배선(516)과의 접속부와, 접속 전극(517)의 공통 전극(515)과의 접속부 사이에 제3 절연층이 없기 때문에, 양쪽 접속부를 서로 매우 근처에 배치할 수 있다. 따라서, 실시 형태 1 및 2에 비해, 보다 고정밀의 액정 디스플레이를 실현할 수 있다.
- [0119] 또한, 접속 전극(517)의 공통 전극(515)과의 접속부의 면적을 크게 할 수 있다. 따라서, 실시 형태 1 내지 4에 비해, 양쪽 전극 사이의 콘택트 저항을 저감할 수 있으며, 또한, 양쪽 전극 사이에 접속 불량 발생을 억제할 수 있다.
- [0120] (실시 형태 6)
- [0121] 실시 형태 6의 액정 디스플레이는, 공통 간배선 부근의 구조가 상이한 것을 제외하고, 실시 형태 1의 액정 디스플레이와 실질적으로 동일하다.
- [0122] 본 실시 형태의 액정 디스플레이에 포함되는 어레이 기관은, 도 17에 도시하는 바와 같이, 투명한 절연 기관(611)을 갖고 있으며, 절연 기관(611) 상에는, 상기 제1 도전층에 해당하는 제1 배선층(631)과, 제1 절연층(651)과, 상기 제2 도전층에 해당하는 제2 배선층(632)과, 제2 절연층(652)과, 상기 제3 도전층에 해당하는 제1 투명 도전층(641)과, 제3 절연층(653)과, 상기 제4 도전층에 해당하는 제2 투명 도전층(642)이 이 순서대로 적층되어 있다. 제1 절연층(651)은 하층(651a)과, 하층(651a) 상에 적층된 상층(651b)을 포함하고 있다. 제2 절연층(652)은 하층(652a)과, 하층(652a) 상에 적층된 상층(652b)을 포함하고 있다.
- [0123] 또한, 본 실시 형태에 따른 어레이 기관은, 제1 배선층(631)에 형성된 공통 간배선(616)과, 공통 간배선(616) 상에서 제2 배선층(632)에 형성된 인출선(618)과, 제2 투명 도전층(642)에 형성된 접속 전극(617)과, 제1 투명 도전층(641)에 형성된 공통 전극(615)을 갖고 있다. 접속 전극(617)은 제2 배선층(632)에 형성된 하층부(617a)와, 제2 투명 도전층(642)에 형성된 상층부(617b)를 포함하고 있다. 접속 전극(617)(하층부(617a) 및 상층부(617b))은 인접하는 2개의 인출선(618) 사이에 설치되어 있다.
- [0124] 제3 절연층(653)에는, 공통 전극(615) 상에서, 콘택트 홀(661)이 형성되어 있다. 제2 절연층(652) 및 제3 절연층(653)에는, 하층부(617a) 상에서, 콘택트 홀(662)이 형성되어 있다. 공통 전극(615)이 콘택트 홀(662)에 중첩되지 않도록 공통 전극(615)에는 절결부(615a)가 형성되어 있다. 제1 절연층(651)에는, 공통 간배선(616) 상에서, 콘택트 홀(663)이 형성되어 있다. 콘택트 홀(661, 662, 663)은, 인접하는 2개의 인출선(618) 사이에 설치되어 있다.
- [0125] 상층부(617b)는, 콘택트 홀(661)을 통해서 공통 전극(615)에 접속됨과 함께, 콘택트 홀(662)을 통해서 하층부(617a)에 접속되어 있다. 하층부(617a)는 콘택트 홀(663)을 통해서 공통 간배선(616)에 접속되어 있다. 이와 같이 하여, 공통 전극(615)은 프레임 영역에 있어서, 접속 전극(617)을 통해서 공통 간배선(616)에 접속되고, 공통 전극(615)에는 공통 간배선(616)으로부터 공통 신호가 공급된다.
- [0126] 본 실시 형태의 액정 디스플레이는, 실시 형태 1에서 설명한 방법에 의해 제작할 수 있다.
- [0127] 본 실시 형태에서는, 인접하는 2개의 인출선(618) 사이에 3개의 콘택트 홀(661, 662, 663)이 배치되어 있는 점에서, 실시 형태 1에 비해 고정밀화에는 불리하다. 그러나, 접속 전극(617)은 인접하는 2개의 인출선(618) 사이의 각 영역에 배치할 필요는 없으므로, 각 버스 라인에 콘택트 홀을 설치하는 경우에 비하면 고정밀화에 유리하다.
- [0128] 또한, 각 실시 형태에 있어서, 공통 전극과 공통 간배선을 서로 접속하는 접속 구조의 수와 배치 장소는 특별히 한정되지 않고, 적절히 설정할 수 있다. 또한, 복수의 접속 구조를 배치하는 경우, 적어도 1개의 접속 구조가 상술한 어느 하나의 특징을 가지면 되고, 모든 접속 구조가 상술한 어느 하나의 특징을 가질 필요는 없다.
- [0129] 또한, 실시 형태 1 내지 6은 서로 조합되어도 되고, 예를 들어 다른 실시 형태의 접속 구조를 동일한 어레이 기관에 설치해도 된다.

- [0130] 또한, 실시 형태 1 내지 6에서는, FFS 방식의 액정 디스플레이에 대하여 설명했지만, 각 디스플레이의 표시 방식은 특별히 한정되지 않는다. 예를 들어, 빗살 구조를 각각 갖는 공통 전극 및 화소 전극을 사용한 면내 스위칭(IPS: In-Plane Switching) 방식, TBA(Transverse Bend Alignment) 방식 등의 표시 방식이어도 된다. 또한, TBA 방식에 있어서는, 액정층은, 부의 유전율 이방성을 갖는 네마틱 액정 분자를 포함하고, 해당 액정 분자는, 전압 무인가시, 수직 배향하고, 어레이 기판은, 한 쌍의 전극(예를 들어, 빗살 구조를 각각 갖는 공통 전극 및 화소 전극)을 포함하고, 해당 전극 사이에 발생하는 횡전계에 의해 액정 분자를 벤드 형상으로 배향시킨다. 그 중에서도, 실시 형태 1 내지 6의 액정 디스플레이 표시 방식으로서, 투명한 공통 전극과, 투명한 화소 전극과, 양쪽 전극간의 유전체를 구비하고(이하, 이러한 구조를 투명 Cs 구조라고도 함), 이들 부재에 의해 보유 용량이 형성되는 표시 방식이 적합하며, 그러한 표시 방식으로서, 예를 들어 투명 Cs 구조를 구비한 CPA(Continuous Pinwheel Alignment) 방식을 들 수 있다. 또한, 투명 Cs 구조를 구비한 CPA 방식에 있어서는, 액정층은, 부의 유전율 이방성을 갖는 네마틱 액정 분자를 포함하고, 해당 액정 분자는, 전압 무인가시, 수직 배향하고, 어레이 기판은, 투명한 공통 전극과, 해당 공통 전극 상의 절연층과, 해당 절연층 상의 투명한 화소 전극을 구비하고, 대향 기판은, 화소 전극에 대향하는 투명한 대향 전극과, 해당 대향 전극 상에 설치된 점 형상의 돌기(리벳)를 구비하고, 해당 화소 전극과 해당 대향 전극 사이에 발생하는 종전계에 의해 돌기를 중심으로 액정 분자를 방사상으로 배향시킨다.
- [0131] 또한, 실시 형태 1에서는, 표시 영역의 전체 둘레에 공통 간배선을 배치한 경우에 대하여 설명했지만, 각 실시 형태에 있어서, 공통 간배선은, 제2 도전층에 설치된 인출선과 교차하도록 배치되는 한, 그 배치 장소는 특별히 한정되지 않고, 예를 들어, 공통 간배선은, 표시 영역의 하변 근방에만 배치되어도 된다.
- [0132] 또한, 실시 형태 1 내지 6에서는, 투과형의 액정 디스플레이에 대하여 설명했지만, 각 액정 디스플레이는, 반사형 또는 반투과형이어도 된다. 반사형의 경우에는, 예를 들어 제3 도전막에 상당하는 제1 투명 도전막 대신에, 표면이 고반사율의 도전막을 사용하면 된다. 그러한 도전막의 재료로서는, 예를 들어 Al, 은(Ag), 플라티나(Pt), 이들의 합금 등을 들 수 있고, 이 도전막은, 이들 재료의 막의 적층막이어도 된다.
- [0133] 또한, 실시 형태 1 내지 6에서는, 공통 간배선 상에서, 공통 전극에 절결부를 형성했지만, 그 대신에 개구부를 형성해도 된다.

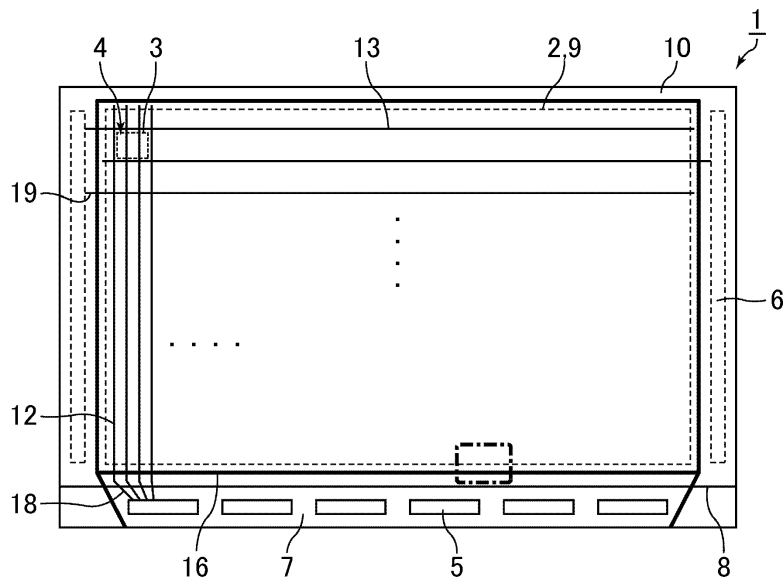
### 부호의 설명

- [0134]
- 1 : 액정 패널
  - 2 : 표시부
  - 3 : 화소
  - 4 : 서브 화소
  - 5 : 소스 버스 라인용 드라이버 칩
  - 6 : 게이트 버스 라인용 드라이버 회로
  - 7 : 어레이 기판
  - 8 : 대향 기판
  - 9 : 표시 영역
  - 10 : 프레임 영역
  - 11 : 절연 기판
  - 12 : 소스 버스 라인
  - 13 : 게이트 버스 라인
  - 14 : 화소 전극
  - 14S : 슬릿
  - 15 : 공통 전극

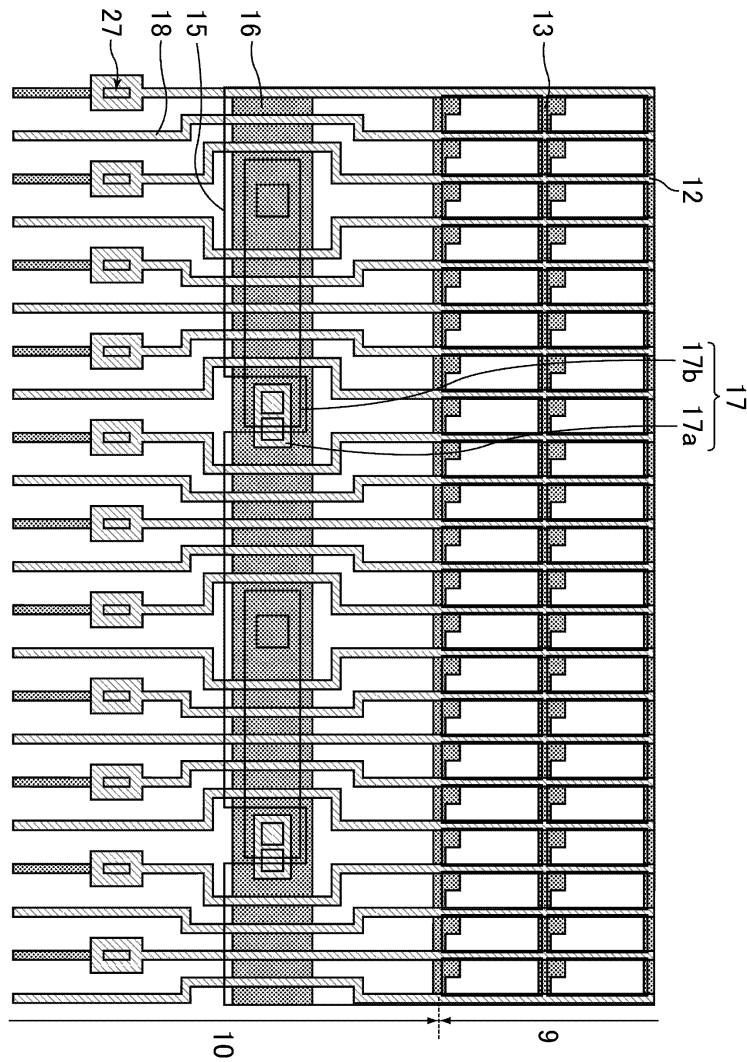
- 15a : 절결부
- 15b : 개구
- 16: 공통 간배선
- 17: 접속 전극
- 17a : 하층부
- 17b : 상층부
- 17c, 17d : 접속부
- 18, 19 : 인출선
- 20 : TFT
- 21 : 반도체층
- 22 : 게이트 전극
- 23 : 소스 전극
- 24: 드레인 전극
- 25, 27, 61, 62, 63 : 콘택트 홀
- 26 : 채널 보호층
- 31 : 제1 배선층(제1 도전층)
- 32 : 제2 배선층(제2 도전층)
- 41 : 제1 투명 도전층(제3 도전층)
- 42 : 제2 투명 도전층(제4 도전층)
- 51 : 제1 절연층
- 51a : 하층
- 51b : 상층
- 52 : 제2 절연층
- 52a : 하층
- 52b : 상층
- 53 : 제3 절연층

도면

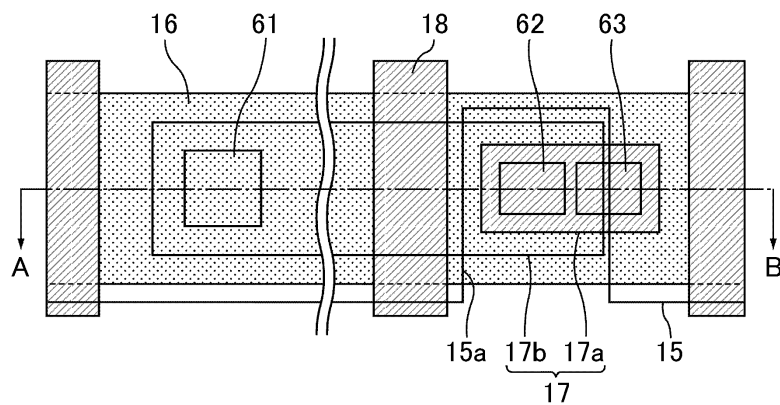
도면1



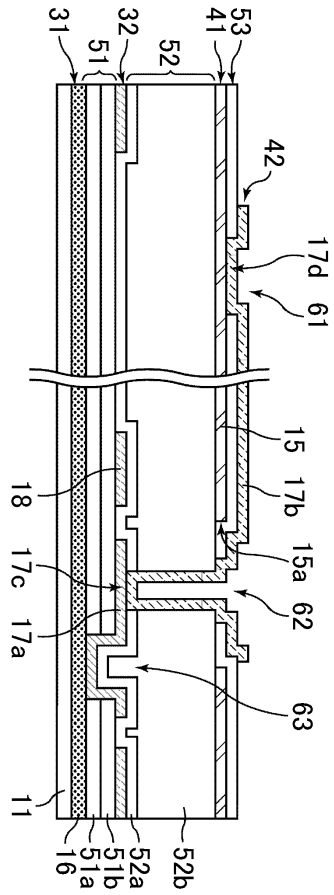
도면2



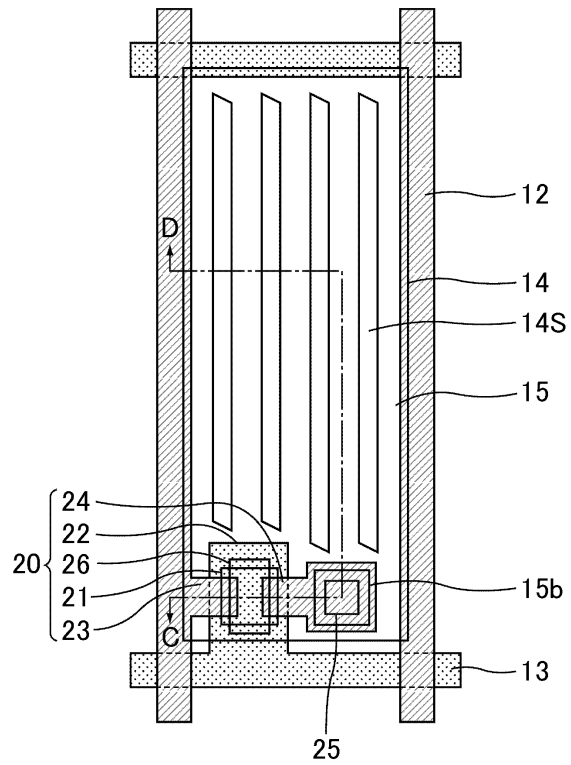
도면3



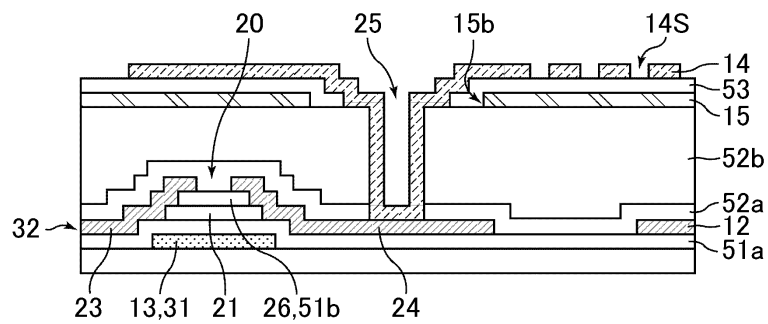
도면4



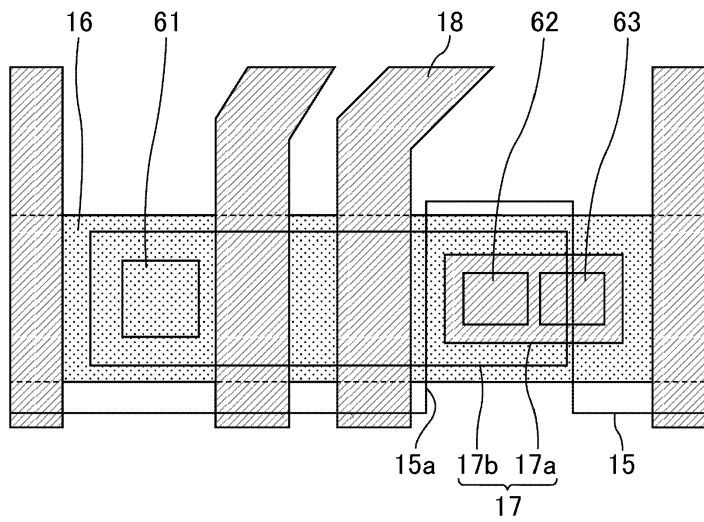
도면5



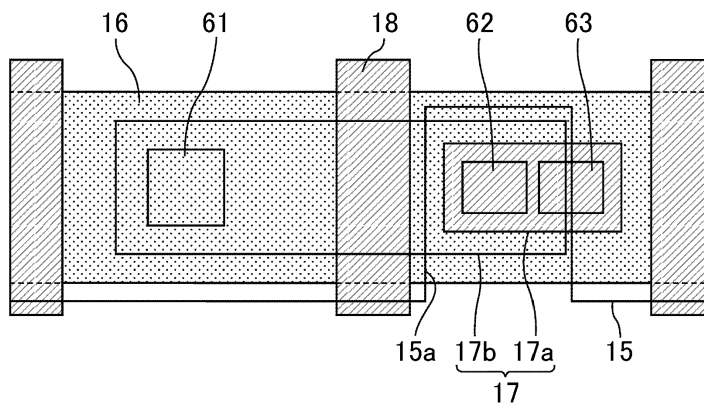
도면6



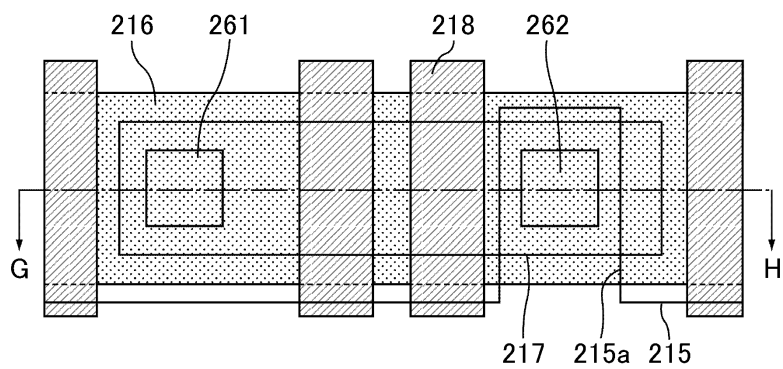
도면7



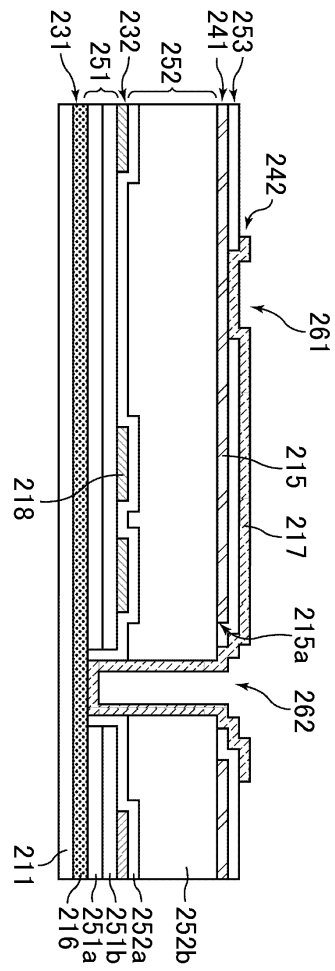
도면8



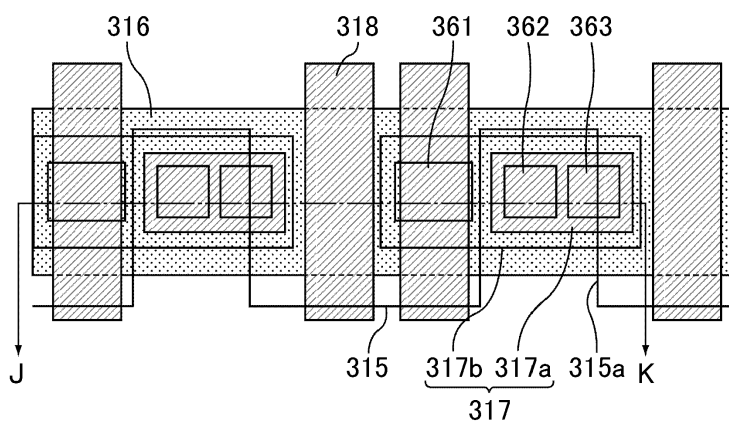
도면9



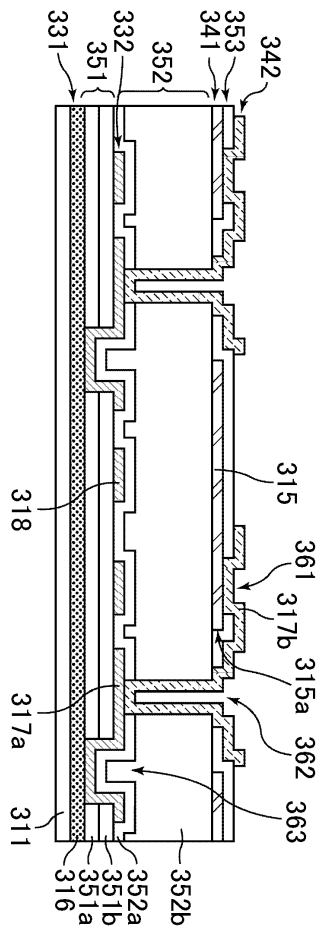
도면10



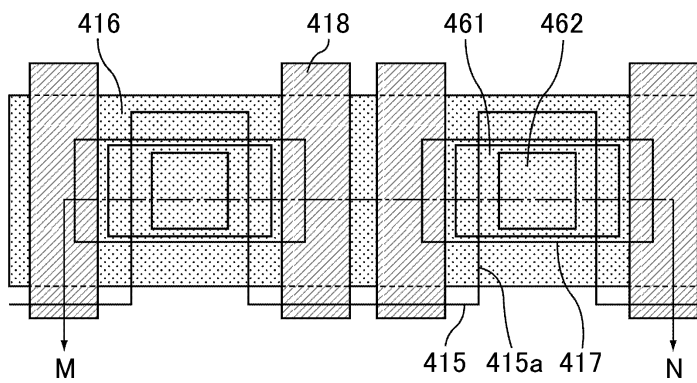
도면11



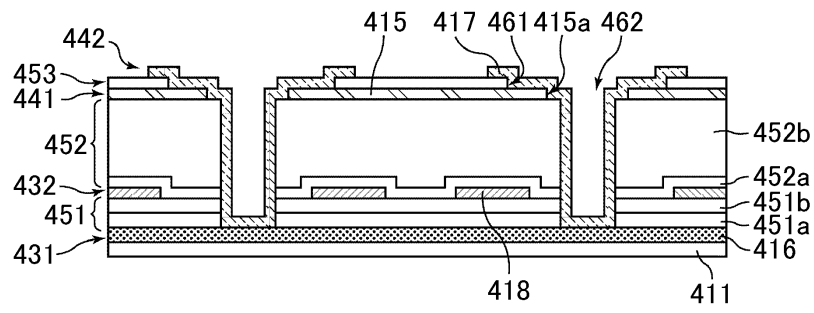
도면12



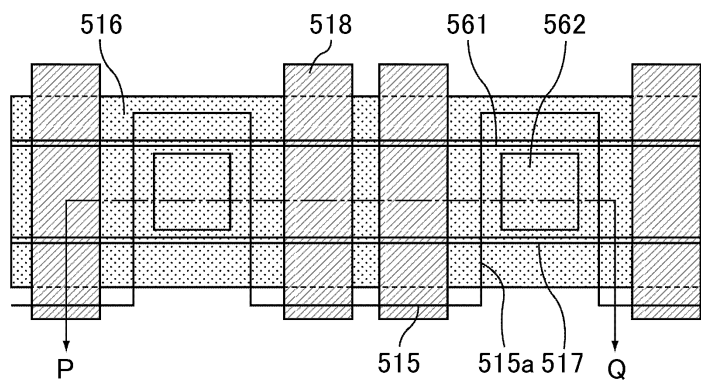
도면13



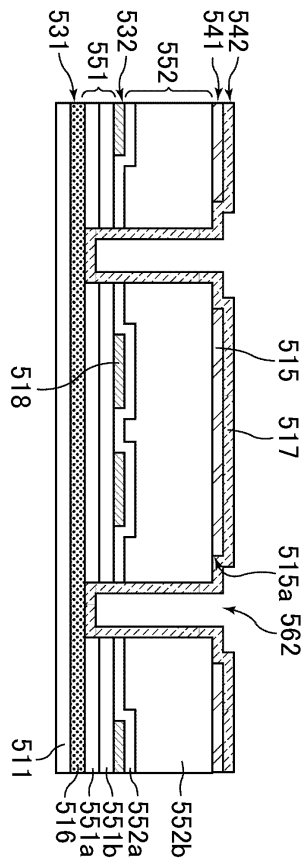
도면14



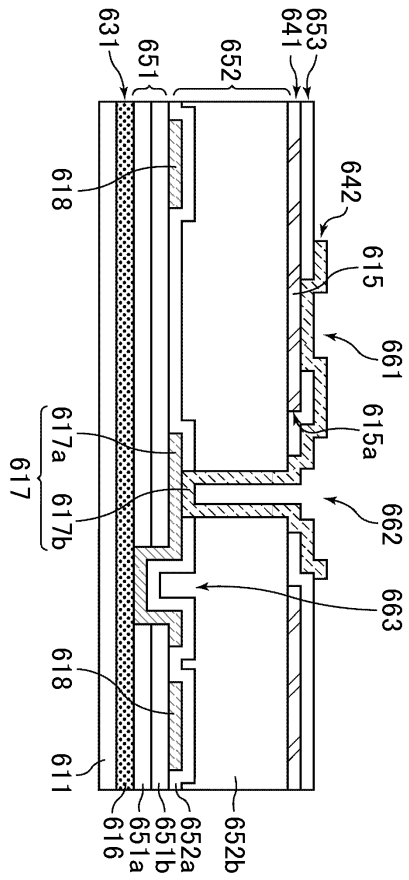
도면15



도면16



도면17



|                |                                                                                          |         |            |
|----------------|------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 发明名称液晶显示器                                                                                |         |            |
| 公开(公告)号        | <a href="#">KR1020140120914A</a>                                                         | 公开(公告)日 | 2014-10-14 |
| 申请号            | KR1020147022847                                                                          | 申请日     | 2013-02-07 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                   |         |            |
| 申请(专利权)人(译)    | 夏普株式会社                                                                                   |         |            |
| 当前申请(专利权)人(译)  | 夏普株式会社                                                                                   |         |            |
| [标]发明人         | TAKIZAWA HIDEAKI<br>다키자와히데아키<br>KIHARA MASAHIRO<br>기하라마사히로<br>OGASAWARA ISAO<br>오가사와라이사오 |         |            |
| 发明人            | 다키자와히데아키<br>기하라마사히로<br>오가사와라이사오                                                          |         |            |
| IPC分类号         | G02F1/1345 G02F1/1368                                                                    |         |            |
| 代理人(译)         | Jangsugil<br>Bakchungbeom                                                                |         |            |
| 优先权            | 2012030975 2012-02-15 JP                                                                 |         |            |
| 其他公开文献         | KR101597929B1                                                                            |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                |         |            |

#### 摘要(译)

本发明的一个目的是提供一种高精度的和更窄的框架部分，并且在显示屏幕的阵列基板的液晶显示简化的制造工艺。根据本发明，阵列基板，绝缘基板11和绝缘基板11和在第一导电层31和第一导电层31上的第一绝缘层51的液晶显示中，第二导电层32，第二导电层上的第三导电层41的第二绝缘层52和绝缘层51上32在第二绝缘层52和第三第三绝缘层53和导电层41，第三绝缘层53，第四导电层42，以及多个引线18，多个总线线路，并且在上第三导电层41中，显示区域，引线线18与交点设置在公共电极15的外侧，并且设置所述公共交线16的外侧，用于发送公共信号，显示区域多条引线18连接到包括17个电极，并且公共到布线16被提供在第一导电层31上，以连接到公共电极引线16，公共到15在共同的交线16，被设置在第二导电层32上，连接电极17被设置为至少所述第四导电层42还有价值。

