



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0048731
(43) 공개일자 2014년04월24일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1368 (2006.01)
(21) 출원번호 10-2012-0115020
(22) 출원일자 2012년10월16일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
조세형
서울 송파구 올림픽로 435, 101동 1001호 (신천동, 파크리오)
정미혜
경기 수원시 장안구 천천로74번길 92, 824동 1402호 (정자동, 대월마을대림진흥아파트)
(74) 대리인
(뒷면에 계속)
권혁수, 송윤희, 오세준

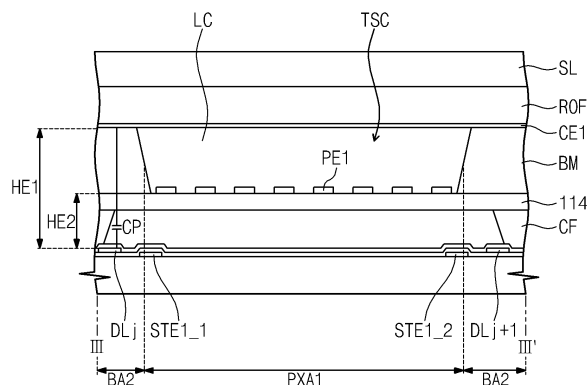
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 나노 크리스탈 디스플레이

(57) 요약

나노 크리스탈 디스플레이의 화소들 각각은, 상기 제1 화소 영역의 상기 제2 절연막 상에 형성된 제1 화소 전극을 포함하는 제1 서브 화소, 상기 제2 화소 영역의 상기 제2 절연막 상에 형성된 제2 화소 전극을 포함하는 제2 서브 화소, 상기 제2 절연막 상에 형성되며 상기 제1 및 제2 화소 전극의 단차보다 큰 단차를 갖는 제1 블랙 매트릭스를 포함하고, 상기 행 방향으로 연장되며, 상기 블랙 매트릭스에 접촉되고 상기 제1 및 제2 화소 영역에서 상기 제2 절연막과 소정의 간격을 형성하여 터널 상 공동을 정의하는 공통 전극, 및 상기 터널 상 공동에 제공되는 액정층을 포함한다.

대표도 - 도5



(72) 발명자

이선화

경북 안동시 길주길 101-12, 204동 303호 (용상동, 현대아파트)

원성환

서울 노원구 초안산로1길 18, 202동 416호 (월계동, 월계주공2단지아파트)

채종철

서울 서초구 반포대로 275, 116동 2701호 (반포동, 래미안퍼스티지)

특허청구의 범위

청구항 1

영상을 표시하는 제1 화소 영역 및 제2 화소 영역을 각각 포함하는 복수의 화소들이 정의된 기판; 및
 상기 기판상에 행 방향으로 연장되어 제공된 게이트 라인들;
 상기 게이트 라인들을 덮도록 상기 기판상에 형성되는 제1 절연막;
 상기 제1 절연막 상에 형성되고, 열 방향으로 연장되어 상기 게이트 라인들과 교차하는 데이터 라인들; 및
 상기 데이터 라인들 상에 형성되는 제2 절연막을 포함하고,
 상기 복수의 화소들 각각은,
 상기 제1 화소 영역의 상기 제2 절연막 상에 형성된 제1 화소 전극을 포함하는 제1 서브 화소;
 상기 제2 화소 영역의 상기 제2 절연막 상에 형성된 제2 화소 전극을 포함하는 제2 서브 화소;
 상기 제2 절연막 상에 형성되며 상기 제1 및 제2 화소 전극의 단차보다 큰 단차를 갖는 제1 블랙 매트릭스를 포함하고,
 상기 행 방향으로 연장되며, 상기 제1 블랙 매트릭스에 접촉되고 상기 제1 및 제2 화소 영역에서 상기 제2 절연막과 소정의 간격을 형성하여 터널 상 공동을 정의하는 공통 전극; 및
 상기 터널 상 공동에 제공되는 액정층을 포함하는 나노 크리스탈 디스플레이.

청구항 2

제 1 항에 있어서,
 상기 행 방향으로 연장되며, 상기 제1 및 제2 화소 영역들 사이의 경계영역을 포함하는 제1 경계 영역; 및
 상기 열 방향으로 연장되며, 상기 제1 화소 영역들 사이 및 상기 제2 화소 영역들 사이의 경계 영역을 포함하는 제2 경계 영역을 더 포함하고,
 상기 제1 블랙 매트릭스는 상기 제1 경계 영역 및 상기 제2 경계영역이 교차하는 영역을 제외한 상기 제2 경계영역에서 상기 제2 절연막 상에 형성되는 나노 크리스탈 디스플레이.

청구항 3

제 2 항에 있어서,
 상기 행 방향으로 연장되며 상기 게이트 라인들과 동일층에 형성된 제1 및 제2 스토리지 라인들을 더 포함하고,
 상기 각각의 화소는 상기 게이트 라인들 중 대응하는 게이트 라인 및 상기 데이터 라인들 중 대응하는 데이터 라인에 연결되는 나노 크리스탈 디스플레이.

청구항 4

제 3 항에 있어서,
 상기 제1 서브 화소는
 상기 대응하는 게이트 라인, 상기 대응하는 데이터 라인 및 상기 제1 화소 전극에 연결된 제1 박막 트랜지스터를 더 포함하고,
 상기 제2 서브 화소는,
 상기 대응하는 게이트 라인, 상기 대응하는 데이터 라인, 및 상기 제2 화소 전극에 연결된 제2 박막 트랜지스터; 및
 상기 대응하는 게이트 라인, 및 상기 제2 박막 트랜지스터와 상기 제2 화소 전극에 공통으로 연결된 제3 박막

트랜지스터를 더 포함하고,

상기 제1 내지 제3 박막 트랜지스터들은 상기 제1 경계 영역에 형성되는 나노 크리스탈 디스플레이.

청구항 5

제 4 항에 있어서,

상기 제2 절연막은 상기 제1 경계영역에서 상기 제1 내지 제3 박막 트랜지스터들을 덮도록 형성되는 나노 크리스탈 디스플레이.

청구항 6

제 5 항에 있어서,

상기 제1 경계 영역의 상기 제2 절연막은 상기 열 방향으로 연장된 복수의 돌출부들 및 상기 돌출부들 사이에 형성되는 복수의 홈들을 포함하는 나노 크리스탈 디스플레이.

청구항 7

제 6 항에 있어서,

상기 복수의 홈들 중 어느 하나를 관통하여 형성된 제1 컨택홀; 및

상기 복수의 홈들 중 다른 하나를 관통하여 형성된 제2 컨택홀을 더 포함하는 나노 크리스탈 디스플레이.

청구항 8

제 7 항에 있어서,

상기 제1 박막 트랜지스터는 상기 대응하는 데이터 라인으로부터 분기된 제1 소스 전극, 상기 대응하는 게이트 라인으로부터 분기된 제1 게이트 전극, 및 상기 제1 화소 전극에 연결된 제1 드레인 전극을 포함하고,

상기 제1 드레인 전극은 상기 제1 컨택 홀을 통해 상기 제1 화소 전극에 연결되는 나노 크리스탈 디스플레이.

청구항 9

제 7 항에 있어서,

상기 제2 박막 트랜지스터는 상기 대응하는 데이터 라인으로부터 분기된 제2 소스 전극, 상기 대응하는 게이트 라인으로부터 분기된 제2 게이트 전극, 및 상기 제2 화소 전극에 연결된 제2 드레인 전극을 포함하고,

상기 제2 드레인 전극은 상기 제2 컨택홀을 통해 상기 제2 화소 전극에 연결되는 나노 크리스탈 디스플레이.

청구항 10

제 6 항에 있어서,

상기 제1 경계 영역의 상기 복수의 홈들 상에는 제2 블랙 매트릭스가 형성되는 나노 크리스탈 디스플레이.

청구항 11

제 4 항에 있어서,

상기 제1 스토리지 라인으로부터 상기 열 방향으로 서로 이격되어 분기된 제1 및 제2 분기 전극들; 및

상기 제2 스토리지 라인으로부터 상기 열 방향으로 서로 이격되어 분기된 제3 및 제4 분기 전극들을 더 포함하는 나노 크리스탈 디스플레이.

청구항 12

제 11 항에 있어서,

상기 제3 박막 트랜지스터는 상기 대응하는 게이트 라인으로부터 분기된 제3 게이트 전극, 상기 제2 화소 전극에 연결된 제3 드레인 전극, 및 상기 제1 및 제2 분기 전극들 중 어느 하나와 연결되는 제3 소스 전극을 포함하

는 나노 크리스탈 디스플레이.

청구항 13

제 11 항에 있어서,

상기 제1 화소 전극은 상기 제1 스토리지 라인과 상기 제1 및 제2 분기 전극들과 부분적으로 오버랩되고,

상기 제2 화소 전극은 상기 제2 스토리지 라인과 상기 제3 및 제4 분기 전극들과 부분적으로 오버랩되는 나노 크리스탈 디스플레이.

청구항 14

제 4 항에 있어서,

상기 제1 경계영역의 상기 제1 내지 제3 박막 트랜지스터들을 덮도록 형성된 보호막;

상기 보호막을 관통하여 형성된 제1 콘택홀; 및

상기 보호막을 관통하여 형성된 제2 콘택홀을 더 포함하는 나노 크리스탈 디스플레이.

청구항 15

제 14 항에 있어서,

상기 제1 박막 트랜지스터는 상기 제1 콘택홀을 통해 상기 제1 화소 전극에 연결되고,

상기 제2 박막 트랜지스터는 상기 제2 콘택홀을 통해 상기 제2 화소 전극에 연결되는 나노 크리스탈 디스플레이.

청구항 16

제 15 항에 있어서,

상기 블랙 매트릭스는 상기 제1 경계 영역의 상기 보호막 상에 형성되고, 상기 제2 절연막은 상기 제1 경계영역에서 오픈되는 나노 크리스탈 디스플레이.

청구항 17

제 1 항에 있어서,

상기 제1 및 제2 화소 전극들 각각은

십자 형상으로 구성되어 대응하는 화소 영역을 복수의 도메인들로 구획하는 오픈 영역;

대응하는 화소 전극의 외곽에서 상기 오픈 영역으로 연장된 복수의 가지부들; 및

상기 복수의 가지부들 사이에 형성되는 복수의 미세 슬릿들을 포함하고,

상기 오픈 영역은 상기 대응하는 화소 전극이 형성되지 않는 영역이며, 상기 복수의 가지부들은 상기 오픈 영역에 의해 구획된 각각의 도메인 내에서 서로 평행하게 연장되며 상기 각각의 도메인마다 서로 다른 방향으로 연장되는 나노 크리스탈 디스플레이.

청구항 18

제 1 항에 있어서,

상기 행 방향으로 연장되어 상기 공통 전극 상에 형성되는 루프층; 및

상기 루프층 상에 형성되어 상기 터널상 공동을 밀폐하는 봉지층을 더 포함하는 나노 크리스탈 디스플레이.

청구항 19

제 1 항에 있어서,

상기 제1 및 제2 화소 영역들에 형성되는 컬러 필터들을 더 포함하고,

상기 컬러 필터들 상에는 상기 제2 절연막이 형성되고, 상기 컬러 필터들은 상기 열 방향으로 연장되어 인접한 컬러 필터들과 서로 오버랩되는 나노 크리스탈 디스플레이.

명세서

기술분야

[0001] 본 발명은 나노 크리스탈 디스플레이에 관한 것으로, 더욱 상세하게는 데이터 신호의 지연을 방지하고 액정 배열을 안정화시킬 수 있는 나노 크리스탈 디스플레이에 관한 것이다.

배경기술

[0002] 최근 액정표시장치(Liquid Crystal Display), 유기전계발광 표시장치(Organic Light Emitting Diode), 전기습윤 표시장치(Electro Wetting Display Device), 전기영동 표시장치(Electrophoretic Display Device), 및 나노 크리스탈 디스플레이(Nano Crystal Display: NCD) 등 다양한 표시장치가 개발되고 있다. 일반적으로 표시장치는 영상을 표시하기 위한 복수의 화소들을 포함한다. 화소들은 게이트 신호들에 응답하여 데이터 신호들을 제공받고, 데이터 신호들에 대응하는 계조들을 표시한다.

[0003] 표시장치들 중 액정표시장치는 다른 표시장치에 비하여 낮은 시야각 성능을 갖는다. 이러한 시야각 문제를 개선하기 위해 피브이에이(Patterned Vertical Alignment: PVA) 모드, 엠브이에이(Multi-domain Vertical Alignment: MVA) 모드 및 에스-피브이에이(Super-Patterned Vertical Alignment: S-PVA) 모드 등의 구동방식이 개발되었다. 이 중 S-PVA 모드 액정표시장치의 화소들은 각각 두 개의 서브화소들을 포함한다. 두 개의 서브 화소들에 서로 다른 데이터 전압들이 인가된다. 액정표시장치를 바라보는 사람의 눈은 두 개의 데이터 전압들의 중간값을 인식한다. 따라서, 중간 계조 이하에서 감마커브가 왜곡되어 측면 시야각이 저하되는 것을 방지되므로, 액정표시장치의 측면 시인성이 개선될 수 있다.

[0004] 일반적으로, 액정표시장치는 서로 대향하는 두 기판들과 두 기판들 사이에 개재된 액정층을 포함한다. 두 기판들 사이에 액정층이 구비되도록 두 기판들 사이의 간격이 스페이서에 의해 유지된다. 제조 공정시, 두 기판들 중 어느 하나의 기판에 두 기판들 사이의 간격을 유지하기 위한 스페이서가 형성된다. 스페이서와 다른 하나의 기판은 접착제에 의해 접착된다. 이러한 공정들로 인해, 액정표시장치의 제조 공정이 복잡해지고 비용이 증가된다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 목적은 데이터 신호의 지연을 방지하고 액정 배열을 안정화시킬 수 있는 나노 크리스탈 디스플레이를 제공하는데 있다.

과제의 해결 수단

[0006] 본 발명의 실시 예에 따른 나노 크리스탈 디스플레이는 영상을 표시하는 제1 화소 영역 및 제2 화소 영역을 각각 포함하는 복수의 화소들이 정의된 기판, 및 상기 기판상에 행 방향으로 연장되어 제공된 게이트 라인들, 상기 게이트 라인들을 덮도록 상기 기판상에 형성되는 제1 절연막, 상기 제1 절연막 상에 형성되고, 열 방향으로 연장되어 상기 게이트 라인들과 교차하는 데이터 라인들, 및 상기 데이터 라인들 상에 형성되는 제2 절연막을 포함하고, 상기 복수의 화소들 각각은, 상기 제1 화소 영역의 상기 제2 절연막 상에 형성된 제1 화소 전극을 포함하는 제1 서브 화소, 상기 제2 화소 영역의 상기 제2 절연막 상에 형성된 제2 화소 전극을 포함하는 제2 서브 화소, 상기 제2 절연막 상에 형성되며 상기 제1 및 제2 화소 전극의 단차보다 큰 단차를 갖는 제1 블랙 매트릭스를 포함하고, 상기 행 방향으로 연장되며, 상기 제1 블랙 매트릭스에 접촉되고 상기 제1 및 제2 화소 영역에서 상기 제2 절연막과 소정의 간격을 형성하여 터널 상 공동을 정의하는 공통 전극, 및 상기 터널 상 공동에 제공되는 액정층을 포함한다.

[0007] 상기 행 방향으로 연장되며, 상기 제1 및 제2 화소 영역들 사이의 경계영역을 포함하는 제1 경계 영역, 및 상기 열 방향으로 연장되며, 상기 제1 화소 영역들 사이 및 상기 제2 화소 영역들 사이의 경계 영역을 포함하는 제2 경계 영역을 더 포함하고, 상기 제1 블랙 매트릭스는 상기 제1 경계 영역 및 상기 제2 경계영역이 교차하는 영역을 제외한 상기 제2 경계영역에서 상기 제2 절연막 상에 형성된다.

- [0008] 상기 행 방향으로 연장되며 상기 게이트 라인들과 동일층에 형성된 제1 및 제2 스토리지 라인들을 더 포함하고, 상기 각각의 화소는 상기 게이트 라인들 중 대응하는 게이트 라인 및 상기 데이터 라인들 중 대응하는 데이터 라인에 연결된다.
- [0009] 상기 제1 서브 화소는, 상기 대응하는 게이트 라인, 상기 대응하는 데이터 라인 및 상기 제1 화소 전극에 연결된 제1 박막 트랜지스터를 더 포함하고, 상기 제2 서브 화소는, 상기 대응하는 게이트 라인, 상기 대응하는 데이터 라인, 및 상기 제2 화소 전극에 연결된 제2 박막 트랜지스터, 및 상기 대응하는 게이트 라인, 및 상기 제2 박막 트랜지스터와 상기 제2 화소 전극에 공통으로 연결된 제3 박막 트랜지스터를 더 포함하고, 상기 제1 내지 제3 박막 트랜지스터들은 상기 제1 경계 영역에 형성된다.
- [0010] 상기 제2 절연막은 상기 제1 경계영역에서 상기 제1 내지 제3 박막 트랜지스터들을 덮도록 형성된다.
- [0011] 상기 제1 경계 영역의 상기 제2 절연막은 상기 열 방향으로 연장된 복수의 돌출부들 및 상기 돌출부들 사이에 형성되는 복수의 홈들을 포함한다.
- [0012] 상기 복수의 홈들 중 어느 하나를 관통하여 형성된 제1 컨택홀, 및 상기 복수의 홈들 중 다른 하나를 관통하여 형성된 제2 컨택홀을 더 포함한다.
- [0013] 상기 제1 박막 트랜지스터는 상기 대응하는 데이터 라인으로부터 분기된 제1 소스 전극, 상기 대응하는 게이트 라인으로부터 분기된 제1 게이트 전극, 및 상기 제1 화소 전극에 연결된 제1 드레인 전극을 포함하고, 상기 제1 드레인 전극은 상기 제1 컨택 홀을 통해 상기 제1 화소 전극에 연결된다.
- [0014] 상기 제2 박막 트랜지스터는 상기 대응하는 데이터 라인으로부터 분기된 제2 소스 전극, 상기 대응하는 게이트 라인으로부터 분기된 제2 게이트 전극, 및 상기 제2 화소 전극에 연결된 제2 드레인 전극을 포함하고, 상기 제2 드레인 전극은 상기 제2 컨택홀을 통해 상기 제2 화소 전극에 연결된다.
- [0015] 상기 제1 경계 영역의 상기 복수의 홈들 상에는 제2 블랙 매트릭스가 형성된다.
- [0016] 상기 제1 스토리지 라인으로부터 상기 열 방향으로 서로 이격되어 분기된 제1 및 제2 분기 전극들, 및 상기 제2 스토리지 라인으로부터 상기 열 방향으로 서로 이격되어 분기된 제3 및 제4 분기 전극들을 더 포함한다.
- [0017] 상기 제3 박막 트랜지스터는 상기 대응하는 게이트 라인으로부터 분기된 제3 게이트 전극, 상기 제2 화소 전극에 연결된 제3 드레인 전극, 및 상기 제1 및 제2 분기 전극들 중 어느 하나와 연결되는 제3 소스 전극을 포함한다.
- [0018] 상기 제1 화소 전극은 상기 제1 스토리지 라인과 상기 제1 및 제2 분기 전극들과 부분적으로 오버랩되고, 상기 제2 화소 전극은 상기 제2 스토리지 라인과 상기 제3 및 제4 분기 전극들과 부분적으로 오버랩된다.
- [0019] 상기 제1 경계영역의 상기 제1 내지 제3 박막 트랜지스터들을 덮도록 형성된 보호막, 상기 보호막을 관통하여 형성된 제1 컨택홀, 및 상기 보호막을 관통하여 형성된 제2 컨택홀을 더 포함한다.
- [0020] 상기 제1 박막 트랜지스터는 상기 제1 컨택홀을 통해 상기 제1 화소 전극에 연결되고, 상기 제2 박막 트랜지스터는 상기 제2 컨택홀을 통해 상기 제2 화소 전극에 연결된다.
- [0021] 상기 블랙 매트릭스는 상기 제1 경계 영역의 상기 보호막 상에 형성되고, 상기 제2 절연막은 상기 제1 경계영역에서 오픈된다.

발명의 효과

- [0022] 본 발명의 나노 크리스탈 디스플레이는 데이터 신호의 지연을 방지하고 액정 배열을 안정화시킬 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 실시 예에 따른 나노 크리스탈 디스플레이의 평면도이다.
- 도 2는 도 1에 도시된 화소의 레이 아웃이다.
- 도 3은 도 2에 도시된 I-I'선의 단면도이다.
- 도 4는 도 2에 도시된 II-II'선의 단면도이다.
- 도 5는 도 2에 도시된 III-III'선의 단면도이다.

도 6은 도 2에 도시된 IV-IV'선의 단면도이다.

도 7은 도 1에 도시된 화소의 등가 회로도이다.

도 8은 본 발명의 다른 실시 예에 따른 나노 크리스탈 디스플레이의 화소에 있어서, 도 4의 II-II'선에 따른 단면에 대응하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이하, 첨부된 도면들을 참조하여 본 발명의 바람직한 실시 예를 보다 상세하게 설명한다.
- [0025] 도 1은 본 발명의 실시 예에 따른 나노 크리스탈 디스플레이의 평면도이다.
- [0026] 도 1을 참조하면, 본 발명의 실시 예에 따른 표시장치(500)는 표시 패널(100), 게이트 구동부(200), 데이터 구동부(300), 및 구동 회로 기관(400)을 포함한다.
- [0027] 표시 패널(100)은 매트릭스 형태로 배열된 복수의 화소들(PX11~PXnm)이 형성된 표시 영역(DA), 표시 영역(DA)을 둘러싸는 비 표시 영역(NDA), 복수의 게이트 라인들(GL1~GLn), 게이트 라인들(GL1~GLn)과 절연되어 교차하는 복수의 데이터 라인들(DL1~DLm)을 포함한다.
- [0028] 게이트 라인들(GL1~GLn)은 게이트 구동부(200)에 연결되어 순차적인 게이트 신호들을 수신할 수 있다. 데이터 라인들(DL1~DLm)은 데이터 구동부(300)에 연결되어 아날로그 형태의 데이터 전압들을 수신할 수 있다.
- [0029] 화소들(PX11~PXnm)은 게이트 라인들(GL1~GLn)과 데이터 라인들(DL1~DLm)이 교차하는 영역에 형성된다. 따라서 화소들(PX11~PXnm)은 서로 교차하는 n개의 행들 및 m개의 열들로 배열될 수 있다. m 및 n은 0보다 큰 정수이다.
- [0030] 화소들(PX11~PXnm)은 각각 대응하는 게이트 라인들(GL1~GLn)과 대응하는 데이터 라인들(DL1~DLm)에 연결된다. 각각의 화소(PX11~PXnm)는 대응하는 게이트 라인을 통해 제공된 게이트 신호에 응답하여 대응하는 데이터 라인을 통해 데이터 전압을 제공받는다. 그 결과, 각각의 화소(PX11~PXnm)는 데이터 전압에 대응하는 계조를 표시할 수 있다.
- [0031] 게이트 구동부(200)는 표시 영역(DA)의 일측에 인접한 비표시 영역(NDA)에 배치될 수 있다. 구체적으로 게이트 구동부(200)는 표시 영역(DA)의 좌측에 인접한 비표시 영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태로 실장 될 수 있다. 게이트 구동부(200)는 구동 회로 기관(400)에 실장된 타이밍 컨트롤러(미 도시됨)로부터 제공된 게이트 제어 신호에 응답하여 게이트 신호들을 생성한다. 게이트 신호들은 게이트 라인들(GL1~GLn)을 통해 순차적으로 그리고 행 단위로 화소들(PX11~PXnm)에 제공된다. 그 결과 화소들(PX11~PXnm)은 행 단위로 구동될 수 있다.
- [0032] 데이터 구동부(300)는 타이밍 컨트롤러로부터 영상 신호들 및 데이터 제어 신호를 제공받는다. 데이터 구동부(300)는 데이터 제어 신호에 응답하여 영상 신호들에 대응하는 아날로그 데이터 전압들을 생성한다. 데이터 구동부(300)는 데이터 전압들을 데이터 라인들(DL1~DLm)을 통해 화소들(PX11~PXnm)에 제공한다. 데이터 구동부(300)는 복수의 소스 구동칩들(310_1~310_k)을 포함한다. k는 0보다 크고 m보다 작은 정수이다. 소스 구동칩들(310_1~310_k)은 대응하는 연성회로기관들(320_1~320_k) 상에 실장되어 구동 회로 기관(400)과 표시영역(DA)의 상부에 인접한 비 표시 영역(NDA)에 연결된다.
- [0033] 본 발명의 실시 예에서 소스 구동칩들(310_1~310_k)은 연성회로기관들(320_1~320_k) 상에 실장되는 테이프 캐리어 패키지(TCP: Tape Carrier Package) 방식을 예로 들었다. 그러나, 소스 구동칩들(310_1~310_k)은 표시영역(DA)의 상부에 인접한 비 표시 영역(NDA)에 칩 온 글래스(COG: Chip on Glass) 방식으로 실장 될 수 있다.
- [0034] 도 2는 도 1에 도시된 화소의 레이 아웃이다.
- [0035] 도 2에는 하나의 화소(PXij)만을 도시하였으나, 도 1에 도시된 다른 화소들 역시 동일한 구성을 가질 것이다. 이하, 설명의 편의를 위해 하나의 화소(PXij)의 구성이 설명될 것이다.
- [0036] 도 2를 참조하면, 화소(PXij)는 대응하는 게이트 라인(GLi) 및 대응하는 데이터 라인(DLj)에 연결된다. 게이트 라인(GLi)은 제1 방향(D1)으로 연장된다. 데이터 라인(DLj)은 제1 방향(D1)과 교차하는 제2 방향(D2)으로 연장된다. 제1 방향(D1)은 행 방향에 대응되고, 제2 방향(D2)은 열 방향에 대응된다.
- [0037] 화소(PXij)는 제1 서브 화소 및 제2 서브 화소를 포함한다. 제1 서브 화소는 제1 박막 트랜지스터(T1), 제1 화소 전극(PE1), 및 제1 스토리지 전극부를 포함한다. 제2 서브 화소는 제2 박막 트랜지스터(T2), 제2 화소 전극

(PE2), 제2 스토리지 전극부, 및 제3 박막 트랜지스터(T3)를 포함한다.

- [0038] 제1 서브 화소에서 영상이 표시되는 영역은 제1 화소 영역(PXA1)으로 정의될 수 있다. 제2 서브 화소에서 영상이 표시되는 영역은 제2 화소 영역(PXA2)으로 정의될 수 있다. 제1 화소 전극(PE1)은 제1 화소 영역(PXA1)에 형성되고, 제2 화소 전극(PE2)은 제2 화소 영역(PXA2)에 형성된다.
- [0039] 행 방향으로 연장되며, 서로 인접한 제1 화소 영역(PXA1)과 제2 화소 영역(PXA2) 사이의 경계영역을 포함하는 영역은 제1 경계 영역(BA1)으로 정의될 수 있다. 제1 경계 영역(BA1)에는 게이트 라인(GLi) 및 제1 내지 제3 박막 트랜지스터들(T1,T2,T3)이 형성될 수 있다.
- [0040] 열 방향으로 연장되며, 제1 화소 영역들(PXA1) 사이의 영역 및 제2 화소 영역들(PXA2) 사이의 경계 영역을 포함하는 영역은 제2 경계 영역(BA2)으로 정의될 수 있다. 설명의 편의를 위해 도 2에는 제1 화소 영역(PXA1)의 우측에 인접한 제1 화소 영역(PXA1)의 일부와 제2 화소 영역(PXA2)의 우측에 인접한 제2 화소 영역(PXA2)의 일부만을 도시하였다. 제2 경계 영역(BA2)에는 데이터 라인들(DLj,DLj+1)이 형성될 수 있다.
- [0041] 제1 경계 영역(BA1)과 제2 경계 영역(BA2)은 서로 교차할 수 있다. 제1 경계 영역(BA1)과 제2 경계 영역(BA2)의 교차 영역에서 게이트 라인(GLi) 및 데이터 라인(DLj)이 서로 교차할 수 있다.
- [0042] 도시되지 않았으나, 화소들이 배열된 행들 사이의 영역은 제3 경계 영역으로 정의될 수 있다. 예를 들어, 상하로 서로 인접한 두 개의 화소들 중 상부의 화소의 제2 화소 영역(PXA2)과 하부의 화소의 제1 화소 영역(PXA1) 사이의 영역은 제3 경계 영역으로 정의될 수 있다. 제3 경계 영역은 제1 방향(D1)으로 연장될 수 있으며, 이하, 도 6에 도시될 것이다.
- [0043] 제1 서브 화소의 제1 박막 트랜지스터(T1)는 게이트 라인(GLi)으로부터 분기된 제1 게이트 전극(GE1), 데이터 라인(DLj)으로부터 분기된 제1 소스 전극(SE1), 제1 화소 전극(PE1)에 연결된 제1 드레인 전극(DE1), 및 제1 반도체 층(SM1)을 포함한다. 제1 드레인 전극(DE1)은 연장되어 제1 컨택홀(H1)을 통해 제1 화소 전극(PE1)으로부터 분기된 제1 연결 전극(CNE1)에 전기적으로 연결된다.
- [0044] 제1 스토리지 전극부는 제1 방향(D1)으로 연장된 제1 스토리지 라인(SL1)과 제1 스토리지 라인(SL1)으로부터 분기되어 제2 방향(D2)으로 서로 이격되어 연장된 제1 분기 전극(STE1_1) 및 제2 분기 전극(STE1_2)을 포함한다. 제1 화소 전극(PE1)은 제1 스토리지 라인(SL1), 제1 및 제2 분기 전극들(STE1_1,STE1_2)과 부분적으로 오버랩되어 제1 스토리지 커패시터를 형성한다. 제1 스토리지 전극부는 스토리지 전압을 인가받는다.
- [0045] 제2 서브 화소의 제2 박막 트랜지스터(T2)는 게이트 라인(GLi)으로부터 분기된 제2 게이트 전극(GE2), 데이터 라인(DLj)으로부터 분기된 제2 소스 전극(SE2), 제2 화소 전극(PE2)에 연결된 제2 드레인 전극(DE2), 및 제2 반도체 층(SM2)을 포함한다. 제2 드레인 전극(DE2)은 연장되어 제2 컨택홀(H2)을 통해 제2 화소 전극(PE2)으로부터 분기된 제2 연결 전극(CNE2)에 전기적으로 연결된다.
- [0046] 제2 서브 화소의 제3 박막 트랜지스터(T3)는 게이트 라인(GLi)으로부터 분기된 제3 게이트 전극(GE3), 제3 컨택홀(H3)을 통해 제2 분기 전극(STE1_2)과 전기적으로 연결된 제3 소스 전극(SE3), 제2 드레인 전극(DE2)으로부터 연장된 제3 드레인 전극(DE3), 및 제3 반도체 층(SM3)을 포함한다. 제3 소스 전극(SE3)과 제2 분기 전극(STE1_2)은 각각 연장되어 제3 컨택홀(H3)을 통해 서로 전기적으로 연결된다. 제3 드레인 전극(DE3)은 제2 컨택홀(H2)을 통해 제2 화소 전극에 전기적으로 연결된다.
- [0047] 제2 스토리지 전극부는 제1 방향(D1)으로 연장된 제2 스토리지 라인(SL2)과 제2 스토리지 라인(SL2)으로부터 분기되어 제2 방향(D2)과 반대 방향으로 서로 이격되어 연장된 제3 분기 전극(STE2_1) 및 제4 분기 전극(STE2_2)을 포함한다. 제2 화소 전극(PE2)은 제2 스토리지 라인(SL2), 제3 및 제4 분기 전극들(STE2_1,STE2_2)과 부분적으로 오버랩되어 제2 스토리지 커패시터를 형성한다. 제2 스토리지 전극부는 스토리지 전압을 인가받는다.
- [0048] 제1 박막 트랜지스터(T1)의 크기와 제2 박막 트랜지스터(T2)의 크기는 동일하게 설정될 수 있다. 제3 박막 트랜지스터(T3)의 크기는 제2 박막 트랜지스터(T2)의 크기보다 작게 설정될 수 있다.
- [0049] 제1 화소 전극(PE1)은 십자 형상인 제1 오픈 영역(OP1) 및 제1 화소 전극(PE1)의 외곽에서 제1 오픈 영역(OP1)으로 연장된 복수의 제1 가지부들(b1)을 포함한다. 제1 오픈 영역(OP1)은 실질적으로 제1 화소 전극(PE1)이 형성되지 않는 영역이다. 제1 화소 영역(PXA1)은 제1 오픈 영역(OP1)에 의해 4개의 도메인으로 구획될 수 있다. 제1 가지부들(b1)은 각각의 도메인에 대응되어, 각각의 도메인마다 서로 다른 방향으로 연장될 수 있다. 제1 가

지부들(b1)은 제1 오픈 영역(OP1)에 의해 구획된 각각의 도메인 내에서 서로 평행하게 연장되며 서로 이격되어 배열된다. 서로 인접한 제1 가지부들(b1)은 마이크로미터 단위의 거리로 이격되어 복수의 제1 미세 슬릿들(US1)을 형성한다.

- [0050] 제2 화소 전극(PE2)은 제1 화소 전극(PE2)과 실질적으로 동일한 형상을 갖는다. 따라서 제2 화소 전극(PE2)의 구성에 대한 설명은 생략한다.
- [0051] 제1 및 제2 화소 전극들(PE1,PE2)은 투명 도전성 물질로 형성될 수 있다. 예를 들어, 제1 및 제2 전극들(PE1,PE2)은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성 물질로 구성될 수 있다.
- [0052] 제1 및 제2 공통 전극들(CE1,CE2)은 행 방향으로 연장된다. 제1 공통 전극(CE1)은 행 방향으로 배열된 제1 화소 영역들(PXA1)과 오버랩될 수 있다. 제2 공통 전극(CE2)은 행 방향으로 배열된 제2 화소 영역들(PXA2)과 오버랩될 수 있다. 제1 및 제2 공통 전극들(CE1,CE2)은 공통전압을 인가받는다.
- [0053] 제1 및 제2 공통 전극들(CE1,CE2)은 투명 도전성 물질로 형성될 수 있다. 예를 들어, 공통 전극들(CE1,CE2)은 ITO(indium tin oxide), IZO(indium zinc oxide), ITZO(indium tin zinc oxide) 등의 투명 도전성 물질로 구성될 수 있다.
- [0054] 도시되지 않았으나, 제1 화소 영역(PXA1)과 오버랩되는 제1 공통 전극(CE1)과 제1 화소 전극(PE1) 사이에는 액정층이 제공된다. 또한, 제2 화소 영역(PXA2)과 오버랩되는 제2 공통 전극(CE2)과 제2 화소 전극(PE2) 사이에는 액정층이 제공된다. 액정층은 이하 도 5 및 도 6에 도시될 것이다.
- [0055] 제1 화소 전극(PE1)의 복수의 제1 미세 슬릿들(US1)에 의해서 제1 화소 영역(PXA1)의 액정층의 액정분자들은 도메인별로 서로 다른 방향으로 프리틸트된다. 예를 들어, 액정 분자가 기울어지는 방향은 도 2에 도시된 바와 같이 제1 오픈 영역(OP1)으로 향하는 4개의 방향이 될 수 있다. 따라서 액정 분자의 배향 방향이 다른 네 개의 도메인이 액정층에 형성된다. 이와 같이 액정분자가 기울어지는 방향을 다양하게 하면 액정 나노 크리스탈 디스플레이의 기준 시야각이 커진다. 제2 화소 영역(PXA2)에 형성되는 액정층의 액정 분자가 기울어지는 방향도 제1 화소 영역(PXA1)에 형성되는 액정층의 액정분자가 기울어지는 방향과 동일하다.
- [0056] 도 3은 도 2에 도시된 I-I'선의 단면도이다. 도 4는 도 2에 도시된 II-II'선의 단면도이다. 도 5는 도 2에 도시된 III-III'선의 단면도이다. 도 6은 도 2에 도시된 IV-IV'선의 단면도이다.
- [0057] 제1 내지 제3 박막 트랜지스터들(T1,T2,T3)의 연결 구성은 앞서 도 2를 참조하여 설명되었으며, 제1 내지 제3 박막 트랜지스터들(T1,T2,T3)의 적층 구조는 실질적으로 동일하다. 따라서 이하, 도 4를 참조하여 제1 박막 트랜지스터(T1)의 적층 구조만이 설명될 것이다. 제1 서브 화소의 제1 화소 영역(PXA1)의 좌우 단면 및 상하 단면은 제2 서브 화소의 제2 화소 영역(PXA2)의 좌우 단면 및 상하 단면과 실질적으로 동일하다. 따라서, 이하, 도 5 및 도 6을 참조하여 제1 화소 영역(PXA1)의 좌우 단면 및 상하 단면의 구성이 설명될 것이다.
- [0058] 도 3 내지 도 6을 참조하면, 표시 패널(100)은 영상을 표시하는 제1 및 제2 화소 영역들(PXA1,PXA2)을 포함하는 복수의 화소들(PX11~PXnm)이 형성되는 기관(111)을 포함한다. 기관(111)은 투명 또는 불투명한 절연 기관으로, 실리콘 기관, 유리 기관, 플라스틱 기관 등일 수 있다.
- [0059] 게이트 라인(GLi)은 제1 경계 영역(PXA1)의 기관(111) 상에 제1 방향(D1)으로 연장되어 구비된다. 제1 스토리지 라인(SL1)은 기관(111) 상에 게이트 라인(GLi)과 이격되어 제1 방향(D1)으로 연장되어 구비된다. 기관(111) 상에 제1 스토리지 라인(SL1)으로부터 분기되어 제2 방향(D2)으로 연장된 제1 분기 전극(STE1_1) 및 제2 분기 전극(STE1_2)이 형성된다. 앞서 설명한 바와 같이, 제1 스토리지 라인(SL1)과 제1 및 제2 분기 전극들(STE1_1,STE1_2)은 제1 화소 전극(PE1)과 부분적으로 오버랩된다.
- [0060] 도시되지 않았으나, 제2 스토리지 라인(SL2), 제3 및 제4 분기 전극들(STE2_1,STE2_2)은 제1 스토리지 라인(SL1), 제1 및 제2 분기 전극들(STE1_1,STE1_2)과 동일층에 형성된다.
- [0061] 기관(111) 상에는 게이트 라인(GLi), 제1 및 제2 스토리지 라인들(SL1,SL2), 및 제1 내지 제4 분기 전극들(STE1_1,STE1_2,STE2_1,STE2_2)을 덮도록 제1 절연막(112)이 형성된다. 제1 절연막(112)은 절연 물질로 구성될 수 있다. 예를 들어, 제1 절연막(112)은 실리콘 질화물, 실리콘 산화물을 포함할 수 있다. 데이터 라인들(DLj,DLj+1)은 제2 방향(D2)으로 연장되어 제1 절연막(112) 상에 형성된다. 데이터 라인들(DLj,DLj+1)은 제2 경계 영역(BA2)에 형성된다.

- [0062] 기관(111) 상에는 제1 박막 트랜지스터(T1)가 형성된다. 제1 박막 트랜지스터(T1)는 게이트 라인(GLi)과 데이터 라인(DLj)에 연결된다. 제1 박막 트랜지스터(T1)는 제1 게이트 전극(GE1), 제1 반도체층(SM1), 제1 소스 전극(SE1), 및 제1 드레인 전극(DE1)을 포함한다.
- [0063] 구체적으로 기관(111)상에 게이트 라인(GLi)으로부터 분기된 제1 게이트 전극(GE1)이 형성된다. 기관(111) 상에 제1 게이트 전극(GE1)을 덮도록 제1 절연막(112)이 형성된다. 제1 박막 트랜지스터(T1)의 제1 게이트 전극(GE1)을 덮고 있는 제1 절연막(112) 상에는 제1 반도체 층(SM1)이 형성된다. 도시하지 않았으나, 제1 반도체 층(SM1)은 각각 액티브 층 및 옴릭 콘택층을 포함할 수 있다. 제1 소스 전극(SE1)은 데이터 라인(DLj)으로부터 분기되어 제1 반도체 층(SM1) 상에 중첩되어 형성된다. 제1 드레인 전극(DE1)은 제1 반도체 층(SM1) 상에 제1 소스 전극(SE1)으로부터 이격되어 형성된다. 제1 반도체 층(SM1)은 제1 소스 전극(SE1) 및 제1 드레인 전극(DE1) 사이에서 전도 채널(conductive channel)을 형성한다.
- [0064] 앞서 설명한 바와 같이 제3 박막 트랜지스터(T3)의 제3 소스 전극(SE3)은 제3 콘택홀(H3)을 통해 제2 분기 전극(STE1_2)에 전기적으로 연결된다. 구체적으로, 도 3에 도시된 바와 같이, 제3 박막 트랜지스터(T3)의 제3 소스 전극(SE3)은 제1 절연막(112)을 관통하여 형성된 제3 콘택홀(H3)을 통해 제2 분기 전극(STE1_2)에 전기적으로 연결된다.
- [0065] 데이터 라인들(DLj, DLj+1) 및 제1 박막 트랜지스터(T1)를 덮도록 보호막(113)이 형성될 수 있다. 보호막(113)은 노출된 제1 반도체 층(SM1)의 상부를 커버한다.
- [0066] 보호막(113) 상에는 컬러 필터(CF)와 제2 절연막(114)이 형성된다. 제2 절연막(114)은 유기 절연막일 수 있다. 도 3 및 도 4에 도시된 바와 같이, 제1 경계 영역(BA1)에 형성되는 제2 절연막(114)은 복수의 돌출부들(P) 및 돌출부들(P) 사이에 형성되는 복수의 홈들(G)을 포함한다. 돌출부들(P) 및 홈들(G)은 각각 제1 방향(D2)으로 연장된다. 홈들(G)의 높이는 돌출부들(P)의 높이보다 낮다.
- [0067] 제2 절연막(114)의 복수의 홈들(G) 중 어느 하나의 홈(G)을 관통하여 제1 콘택홀(H1)이 형성된다. 제1 박막 트랜지스터(T1)의 제1 드레인 전극(DE1)은 연장되어 제1 콘택홀(H1)을 통해 제1 화소 전극(PE1)으로부터 분기된 제1 연결전극(CNE1)에 전기적으로 연결된다. 제2 절연막(114)의 돌출부(P)의 상면에서부터 제1 드레인 전극(DE1)까지 제1 콘택홀을 형성하는 것보다 제2 절연막(114)의 홈(G)의 상면에서부터 제1 드레인 전극(DE1)까지 콘택홀을 형성하는 것이 효율적이다. 도시하지 않았으나, 제2 콘택홀(H2) 역시 제2 절연막(114)의 복수의 홈들(G) 중 다른 하나의 홈(G)을 관통하여 형성될 수 있다. 제1 경계 영역(BA1)에 형성된 제2 절연막(114)의 홈들(G)에는 블랙 매트릭스(BM)가 형성된다.
- [0068] 제1 화소 영역(BA1)의 보호막(113) 상에는 컬러 필터(CF)가 형성된다. 컬러 필터(CF)는 도 5에 도시된 바와 같이 제2 경계 영역(BA2)까지 연장되어 인접한 컬러 필터들과 서로 중첩될 수 있다. 도시하지 않았으나, 제2 서브 화소의 제2 화소 영역(BA2)의 보호막(113) 상에도 컬러 필터(CF)가 형성된다. 제2 화소 영역(BA2)의 보호막(113) 상에 형성된 컬러 필터(CF)도 제2 경계 영역(BA2)까지 연장되어 인접한 컬러 필터들과 서로 중첩될 수 있다.
- [0069] 컬러 필터(CF)는 화소를 투과하는 광에 색을 제공한다. 컬러 필터(CF)는 적색 컬러 필터, 녹색 컬러 필터, 및 청색 컬러 필터 중 어느 하나일 수 있다. 컬러 필터(CF)는 백색 컬러 필터를 더 포함할 수 있다. 도 1에 도시된 복수의 화소들(PX11~PXnm) 중 서로 인접한 화소들이 서로 다른 컬러를 나타내도록 서로 다른 색을 갖는 컬러 필터(CF)들이 배치될 수 있다.
- [0070] 제1 화소 영역(BA1)의 컬러 필터(CF) 상에는 제2 절연막(114)이 형성된다. 컬러 필터(CF)와 제2 절연막(114)은 제1 화소 영역(PXA1) 및 제1 경계 영역(BA1)의 경계에서 서로 중첩될 수 있다.
- [0071] 앞서 설명한 바와 같이, 화소들이 배열된 행들 사이의 영역은 제3 경계 영역(BA3)으로 정의될 수 있다. 도 6에 도시된 바와 같이, 제3 경계 영역(BA3)의 제2 절연막(114) 상에는 블랙 매트릭스(BM)가 형성된다.
- [0072] 제1 경계 영역(BA1)과 제2 경계 영역(BA2)이 교차하는 영역을 제외한 제2 경계 영역(BA2)의 제2 절연막(114) 상에는 블랙 매트릭스(BM)가 형성된다. 즉, 도 5에 도시된 바와 같이, 서로 인접한 제1 화소 영역들(PXA1) 사이의 제2 경계 영역(BA2)의 제2 절연막(114) 상에는 블랙 매트릭스(BM)가 형성된다. 도시되지 않았으나, 서로 인접한 제2 화소 영역들(PXA2) 사이의 제2 경계 영역(BA2)의 제2 절연막(114) 상에도 블랙 매트릭스(BM)가 형성된다. 블랙 매트릭스(BM)는 영상을 구현함에 있어 불필요한 광을 차단한다.
- [0073] 제2 경계 영역(BA2)에 형성되는 블랙 매트릭스(BM)는 제1 블랙 매트릭스로 정의될 수 있다. 제1 경계 영역(BA

1)에 형성되는 블랙 매트릭스(BM)는 제2 블랙 매트릭스로 정의될 수 있다.

- [0074] 제2 경계영역(BA2)에 형성된 블랙 매트릭스(BM)의 단차는 제1 화소 전극(PE1)의 단차보다 클 수 있다.
- [0075] 제1 화소 영역(PXA1)에 형성된 제2 절연막(114) 상에는 제1 화소 전극(PE1)이 형성된다. 제1 화소 전극(PE1)은 도 2에 도시된 형상을 갖는다. 도 5 및 도 6에 도시된 바와 같이 제1 화소 전극(PE1)은 제1 스토리지 라인(SL1), 제1 및 제2 분기 전극들(STE1_1, STE1_2)과 부분적으로 오버랩된다.
- [0076] 제2 경계 영역(BA2)에 형성된 블랙 매트릭스(BM)와 제1 화소 영역(PXA1)의 제2 절연막(114) 상에는 제1 공통 전극(CE1)이 형성된다.
- [0077] 제1 공통 전극(CE1)은 제1 방향(D1)으로 연장되며, 연장 방향의 제1 서브 화소들에 공유될 수 있다. 제1 공통 전극(CE1)은 제1 방향(D1)으로 연장되어 제1 방향(D1)의 제1 화소 영역들(PXA1)과 오버랩될 수 있다.
- [0078] 제1 공통 전극(CE1)은 제2 경계 영역(BA2)의 블랙 매트릭스(BM)에 접촉되고, 제1 화소 영역(PXA1)과 오버랩되는 영역에서 제2 절연막(114)과 소정의 간격을 형성함으로써 터널 상 공동(TSC: tunnel shaped cavity)을 정의한다. 구체적으로, 제2 경계 영역(BA2)에 형성된 블랙 매트릭스(BM)의 측면과 제1 화소 영역(PXA1)의 제2 절연막(114)과 제1 공통 전극(CE1) 사이의 공간은 터널 상 공동(TSC: tunnel shaped cavity)으로 정의될 수 있다.
- [0079] 도면에 도시하지 않았으나, 제1 서브 화소의 터널 상 공동(TSC)과 동일한 구성으로 제2 서브 화소에도 터널 상 공동(TSC)이 형성될 수 있다.
- [0080] 제2 경계 영역(BA2)의 블랙 매트릭스(BM)와 터널 상 공동(TSC)은 제1 화소 영역(PXA1)과 제2 경계 영역(BA2)의 경계에서 서로 중첩될 수 있다.
- [0081] 도 5 및 도 6에 도시된 바와 같이, 터널 상 공동(TSC) 내에는 액정층(LC)이 제공된다. 액정층(LC)은 액정 분자들(미 도시됨)을 포함한다. 제1 공통 전극(CE1)의 상면을 따라 루프층(ROF)이 형성된다. 즉 루프층(ROF)은 제1 공통 전극(CE1)의 연장 방향을 따라 연장되어 제1 공통 전극(CE1)의 상면을 덮도록 형성된다. 따라서, 루프층(ROF)은 연장 방향의 제1 서브 화소들에 공유될 수 있다.
- [0082] 이러한 구성에 의해 터널 상 공동(TSC)은 제2 방향(D2)으로 연장된 형상을 가지며, 제2 방향(D2)의 양 단부는 개구된다. 즉, 터널 상 공동(TSC)의 평면상의 상부 방향의 단부 및 하부 방향의 단부는 루프층(ROF)이 형성되지 않기 때문에 개구 된다.
- [0083] 제1 및 제2 공통 전극들(CE1, CE2)은 비표시 영역에 제공된 공통 전압 라인(미 도시됨)에 공통으로 연결된다. 제1 및 제2 공통 전극들(CE1, CE2)은 공통 전압 라인을 통해 공통 전압을 수신한다.
- [0084] 도시하지 않았으나, 제1 및 제2 공통 전극들(CE1, CE2)과 루프층(ROF) 사이에는 무기 절연막이 추가로 제공될 수 있다. 무기 절연막은 실리콘 질화물이나 실리콘 산화물과 같은 물질을 포함할 수 있다. 무기 절연막은 루프층(ROF)이 안정적으로 터널 상 공동(TSC)을 유지할 수 있도록 지지한다.
- [0085] 루프층(ROF) 상에는 봉지층(SL)이 제공된다. 봉지층(SL)은 기판을 커버하여 터널 상 공동(TSC) 양단의 개구를 막아 터널 상 공동(TSC)을 밀폐한다.
- [0086] 제1 내지 제3 박막트랜지스터들(T1, T2, T3)은 게이트 라인(GLi)을 통해 제공받는 게이트 신호에 응답하여 턴 온된다. 데이터 라인(DLj)을 통해 수신된 데이터 전압은 턴 온된 제1 박막 트랜지스터(T1)를 통해 제1 화소 전극(PE1)에 제공된다. 데이터 라인(DLj)을 통해 수신된 데이터 전압은 턴 온된 제2 박막 트랜지스터(T2)를 통해 제2 화소 전극(PE2)에 제공된다.
- [0087] 제1 스토리지 라인(SL1)은 스토리지 전압을 수신한다. 따라서 제2 분기 전극(STE1_2)에 스토리지 전압이 인가된다. 제2 분기 전극(STE1_2)에 인가된 스토리지 전압은 턴 온된 제3 박막 트랜지스터(T3)를 통해 제2 화소 전극(PE2)에 제공된다. 스토리지 전압에 의해 제2 화소 전극(PE2)에 제공되는 데이터 전압 레벨은 다운된다. 이러한 동작은 이하, 도 7을 참조하여 상세히 설명될 것이다.
- [0088] 제1 및 제2 공통 전극들(CE1, CE2)에는 공통 전압이 인가된다. 공통 전압과 데이터 전압의 레벨 차이에 따라서 제1 공통 전극(CE1)과 제1 화소 전극(PE1) 사이 및 제2 공통 전극(CE2)과 제2 화소 전극(PE2) 사이에는 전계가 형성된다. 제1 공통 전극(CE1)과 제1 화소 전극(PE1) 사이 및 제2 공통 전극(CE2)과 제2 화소 전극(PE2) 사이에 형성된 전계에 의해 액정 분자들이 구동된다. 그 결과, 액정층을 투과하는 광량이 변화되어 영상이 표시된다. 화소(PXi_j)의 보다 구체적인 동작은 이하, 도 7을 참조하여 상세히 설명될 것이다.

- [0089] 제2 경계 영역(BA2)의 데이터 라인(DLj)과 제1 공통 전극(CE1) 사이에는 기생 커패시터(Cp)가 형성될 수 있다. 일반적으로 커패시터의 용량은 두 전극 사이의 거리에 반비례한다. 데이터 라인(DLj)과 제1 공통 전극(CE1) 사이에 형성된 기생 커패시터(Cp)의 용량이 커질수록 데이터 전압으로서 제공받는 데이터 신호의 지연이 커질 수 있다.
- [0090] 데이터 라인(DLj)의 상면부터 제2 경계 영역(BA2)의 블랙 매트릭스(BM)에 접촉된 제1 공통 전극(CE1)의 하면까지의 높이는 제1 높이(D1)로 정의될 수 있다. 즉, 데이터 라인(DLj)과 제1 공통 전극(CE1)의 높이 차는 제1 높이(D1)를 갖는다.
- [0091] 데이터 라인(DLj)의 상면부터 제2 경계 영역(BA2)의 제2 절연막(114)의 상면까지의 높이는 제2 높이(D2)로 정의될 수 있다. 제2 경계 영역(BA2)의 제2 절연막(114) 상에 블랙 매트릭스(BM)가 형성되지 않을 경우, 제1 공통 전극(CE1)은 제2 경계 영역(BA2)에서 하부 방향으로 연장되어 제2 절연막(114)에 접촉될 수 있다. 이러한 경우 제1 공통 전극(CE1)과 데이터 라인(DLj) 사이의 높이 차는 제2 높이(D2)를 갖는다.
- [0092] 본 발명의 실시 예에 따른 제1 공통 전극(CE1)은 제2 경계 영역(BA2)의 제2 절연막(114) 상에 형성된 블랙 매트릭스(BM)에 접촉된다. 따라서 제1 공통 전극(CE1)과 데이터 라인(DLj)의 높이 차는 제2 높이(D2)보다 큰 제1 높이(D1)를 갖는다. 그 결과, 제1 공통 전극(CE1)과 데이터 라인(DLj) 사이에 형성되는 기생 커패시터(Cp)의 용량이 줄어들 수 있다. 제1 공통 전극(CE1)과 데이터 라인(DLj) 사이에 형성된 기생 커패시터(Cp)의 용량이 줄어듦으로, 데이터 신호의 지연이 방지될 수 있다.
- [0093] 액정층(LC)의 액정분자들의 배열은 공통 전극과 화소 전극이 서로 마주보도록 형성될 경우 정상적으로 배열된다. 제1 공통 전극(CE1)이 제2 경계 영역(BA2)에서 하부 방향으로 연장되어 제2 절연막(114)에 접촉될 경우, 제1 화소 영역(PXA1)의 수직한 측면에 제1 공통 전극(CE1)이 형성된다. 이러한 경우 측면에 형성된 제1 공통 전극(CE1)과 제1 화소 전극(PE1) 사이에 형성된 전계에 의해 액정 분자들의 배열 불량이 발생될 수 있다.
- [0094] 본 발명의 실시 예에 따른 제1 공통 전극(CE1)은 제2 경계 영역(BA2)의 제2 절연막(114) 상에 형성된 블랙 매트릭스(BM)에 접촉된다. 이러한 구성에 의해 도 5에 도시된 바와 같이 제1 화소 영역(PXA1)의 수직한 측면에 제1 공통 전극(CE1)이 형성되지 않는다. 따라서, 액정 분자들의 배열 불량이 발생되지 않을 수 있다.
- [0095] 도면에 도시하지 않았으나, 제2 공통 전극(CE2)도 제1 공통 전극(CE1)과 동일한 구성을 갖는다.
- [0096] 결과적으로, 본 발명의 실시 예에 따른 나노 크리스탈 디스플레이(500)는 데이터 신호의 지연을 방지하고 액정 배열을 안정화시킬 수 있다.
- [0097] 도 7은 도 1에 도시된 화소의 등가 회로도이다.
- [0098] 도 1에 도시된 화소들은 동일한 구성을 갖고 동일하게 동작한다. 따라서, 도 7에는 하나의 화소의 등가 회로도를만 도시하였다.
- [0099] 도 7을 참조하면, 화소(PXij)는 제1 서브 화소(SPX1) 및 제2 서브 화소(SPX2)를 포함한다.
- [0100] 제1 서브 화소(SPX1)는 제1 박막 트랜지스터(T1), 제1 액정 커패시터(C1c), 및 제1 스토리지 커패시터(Cst1)를 포함한다. 제1 박막 트랜지스터(T1)는 대응하는 게이트 라인(GLi)에 연결된 제1 게이트 전극(GE1), 대응하는 데이터 라인(DLj)에 연결된 제1 소스 전극(SE1), 및 제1 액정 커패시터(C1c1)와 제1 스토리지 커패시터(Cst1)에 연결된 제1 드레인 전극(DE1)을 포함한다.
- [0101] 앞서 설명한 바와 같이 제1 박막 트랜지스터(T1)의 제1 드레인 전극(DE1)은 제1 화소 전극(PE1)에 연결된다. 제1 액정 커패시터(C1c1)는 액정층(LC)을 사이에 두고 제1 화소 전극(PE1)과 제1 공통 전극(CE1)에 의해 형성된다. 제1 화소 전극(PE1)은 제1 스토리지 라인(SL1), 제1 및 제2 분기 전극들(STE1_1, STE1_2)과 부분적으로 오버랩되어 제1 스토리지 커패시터(Cst1)를 형성한다.
- [0102] 제2 서브 화소(SPX2)는 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제2 액정 커패시터(C1c2), 및 제2 스토리지 커패시터(Cst2)를 포함한다. 제2 박막 트랜지스터(T2)는 대응하는 게이트 라인(GLi)에 연결된 제2 게이트 전극(GE2), 대응하는 데이터 라인(DLj)에 연결된 제2 소스 전극(SE2), 및 제2 액정 커패시터(C1c2)와 제2 스토리지 커패시터(Cst2)에 연결된 제2 드레인 전극(DE2)을 포함한다.
- [0103] 앞서 설명한 바와 같이 제2 박막 트랜지스터(T2)의 제2 드레인 전극(DE2)은 제2 화소 전극(PE2)에 연결된다. 제2 액정 커패시터(C1c2)는 액정층(LC)을 사이에 두고 제2 화소 전극(PE2)과 제2 공통 전극(CE2)에 의해 형성된다. 제2 화소 전극(PE2)은 제2 스토리지 라인(SL2), 제3 및 제4 분기 전극들(STE2_1, STE2_2)과 부분적으로

로 오버랩되어 제2 스토리지 커패시터(Cst2)를 형성한다.

- [0104] 제3 박막 트랜지스터(T3)는 대응하는 게이트 라인(GLi)에 연결된 제3 게이트 전극(GE3), 스토리지 전압(Vcst)을 제공받는 제3 소스 전극(SE3), 및 제2 박막 트랜지스터(T2)의 제2 드레인 전극(DE2)과 공통으로 제2 화소 전극(PE2)에 연결된 제3 드레인 전극(DE3)을 포함한다.
- [0105] 앞서 설명한 바와 같이, 제3 소스 전극(SE3)은 제1 스토리지 라인(SL1)의 제2 분기 전극(STE1_2)에 전기적으로 연결되어 스토리지 전압(Vcst)을 제공받는다. 제1 및 제2 공통 전극들(CE1, CE2)은 공통 전압(Vcom)을 수신하고, 제1 및 제2 스토리지 라인들(SL1, SL2)은 스토리지 전압(Vcst)을 수신한다.
- [0106] 게이트 라인(GLi)을 통해 제공된 게이트 신호에 의해 제1 내지 제3 박막 트랜지스터들(T1, T2, T3)은 턴 온 된다. 턴 온된 제1 박막 트랜지스터(T1)를 통해 데이터 전압이 제1 서브 화소(SPX1)에 제공된다. 구체적으로 데이터 라인(DLj)을 통해 수신된 데이터 전압은 턴 온된 제1 박막 트랜지스터(T1)를 통해 제1 서브 화소(SPX1)의 제1 화소 전극(PE1)에 제공된다.
- [0107] 제1 액정 커패시터(C1c1)에는 데이터 전압에 대응되는 제1 화소 전압이 충전된다. 구체적으로, 제1 화소 전극(PE1)에 제공되는 데이터 전압과 제1 공통 전극(CE1)에 제공되는 공통 전압(Vcom)의 레벨 차이에 대응되는 제1 화소 전압이 제1 액정 커패시터(C1c)에 충전된다. 따라서, 제1 서브 화소(SPX1)에는 제1 화소 전압이 충전된다.
- [0108] 턴 온된 제2 박막 트랜지스터(T2)를 통해 데이터 전압이 제2 서브 화소(SPX2)에 제공되고, 턴 온된 제3 박막 트랜지스터(T3)를 통해 스토리지 전압(Vcst)이 제2 서브 화소(SPX2)에 제공된다.
- [0109] 데이터 전압의 전압 레벨의 범위는 스토리지 전압(Vcst)의 전압 레벨의 범위보다 넓게 설정된다. 공통 전압(Vcom)은 데이터 전압의 전압 레벨의 범위의 중간 값을 갖도록 설정될 수 있다. 데이터 전압과 공통 전압(Vcom)의 전압 레벨의 차이의 절대값은 스토리지 전압(Vcst)과 공통 전압(Vcom)의 전압 레벨의 차이의 절대값보다 크게 설정될 수 있다.
- [0110] 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 사이의 접점 전압은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)의 턴 온시 저항 상태의 저항값에 의해 분압된 전압이다. 즉, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 사이의 접점 전압은 대략 턴 온된 제2 박막 트랜지스터(T2)를 통해 제공되는 데이터 전압 및 턴 온된 제3 박막 트랜지스터(T3)를 통해 제공되는 스토리지 전압(Vcst)의 중간 정도의 전압 값을 가진다. 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 사이의 접점 전압이 제2 화소 전극(PE2)에 제공된다. 즉, 데이터 전압과 스토리지 전압(Vcst)의 중간값에 해당하는 전압이 제2 화소 전극(PE2)에 제공된다.
- [0111] 제2 화소 전극(PE2)에 제공되는 전압과 제2 공통 전극(CE2)에 제공되는 공통 전압(Vcom)의 레벨차이에 대응되는 제2 화소 전압이 제2 액정 커패시터(C1c2)에 충전된다. 즉, 제1 화소 전압보다 작은 값을 갖는 제2 화소 전압이 제2 액정 커패시터(C1c2)에 충전된다. 따라서, 제2 서브 화소(SPX2)에 제1 화소 전압보다 작은 제2 화소 전압이 충전된다.
- [0112] 이러한 구동에 의해 관찰자는 화소(PXij)에 충전된 제1 화소 전압 및 제2 화소 전압의 중간값에 대응되는 계조를 시인할 수 있다.
- [0113] 도 8은 본 발명의 다른 실시 예에 따른 나노 크리스탈 디스플레이의 화소에 있어서, 도 4의 II-II'선에 따른 단면에 대응하는 단면도이다.
- [0114] 제1 경계 영역(BA1)의 단면 구성을 제외하면 본 발명의 다른 실시 예에 따른 나노 크리스탈 디스플레이는 본 발명의 실시 예에 따른 나노 크리스탈 디스플레이(500)와 동일한 구성을 갖는다. 또한, 제1 경계 영역(BA1)의 단면 구성은 블랙 매트릭스(BM)와 제2 절연막(114)의 구성이 다른 것을 제외하면, 도 4에 도시된 구성과 실질적으로 동일하다. 따라서, 이하, 도 4에 도시된 구성과 다른 구성이 설명될 것이다.
- [0115] 도 8을 참조하면, 제1 박막 트랜지스터(T1)의 제1 드레인 전극(DE1)은 보호막(113)을 관통하여 형성된 제1 컨택홀(H1)을 통해 제1 화소 전극(PE1)으로부터 분기된 제1 연결 전극(CNE1)에 전기적으로 연결된다. 제1 컨택홀(H1)은 보호막(113)을 관통하여 형성되므로, 제1 컨택홀(H1)의 크기는 도 4에 도시된 제1 컨택홀(H1)의 크기보다 작게 설정될 수 있다.
- [0116] 제2 절연막(114)은 제1 경계영역(BA1)에서 오픈 된다. 즉, 제2 절연막(114)은 제1 경계 영역(BA1)에 형성되지 않는다. 제1 경계 영역(BA1)의 제1 박막 트랜지스터(T1)를 덮도록 블랙 매트릭스(BM)가 형성된다.
- [0117] 제2 절연막(114)과 제1 경계 영역(BA1)에 형성된 블랙 매트릭스(BM)는 제1 화소 영역(PXA1) 및 제1 경계 영역

(BA1)의 경계에서 서로 중첩될 수 있다. 제1 연결 전극(CNE1)은 제1 화소 영역(PXA1) 및 제1 경계 영역(BA1)의 경계에서 제2 절연막(114)의 측면에 접촉될 수 있다. 기타 구성은 본 발명의 실시 예에 따른 나노 크리스탈 디스플레이(500)와 동일한 구성을 갖는다.

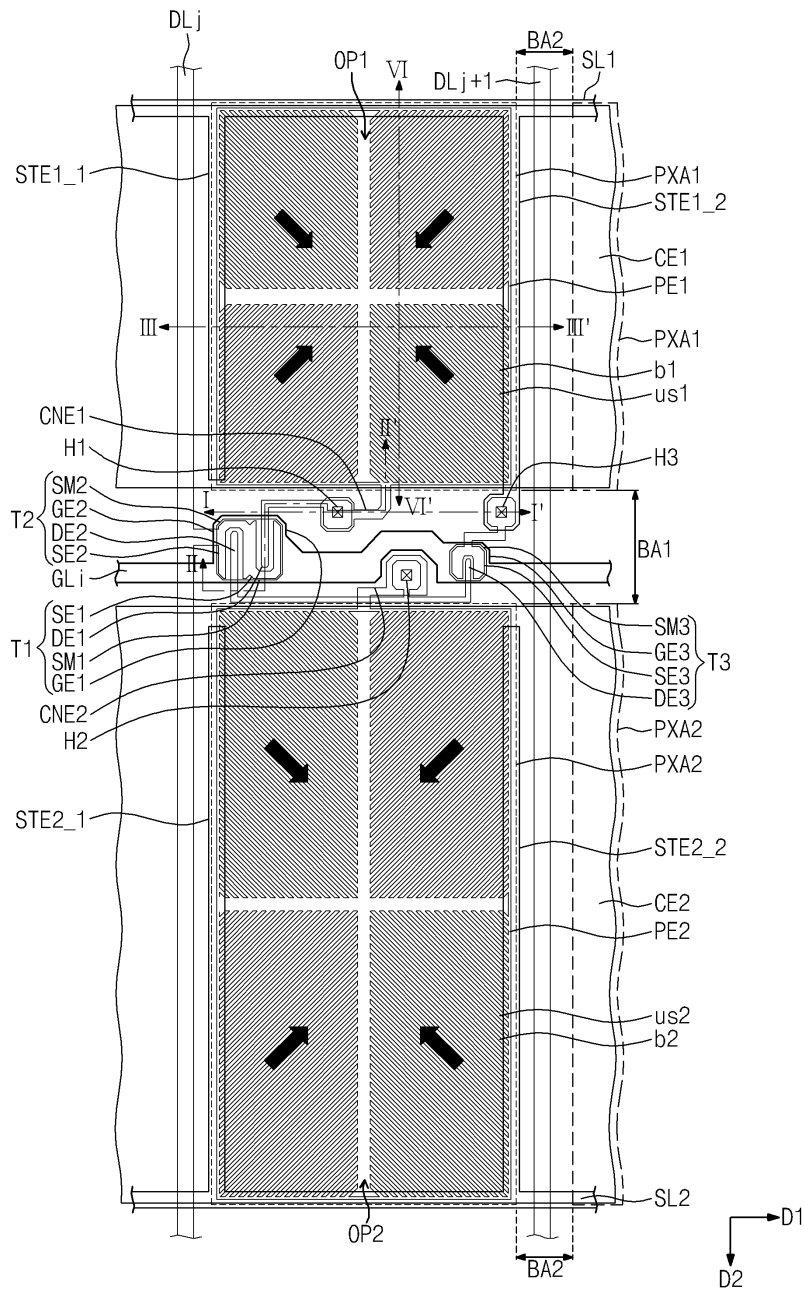
[0118] 결과적으로, 본 발명의 다른 실시 예에 따른 나노 크리스탈 디스플레이는 데이터 신호의 지연을 방지하고 액정 배열을 안정화시킬 수 있다.

[0119] 이상 실시 예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시 예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

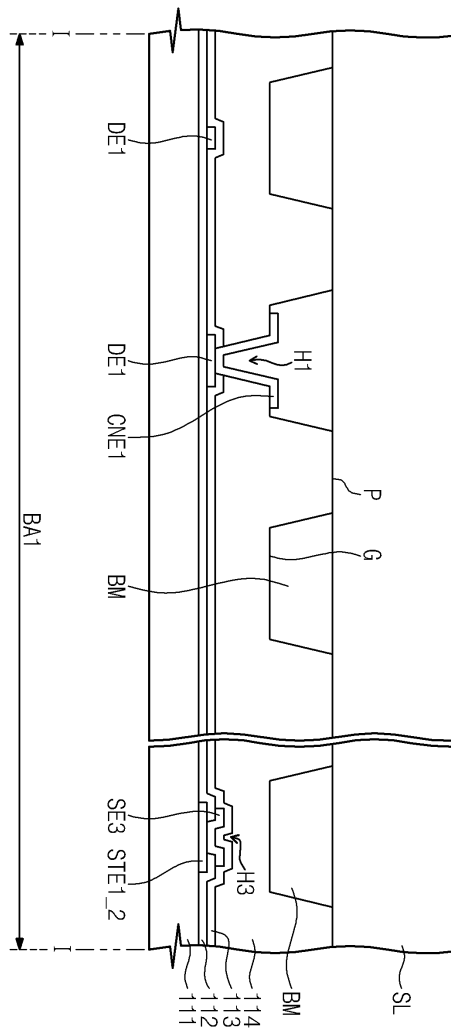
부호의 설명

[0120]	100: 표시 패널	200: 게이트 구동부
	300: 데이터 구동부	400: 구동 회로 기관
	500: 나노 크리스탈 디스플레이	111: 기관
	112: 제1 절연막	113: 보호막
	114: 제2 절연막	PE1, PE2: 제1 및 제2 화소 전극
	CE: 공통 전극	BM: 블랙 매트릭스
	ROF: 루프층	SL: 봉지층

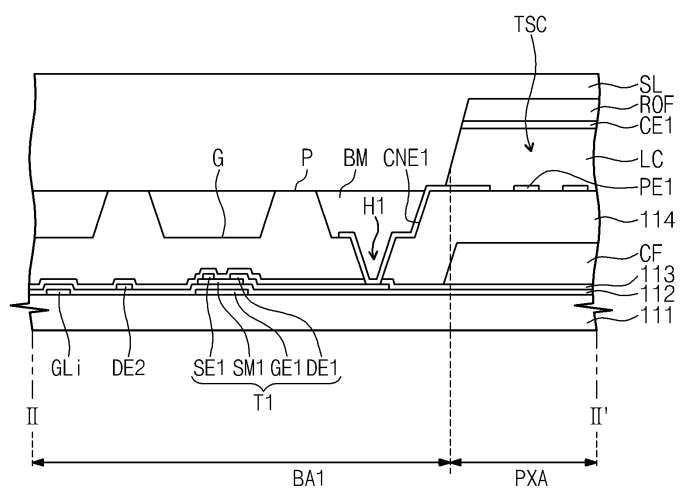
도면2



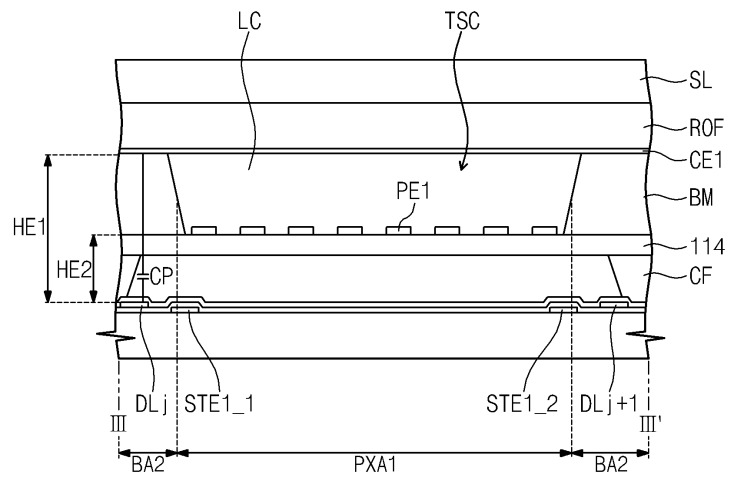
도면3



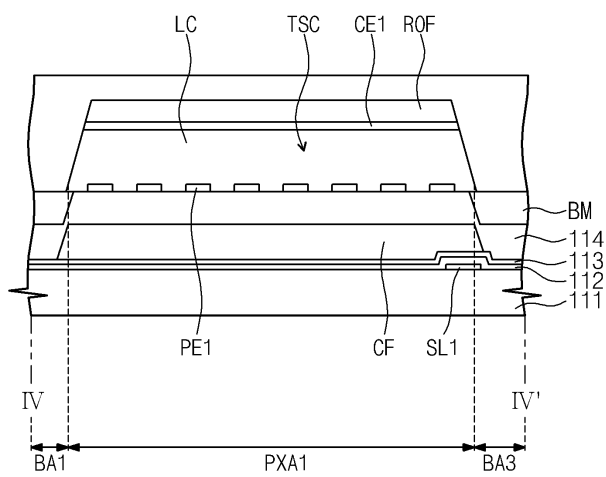
도면4



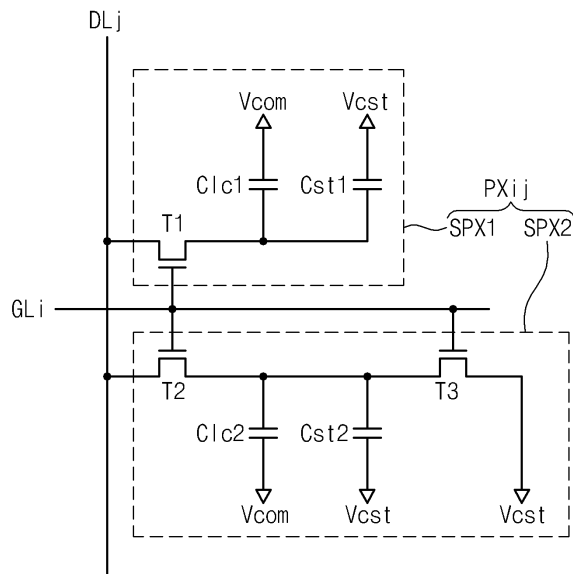
도면5



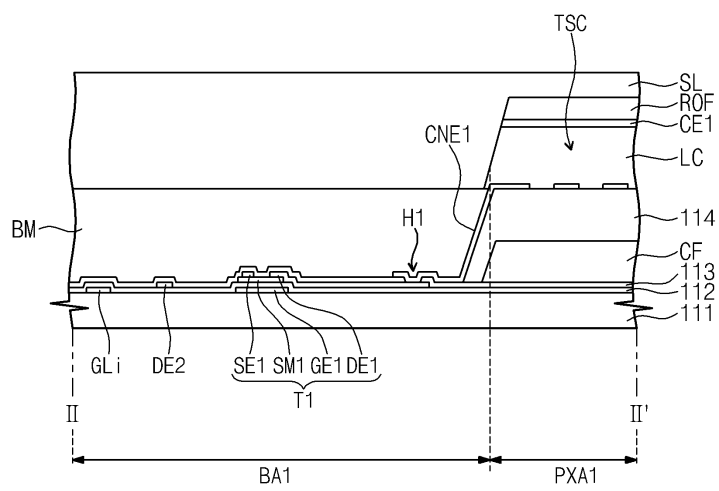
도면6



도면7



도면8



专利名称(译)	纳米水晶显示屏		
公开(公告)号	KR1020140048731A	公开(公告)日	2014-04-24
申请号	KR1020120115020	申请日	2012-10-16
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO SE HYOUNG 조세형 JUNG MEEHYE 정미혜 LEE SUNHWA 이선화 WON SUNGHWAN 원성환 CHAI CHONGCHUL 채중철		
发明人	조세형 정미혜 이선화 원성환 채중철		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368		
CPC分类号	G02F2001/134345 G02F1/1368 G02F1/133377 G02F1/1393 G02F1/133707 G02F1/1362 G02F1/136209 G02F1/133512		
代理人(译)	KWON , HYUK SOO SE JUN OH 宋 , 云何		
外部链接	Espacenet		

摘要(译)

纳米晶体显示器的每个像素包括第一子像素，第一子像素包括形成在第一像素区域的第二绝缘膜上的第一像素电极，第二子像素包括形成在第二像素区域的第二绝缘膜上的第二像素，第一黑色矩阵形成在第二绝缘层上，其台阶大于第一和第二像素电极的台阶，第一黑色矩阵沿行方向延伸，并且公共电极形成在第一和第二像素区域中以与第二绝缘层形成预定间隙以限定隧道状腔，以及设置在隧道形腔中的液晶层。

