



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0104830
(43) 공개일자 2013년09월25일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01)

(21) 출원번호 10-2012-0026715

(22) 출원일자 2012년03월15일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

윤성재

경기 화성시 병점동 느치마을주공4단지 401동 1303호

권오정

경기 화성시 반송동 시범다은마을월드메르디앙반
도유보라아파트 348동 1303호

(뒷면에 계속)

(74) 대리인

권혁수, 송윤희, 오세준

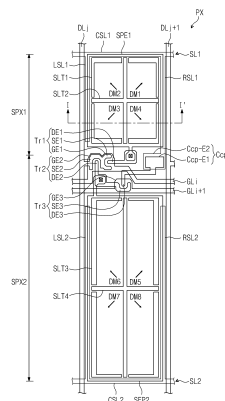
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치는 적어도 하나의 화소를 포함한다. 상기 화소는 제1 전압을 충전하는 제1 서브화소 및 상기 제1 전압과 다른 제2 전압을 충전하는 제2 서브화소를 구비한다. 상기 제1 서브화소에 제공되는 제1 서브화소전극 및 상기 제2 서브화소에 제공되는 제2 서브화소전극은 방향에 따라 너비가 다른 슬릿들을 구비한다. 상기 슬릿들에 의해 상기 제1 서브화소와 상기 제2 서브화소의 평균 방향자들은 가로방향 또는 세로방향으로 기운다. 그에 따라 상기 액정표시장치의 측면시인성이 향상된다.

대표도 - 도1



(72) 발명자

박재홍

경기 화성시 병점동 830-3번지 (304호)

강수

경기 용인시 기흥구 농서동 삼성전자(주)기흥공장
삼성반도체 기흥사업장 기숙사 튜울립동 108호

박경혜

경기 성남시 분당구 야탑동
탑마을대우아파트201-212 205-504

윤주영

서울 양천구 목5동 목동5단지아파트501-536 521동
304호

이혁진

경기 성남시 분당구 금곡동 청솔마을대원아파트
806동 801호

특허청구의 범위

청구항 1

제1 전압을 충전하는 제1 서브화소 및 상기 제1 전압과 다른 제2 전압을 충전하는 제2 서브화소를 구비한 적어도 하나의 화소를 포함하는 액정표시장치에 있어서,

상기 제1 서브화소에 제공되는 제1 서브화소전극 및 상기 제2 서브화소에 제공되는 제2 서브화소전극이 배치된 제1 기판;

상기 제1 기판에 마주하며, 상기 제1 서브화소전극 및 상기 제2 서브화소전극에 마주하는 공통전극이 배치된 제2 기판;

상기 제1 기판과 상기 제2 기판 사이에 배치된 액정들을 포함하고,

상기 제1 서브화소전극은 너비가 서로 다른 제1 가로부 및 제1 세로부를 포함하는 적어도 하나의 제1 슬릿을 구비하고, 상기 제1 슬릿은 상기 제1 서브화소전극의 엣지를 따라 배치된 액정표시장치.

청구항 2

제1 항에 있어서,

상기 제1 서브화소는 데이터 신호를 출력하는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결된 제1 액정 커패시터를 포함하고,

상기 제2 서브화소는 상기 데이터 신호를 출력하는 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터에 연결된 제2 액정 커패시터, 상기 제2 박막 트랜지스터와 다른 시점에서 턴-온되는 제3 박막 트랜지스터, 및 상기 제3 박막 트랜지스터가 턴-온 됨에 따라 상기 제2 액정 커패시터와 전기적으로 연결됨으로써 상기 제2 액정 커패시터에 충전된 전압을 다운시키는 커플링 커패시터를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제1 항에 있어서,

상기 제1 서브화소는 상기 액정들의 배향 방향이 서로 다른 복수 개의 도메인들로 구분되는 것을 특징으로 하는 액정표시장치.

청구항 4

제3 항에 있어서,

상기 공통전극은 상기 제1 서브화소에 대응하는 제1 부분에 형성된 제2 슬릿을 구비하고, 상기 제2 슬릿은 상기 복수 개의 도메인들의 경계에 배치되며, 상기 제2 슬릿은 제2 가로부 및 제2 세로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제4 항에 있어서,

상기 제2 가로부의 너비와 상기 제2 세로부의 너비는 서로 다른 것을 특징으로 하는 액정표시장치.

청구항 6

제3 항에 있어서,

상기 제1 슬릿은 상기 제1 서브화소의 복수 개의 도메인들에 각각 배치되는 것을 특징으로 하는 액정표시장치.

청구항 7

제6 항에 있어서,

상기 제1 전압은 상기 제2 전압보다 큰 레벨을 갖고,

상기 제1 가로부는 상기 제1 세로부보다 큰 너비를 갖는 것을 특징으로 하는 액정표시장치.

청구항 8

제7 항에 있어서,

평면상에서 상기 제1 가로부와 상기 제1 서브화소전극의 대응하는 가로변 사이의 거리는 상기 제1 세로부와 상기 제1 서브화소전극의 대응하는 세로변 사이의 거리에 실질적으로 동일한 것을 특징으로 하는 액정표시장치.

청구항 9

제7 항에 있어서,

상기 제2 서브화소전극은 제3 가로부 및 상기 제3 가로부의 너비보다 큰 너비를 갖는 제3 세로부를 포함하는 적어도 하나의 제3 슬릿을 구비하고, 상기 제3 슬릿은 상기 제2 서브화소전극의 엣지를 따라 배치된 것을 특징으로 하는 액정표시장치.

청구항 10

제9 항에 있어서,

상기 제2 서브화소는 상기 액정들의 배향방향이 서로 다른 복수 개의 도메인들로 구분되고,

상기 제3 슬릿은 상기 제2 서브화소의 복수 개의 도메인들에 각각 배치된 것을 특징으로 하는 액정표시장치.

청구항 11

제10 항에 있어서,

상기 공통전극은 상기 제2 서브화소에 대응하는 제2 부분에 형성된 제4 슬릿을 구비하고, 상기 제4 슬릿은 상기 복수 개의 도메인들의 경계에 배치되며, 상기 제4 슬릿은 제4 가로부 및 제4 세로부를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11 항에 있어서,

상기 제4 가로부는 상기 제4 세로부보다 큰 너비를 갖는 것을 특징으로 하는 액정표시장치.

청구항 13

제7 항에 있어서,

상기 제2 서브화소전극은 제3 가로부 및 상기 제3 가로부의 너비보다 큰 너비를 갖는 제3 세로부를 포함하는 복수 개의 제3 슬릿들을 구비하고,

일부의 제3 슬릿들의 제3 가로부들은 상기 제2 서브화소전극을 분할하는 가로축에 대응하게 배치되고,

남은 일부의 제3 슬릿들의 제3 가로부들은 상기 제2 서브화소전극의 가로변들에 마주하게 배치된 것을 특징으로 하는 액정표시장치.

청구항 14

제13 항에 있어서,

상기 공통전극은 상기 제2 서브화소에 대응하는 제2 부분에 형성되며, 복수 개의 제4 가로부들 및 제4 세로부를 포함하는 제4 슬릿을 구비하고,

상기 제4 세로부는 상기 제2 서브화소전극을 분할하는 세로축에 대응하게 배치되고,

상기 복수 개의 제4 가로부들은 상기 제2 서브화소전극을 분할하는 상기 가로축을 중심으로 양측에 나뉘어 배치된 것을 특징으로 하는 액정표시장치.

청구항 15

게이트 신호를 수신하는 게이트 라인과 데이터 신호를 수신하는 데이터 라인이 배치된 제1 기판;

상기 제1 기판 상에 배치된 화소전극;

상기 제1 기판 상에 배치되며, 상기 게이트 신호에 응답하여 상기 데이터 신호를 상기 화소전극에 제공하는 박막 트랜지스터;

상기 제1 기판에 마주하며, 공통전극이 배치된 제2 기판;

상기 제1 기판과 상기 제2 기판 사이에 배치된 액정들을 포함하고,

상기 화소전극은 너비가 서로 다른 제1 가로부 및 제1 세로부를 포함하는 적어도 하나의 제1 슬릿을 구비하고, 상기 제1 슬릿은 상기 화소전극의 엣지를 따라 배치된 액정표시장치.

청구항 16

제15 항에 있어서,

상기 화소전극은 상기 액정들의 배향방향이 서로 다른 복수 개의 도메인들로 구분되며,

상기 제1 슬릿은 상기 복수 개의 도메인들에 각각 배치되는 것을 특징으로 하는 액정표시장치.

청구항 17

제16 항에 있어서,

상기 공통전극은 상기 제1 서브화소에 대응하는 부분에 형성되며, 제2 가로부 및 제2 세로부를 포함하는 제2 슬릿을 구비하고, 상기 제2 슬릿은 상기 복수 개의 도메인들의 경계에 배치된 것을 특징으로 하는 액정표시장치.

청구항 18

제17 항에 있어서,

상기 제2 가로부의 너비와 상기 제2 세로부의 너비는 서로 다른 것을 특징으로 하는 액정표시장치.

청구항 19

제18 항에 있어서,

상기 제1 가로부는 제1 세로부보다 큰 너비를 갖고,

상기 제2 세로부는 상기 제2 가로부보다 큰 너비를 갖는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 좀 더 상세히는 시인성이 향상된 액정표시장치에 관한 것이다.

배경기술

[0002] 액정표시장치는 투명한 두 개의 기판 사이에 액정층이 구비된 표시장치이다. 상기 액정표시장치는 액정층을 구동하여 화소들마다 광 투과율을 조절함으로써 원하는 화상을 표시한다.

[0003] 시야각을 넓히기 위해 상기 화소들 각각은 복수 개의 도메인들로 분할된다. 상기 복수 개의 도메인들을 형성하기 위해 화소전극과 공통전극 중 어느 하나 이상은 슬릿을 구비할 수 있다. 대안적으로 광배향을 이용해 액정들을 배향하거나, 배향막 또는 액정층에 반응성 메조겐을 첨가하여 액정들을 배향하면 상기 복수 개의 도메인들을 형성할 수 있다.

[0004] 시야각이 넓어지더라도, 측면에서의 감마특성(측면 시인성)은 정면에서의 감마특성과 다르다. 즉, 측면 시인성은 정면 시인성에 비해 나쁘다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 측면 시인성이 향상된 액정표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0006] 본 발명의 일 실시예에 따른 액정표시장치는 적어도 하나의 화소를 포함한다. 상기 화소는 제1 전압을 충전하는 제1 서브화소 및 상기 제1 전압과 다른 제2 전압을 충전하는 제2 서브화소를 구비한다.
- [0007] 상기 액정표시장치는 제1 기판, 상기 제1 기판에 마주하는 제2 기판, 및 상기 제1 기판과 상기 제2 기판 사이에 구비된 액정들을 포함한다. 상기 제1 기판 상에 상기 제1 서브화소에 제공되는 제1 서브화소전극 및 상기 제2 서브화소에 제공되는 제2 서브화소전극이 배치된다. 상기 제2 기판상에 상기 제1 서브화소전극 및 상기 제2 서브화소전극에 마주하는 공통전극이 배치된다.
- [0008] 상기 제1 서브화소전극은 상기 제1 서브화소전극의 엣지를 따라 배치된 적어도 하나의 제1 슬릿을 구비한다. 상기 제1 슬릿은 너비가 서로 다른 제1 가로부 및 제1 세로부를 포함한다.
- [0009] 상기 제1 서브화소는 상기 액정들의 배향 방향이 서로 다른 복수 개의 도메인들로 구분될 수 있다. 상기 제1 슬릿은 상기 제1 서브화소의 복수 개의 도메인들에 각각 배치될 수 있다.
- [0010] 상기 공통전극은 상기 제1 서브화소에 대응하는 영역에 형성된 제2 슬릿을 포함한다. 상기 제2 슬릿은 제2 가로부 및 제2 세로부를 포함하고, 상기 복수 개의 도메인들의 경계에 배치된다.
- [0011] 상기 제1 전압은 상기 제2 전압보다 큰 레벨을 가질 수 있고, 상기 제1 가로부는 상기 제1 세로부보다 큰 너비를 가질 수 있다.
- [0012] 상기 제2 서브화소전극은 제3 가로부 및 상기 제3 가로부의 너비보다 큰 너비를 갖는 제3 세로부를 포함하는 적어도 하나의 제3 슬릿을 구비한다. 상기 제3 슬릿은 상기 제2 서브화소전극의 엣지를 따라 배치될 수 있다.
- [0013] 상기 공통전극은 상기 제2 서브화소에 대응하는 영역에 형성되며, 제4 가로부 및 제4 세로부를 포함하는 제4 슬릿을 구비한다. 상기 제4 슬릿은 상기 복수 개의 도메인들의 경계에 배치될 수 있다.
- [0014] 본 발명의 또 다른 실시예에 따른 액정표시장치는 상기 제1 기판에 게이트 신호를 수신하는 게이트 라인과 데이터 신호를 수신하는 데이터 라인이 배치되며, 화소영역이 정의된다. 상기 제1 기판의 상기 화소영역에 화소전극이 배치된다. 스위칭소자는 상기 제1 기판 상에 배치되며, 상기 게이트 신호에 응답하여 상기 데이터 신호를 상기 화소전극에 제공한다. 상기 화소전극은 너비가 서로 다른 제1 가로부 및 제1 세로부를 포함하는 적어도 하나의 제1 슬릿을 구비한다. 상기 제1 슬릿은 상기 화소전극의 엣지를 따라 배치된다.

발명의 효과

- [0015] 상기 화소는 방향에 따라 다른 너비를 갖는 슬릿들을 구비함으로써 액정들의 평균 방향자를 제어한다. 상기 액정 방향자가 제어됨으로써 상기 화소의 측면 시인성이 향상된다.
- [0016] 상기 화소는 서로 다른 전압을 충전하는 제1 서브화소 및 제2 서브화소를 구비할 수 있다. 상기 제1 서브화소의 액정들의 평균 방향자를 상기 제1 서브화소의 가로축에 근접하게 제어함으로써 상기 화소의 저계조에서의 측면 시인성이 향상된다.
- [0017] 또한, 상기 제2 서브화소의 액정들의 평균 방향자를 상기 제2 서브화소의 가로축에 근접하게 제어함으로써 상기 화소의 고계조에서의 측면 시인성이 향상된다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 화소를 나타낸 평면도이다.
- 도 2는 도 1에 도시된 화소의 등가 회로도이다.
- 도 3는 도 1의 I-I' 선에 따른 단면도이다.
- 도 4a는 도 1에 도시된 제1 서브화소전극의 평면도이다.

도 4b는 도 4a에 도시된 제1 서브화소전극에 대응하는 공통전극의 일부분을 도시한 평면도이다.

도 4c는 도 1에 도시된 제1 서브화소에 배치된 액정들의 평균 방향자를 도시한 도면이다.

도 5a는 도 4c의 II-II' 선에 따른 액정 방향자를 도시한 도면이다.

도 5b는 도 4c의 III-III' 선에 따른 액정 방향자를 도시한 도면이다.

도 6a는 도 1에 도시된 제2 서브화소전극의 평면도이다.

도 6b는 도 6a에 도시된 제2 서브화소전극에 대응하는 공통전극의 일부분을 도시한 평면도이다.

도 6c는 도 1에 도시된 제2 서브화소에 배치된 액정들의 평균 방향자를 도시한 도면이다.

도 7은 액정표시장치의 정면 감마 특성과 측면 감마 특성을 도시한 그래프이다.

도 8a 내지 도 8c는 본 발명의 다른 실시예에 따른 제1 서브화소를 도시한 평면도이다.

도 9a 내지 도 9c는 본 발명의 다른 실시예에 따른 제2 서브화소를 도시한 평면도이다.

도 10은 본 발명의 다른 실시예에 따른 화소를 도시한 평면도이다.

도 11은 도 10에 도시된 화소의 등가회로도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

[0020] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 화소를 나타낸 평면도이고, 도 2는 도 1에 도시된 화소의 등가 회로도이다. 도 3는 도 1의 I-I' 선에 따른 단면도이다.

[0021] 본 발명의 일 실시예에 따른 액정표시장치는 적어도 하나의 화소(PX)를 포함한다. 도 1 및 도 2는 하나의 화소(PX)를 도시하였으나, 상기 액정표시장치는 복수 개의 화소들을 포함할 수 있다. 상기 복수 개의 화소들은 매트릭스 형태로 배열될 수 있다.

[0022] 상기 액정표시장치는 복수 개의 게이트 라인들 및 복수 개의 데이터 라인들을 구비한다. 도 1 및 도 2에서는 상기 화소(PX)에 게이트 신호들을 제공하는 일부의 게이트 라인들(GLi, GLi+1)과 상기 화소(PX)에 인접한 일부의 데이터 라인들(DLj, DLj+1)을 도시하였다.

[0023] 하나의 화소(PX)는 연속하여 배열된 제1 데이터 라인(DLj)과 제2 데이터 라인(DLj+1) 사이에 배치된다. 실질적으로 상기 화소(PX)는 상기 제1 데이터 라인(DLj)으로부터 데이터 신호를 수신한다. 제1 게이트 라인(GLi)과 제2 게이트 라인(GLi+1)은 상기 제1 데이터 라인(DLj) 및 상기 제2 데이터 라인(DLj+1)에 절연되게 교차한다.

[0024] 또한, 상기 액정표시장치는 평면상에서 이격되어 배치된 제1 스토리지 라인(SL1) 및 제2 스토리지 라인(SL2)을 더 포함한다. 상기 제1 스토리지 라인(SL1) 및 상기 제2 스토리지 라인(SL2)은 상기 제1 데이터 라인(DLj) 및 상기 제2 데이터 라인(DLj+1)에 절연된다.

[0025] 상기 제1 스토리지 라인(SL1)은 줄기전극(CSL1), 상기 줄기전극(CSL1)으로부터 분기된 제1 가지전극(LSL1) 및 제2 가지전극(RSL1)을 포함한다. 상기 제2 스토리지 라인(SL2) 역시 줄기전극(CSL2)과 상기 줄기전극(CSL2)으로부터 분기된 제1 가지전극(LSL2) 및 제2 가지전극(RSL2)을 포함한다.

[0026] 상기 제1 스토리지 라인(SL1)의 줄기전극(CSL1)과 상기 제2 스토리지 라인(SL2)의 줄기전극(CSL2)은 상기 제1 게이트 라인(GLi) 및 상기 제2 게이트 라인(GLi+1)에 실질적으로 평행한다. 상기 제1 스토리지 라인(SL1)의 줄기전극(CSL1)과 상기 제2 스토리지 라인(SL2)의 줄기전극(CSL2)은 상기 제1 게이트 라인(GLi)과 상기 제2 게이트 라인(GLi+1)을 사이에 두고 상기 화소(PX)의 양측에 각각 배치된다.

[0027] 도 2에 도시된 것과 같이, 상기 화소(PX)는 제1 서브화소(SPX1)와 제2 서브화소(SPX2)를 포함한다. 상기 제1 서브화소(SPX1)와 상기 제2 서브화소(SPX2)는 서로 다른 전압을 충전한다.

[0028] 상기 제1 서브화소(SPX1)는 제1 박막 트랜지스터(Tr1), 제1 액정 커패시터(Clc1), 및 제1 스토리지 커패시터(Cst1)를 포함한다. 상기 제2 서브화소(SPX2)는 제2 박막 트랜지스터(Tr2), 제2 액정 커패시터(Clc2), 및 제2 스토리지 커패시터(Cst2), 제3 박막 트랜지스터(Tr3), 및 커플링 커패시터(Ccp)를 포함한다.

[0029] 도 1에 도시된 것과 같이, 상기 제1 박막 트랜지스터(Tr1)과 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터

라인(DLj) 및 상기 제1 게이트 라인(GLi)에 전기적으로 각각 연결된다.

[0030] 구체적으로, 상기 제1 박막 트랜지스터(Tr1)는 상기 제1 데이터 라인(DLj)에 연결된 제1 소스 전극(SE1), 상기 제1 게이트 라인(GLi)에 연결된 제1 게이트 전극(GE1), 및 제1 서브화소전극(SPE1)에 연결된 제1 드레인 전극(DE1)을 포함한다. 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)은 동일층에 구비된다. 도 1에서 상기 제1 박막 트랜지스터(Tr1)의 반도체층은 생략되었다. 상기 반도체층은 상기 제1 소스 전극(SE1)과 상기 제1 드레인 전극(DE1)이 구비된 층과 상기 제1 게이트 전극(GE1) 사이에 구비될 수 있다.

[0031] 상기 제1 서브화소전극(SPE1)은 액정층(300: 도 3 참조)을 사이에 두고 공통전극(230: 도 3 참조)과 마주하고, 상기 공통전극과 함께 상기 제1 액정 커패시터(C1c1)를 형성한다.

[0032] 또한, 상기 제1 서브화소전극(SPE1)은 상기 제1 스토리지 라인(SL1)의 일부와 오버랩되고, 상기 제1 스토리지 라인(SL1)과 함께 상기 제1 스토리지 커패시터(Cst1)를 형성한다. 상기 제1 스토리지 커패시터(Cst1)는 상기 제1 액정 커패시터(C1c1)에 병렬 연결된다.

[0033] 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 데이터 라인(DLj)에 연결된 제2 소스 전극(SE2), 상기 제1 게이트 라인(GLi)에 연결된 제2 게이트 전극(GE2) 및 제2 서브화소전극(SPE2)에 연결된 제2 드레인 전극(DE2)을 포함한다.

[0034] 상기 제2 서브화소전극(SPE2) 역시 상기 액정층을 사이에 두고 상기 공통전극과 마주하며 상기 공통전극과 함께 상기 제2 액정 커패시터(C1c2)를 형성한다. 상기 제2 서브화소전극(SPE2)은 상기 제1 서브화소전극(SPE1)보다 큰 면적을 가질 수 있다.

[0035] 또한, 상기 제2 서브화소전극(SPE2)은 상기 제2 스토리지 라인(SL2)의 일부와 오버랩되고, 상기 제2 스토리지 라인(SL2)과 함께 상기 제2 스토리지 커패시터(Cst2)를 형성한다. 상기 제2 스토리지 커패시터(Cst2)는 상기 제2 액정 커패시터(C1c2)에 병렬 연결된다.

[0036] 도 2를 참조하면, 상기 제1 게이트 라인(GLi)에 제1 게이트 신호가 인가되면, 상기 제1 박막 트랜지스터(Tr1)와 상기 제2 박막 트랜지스터(Tr2)가 동시에 턴-온 된다. 상기 제1 게이트 신호는 하이 구간 동안 활성화되고 로우 구간 동안 비활성화된다. 상기 제1 박막 트랜지스터(Tr1)와 상기 제2 박막 트랜지스터(Tr2)는 상기 제1 게이트 신호의 하이 구간 동안 턴-온 된다.

[0037] 상기 제1 데이터 라인(DLj)으로 인가된 상기 데이터 신호는 턴-온된 상기 제1 박막 트랜지스터(Tr1) 및 제2 박막 트랜지스터(Tr2)를 통해 상기 제1 서브화소전극(SPE1) 및 제2 서브화소전극(SPE2)으로 각각 인가된다. 따라서, 상기 제1 게이트 신호의 하이 구간 동안 상기 제1 액정 커패시터(C1c1) 및 상기 제2 액정 커패시터(C1c2)에는 상기 데이터 신호에 대응하는 화소 전압이 각각 충전된다.

[0038] 도 1에 도시된 것과 같이, 상기 제3 박막 트랜지스터(Tr3)는 제3 소스 전극(SE3), 제3 게이트 전극(GE3), 및 제3 드레인 전극(DE3)을 포함한다. 또한, 상기 커플링 커패시터(Ccp)는 제1 전극(Ccp-E1)과 제2 전극(Ccp-E2)을 포함한다.

[0039] 상기 제3 소스 전극(SE3)은 상기 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(DE2)에 연결되고, 상기 제3 게이트 전극(GE3)은 상기 제2 게이트 라인(GLi+1)에 연결되며, 상기 제3 드레인 전극(DE3)은 상기 커플링 커패시터(Ccp)에 연결된다.

[0040] 상기 커플링 커패시터(Ccp)의 상기 제1 전극(Ccp-E1)은 상기 제3 드레인 전극(DE3)으로부터 연장되고, 상기 커플링 커패시터(Ccp)의 상기 제2 전극(Ccp-E2)은 상기 제1 스토리지 라인(SL1)의 상기 제2 가지전극(RSL1)으로부터 연장될 수 있다.

[0041] 상기 커플링 커패시터(Ccp)는 상기 제1 전극(Ccp-E1)과 상기 제2 전극(Ccp-E2) 사이에 배치된 절연막을 포함한다. 본 실시예에서 상기 커플링 커패시터(Ccp)의 상기 절연막은 도 3에 도시된 제1 절연막(121)일 수 있다. 그러나, 상기 커플링 커패시터(Ccp)의 구조는 여기에 한정되지는 않는다.

[0042] 도 2를 참조하면, 상기 제2 게이트 라인(GLi+1)은 상기 제1 게이트 신호의 로우 구간에서 활성화되는 제2 게이트 신호를 수신한다. 다시 말해, 상기 제2 게이트 신호는 상기 제1 게이트 신호가 폴링된 이후에 라이징되고, 잠시 후 다시 폴링된다. 상기 제1 게이트 신호와 상기 제2 게이트 신호는 구형파 신호일 수 있다.

[0043] 상기 제2 게이트 신호에 응답하여 상기 제3 박막 트랜지스터(Tr3)가 턴-온되면, 상기 제2 액정 커패시터(C1c2)와 상기 커플링 커패시터(Ccp) 사이에서 전압 분배가 일어난다. 그 결과 상기 제2 액정 커패시터(C1c2)에 충전

된 화소 전압이 다운된다. 상기 제2 액정 커패시터(C1c2)의 화소 전압이 다운되는 크기는 상기 커플링 커패시터(Ccp)의 충전율에 따라서 변화될 수 있다.

[0044] 결과적으로 상기 제2 게이트 신호가 발생된 이후의 시점에서, 상기 제1 액정 커패시터(C1c1)는 상기 제2 액정 커패시터(C1c2)보다 큰 전압을 충전한다. 그에 따라 상기 제1 서브화소(SPX1)에 대응하는 상기 액정들과 상기 제2 서브화소(SPX2)에 대응하는 상기 액정들은 서로 다른 배열을 갖고, 상기 화소(PX)의 시야각이 넓어진다. 다만, 서로 다른 전압을 충전하는 상기 제1 액정 커패시터(C1c1)와 상기 제2 액정 커패시터(C1c2)를 포함하는 화소(PX)의 구성은 이에 한정되지 않는다.

[0045] 여기서, 상기 제2 게이트 신호가 발생된 이후의 시점에서, 상기 제2 서브화소(SPX2)에서 충전되는 전압은 기준전압보다 작을 수 있다. 상기 기준전압은 상기 액정층(300: 도 3 참조)에 포함된 액정들의 배열을 변화시킬 수 있는 전압으로 정의된다.

[0046] 상기 제1 서브화소(SPX1)와 상기 제2 서브화소(SPX2)가 상기 제1 게이트 신호의 하이 구간 동안 동일한 레벨의 데이터 신호를 수신하더라도 결과적으로 상기 제2 서브화소(SPX2)는 턴-오프 될 수 있다. 즉, 상기 제2 서브화소(SPX2)는 광을 통과시키지 않을 수 있다.

[0047] 예컨대, 낮은 레벨을 갖는 저계조 데이터 신호가 상기 제1 데이터 라인(DLj)에 인가되었을 때, 상기 제1 서브화소(SPX1)는 턴-온 되고 상기 제2 서브화소(SPX2)는 턴-오프 될 수 있다. 그에 반해, 상기 저계조 데이터 신호보다 높은 레벨을 갖는 고계조 데이터 신호가 상기 제1 데이터 라인(DLj)에 인가되면, 상기 제1 서브화소(SPX1)와 상기 제2 서브화소(SPX2)는 모두 턴-온될 수 있다.

[0048] 상기 저계조 데이터 신호가 인가된 경우에도 턴-온되는 상기 제1 서브화소(SPX1)는 상기 제2 서브화소(SPX2)보다 상기 저계조 범위에서 액정표시장치의 시인성에 미치는 영향이 크다.

[0049] 그에 반해, 상기 고계조 데이터 신호가 인가된 경우 상기 제1 서브화소(SPX1)와 상기 제2 서브화소(SPX2)는 모두 턴-온 되기 때문에, 상기 제1 서브화소(SPX1)와 상기 제2 서브화소(SPX2) 중 면적이 큰 제2 서브화소(SPX2)가 상기 고계조 범위에서 액정표시장치의 시인성에 미치는 영향이 크다.

[0050] 한편, 도 1에 도시된 것과 같이 상기 제1 서브화소(SPX1)는 액정들의 배향 방향이 서로 다른 복수의 도메인들로 구분될 수 있다. 다시 말해, 상기 제1 서브화소(SPX1)에 대응하게 배치된 액정들은 프리-틸트 된 방향이 서로 다른 액정들로 구분될 수 있다. 상기 액정들은 프리-틸트 된 방향이 서로 다르면, 서로 다른 액정 방향자를 갖는다.

[0051] 상기 제1 서브화소(SPX1)는 제1 내지 제4 도메인들(DM1~DM4)로 구분될 수 있다. 제1 내지 제4 도메인들(DM1~DM4)은 대응하는 액정들의 프리-틸트 된 방향들에 대응하는 평균 방향자들을 갖는다.

[0052] 상기 제2 서브화소(SPX2) 역시 복수의 도메인들로 구분될 수 있다. 상기 제2 서브화소(SPX)는 상기 제5 내지 제8 도메인(DM5~DM8)으로 구분될 수 있다.

[0053] 상기 제1 서브화소(SPX1)와 상기 제2 서브화소(SPX2) 각각이 복수의 도메인들을 포함함으로써 상기 화소(PX)의 시야각이 넓어진다.

[0054] 도 3을 참조하면, 액정표시장치는 제1 기관(100), 상기 제1 기관(100)과 마주하여 결합하는 제2 기관(200) 및 상기 제1 기관(100)과 상기 제2 기관(200) 사이에 개재된 액정층(300)을 포함한다. 별도로 도시하지 않았으나, 상기 제2 서브화소(SPX2)에 대응하는 영역의 단면 형상은 도 3과 실질적으로 동일하다.

[0055] 상기 제1 기관(100)은 투명한 절연성 기관으로 이루어진 제1 베이스 기관(110)을 포함한다. 상기 제1 베이스 기관(110) 상에는 상기 제1 스토리지 라인(SL1)의 상기 제1 가지전극(LSL1) 및 상기 제2 가지전극(RSL1)이 구비된다. 도시되지는 않았으나, 상기 제1 게이트 라인(GLi)과 상기 제2 게이트 라인(GLi+1)은 상기 상기 제1 스토리지 라인(SL1)과 동일한 층에 배치될 수 있다.

[0056] 상기 제1 기관(100) 상에는 상기 제1 스토리지 라인(SL1)의 상기 제1 가지전극(LSL1) 및 상기 제2 가지전극(RSL1)을 커버하는 제1 절연막(121)이 구비되고, 상기 제1 절연막(121) 상에는 상기 제1 데이터 라인(DLj) 및 상기 제2 데이터 라인(DLj+1)이 구비된다. 상기 제1 절연막(121) 상에는 상기 제1 데이터 라인(DLj) 및 상기 제2 데이터 라인(DLj+1)을 커버하는 제2 절연막(122)이 구비되고, 상기 제2 절연막(122) 상에는 제3 절연막(123)이 구비된다. 상기 제3 절연막(123)은 생략될 수 있고, 상기 제3 절연막(123) 상에 또 다른 절연막이 더 구비될 수도 있다.

- [0057] 상기 제3 절연막(123) 상에는 상기 제1 서브화소전극(SPE1)이 구비된다. 상기 제3 절연막(123) 상에는 상기 제1 서브화소전극(SPE1)을 커버하는 제1 배향막(140)이 구비된다. 상기 제1 배향막(140)은 광(예를 들어, 자외선(UV) 또는 레이저)의 조사에 의해 분해(decomposition), 이합체화 반응(dimerization), 이성질체화반응(isomerization) 중 하나의 반응이 이루어지는 고분자 물질을 포함할 수 있다. 또한, 상기 제1 배향막(140)은 울리고며 신나메이트와 고분자계 신나메이트의 블랜드(blend)로 이루어질 수 있다.
- [0058] 한편, 상기 제2 기판(200)은 상기 제1 베이스 기판(110)과 마주하는 제2 베이스 기판(210)을 포함한다. 상기 제2 베이스 기판(210) 상에는 레드, 그린 및 블루 중 어느 하나의 컬러를 갖는 컬러필터층(220)이 상기 화소(PX)에 대응하게 구비된다. 상기 컬러필터층(220) 상에는 공통전극(230)이 구비된다.
- [0059] 상기 공통전극(230)의 일부분은 상기 제1 서브화소전극(SPE1)과 마주하여 상기 제1 액정 커패시터(C1c1: 도 2 참조)를 형성한다. 상기 공통전극(230)은 상기 데이터 전압과 다른 공통전압을 수신한다. 도면에 도시하지는 않았지만, 상기 공통전극(230)의 다른 부분은 상기 제2 서브화소전극(SPE2: 도 1 참조)과 마주하며 상기 제2 액정 커패시터(C1c2: 도 2 참조)를 형성한다.
- [0060] 상기 공통전극(230) 상에는 제2 배향막(240)이 구비된다. 상기 제2 배향막(240)은 상기 제1 배향막(140)과 동일한 물질로 이루어질 수 있다.
- [0061] 도 4a는 도 1에 도시된 제1 서브화소전극의 평면도이고, 도 4b는 도 4a에 도시된 제1 서브화소전극에 대응하는 공통전극의 일부분을 도시한 평면도이며, 도 4c는 도 1에 도시된 제1 서브화소에 배치된 액정들의 평균 방향각을 도시한 도면이다.
- [0062] 도 4a에 도시된 것과 같이, 상기 제1 서브화소전극(SPE1)은 복수 개의 제1 슬릿들(SLT1)을 구비할 수 있다. 상기 제1 슬릿들(SLT1)은 상기 제1 내지 제4 도메인들(DM1~DM4) 각각에 대응하게 배치된다. 여기서, 상기 제1 서브화소전극(SPE1)은 평면상에서 제1 내지 제4 변(SPE1-S1~SPE1-S4)으로 이루어진 정사각형일 수 있다. 상기 제1 서브화소전극(SPE1)을 분할하는 가로축(RLH1)과 세로축(RLV1)에 따라 상기 제1 내지 제4 도메인들(DM1~DM4)은 동일한 면적을 가질 수 있다.
- [0063] 상기 제1 슬릿들(SLT1)은 상기 제1 서브화소전극(SPE1)의 엣지를 따라 배치된다. 즉, 상기 제1 슬릿들(SLT1)은 상기 제1 내지 제4 변(SPE1-S1~SPE1-S4)에 인접하게 배치된다.
- [0064] 상기 제1 슬릿들(SLT1) 각각은 가로부(SLT1-H, 이하 제1 가로부)와 세로부(SLT1-V, 이하 제1 세로부)를 포함한다. 이하, 상기 제1 도메인(DM1)을 중심으로 하나의 제1 슬릿(SLT1)에 대해 상세히 검토한다. 한편, 상기 제1 가로부(SLT1-H)와 상기 제1 세로부(SLT1-V)는 도 4a에 도시된 것과 달리 서로 분리될 수도 있다.
- [0065] 상기 제1 가로부(SLT1-H)는 제1 변(SPE1-S1)에 인접하게 배치되고, 상기 제1 세로부(SLT1-V)는 제4 변(SPE1-S4)에 인접하게 배치된다. 상기 제1 가로부(SLT1-H)는 상기 제1 서브화소전극(SPE1)의 제1 변(SPE1-S1)에 실질적으로 평행하고, 상기 제1 세로부(SLT1-V)는 상기 제1 서브화소전극(SPE1)의 제4 변(SPE1-S4)에 실질적으로 평행할 수 있다.
- [0066] 상기 제1 가로부(SLT1-H)의 너비(HSW1)와 상기 제1 세로부(SLT1-V)의 너비(VSW1)는 서로 다르다. 도 4a에 도시된 것과 같이, 상기 제1 가로부(SLT1-H)의 너비(HSW1)가 상기 제1 세로부(SLT1-V)의 너비(VSW1)보다 클 수 있다. 한편, 상기 제1 가로부(SLT1-H)와 상기 제1 변(SPE1-S1)사이의 거리(HEW1)는 상기 제1 세로부(SLT1-V)와 상기 제4 변(SPE1-S4)사이의 거리(VEW1)에 실질적으로 동일할 수 있다.
- [0067] 도 4b에 도시된 것과 같이, 제1 서브화소전극(SPE1: 도 4a 참조)에 대응하는 상기 공통전극의 제1 부분(230-S1)은 제2 슬릿(SLT2)을 구비한다. 도 4b에 도시된 상기 공통전극의 테두리는 임의적으로 도시된 것이며, 상기 공통전극의 형상을 제한하지 않는다. 실질적으로 복수 개의 화소들(PX)을 구비한 액정표시장치는 하나의 공통전극을 갖고, 상기 화소들(PX) 각각에 대응하게 상기 제2 슬릿(SLT2)이 배치될 뿐이다.
- [0068] 상기 제2 슬릿(SLT2)은 상기 제1 서브화소전극(SPE1)의 상기 제1 내지 제4 변(SPE1-S1~SPE1-S4) 중 적어도 어느 하나에 평행하는 부분을 포함한다. 상기 제2 슬릿(SLT2)은 가로부(SLT2-H, 이하 제2 가로부)와 세로부(SLT2-V, 이하 제2 세로부)를 포함할 수 있다.
- [0069] 상기 제2 가로부(SLT2-H)와 상기 제2 세로부(SLT2-V)는 상기 제1 서브화소전극(SPE1)의 중심부에 대응하는 지점에서 교차할 수 있다. 상기 제2 가로부(SLT2-H)는 상기 가로축(RLH1: 도 4a 참조)의 일부에 대응하게 배치되고, 상기 제2 세로부(SLT2-V)는 상기 세로축(RLV1: 도 4a 참조)의 일부에 대응하게 배치된다. 다시 말해, 상기 제2

슬릿(SLT2)은 상기 제1 내지 제4 도메인들(DM1~DM4)의 경계의 적어도 일부에 대응하게 배치된다.

[0070] 상기 제2 가로부(SLT2-H)의 너비(HSW2)와 상기 제2 세로부(SLT2-V)의 너비(VSW2)는 동일할 수 있다.

[0071] 도 4c에 도시된 것과 같이, 상기 제1 내지 제4 도메인들(DM1~DM4)에 구비된 액정들의 평균 방향자들은 서로 다르다. 상기 액정들의 배향방향에 따라 나타나는 상기 제1 내지 제4 도메인들(DM1~DM4)의 상기 평균 방향자들은 점선으로 표시되었다. 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가됨에 따라 나타나는 상기 제1 내지 제4 도메인들(DM1~DM4)의 상기 평균 방향자들의 변화들을 상기 제1 도메인(DM1)을 기준으로 설명한다.

[0072] 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가되면 상기 제1 가로부(SLT1-H)와 상기 제1 세로부(SLT1-V)에서 발생하는 프린지 전계의 영향으로 상기 제1 도메인(DM1)의 평균 방향자의 방향은 바뀐다.

[0073] 도 4c에서 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가되었을 때 나타나는 상기 제1 도메인(DM1)의 상기 평균 방향자는 실선으로 표시되었다. 상기 제1 도메인(DM1)의 상기 평균 방향자는 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가되기 전보다 가로방향(D1)으로 치우친다. 상기 제2 내지 제4 도메인들(DM2~DM4)의 평균 방향자들 역시 가로방향(D1)으로 치우친다.

[0074] 도 5a는 도 4c의 II-II' 선에 따른 액정 방향자를 도시한 도면이고, 도 5b는 도 4c의 III-III' 선에 따른 액정 방향자를 도시한 도면이다. 도 5a와 도 5b를 참조하여 상기 제1 도메인(DM1)의 평균 방향자에 대해 좀더 상세히 설명한다.

[0075] 도 5a 및 도 5b에 도시된 것과 같이, 상기 제1 슬릿(SLT1)의 상기 제1 세로부(SLT1-V) 주변과 상기 제1 가로부(SLT1-H) 주변에는 프린지 전계들이 형성된다. 상기 제1 세로부(SLT1-V)를 중심으로 양방향으로 프린지 전계가 형성되고, 상기 제1 가로부(SLT1-H)를 중심으로 양방향으로 프린지 전계가 형성된다.

[0076] 상기 제1 세로부(SLT1-V) 주변과 상기 제1 가로부(SLT1-H) 주변에 형성된 상기 프린지 전계들의 세기는 상기 제1 세로부(SLT1-V)와 상기 제1 가로부(SLT1-H)의 너비들에 따라 다르다.

[0077] 상기 제1 세로부(SLT1-V)를 주변에 형성된 프린지 전계는 상기 제1 서브화소전극(SPE1)의 제4 변(SPE1-S4)에서 형성된 프린지 전계보다 상대적으로 약하기 때문에 상기 제1 세로부(SLT1-V) 주변에 배치된 액정 방향자들은 상기 제1 세로부(SLT1-V)와 소정의 각도를 이룬다.

[0078] 그에 비해, 상기 제1 세로부(SLT1-V)보다 큰 너비를 갖는 상기 제1 가로부(SLT1-H)의 주변에 형성된 프린지 전계는 상대적으로 세기 때문에, 즉, 상기 제1 서브화소전극(SPE1)의 제1 변(SPE1-S1)에서 형성된 프린지 전계와 대응하기 때문에 상기 제1 가로부(SLT1-H) 주변에 배치된 액정 방향자들은 상기 제1 가로부(SLT1-H)에 실질적으로 평행하게 배열된다.

[0079] 상기 제1 세로부(SLT1-V) 주변의 액정 방향자들과 상기 제1 가로부(SLT1-H) 주변의 액정 방향자들의 변화된 정도가 서로 다르기 때문에 상기 제1 서브화소(SPX1)의 평균 방향자의 방향이 바뀐다.

[0080] 상기 액정들의 배향 방향에 따른 액정들의 평균 방향자와 상기 제1 세로부(SLT1-V) 주변의 액정 방향자들의 합산된 백터값이 상기 액정들의 배향 방향에 따른 액정들의 평균 방향자와 상기 제1 가로부(SLT1-H) 주변의 액정 방향자들의 합산된 백터값보다 크기 때문에, 상기 제1 도메인(DM1)에 배치된 액정들의 평균 방향자는 상기 가로방향(D1)으로 치우친다. 즉, 상기 화소 전압이 인가됨에 따라 상기 제1 도메인(DM1)에 배치된 액정들의 평균 방향자는 상기 가로축(RLH1: 도 4a 참조)으로 치우친다.

[0081] 다만, 상기 제1 도메인(DM1)에 배치된 액정들의 평균 방향자가 필요 이상으로 상기 가로축에 치우치는 것을 방지하기 위해 상기 제1 가로부(SLT1-H)의 너비는 상기 제1 세로부(SLT1-V)의 너비의 3배 이하인 것이 바람직하다.

[0082] 상기 제1 내지 제4 도메인들(DM1~DM4)의 평균 방향자들이 상기 가로방향(D1)으로 치우침에 따라 상기 제1 서브화소(SPX1)의 휘도는 감소한다. 상기 제1 서브화소의 휘도가 감소함에 따라 상기 저계조 범위에서의 측면 시인성이 향상된다. 이에 대한 상세한 내용은 후술한다.

[0083] 도 6a는 도 1에 도시된 제2 서브화소전극의 평면도이고, 도 6b는 도 6a에 도시된 제2 서브화소전극에 대응하는 공통전극의 일부분을 도시한 평면도이며, 도 6c는 도 1에 도시된 제2 서브화소에 배치된 액정의 평균 방향자를 도시한 도면이다.

[0084] 도 6a에 도시된 것과 같이, 상기 제2 서브화소전극(SPE2)은 복수 개의 제3 슬릿들(SLT3)을 구비할 수 있다. 상

기 제3 슬릿들(SLT3)은 상기 제5 내지 제8 도메인들(DM5~DM8) 각각에 대응하게 배치된다. 여기서, 상기 제2 서브화소전극(SPE2)은 평면상에서 제1 내지 제4 변(SPE2-S1~SPE2-S4)으로 이루어진 직사각형일 수 있다.

[0085] 상기 제2 서브화소전극(SPE2)을 분할하는 가로축(RLH2)과 세로축(RLV2)에 따라 상기 제5 내지 제8 도메인들(DM5~DM8)은 동일한 면적을 가질 수 있다. 이하, 상기 제5 도메인(DM5)을 중심으로 하나의 제3 슬릿(SLT3)에 대해 상세히 검토한다.

[0086] 상기 제3 슬릿(SLT3)은 가로부(SLT3-H, 이하 제3 가로부)와 세로부(SLT3-V, 이하 제3 세로부)를 포함한다. 상기 제3 슬릿(SLT3)의 상기 제3 가로부(SLT3-H)는 상기 제2 서브화소전극(SPE2)의 제1 변(SPE2-S1)에 실질적으로 평행하며 인접하게 배치된다. 상기 제3 세로부(SLT3-V)는 상기 제2 서브화소전극(SPE2)의 제4 변(SPE2-S4)에 실질적으로 평행하며, 인접하게 배치된다.

[0087] 상기 제3 가로부(SLT3-H)의 너비(HSW3)와 상기 제3 세로부(SLT3-V)의 너비(VSW3)는 서로 다르다. 도 6a에 도시된 것과 같이, 상기 제3 가로부(SLT3-H)의 너비(HSW3)가 상기 제3 세로부(SLT3-V)의 너비(VSW3)보다 작을 수 있다. 한편, 상기 제3 가로부(SLT3-H)와 상기 제1 변(SPE2-S1)사이의 거리(HEW3)와 상기 제1 세로부(SLT1-V)와 상기 제4 변(SPE2-S4)사이의 거리(VEW3)는 동일할 수 있다.

[0088] 도 6b에 도시된 것과 같이, 제2 서브화소전극(SPE2: 도 6a 참조)에 대응하는 공통전극의 제2 부분(230-S2)은 제4 슬릿(SLT4)을 구비한다.

[0089] 상기 제4 슬릿(SLT4)은 가로부(SLT4-H, 이하 제4 가로부)와 세로부(SLT4-V, 이하 제4 세로부)를 포함할 수 있다. 상기 제4 가로부(SLT4-H)는 상기 가로축(RLH2: 도 6a 참조)의 일부에 대응하게 배치되고, 상기 제4 세로부(SLT4-V)는 상기 세로축(RLV2: 도 6a 참조)의 일부에 대응하게 배치된다. 상기 제4 가로부(SLT4-H)의 너비(HSW4)와 상기 제4 세로부(SLT4-V)의 너비(VSW4)는 동일할 수 있다.

[0090] 도 6c에 도시된 것과 같이, 상기 제5 내지 제8 도메인들(DM5~DM8)에 구비된 액정들의 평균 방향자들은 서로 다르다. 상기 액정들의 배향방향에 따라 나타나는 상기 제5 내지 제8 도메인들(DM5~DM8)의 상기 평균 방향자들은 점선으로 표시되었다. 상기 제2 서브화소전극(SPE2)에 상기 화소 전압이 인가되었을 때 나타나는 상기 제5 내지 제8 도메인들(DM5~DM8)의 상기 평균 방향자들은 실선으로 표시되었다. 이하, 상기 제5 도메인(DM5)을 중심으로 설명한다.

[0091] 상기 제3 가로부(SLT3-H)와 상기 제3 세로부(SLT3-V)에서 발생하는 프린지 전계의 영향으로 상기 제5 도메인(DM5)이 갖는 상기 액정들의 평균 방향자는 변한다.

[0092] 상기 제5 도메인(DM5)의 상기 평균 방향자는 상기 제2 서브화소전극(SPE2)에 상기 화소 전압이 인가되기 전보다 세로방향(D2)으로 치우친다. 즉, 상기 화소 전압이 인가됨에 따라 상기 제5 도메인(DM5)에 배치된 액정들의 평균 방향자는 상기 세로축(RLV2: 도 6a 참조)으로 치우친다.

[0093] 상기 제5 내지 제8 도메인들(DM5~DM8)의 상기 평균 방향자들이 상기 세로방향(D2)으로 치우침에 따라 상기 제2 서브화소(SPX2)의 휘도는 증가한다. 상기 제2 서브화소(SPX2)의 휘도가 증가함에 따라 상기 고계조 범위에서의 측면 시인성이 향상된다. 이에 대한 상세한 내용은 후술한다.

[0094] 한편, 다른 실시예에서 상기 제1 슬릿(SLT1)과 상기 제3 슬릿(SLT3) 중 어느 하나의 슬릿은 균일한 너비를 가질 수 있다. 예컨대, 상기 제3 슬릿(SLT3)의 제3 가로부(SLT3-H)의 너비(HSW3)와 상기 제3 세로부(SLT3-V)의 너비(VSW3)는 동일할 수 있다.

[0095] 도 7은 액정표시장치의 정면 감마 특성과 측면 감마 특성을 나타내는 그래프들을 도시하고 있다. 제1 그래프(G1)는 정면에서의 감마 특성을 나타내는 그래프이다. 제2 그래프(G2)와 제3 그래프(G3)는 측면에서의 감마 특성을 나타내는 그래프이다. 상기 제2 그래프(G2)는 상기 제1 슬릿의 너비와 상기 제3 슬릿의 너비가 각각 균일한 화소의 측면 감마 특성을 나타내며, 상기 제3 그래프(G3)는 본 실시예에 따른 화소의 측면 감마 특성을 나타낸다.

[0096] 상기 제1 그래프(G1)는 사용자가 화소에 나타나는 계조변화를 가장 잘 느끼는 감마값을 갖는다. 즉, 제1 그래프(G1)는 기준 감마 곡선이다. 상기 제3 그래프(G3)는 상기 제2 그래프(G2)보다 중간계조 이하의 영역(예컨대 40 계조 이하의 영역)에서 상기 제1 그래프(G1)와의 편차가 감소한다. 본 실시예에 따른 액정 표시장치의 상기 제1 서브화소의 휘도가 감소하기 때문이다.

[0097] 상기 제3 그래프(G3)는 상기 제2 그래프(G2)보다 중간계조 이상의 영역(예컨대 40 계조 이상의 영역)에서 상기

제1 그래프(G1)와의 편차가 감소한다. 본 실시예에 따른 액정 표시장치의 상기 제2 서브화소의 휘도가 증가하기 때문이다.

[0098] 본 실시예에 따른 화소는 측면에서의 감마특성이 정면에서의 감마특성에 근접하기 때문에 너비가 균일한 슬릿들을 포함하는 화소보다 측면 시인성이 좋다.

[0099] 아래의 표 1은 상기 제1 슬릿(SLT1) 및 상기 제3 슬릿(SLT3)의 너비에 따른 측면 시인성 지수를 나타낸다. 아래의 표 1에 표시된 수치들의 단위는 마이크로미터이다.

표 1

제1 슬릿(SLT1) (VEW1/VSW1:HEW1/HSW1)	제3 슬릿(SLT3) (VEW3/VSW3:HEW3/HSW3)	측면 시인성 지수
3/4:3/4	3/4:3/4	0.265
	3/5:3/4	0.262
	3/6:3/4	0.257
	3/7:3/4	0.255
3/4:3/5	3/4:3/4	0.264
	3/5:3/4	0.259
	3/6:3/4	0.255
	3/7:3/4	0.253

[0101] 상기 측면 시인성 지수는 정면 휘도에서 측면 휘도를 뺀 값을 상기 정면 휘도로 나눈 값으로부터 산출된다. 따라서, 측면 시인성 지수가 낮을수록 정면 휘도와 측면 휘도의 편차가 작다.

[0102] 상기 표 1에 나타난 것과 같이, 상기 제1 세로부(SLT1-V)의 너비(VSW1: 도 4a 참조)보다 큰 상기 제1 가로부(SLT1-H)의 너비(HSW1: 도 4a 참조)를 갖는 상기 제1 슬릿(SLT1)을 포함하는 화소가 상기 측면 시인성이 좋다.

[0103] 또한, 상기 제3 가로부(SLT3-H)의 너비(HSW3: 도 6a 참조)보다 큰 상기 제3 세로부(SLT3-V)의 너비(VSW3: 도 6a 참조)를 갖는 상기 제3 슬릿(SLT3)을 포함하는 화소가 상기 측면 시인성이 좋다. 상기 표 1로부터 상기 제3 세로부(SLT3-V)의 너비(VSW3)가 증가할수록 상기 측면 시인성이 향상되는 것을 도출할 수 있다.

[0104] 도 8a 내지 도 8c는 본 발명의 다른 실시예에 따른 제1 서브화소를 도시한 평면도이다. 도 4a 내지 도 4c에 도시된 제1 서브화소와 동일한 구성에 대한 상세한 설명은 생략한다.

[0105] 도 8a에 도시된 것과 같이, 상기 제1 서브화소전극(SPE1)은 상기 제1 슬릿들(SLT1)을 구비한다. 상기 제1 슬릿들(SLT1) 각각은 상기 제1 가로부(SLT1-H)와 상기 제1 세로부(SLT1-V, 이하 제1 세로부)를 포함한다. 본 실시예에 따른 상기 제1 서브화소전극(SPE1)은 도 4a를 참조하여 설명한 상기 제1 서브화소전극(SPE1)과 동일하다.

[0106] 도 8b에 도시된 것과 같이, 제1 서브화소전극(SPE1: 도 4a 참조)에 대응하는 공통전극의 제1 부분(230-S10)은 제2 슬릿(SLT20)을 구비한다.

[0107] 상기 제2 슬릿(SLT20)은 상기 제2 가로부(SLT20-H)와 상기 제2 세로부(SLT20-V)를 포함한다. 상기 제2 가로부(SLT20-H)는 상기 가로축(RLH1: 도 8a 참조)의 일부에 대응하게 배치되고, 상기 제2 세로부(SLT20-V)는 상기 세로축(RLV1: 도 8a 참조)의 일부에 대응하게 배치된다.

[0108] 상기 제2 세로부(SLT20-V)의 너비(VSW20)는 상기 제2 가로부(SLT20-H)의 너비(HSW20)보다 크다.

[0109] 도 8c에서 상기 액정들의 배향방향에 따른 상기 제1 도메인(DM1)의 평균 방향자는 점선으로 표시되었다. 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가되었을 때 나타나는 상기 제1 도메인(DM1)의 상기 평균 방향자는 실선으로 표시되었다.

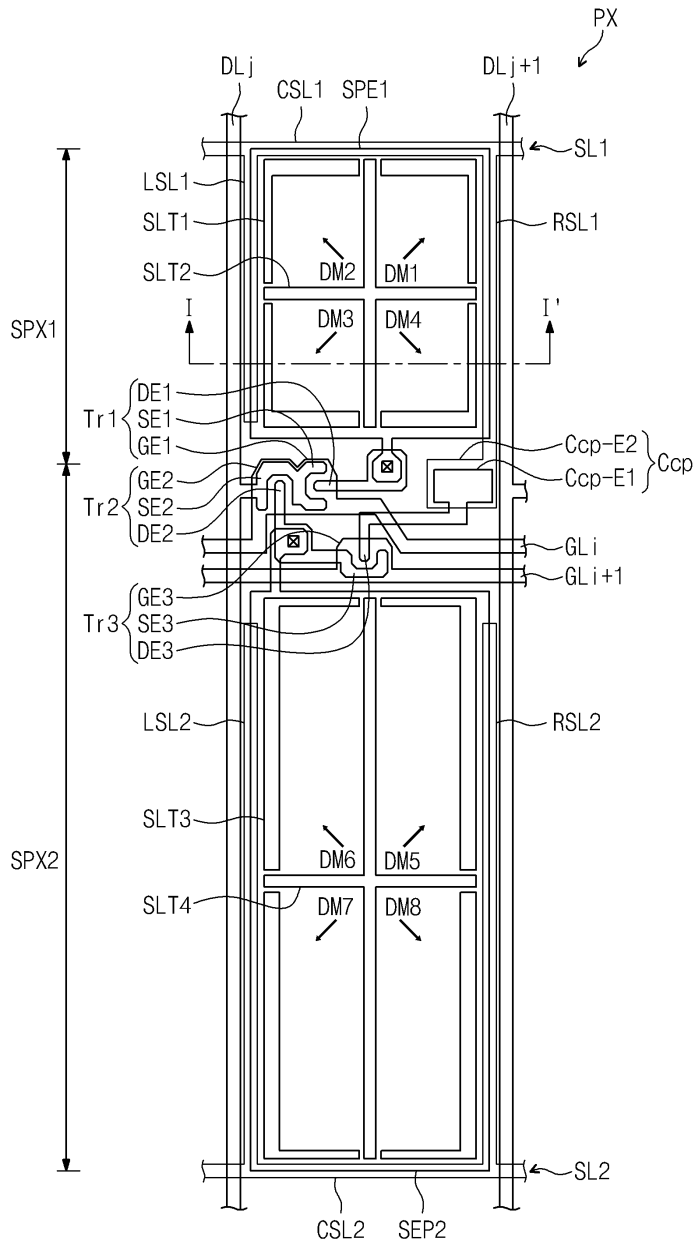
[0110] 상기 제1 도메인(DM1)의 상기 평균 방향자는 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가되기 전보다 가로방향(D1: 도 8a 참조)으로 치우친다. 본 실시예에서 상기 제1 서브화소전극(SPE1)에 상기 화소 전압이 인가된 이후의 상기 제1 도메인(DM1)의 상기 평균 방향자는 도 4c에서 실선으로 도시된 상기 제1 도메인(DM1)의 상기 평균 방향자보다 상기 가로방향(D1: 도 8a 참조)으로 더 치우친다.

- [0111] 상기 액정들의 배향 방향에 따른 액정들의 평균 방향자와 상기 제2 가로부(SLT20-H) 주변의 액정 방향자들의 합산된 벡터값이 상기 액정들의 배향 방향에 따른 액정들의 평균 방향자와 상기 제2 세로부(SLT20-V) 주변의 액정 방향자들의 합산된 벡터값보다 크기 때문이다.
- [0112] 상기 제1 내지 제4 도메인들(DM1~DM4)의 평균 방향자들이 상기 가로방향(D1)으로 좀 더 치우침에 따라 상기 제1 서브화소(SPX1)의 휘도는 좀 더 감소하고, 상기 저계조 범위에서의 측면 시인성이 향상된다.
- [0113] 한편, 다른 실시예에서 상기 제1 가로부(SLT1-H)의 너비(HSW1)와 상기 제1 세로부(SLT1-V)의 너비(VSW1)는 서로 동일할 수 있다.
- [0114] 또 다른 실시예에서 상기 고계조 범위에서의 측면 시인성을 향상시키기 위해 상기 제2 서브화소(SPX2)는 상기 세로방향(D2)으로 좀 더 치우친 상기 평균 방향자를 가질 수 있다. 상기 제2 서브화소(SPX2)는 상기 제4 세로부(SLT4-V: 도 6b 참조)보다 큰 너비를 갖는 상기 제4 가로부(SLT4-H: 도 6b 참조)를 갖는 상기 제4 슬릿(SLT4)을 포함할 수 있다.
- [0115] 도 9a 내지 도 9c는 본 발명의 다른 실시예에 따른 제2 서브화소를 도시한 평면도이다. 도 6a 내지 도 6c에 도시된 제2 서브화소와 동일한 구성에 대한 상세한 설명은 생략한다.
- [0116] 도 9a에 도시된 것과 같이, 상기 제2 서브화소전극(SPE20)은 복수 개의 제3 슬릿들(SLT3, SLT30)을 구비할 수 있다. 복수 개의 제3 슬릿들(SLT3, SLT30) 각각은 제3 가로부(SLT3-H, SLT30)와 제3 세로부(SLT3-V, SLT3-V)를 포함한다.
- [0117] 상기 제3 슬릿들(SLT3, SLT30)은 형상이 서로 상이한 이중으로 구분된다. 그 중 제1 종의 제3 슬릿들(SLT3) 각각은 제3 가로부(SLT3-H)와 제3 세로부(SLT3-V)가 단부들에서 연결된다. 제2 종의 제3 슬릿들(SLT30)은 상기 제3 가로부(SLT30-H)의 단부와 제3 세로부(SLT30-V)의 중심이 연결된다.
- [0118] 상기 제2 종의 제3 슬릿들(SLT30)의 상기 제3 가로부들(SLT30-H)은 상기 제2 서브화소전극(SPE20)을 분할하는 가로축(RLH20)에 대응하게 배치된다.
- [0119] 상기 제1 종의 제3 슬릿들(SLT3)의 제3 가로부들(SLT3-H)은 상기 제2 서브화소전극(SPE20)의 가로변들(SPE20-S1, SPE20-S3)에 마주하게 배치된다. 상기 제2 서브화소전극(SPE20)은 상기 가로축(RLH20)을 중심으로 양측에 상기 제5 내지 제8 도메인들(DM5~DM8)이 각각 정의된다.
- [0120] 도 9b에 도시된 것과 같이, 제2 서브화소전극(SPE2: 도 6a 참조)에 대응하는 공통전극의 상기 제2 부분(230-S20)은 제4 슬릿(SLT40)을 구비한다.
- [0121] 상기 제4 슬릿(SLT40)은 복수 개의 제4 가로부들(SLT40-H1, SLT40-H2)과 제4 세로부(SLT40-V)를 포함할 수 있다. 도 9b에서는 2개의 제4 가로부들(SLT40-H1, SLT40-H2)을 구비한 상기 제4 슬릿(SLT40)을 예시적으로 도시하였다.
- [0122] 상기 2개의 제4 가로부들(SLT40-H1, SLT40-H2)은 상기 가로축(RLH20)을 중심으로 양측에 배치된다. 상기 2개의 제4 가로부들(SLT40-H1, SLT40-H2) 각각은 상기 제5 및 6 도메인(DM5, DM6: 도 9a 참조)과 상기 제7 및 8 도메인(DM7, DM8: 도 9a 참조)의 경계에 배치된다. 상기 제4 세로부(SLT40-V)는 상기 세로축(RLV20: 도 9a 참조)의 일부에 대응하게 배치된다.
- [0123] 본 실시예에 따른 상기 제2 서브화소(SPX20)는 도 6c에 도시된 제2 서브화소(SPX2)에 비해 더 많은 개수의 도메인들로 구분된다. 도 9c에 도시된 것과 같이 2쌍의 상기 제5 내지 제8 도메인들(DM5~DM8)로 구분될 수 있다.
- [0124] 도 6c에 도시된 상기 제5 내지 제8 도메인들(DM5~DM8)과 같이, 상기 2쌍의 상기 제5 내지 제8 도메인들(DM5~DM8)의 평균 방향자들은 세로방향(D2)으로 치우친다.
- [0125] 다른 실시예에서, 상기 제1 서브화소(SPX1) 역시 상기 제1 슬릿(SLT1)과 상기 제2 슬릿(SLT2)의 형상을 변형하여 더 많은 개수의 도메인들로 구분될 수 있다.
- [0126] 도 10은 본 발명의 다른 실시예에 따른 화소를 도시한 평면도이고, 도 11은 도 10에 도시된 화소의 등가회로도이다.
- [0127] 본 실시예에 따른 액정표시장치의 화소(PX10)는 도 1 및 도 2에 도시된 화소(PX)와 달리 상기 제1 및 제2 서브화소들(SPX1, SPX2)을 포함하지 않는다. 도 10 및 도 11에 도시된 화소(PX10)는 실질적으로 도 1 및 도 2에 도시된 제1 서브화소(SPX1)와 동일한 구성을 갖는다.

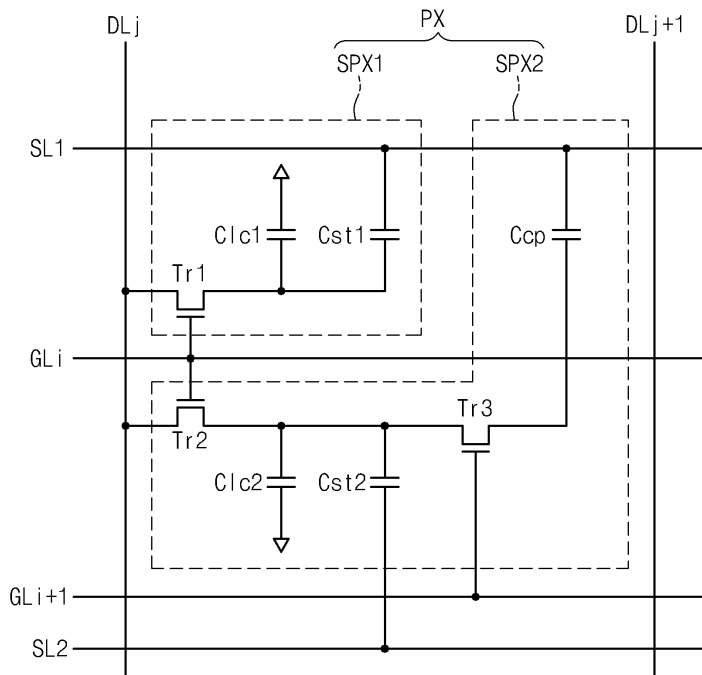
[illegible]

도면

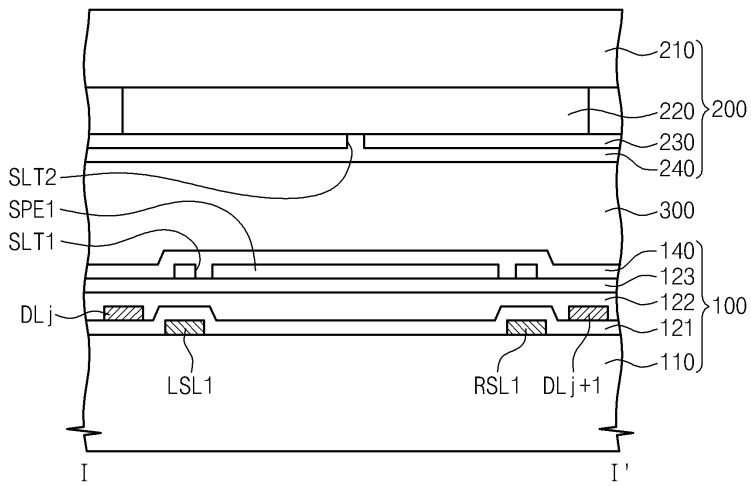
도면1



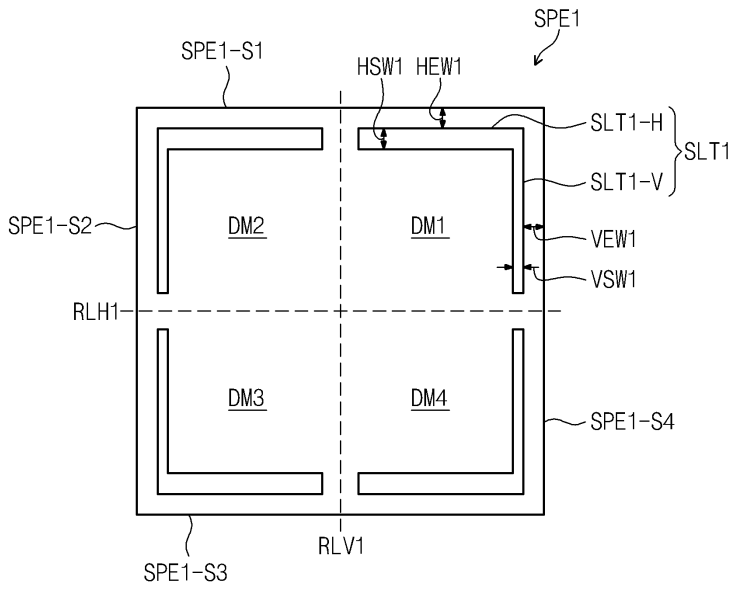
도면2



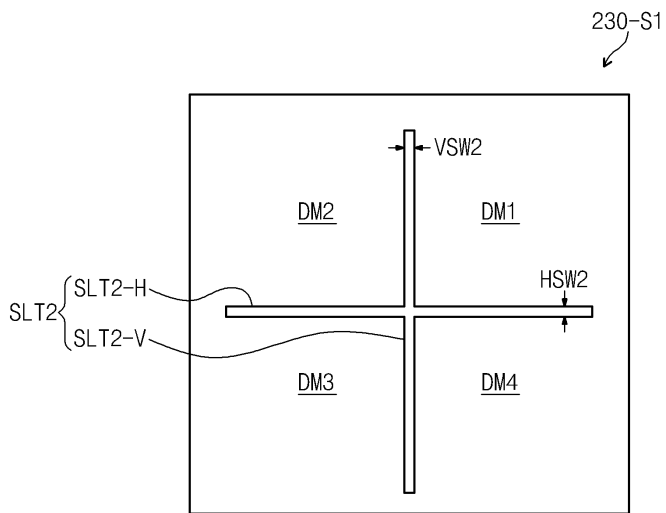
도면3



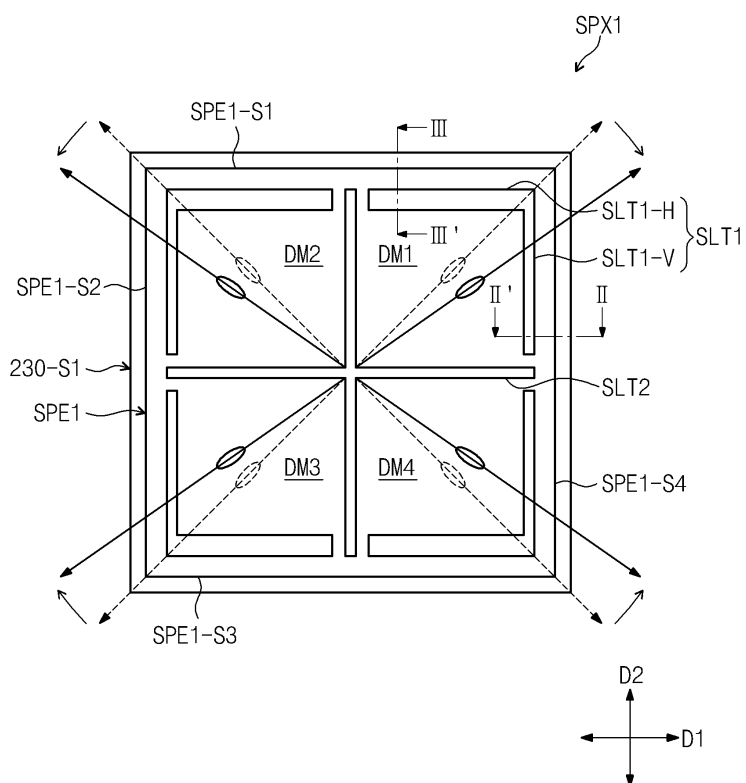
도면4a



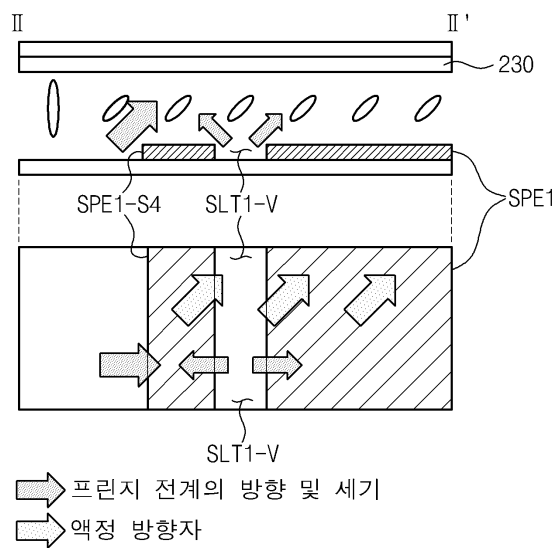
도면4b



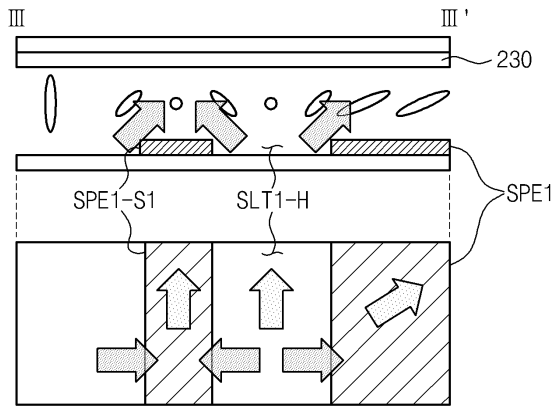
도면4c



도면5a

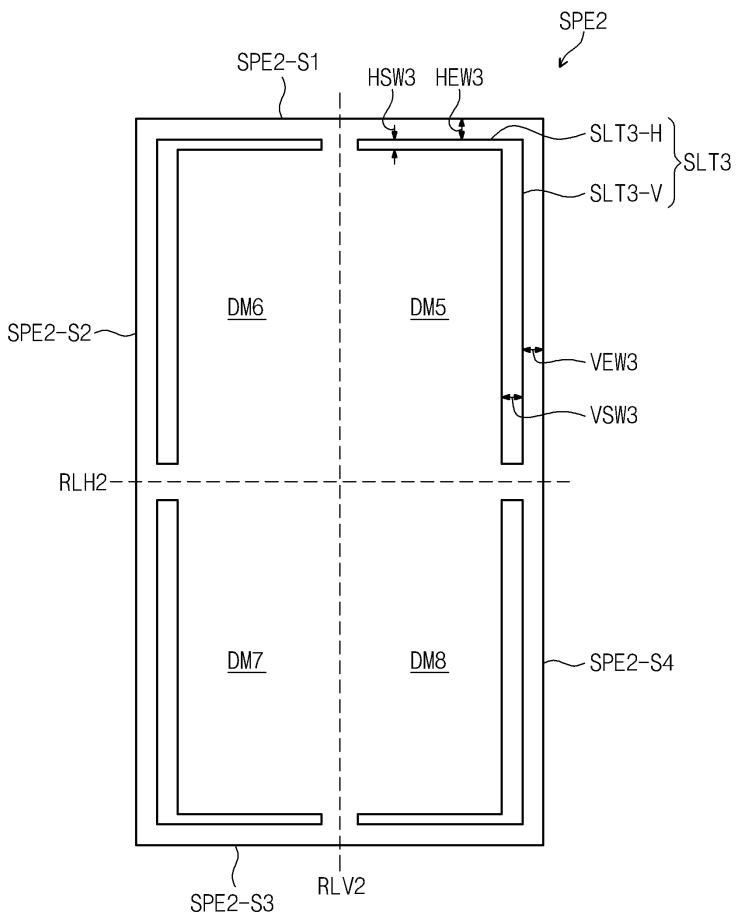


도면5b

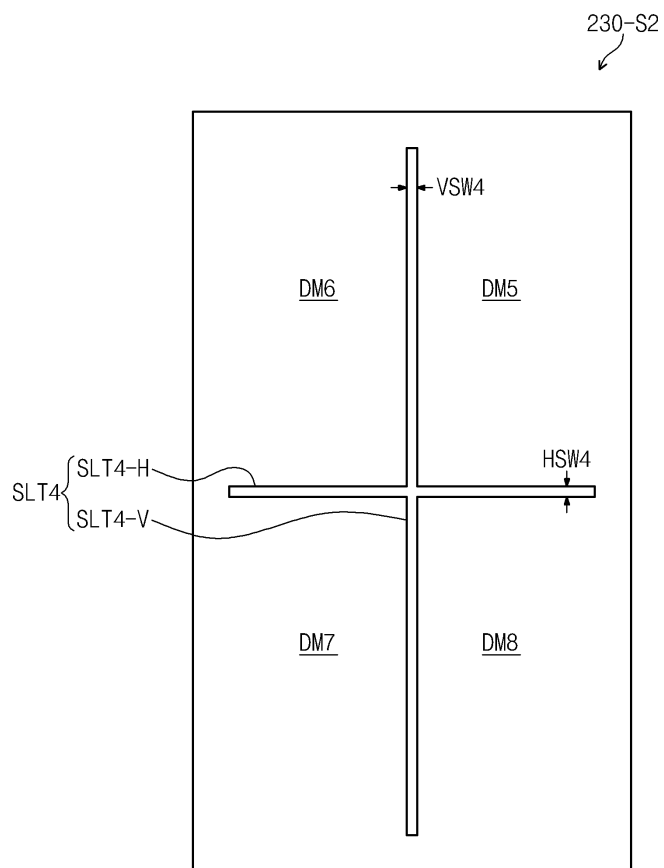


 프린지 전계의 방향 및 세기
 엑정 방향자

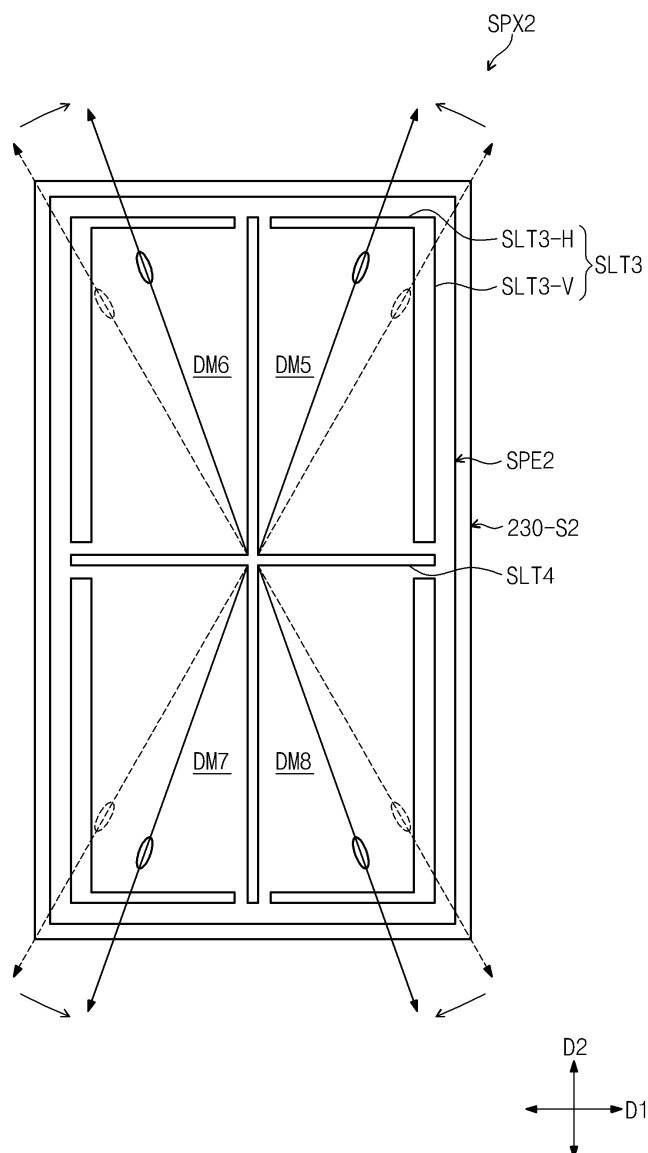
도면6a



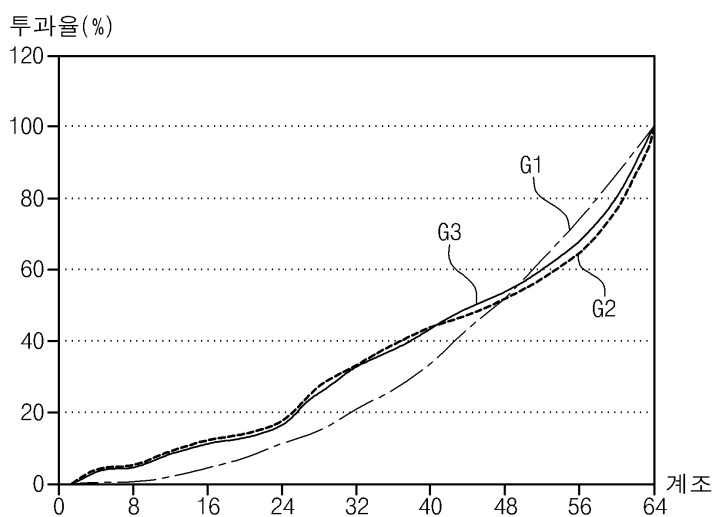
도면6b



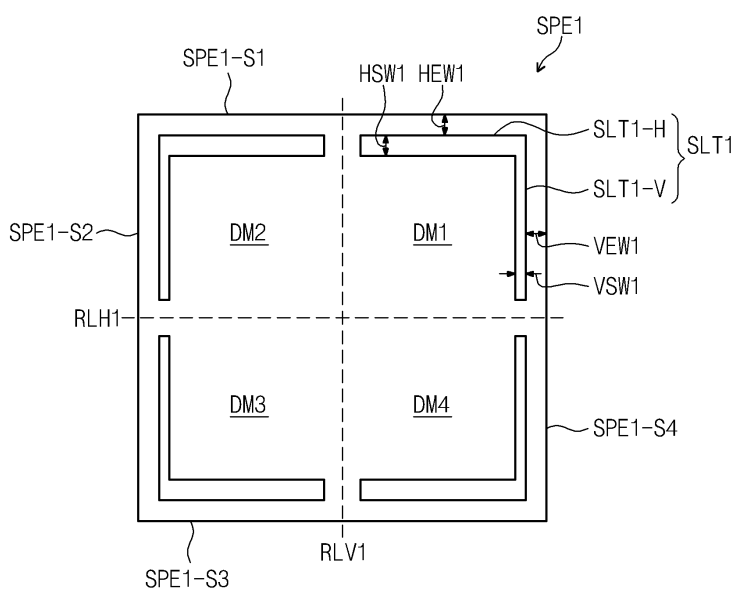
도면6c



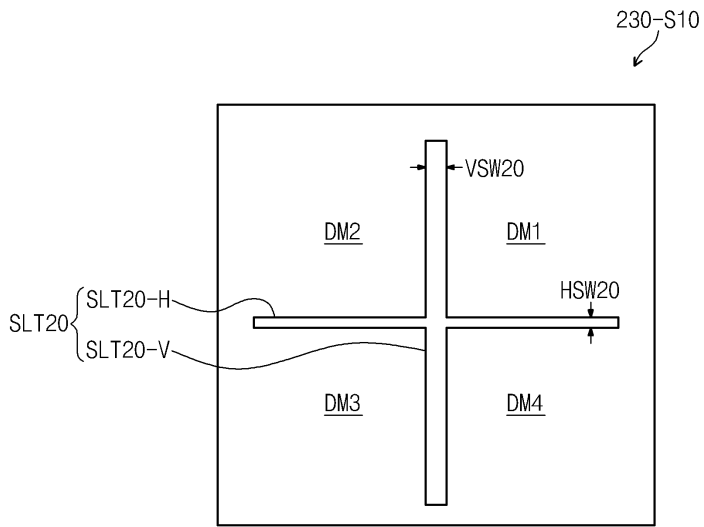
도면7



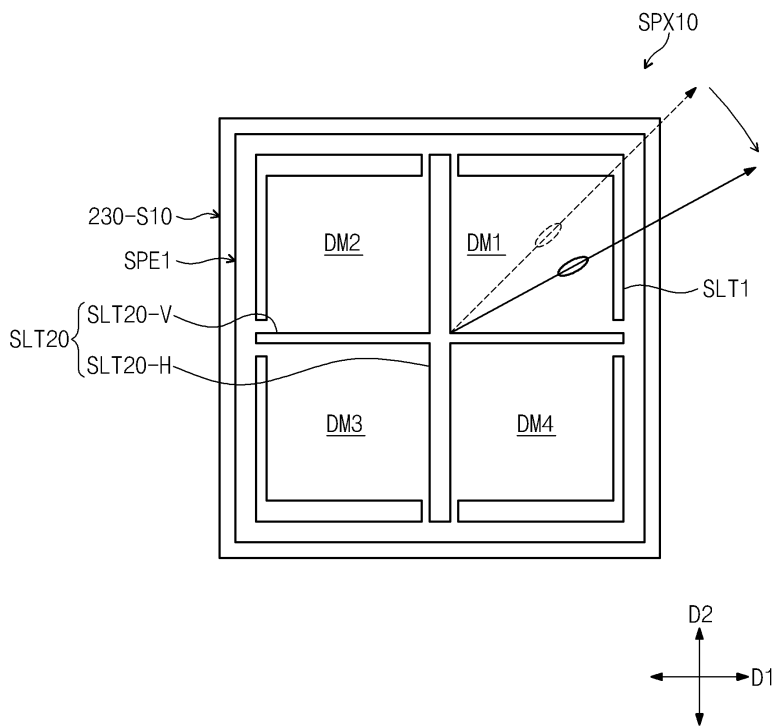
도면8a



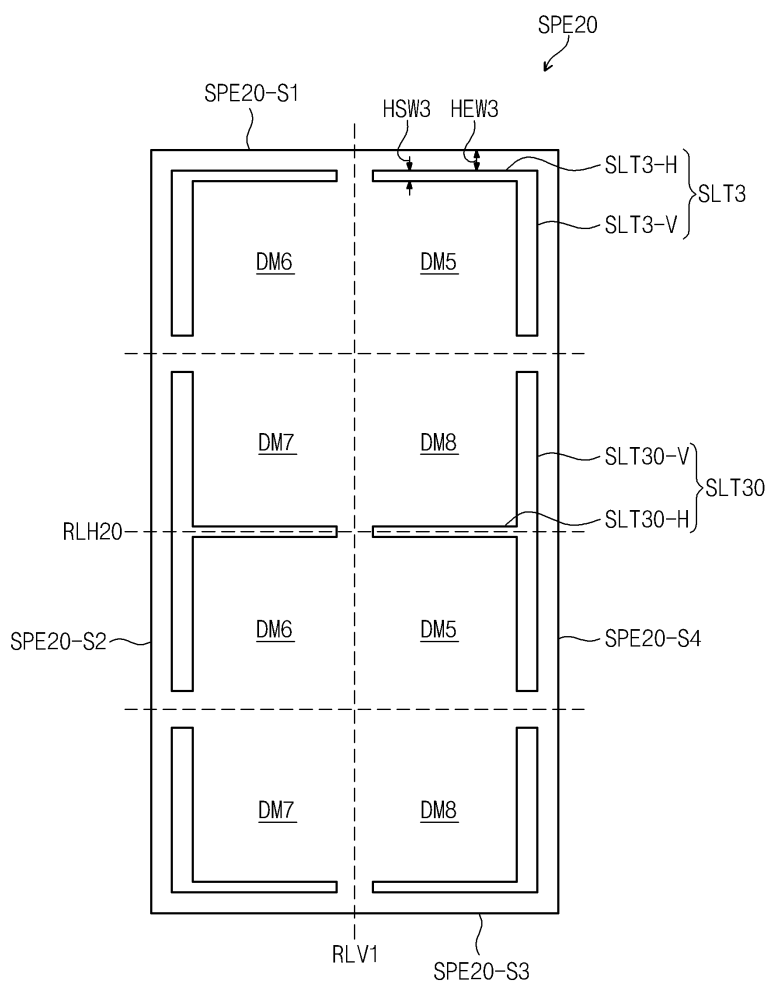
도면8b



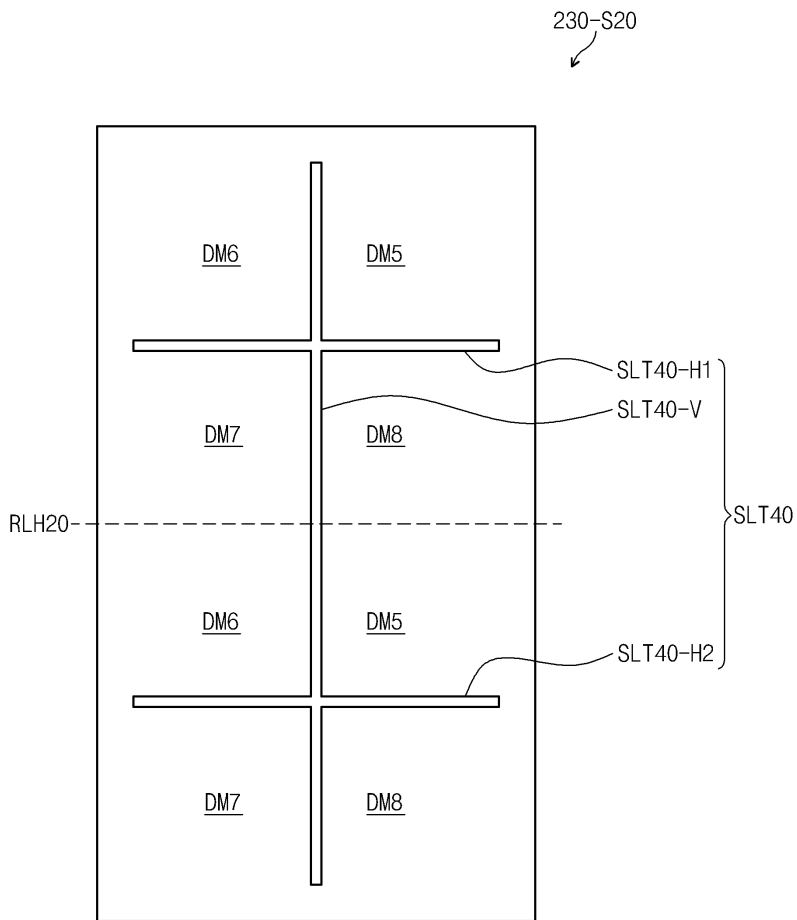
도면8c



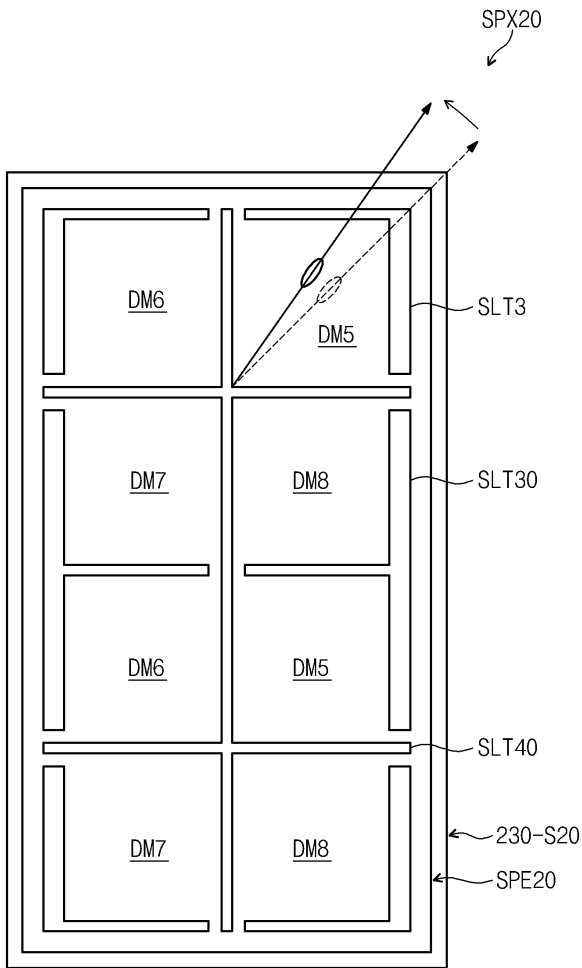
도면9a



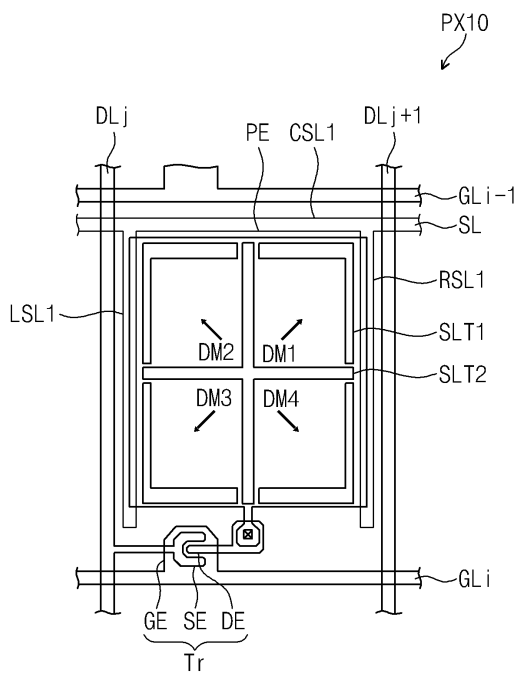
도면9b



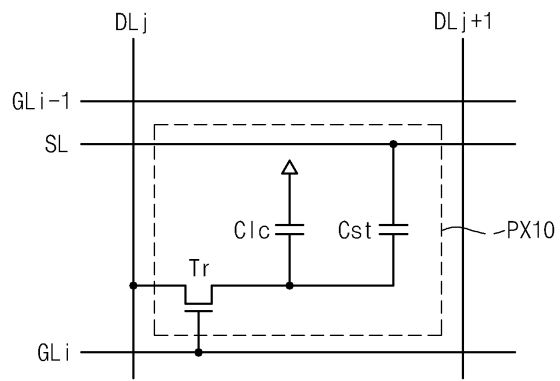
도면9c



도면10



도면11



专利名称(译)	液晶显示		
公开(公告)号	KR1020130104830A	公开(公告)日	2013-09-25
申请号	KR1020120026715	申请日	2012-03-15
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YUN SUNG JAE 윤성재 KWON OHJEONG 권오정 PARK JAE HONG 박재홍 JIANG SHUAI 강수 PARK KYUNGHYE 박경혜 YOON JOOYOUNG 윤주영 LEE HYEOKJIN 이혁진		
发明人	윤성재 권오정 박재홍 강수 박경혜 윤주영 이혁진		
IPC分类号	G02F1/1343		
其他公开文献	KR102022566B1		
外部链接	Espacenet		

摘要(译)

根据本发明的示例性实施方式的液晶显示器包括至少一个像素。像素包括充电第一电压的第一子像素和充电不同于第一电压的第二电压的第二子像素。提供给第一子像素的第一子像素电极和提供给第二子像素的第二子像素电极包括根据方向具有不同宽度的狭缝。通过狭缝，第一子像素和第二子像素的平均指向矢在水平方向或垂直方向上倾斜。结果，改善了液晶显示器的侧面可视性。

