

(11) 공개번호 10-2013-0043637
(43) 공개일자 2013년04월30일

특허청구의 범위

청구항 1

게이트 드라이버 온 어레이 (gate driver on array)에 있어서,

제1 박막 전계 효과 트랜지스터 (TFT)로서, 제1 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 입력 단자에 연결되며, 제1 TFT의 드레인은 전력 공급 전압 단자 (VDD)에 연결되며, 그리고 제1 TFT의 소스는 풀링-업 (pulling-up) 노드인 제1 노드에 연결된, 제1 TFT;

제2 TFT로서, 제2 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 리셋 단자에 연결되며, 제2 TFT의 소스는 공통 접속 전압 단자 (VSS)에 연결되며, 그리고 제2 TFT의 드레인은 상기 제1 노드에 연결된, 제2 TFT;

제3 TFT로서, 제3 TFT의 게이트는 상기 제1 노드에 연결되며, 제3 TFT의 드레인은 제1 클록 신호 입력 단자에 연결되며, 그리고 제3 TFT의 소스는 출력 단자에 연결된, 제3 TFT;

제4 TFT로서, 제4 TFT의 게이트는 제2 클록 신호 입력 단자에 연결되며, 제4 TFT의 드레인은 상기 출력 단자에 연결되며, 그리고 제4 TFT의 소스는 저 전압 신호 단자에 연결된, 제4 TFT;

상기 제1 노드와 상기 출력 단자 사이에 연결된 커패시터; 및

상기 제1 클록 신호 입력 단자, 상기 제2 클록 신호 입력 단자, 상기 제1 노드 및 상기 출력 단자 사이에 연결되며, 그리고 상기 저 전압 신호 단자에 연결되어, 상기 게이트 드라이버 온 어레이의 비-동작 주기 동안에 상기 제1 노드 및 상기 출력 단자가 상기 낮은 레벨에 있도록 하는, 풀링-다운 모듈;을 포함하는, 게이트 드라이버 온 어레이.

청구항 2

제1항에 있어서, 상기 풀링 다운 모듈은:

제5 TFT로서, 제5 TFT의 드레인은 상기 제2 클록 신호 입력 단자에 연결되며, 그리고 제5 TFT의 소스는 풀링-다운 노드인 제2 노드에 연결된, 제5 TFT;

제6 TFT로서, 제6 TFT의 드레인은 상기 제2 노드에 연결되며, 제6 TFT의 게이트는 상기 제1 노드에 연결되며, 그리고 제6 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제6 TFT;

제7 TFT로서, 제7 TFT의 게이트와 드레인은 상기 제2 클록 신호 입력 단자에 같이 연결되며, 그리고 제7 TFT의 소스는 상기 제5 TFT의 게이트에 연결된, 제7 TFT;

제8 TFT로서, 제8 TFT의 드레인은 상기 제7 TFT의 소스에 연결되며, 제8 TFT의 게이트는 상기 제1 노드에 연결되고, 그리고 제8 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제8 TFT;

제9 TFT로서, 제9 TFT의 드레인은 상기 제1 노드에 연결되고, 제9 TFT의 게이트는 상기 제2 노드에 연결되고, 그리고 제9 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제9 TFT; 그리고

제10 TFT로서, 제10 TFT의 드레인은 상기 출력 단자에 연결되며, 제10 TFT의 게이트는 상기 제2 노드에 연결되고, 그리고 제10 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제10 TFT를 포함하는, 게이트 드라이버 온 어레이.

청구항 3

제1항에 있어서,

상기 게이트 드라이버 온 어레이가 홀수 행에 대응하는 게이트 신호를 제어하기 위해서 사용될 때에, 상기 게이트 드라이버 온 어레이의 상기 제1 클록 신호 입력 단자는 상기 제1 클록 신호 라인에 연결되고, 그리고 상기 게이트 드라이버 온 어레이의 제2 클록 신호 입력 단자는 상기 제2 클록 신호 라인에 연결되며;

상기 게이트 드라이버 온 어레이가 짝수 행에 대응하는 게이트 신호를 제어하기 위해서 사용될 때에, 상기 게이트 드라이버 온 어레이의 제2 클록 신호 입력 단자는 상기 제1 클록 신호 라인에 연결되며, 그리고 상기 게이트 드라이버 온 어레이의 제1 클록 신호 입력 단자는 상기 제2 클록 신호 라인에 연결되는, 게이트 드라이버 온 어

레이.

청구항 4

시프팅 레지스터 (shifting register)로서,

복수의 게이트 드라이버 온 어레이를 포함하며,

상기 게이트 드라이버 온 어레이 각각은 각 행의 게이트 신호를 제어하기 위해서 사용되며, 이 경우에

N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 입력 단자는 (N-1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자에 연결되며, N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자는 (N+1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 입력 단자에 연결되며, 그리고 N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 리셋 단자는 (N+1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자에 연결되며, 이 경우 N은 2와 같거나 또는 2보다 더 크며,

상기 게이트 드라이버 온 어레이 각각은:

제1 박막 전계 효과 트랜지스터 (TFT)로서, 제1 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 입력 단자에 연결되며, 제1 TFT의 드레인 전극은 전압 공급 전압 단자 (VDD)에 연결되며, 그리고 제1 TFT의 소스는 풀링-업 (pulling-up) 노드인 제1 노드에 연결된, 제1 TFT;

제2 TFT로서, 제2 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 리셋 단자에 연결되며, 제2 TFT의 소스는 공통 접속 전압 단자 (VSS)에 연결되며, 그리고 제2 TFT의 드레인 전극은 상기 제1 노드에 연결된, 제2 TFT;

제3 TFT로서, 제3 TFT의 게이트는 상기 제1 노드에 연결되며, 제3 TFT의 드레인 전극은 제1 클록 신호 입력 단자에 연결되며, 그리고 제3 TFT의 소스는 출력 단자에 연결된, 제3 TFT;

제4 TFT로서, 제4 TFT의 게이트는 제2 클록 신호 입력 단자에 연결되며, 제4 TFT의 드레인 전극은 상기 출력 단자에 연결되며, 그리고 제4 TFT의 소스는 저 전압 신호 단자에 연결된, 제4 TFT;

상기 제1 노드와 상기 출력 단자 사이에 연결된 커패시터; 및

상기 제1 클록 신호 입력 단자, 상기 제2 클록 신호 입력 단자, 상기 제1 노드 및 상기 출력 단자 사이에 연결되며, 그리고 상기 저 전압 신호 단자에 연결되어, 상기 게이트 드라이버 온 어레이의 비-동작 주기 동안에 상기 제1 노드 및 상기 출력 단자가 상기 낮은 레벨에 있도록 하는, 풀링-다운 모듈;을 포함하는, 시프팅 레지스터.

청구항 5

제4항에 있어서, 상기 풀링 다운 모듈은:

제5 TFT로서, 제5 TFT의 드레인 전극은 상기 제2 클록 신호 입력 단자에 연결되며, 그리고 제5 TFT의 소스는 풀링-다운 노드인 제2 노드에 연결된, 제5 TFT;

제6 TFT로서, 제6 TFT의 드레인 전극은 상기 제2 노드에 연결되며, 제6 TFT의 게이트는 상기 제1 노드에 연결되며, 그리고 제6 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제6 TFT;

제7 TFT로서, 제7 TFT의 게이트와 드레인 전극은 상기 제2 클록 신호 입력 단자에 같이 연결되며, 그리고 제7 TFT의 소스는 상기 제5 TFT의 게이트에 연결된, 제7 TFT;

제8 TFT로서, 제8 TFT의 드레인 전극은 상기 제7 TFT의 소스에 연결되며, 제8 TFT의 게이트는 상기 제1 노드에 연결되고, 그리고 제8 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제8 TFT;

제9 TFT로서, 제9 TFT의 드레인 전극은 상기 제1 노드에 연결되고, 제9 TFT의 게이트는 상기 제2 노드에 연결되고, 그리고 제9 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제9 TFT; 그리고

제10 TFT로서, 제10 TFT의 드레인 전극은 상기 출력 단자에 연결되며, 제10 TFT의 게이트는 상기 제2 노드에 연결되고, 그리고 제10 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제10 TFT를 포함하는, 시프팅 레지스터.

청구항 6

제5항에 있어서,

상기 게이트 드라이버 온 어레이가 홀수 행에 대응하는 게이트 신호를 제어하기 위해서 사용될 때에, 상기 게이트 드라이버 온 어레이의 상기 제1 클록 신호 입력 단자는 상기 제1 클록 신호 라인에 연결되고, 그리고 상기 게이트 드라이버 온 어레이의 제2 클록 신호 입력 단자는 상기 제2 클록 신호 라인에 연결되며;

상기 게이트 드라이버 온 어레이가 짝수 행에 대응하는 게이트 신호를 제어하기 위해서 사용될 때에, 상기 게이트 드라이버 온 어레이의 제2 클록 신호 입력 단자는 상기 제1 클록 신호 라인에 연결되며, 그리고 상기 게이트 드라이버 온 어레이의 제1 클록 신호 입력 단자는 상기 제2 클록 신호 라인에 연결되는, 시프팅 레지스터.

청구항 7

제6항에 있어서,

홀수 행에 대응하는 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이에 관련하여,

포워드 스캔이 개시될 때에 상기 VDD는 일정한 고 레벨을 제공하고 그리고 상기 VSS는 일정한 저 레벨을 제공하며,

상기 게이트 드라이버 온 어레이의 입력 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제1 TFT의 드레인을 경유하여 상기 제1 노드가 충전되며;

상기 제1 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해서 제어되며;

상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며;

상기 제2 TFT의 게이트에 연결된 상기 리셋 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며;

상기 제2 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며;

상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어되는, 시프팅 레지스터.

청구항 8

제6항에 있어서,

짝수 행에 대응하는 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이에 관련하여,

포워드 스캔이 개시될 때에 상기 VDD는 일정한 고 레벨을 제공하고 그리고 상기 VSS는 일정한 저 레벨을 제공하며,

상기 게이트 드라이버 온 어레이의 입력 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제1 TFT의 드레인을 경유하여 상기 제1 노드가 충전되며;

상기 제1 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해서 제어되며;

상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며;

상기 제2 TFT의 게이트에 연결된 상기 리셋 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며;

상기 제2 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며;

상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어되는, 시프팅 레지스터.

청구항 9

제6항에 있어서,

홀수 행에 대응하는 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이에 관련하여,

백워드 스캔이 개시될 때에 상기 VDD는 일정한 저 레벨을 제공하고 그리고 상기 VSS는 일정한 고 레벨을 제공하며,

상기 게이트 드라이버 온 어레이의 리셋 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제2 TFT의 소스를 경유하여 상기 제1 노드가 방전되며;

상기 제1 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해서 제어되며;

상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며;

상기 제1 TFT의 게이트에 연결된 상기 입력 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며;

상기 제2 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며;

상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어되는, 시프팅 레지스터.

청구항 10

제6항에 있어서,

짝수 행에 대응하는 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이에 관련하여,

백워드 스캔이 개시될 때에 상기 VDD는 일정한 저 레벨을 제공하고 그리고 상기 VSS는 일정한 고 레벨을 제공하며,

상기 게이트 드라이버 온 어레이의 리셋 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제2 TFT의 소스를 경유하여 상기 제1 노드가 방전되며;

상기 제1 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해서 제어되며;

상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며;

상기 제1 TFT의 게이트에 연결된 상기 입력 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며;

상기 제2 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며;

상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어되는, 시프팅 레지스터.

청구항 11

제4항 내지 제10항 중 어느 한 항의 시프팅 레지스터 및 어레이 기판을 포함하며,

상기 시프팅 레지스터의 신호 출력 단자는 상기 어레이 기판의 게이트 라인과 연결된, 디스플레이 스크린.

명세서

기술분야

[0001] 본 발명은 액정 디스플레이의 기술적인 분야에 관련되며, 상세하게는, 게이트 드라이버 온 어레이, 시프팅 레지스터 및 디스플레이 스크린에 관련된다.

배경 기술

- [0002] 게이트 드라이버 온 어레이 (Gate Drive on Array (GOA))는 유리 기판 상에 LCD (Liquid Crystal Display)의 게이트 드라이버를 집적하는 것을 언급한다. 그러면 상기 GOA는 어레이 기판의 게이트들에 연결되어 게이트 신호들을 시프팅 (shifting) 레지스터로서 제어한다. 통상적인 COF (Chip on Film) 및 COG (Chip on Glass) 프로세스들과 비교하면, GOA 기술은 비용을 절약시켜준다.
- [0003] 그러나, 종래 기술에서 상기 GOA 패널의 스캔 방향은 단일 방향일 뿐이며, 예를 들면, 스캔은 위에서 아래로 수행되며 또는 아래에서 위로 수행된다. 종래 기술에서 단일 방향 스캔을 구비한 GOA 회로를 예시하는 도 1에서 보이는 것처럼, 상기 GOA 회로의 동작 원칙은 다음과 같다: 입력 단자에서의 신호 INPUT이 고 레벨 (high level)이면, TFT (Thin Film Transistor) M1이 턴 온 (turn on)되어 PU 노드를 충전시킨다; 클록 신호 CLK가 고 레벨에 있을 때에, M3이 턴 온 되고 그리고 출력 단자 OUTPUT 은 상기 CLK의 펄스 신호를 출력한다; 동시에, 상기 PU 노드가 커패시터 C1의 부트스트랩 영향 (bootstrapping effect)에 의해서 풀-업되며; 이어서, 리셋 단자 RESET는 고 레벨에 있으며, 그래서 상기 PU 노드 및 상기 OUTPUT을 방전시키기 위해서 TFT들 M2 및 M4는 턴 온 되며; 다음에, PD 노드가 클록 신호 CLKB에 의해서 제어되어 상기 PU 노드 및 상기 OUTPUT을 방전하도록 하며, 그래서 비-동작 주기에서 상기 GOA 회로에서 어떤 잡음도 발생하지 않는 것이 확실하도록 한다. 시스템 단말을 사용하면서 그런 패널이 같이 사용되면, 상이한 시스템 단말들의 IC들은 차이가 있기 때문에 (IC는 상향 (upward)이거나 또는 하향 (downward)이다), 때로는 이미지를 역전시키기 위해서 소프트웨어를 다시 디버그해야 할 필요가 있으며, 이는 여러 불편함을 초래한다.

발명의 내용

해결하려는 과제

- [0004] 본 발명의 과제는 상기와 같은 문제점이나 불편함을 제거하기 위한 게이트 드라이버 온 어레이 (GOA), 시프팅 레지스터 및 디스플레이 스크린을 제공하는 것이다.

과제의 해결 수단

- [0005] 본 발명의 실시예에 따른 게이트 드라이버 온 어레이 (GOA), 시프팅 레지스터 및 디스플레이 스크린은 상기 GOA의 양 방향 스캔을 달성하고 그리고 상기 게이트 드라이버 온 어레이의 안정성을 보증한다.
- [0006] 본 발명의 개시의 상기 실시예들에 따른 게이트 드라이버 온 어레이는:
- [0007] 제1 박막 전계 효과 트랜지스터 (TFT)로서, 그 제1 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 입력 단자에 연결되며, 그 제1 TFT의 드레인은 전력 공급 전압 단자 (VDD)에 연결되며, 그리고 그 제1 TFT의 소스는 풀링-업 (pulling-up) 노드인 제1 노드에 연결된, 제1 TFT;
- [0008] 제2 TFT로서, 게이트는 상기 게이트 드라이버 온 어레이의 리셋 단자에 연결되며, 소스는 공통 접속 전압 단자 (VSS)에 연결되며, 그리고 드레인은 상기 제1 노드에 연결된, 제2 TFT;
- [0009] 제3 TFT로서, 게이트는 상기 제1 노드에 연결되며, 드레인은 제1 클록 신호 입력 단자에 연결되며, 그리고 소스는 출력 단자에 연결된, 제3 TFT;
- [0010] 제4 TFT로서, 게이트는 제2 클록 신호 입력 단자에 연결되며, 드레인은 상기 출력 단자에 연결되며, 그리고 소스는 저 전압 신호 단자에 연결된, 제4 TFT;
- [0011] 상기 제1 노드와 상기 출력 단자 사이에 연결된 커패시터; 및
- [0012] 상기 제1 클록 신호 입력 단자, 상기 제2 클록 신호 입력 단자, 상기 제1 노드 및 상기 출력 단자 사이에 연결되며, 그리고 상기 저 전압 신호 단자에 연결되어, 상기 게이트 드라이버 온 어레이의 비-동작 주기 동안에 상기 제1 노드 및 상기 출력 단자가 상기 낮은 레벨에 있도록 하는, 풀링-다운 모듈.
- [0013] 본 발명의 실시예들은 상기에서 설명된 게이트 드라이버 온 어레이를 복수 개 포함하며, 그 게이트 드라이버 온 어레이 각각은 각 행의 게이트 신호를 제어하기 위해서 사용되며, 이 경우에, N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 입력 단자는 (N-1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자에 연결되며, N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자는 (N+1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이

의 입력 단자에 연결되며, 그리고 N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 리셋 단자는 (N+1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자에 연결되며, 이 경우 N은 2와 같거나 또는 2보다 더 크다.

[0014] 본 발명 개시의 상기 실시예들은 디스플레이 스크린을 제공하며, 이 디스플레이 스크린은 상기에서 설명된 시프팅 레지스터 및 어레이 기관을 포함하며;

[0015] 상기 시프팅 레지스터의 신호 출력 단자는 상기 어레이 기관의 게이트 라인과 각각 연결된다.

[0016] 노드들의 충전-방전 특성들을 변경하지 않고서 상기 게이트 드라이버 온 어레이 내 상기 입력 단자 및 상기 리셋 단자의 기능들이 대칭적으로 구현되는 것으로 설계함으로써, 본 발명 개시의 실시예들에 따른 게이트 드라이버 온 어레이, 시프팅 레지스터 및 디스플레이 스크린이 상기 게이트 드라이버 온 어레이가 양 방향 스캔을 달성하는 것을 가능하게 하며, 이는 상기 회로의 신뢰성과 안전성을 보장한다.

발명의 효과

[0017] 본 발명의 실시예에 따른 게이트 드라이버 온 어레이 (GOA), 시프팅 레지스터 및 디스플레이 스크린은 상기 GOA의 양 방향 스캔을 달성하고 그리고 상기 게이트 드라이버 온 어레이의 안정성을 보증한다.

도면의 간단한 설명

[0018] 도 1은 종래 기술에서 GOA의 개략적인 도면이다.

도 2는 본 발명 개시의 실시예에 따른 게이트 드라이버 온 어레이의 구조를 예시하는 개략적인 도면이다.

도 3은 본 발명의 개시의 다른 실시예에 따른 시프팅 레지스터의 구조를 예시하는 개략적인 도면이다.

도 4는 본 발명의 개시의 실시예들에 따른 게이트 드라이버 온 어레이의 상세한 구조를 예시하는 개략적인 도면이다.

도 5는 본 발명의 개시의 실시예들에 따른 포워드 스캔 동안에 홀수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다.

도 6은 본 발명의 개시의 실시예들에 따른 포워드 스캔 동안에 짝수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다.

도 7은 본 발명의 개시의 실시예들에 따른 백워드 스캔 동안에 홀수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다.

도 8은 본 발명의 개시의 실시예들에 따른 백워드 스캔 동안에 짝수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다.

발명을 실시하기 위한 구체적인 내용

[0019] 상기 개시의 아래의 상세한 구현들은 동반하는 도면들과 연결하여 더욱 상세하게 설명될 것이다.

[0020] 상기 본 발명 개시의 실시예들은 도 2에서 보이는 것과 같은 게이트 드라이버 온 어레이를 제공하며, 그 게이트 드라이버 온 어레이는 다음의 것들을 포함한다:

[0021] 제1 박막 전계 효과 트랜지스터 (TFT) (M1)로서, 그 제1 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 입력 단자 (INPUT)에 연결되며, 그 제1 TFT의 드레인 전극은 전력 공급 전압 단자 (VDD)에 연결되며, 그리고 그 제1 TFT의 소스는 풀링-업 (pulling-up) 노드인 제1 노드 (PU)에 연결된, 제1 TFT;

[0022] 제2 TFT (M2)로서, 그 제2 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 리셋 단자 (RESET)에 연결되며, 그 제2 TFT의 소스는 공통 접속 전압 단자 (VSS)에 연결되며, 그리고 그 제2 TFT의 드레인 전극은 상기 제1 노드 (PU)에 연결된, 제2 TFT;

[0023] 제3 TFT (M3)로서, 그 제3 TFT의 게이트는 상기 제1 노드 (PU)에 연결되며, 그 제3 TFT의 드레인 전극은 제1 클럭 신호 입력 단자 (X)에 연결되며, 그리고 그 제3 TFT의 소스는 출력 단자 (OUTPUT)에 연결된, 제3 TFT;

[0024] 제4 TFT (M4)로서, 그 제4 TFT의 게이트는 제2 클럭 신호 입력 단자 (Y)에 연결되며, 그 제4 TFT의 드레인 전극은 상기 출력 단자 (OUTPUT)에 연결되며, 그리고 그 제4 TFT의 소스는 저 전압 신호 단자 (VGL)에 연결된, 제4 TFT;

- [0025] 상기 제1 노드 (PU)와 상기 출력 단자 (OUTPUT)사이엔 연결된 커패시터 (C1); 및
- [0026] 상기 제1 클록 신호 입력 단자 (X), 상기 제2 클록 신호 입력 단자 (Y), 상기 제1 노드 (PU) 및 상기 출력 단자 (OUTPUT) 사이에 연결되며, 그리고 상기 저 전압 신호 단자 (VGL)에 연결되어, 상기 게이트 드라이버 온 어레이의 비-동작 주기 동안에 상기 제1 노드 (PU) 및 상기 출력 단자 (OUTPUT)가 상기 낮은 레벨에 있도록 하는, 풀링-다운 모듈 (11).
- [0027] 이 경우에 상기 풀링-다운 모듈 (11)은 다음의 것들을 포함한다:
- [0028] 제5 TFT로서, 그 제5 TFT의 드레인은 상기 제2 클록 신호 입력 단자에 연결되며, 그리고 그 제5 TFT의 소스는 풀링-다운 노드인 제2 노드에 연결된, 제5 TFT;
- [0029] 제6 TFT로서, 그 제6 TFT의 드레인은 상기 제2 노드에 연결되며, 그 제6 TFT의 게이트는 상기 제1 노드에 연결되며, 그리고 그 제6 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제6 TFT;
- [0030] 제7 TFT로서, 그 제7 TFT의 게이트와 드레인은 상기 제2 클록 신호 입력 단자에 같이 연결되며, 그리고 그 제7 TFT의 소스는 상기 제5 TFT의 게이트에 연결된, 제7 TFT;
- [0031] 제8 TFT로서, 그 제8 TFT의 드레인은 상기 제7 TFT의 소스에 연결되며, 그 제8 TFT의 게이트는 상기 제1 노드에 연결되고, 그리고 그 제8 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제8 TFT;
- [0032] 제9 TFT로서, 그 제9 TFT의 드레인은 상기 제1 노드에 연결되고, 그 제9 TFT의 게이트는 상기 제2 노드에 연결되고, 그리고 그 제9 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제9 TFT; 그리고
- [0033] 제10 TFT로서, 그 제10 TFT의 드레인은 상기 출력 단자에 연결되며, 그 제10 TFT의 게이트는 상기 제2 노드에 연결되고, 그리고 그 제10 TFT의 소스는 상기 저 전압 신호 단자에 연결된, 제10 TFT.
- [0034] 일 예에서, 상기 게이트 드라이버 온 어레이가 홀수 행에 대응하는 게이트 신호를 제어하기 위해서 사용될 때에, 상기 게이트 드라이버 온 어레이의 상기 제1 클록 신호 입력 단자 (X)는 CLK와 같은 제1 클록 신호 라인에 연결되며, 상기 게이트 드라이버 온 어레이의 상기 제2 클록 신호 입력 단자 (Y)는 CLKB와 같은 제2 클록 신호 라인에 연결된다; 상기 게이트 드라이버 온 어레이가 짝수 행에 대응하는 게이트 신호를 제어하기 위해서 사용될 때에, 상기 게이트 드라이버 온 어레이의 상기 제2 클록 신호 입력 단자 (Y)는 상기 제1 클록 신호 라인에 연결되며, 상기 게이트 드라이버 온 어레이의 상기 제1 클록 신호 입력 단자 (X)는 상기 제2 클록 신호 라인에 연결된다.
- [0035] 양방향 스캔은 상기에서 설명된 복수의 게이트 드라이버 온 어레이가 접속된 것에 의해서 수행될 수 있으며 그리고 다음의 경우들을 포함한다.
- [0036] (1) 포워드 스캔에서, 즉, 상기 스캔이 첫 번째 행으로부터 마지막 행까지 수행될 때에, 상기 게이트 드라이버 온 어레이는 홀수 행에 대응하는 게이트 신호를 제어하기 위해서 사용된다.
- [0037] 상기 포워드 스캔이 개시될 때에, 상기 VDD는 일정한 고 레벨 (high level)을 제공하고 그리고 상기 VSS는 일정한 저 레벨 (low level)을 제공하며, 상기 게이트 드라이버 온 어레이의 입력 단자로 고 레벨 펄스 신호가 입력되며, 그리고 상기 제1 노드는 상기 제1 TFT의 드레인을 경유하여 충전되며; 상기 제1 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하며, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해 제어되며; 상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며; 상기 제2 TFT의 게이트에 연결된 상기 리셋 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며; 상기 제2 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며; 상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어된다.
- [0038] (2) 상기 포워드 스캔에서, 즉, 상기 스캔이 첫 번째 행으로부터 마지막 행까지 수행될 때에, 상기 게이트 드라이버 온 어레이는 짝수 행에 대응하는 게이트 신호를 제어하기 위해서 사용된다.
- [0039] 상기 포워드 스캔이 개시될 때에 상기 VDD는 일정한 고 레벨을 제공하고 그리고 상기 VSS는 일정한 저 레벨을 제공하며, 상기 게이트 드라이버 온 어레이의 입력 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제1 TFT의 드레인을 경유하여 상기 제1 노드가 충전되며; 상기 제1 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해

서 제어되며; 상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며; 상기 제2 TFT의 게이트에 연결된 상기 리셋 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며; 상기 제2 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며; 상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어된다.

[0040] (3) 백워드 스캔에서, 즉, 상기 스캔이 마지막 행으로부터 첫 번째 행으로 수행될 때에, 상기 게이트 드라이버 온 어레이는 홀수 행에 대응하는 제어 신호를 제어하기 위해서 사용된다.

[0041] 백워드 스캔이 개시될 때에, 상기 VDD는 일정한 저 레벨을 제공하고 그리고 상기 VSS는 일정한 고 레벨을 제공하며, 상기 게이트 드라이버 온 어레이의 리셋 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제2 TFT의 소스를 경유하여 상기 제1 노드가 방전되며; 상기 제1 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해서 제어되며; 상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며; 상기 제1 TFT의 게이트에 연결된 상기 입력 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며; 상기 제2 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며; 상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어된다.

[0042] (4) 백워드 스캔에서, 즉, 상기 스캔이 마지막 행으로부터 첫 번째 행으로 수행될 때에, 상기 게이트 드라이버 온 어레이는 짝수 행에 대응하는 제어 신호를 제어하기 위해서 사용된다.

[0043] 백워드 스캔이 개시될 때에, 상기 VDD는 일정한 저 레벨을 제공하고 그리고 상기 VSS는 일정한 고 레벨을 제공하며, 상기 게이트 드라이버 온 어레이의 리셋 단자에는 고 레벨 펄스 신호가 입력되며, 그리고 상기 제2 TFT의 소스를 경유하여 상기 제1 노드가 방전되며; 상기 제1 클록 신호 입력 단자는 상기 제2 클록 신호 라인이 제공하는 고 레벨 클록 신호를 수신하고, 상기 출력 단자는 고 레벨을 출력하기 위해서 상기 제3 TFT에 의해서 제어되며; 상기 제6 TFT는 턴 온 되고 그리고 상기 제2 노드에서 전압을 상기 저 전압 신호 단자에서의 전압까지 풀 다운하며; 상기 제1 TFT의 게이트에 연결된 상기 입력 단자는 고 레벨에 있으며, 그리고 상기 제1 노드는 방전되며; 상기 제2 클록 신호 입력 단자는 상기 제1 클록 신호 라인이 제공한 고 레벨 클록 신호를 수신하고, 그리고 상기 출력 단자는 상기 제4 TFT를 경유하여 방전되며; 상기 제2 노드는 상기 제5 TFT를 경유하여 충전되며, 상기 제9 TFT는 상기 제1 노드를 방전시키기 위해서 제어되며 그리고 상기 제10 TFT는 상기 출력 단자를 방전시키기 위해서 제어된다.

[0044] 일 예에서, 상기 저 전압 신호 단자는 상기 게이트 드라이버 온 어레이에게 상기 일정한 저 레벨을 공급하기 위해서 사용된다.

[0045] 노드들의 충전-방전 특성들을 변경하지 않고서 상기 게이트 드라이버 온 어레이 내 상기 입력 단자 및 상기 리셋 단자의 기능들이 대칭적으로 구현되는 것으로 설계함으로써, 본 발명 개시의 실시예들에 따른 게이트 드라이버 온 어레이는 상기 게이트 드라이버 온 어레이가 양 방향 스캔을 달성하는 것을 가능하게 하며, 이는 상기 회로의 신뢰성과 안전성을 보장한다는 것을 상기의 설명으로부터 알 수 있다.

[0046] 동일한 개념을 기반으로 하여, 본 발명 개시의 상기 실시예들은 시프팅 레지스터 (shifting register)를 제공하며, 이 시프팅 레지스터는 복수의 상기 설명된 게이트 드라이버 온 어레이를 포함하며, 도 3에서 보이는 것과 같이, 상기 게이트 드라이버 온 어레이 각각은 각 행의 게이트 신호를 제어하기 위해서 사용되며, N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 입력 단자는 (N-1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자에 연결되며, N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자는 (N+1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 입력 단자에 연결되며, 그리고 N번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 리셋 단자는 (N+1) 번째 행의 게이트 신호를 제어하기 위한 상기 게이트 드라이버 온 어레이의 출력 단자에 연결되며, 이 경우 N은 2와 같거나 또는 2보다 더 크다. 홀수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이에 관련하여, 그 게이트 드라이버 온 어레이의 제1 클록 신호 입력 단자 (X)는 CLK와 같은 제1 클록 신호 라인에 연결되며, 그리고 그 게이트 드라이버 온 어레이의 제2 클록 신호 입력 단자 (Y)는 CLKB와 같은 제2 클록 신호 라인에 연결된다; 짝수 행에 대응하는 게이트 신호를 제어하기 위

한 게이트 드라이버 온 어레이에 관련하여, 그 게이트 드라이버 온 어레이의 제2 클록 신호 입력 단자 (Y)는 제1 클록 신호 라인에 연결되며, 그리고 그 게이트 드라이버 온 어레이의 제1 클록 신호 입력 단자 (X)는 제2 클록 신호 라인에 연결된다.

[0047] 아래에서 본 발명의 개시에 따른 시프팅 레지스터에서 게이트 드라이버 온 어레이가 특정 실시예들에 의해서 설명될 것이다. 도 4에서 보이는 것과 같이 10T1C를 하나의 예로서 만들어서, 제1 박막 전계 효과 트랜지스터 (TFT) (M1)로서, 그 제1 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 입력 단자 (INPUT)에 연결되며, 그 제1 TFT의 드레인은 전력 공급 전압 단자 (VDD)에 연결되며, 그리고 그 제1 TFT의 소스는 풀링-업 (pulling-up) 노드인 제1 노드 PU에 연결되며; 제2 TFT (M2)로서, 그 제2 TFT의 게이트는 상기 게이트 드라이버 온 어레이의 리셋 단자 (RESET)에 연결되며, 그 제2 TFT의 소스는 공통 접속 전압 단자 (VSS)에 연결되며, 그리고 그 제2 TFT의 드레인은 상기 제1 노드 (PU)에 연결되며; 제3 TFT (M3)로서, 그 제3 TFT의 게이트는 상기 제1 노드 (PU)에 연결되며, 그 제3 TFT의 소스는 제1 클록 신호 입력 단자 (X)에 연결되며, 그리고 그 제3 TFT의 드레인은 출력 단자 (OUTPUT)에 연결되며; 제4 TFT (M4)로서, 그 제4 TFT의 게이트는 제2 클록 신호 입력 단자 (Y)에 연결되며, 그 제4 TFT의 드레인은 상기 출력 단자 (OUTPUT)에 연결되며, 그리고 그 제4 TFT의 소스는 저 전압 신호 단자 (VGL)에 연결되며; 상기 제1 노드 (PU)와 상기 출력 단자 (OUTPUT) 사이에 연결된 커패시터 (C1); 제5 TFT (M5)로서, 그 제5 TFT의 드레인은 상기 제2 클록 신호 입력 단자 (Y)에 연결되며, 그리고 그 제5 TFT의 소스는 풀링-다운 노드인 제2 노드 (PD)에 연결되며; 제6 TFT (M6)로서, 그 제6 TFT의 드레인은 상기 제2 노드 (PD)에 연결되며, 그 제6 TFT의 게이트는 상기 제1 노드 (PU)에 연결되며, 그리고 그 제6 TFT의 소스는 상기 저 전압 신호 단자 (VGL)에 연결되며; 제7 TFT로서, 그 제7 TFT의 게이트와 드레인은 상기 제2 클록 신호 입력 단자 (Y)에 같이 연결되며, 그리고 그 제7 TFT의 소스는 상기 제5 TFT (M5)의 게이트에 연결되며; 제8 TFT (M8)로서, 그 제8 TFT의 드레인은 상기 제7 TFT (M7)의 소스에 연결되며, 그 제8 TFT의 게이트는 상기 제1 노드 (PU)에 연결되고, 그리고 그 제8 TFT의 소스는 상기 저 전압 신호 단자 (VGL)에 연결되며; 제9 TFT (M9)로서, 그 제9 TFT의 드레인은 상기 제1 노드 (PU)에 연결되고, 그 제9 TFT의 게이트는 상기 제2 노드 (PD)에 연결되고, 그리고 그 제9 TFT의 소스는 상기 저 전압 신호 단자 (VGL)에 연결되며; 제10 TFT (M10)로서, 그 제10 TFT의 드레인은 상기 출력 단자 (OUTPUT)에 연결되며, 그 제10 TFT의 게이트는 상기 제2 노드 (PD)에 연결되고, 그리고 그 제10 TFT의 소스는 상기 저 전압 신호 단자 (VGL)에 연결된다. 이 경우, 상기 TFT (M3)의 드레인은 상기 제1 클록 신호 입력 단자 (X)이며, 그리고 상기 TFT (M5)의 드레인은 제2 클록 신호 입력 단자 (Y)이다. 현재의 행이 홀수 행일 때에, 상기 제1 클록 신호 입력 단자 (X)는 상기 제1 클록 신호 라인 (CLK)에 연결되며 그리고 상기 제2 클록 신호 입력 단자 (Y)는 상기 제2 클록 신호 라인 (CLKB)에 연결된다. 현재 행이 짝수 행일 때에, 상기 제1 클록 신호 입력 단자 (X)는 상기 제2 클록 신호 라인 (CLKB)에 연결되며 그리고 상기 제2 클록 신호 입력 단자 (Y)는 상기 제1 클록 신호 라인 (CLK)에 연결된다.

[0048] 도 5는 포워드 스캔 동안에 홀수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다. (첫 번째 행으로부터 마지막 행까지의) 포워드 스캔이 수행될 때에, 상기 VDD는 일정한 고 전압을 공급하고 그리고 상기 VSS는 일정한 저 전압을 공급하며, 상기 입력 단자 (INPUT)로 고 레벨 펄스 신호가 입력되며, 그래서 상기 M1은 턴 온 (turn on)되고 그리고 전압 제어 버스 PU 노드는 차례로 충전되도록 한다; 다음에, 상기 제1 클록 신호 입력 단자 (X)는 상기 제1 클록 신호 라인 (CLK)이 공급한 고 레벨 클록 신호를 입력하며, 그래서 상기 M3이 턴 온 되고 그리고 출력 단자 (OUTPUT)가 제어되어 고 레벨 출력을 하도록 하며, 반면에 상기 커패시터 (C1) 내 저장된 전하들이 상기 PU 노드로 전달되며 그래서 상기 PU 노드에서의 전압이 더 증가한다는 것을 알 수 있다. 한편, 상기 M6은 상기 PU 노드에서 증가된 전압에 의해서 턴 온 되고 그리고 상기 제2 노드 (PD)에서의 전압을 상기 저 전압 신호 단자 (VGL)에서의 전압까지 풀 다운시킨다. 다음, 상기 리셋 단자 (RESET)는 하이 레벨에 있으며, 그래서 상기 M2는 턴 온 되고 그리고 상기 PU 노드가 방전되도록 한다; 동시에, 상기 제2 클록 신호 입력 단자 (Y)는 상기 제2 클록 신호 라인 (CLKB)이 제공한 고 레벨 클록 신호를 입력하며, 그래서 상기 M4가 턴 온 되고 그리고 상기 출력 단자 (OUTPUT)가 방전되도록 한다; 또한, 상기 M5는 턴 온 되고 그리고 상기 PD 노드는 방전되며, 그러면 M9를 풀링-다운하는 것은 제어되어 상기 PU 노드를 방전시키고 그리고 TFT (M10)를 풀링-다운하는 것은 제어되어 상기 출력 단자 (OUTPUT)를 방전시킨다.

[0049] 도 6은 포워드 스캔 동안에 짝수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다. (첫 번째 행으로부터 마지막 행까지의) 포워드 스캔이 수행될 때에, 상기 VDD는 일정한 고 전압을 공급하고 그리고 상기 VSS는 일정한 저 전압을 공급하며, 상기 입력 단자 (INPUT)로 고 레벨 펄스 신호가 입력되며, 그래서 상기 M1은 턴 온 되고 그리고 상기 PU 노드는 차례로 충전되도록 한다; 다음에, 상기 제1 클록 신호 입력 단자 (X)는 상기 제2 클록 신호 라인 (CLKB)이 공급한 고 레벨 클

록 신호를 입력하며, 그래서 상기 M3이 턴 온 되고 그리고 출력 단자 (OUTPUT)가 고 레벨을 출력하도록 하며, 반면에 상기 커패시터 (C1) 내 저장된 전하들이 상기 PU 노드로 전달되며 그래서 상기 PU 노드에서의 전압이 더 증가한다는 것을 알 수 있다. 한편, 상기 M6은 상기 PU 노드에서 증가된 전압으로 인해서 턴 온 되고 그리고 상기 제2 노드 (PD)에서의 전압을 상기 저 전압 신호 단자 (VGL)에서의 전압까지 풀 다운시킨다. 다음, 상기 리셋 단자 (RESET)는 하이 레벨에 있으며, 그래서 상기 M2는 턴 온 되고 그리고 상기 PU 노드가 방전되도록 한다; 동시에, 상기 제2 클록 신호 입력 단자 (Y)는 상기 제1 클록 신호 라인 (CLK)이 제공한 고 레벨 클록 신호를 입력하며, 그래서 상기 M4가 턴 온 되고 그리고 상기 출력 단자 (OUTPUT)가 방전되도록 한다; 또한, 상기 M5는 턴 온 되고 그리고 상기 PD 노드는 방전되며, 그러면 M9를 풀링-다운하는 것이 제어되어 상기 PU 노드를 방전시키고 그리고 TFT (M10)을 풀링-다운하는 것은 제어되어 상기 출력 단자 (OUTPUT)를 방전시킨다.

[0050] 도 7은 백워드 스캔 동안에 홀수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다. (마지막 행으로부터 첫 번째 행까지의) 백워드 스캔이 수행될 때에, 상기 VDD는 일정한 저 전압을 공급하고 그리고 상기 VSS는 일정한 고 전압을 공급하며, 상기 리셋 단자 (RESET)로 고 레벨 펄스 신호가 입력되며, 그래서 상기 M2는 턴 온 되고 그리고 PU 노드는 충전되도록 한다; 다음에, 상기 제1 클록 신호 입력 단자 (X)는 상기 제1 클록 신호 라인 (CLK)이 공급한 고 레벨 클록 신호를 입력하며, 그래서 상기 M3이 턴 온 되고 그리고 출력 단자 (OUTPUT)는 이 시점에서 고 레벨을 출력하며, 반면에 상기 커패시터 (C1) 내 저장된 전하들이 상기 PU 노드로 전달되며 그래서 상기 PU 노드에서의 전압이 더 증가한다는 것을 알 수 있다. 한편, 상기 M6은 상기 PU 노드에서 증가된 전압으로 인해서 턴 온 되고 그리고 상기 제2 노드 (PD)에서의 전압을 상기 저 전압 신호 단자 (VGL)에서의 전압까지 풀 다운시킨다. 다음, 상기 입력 단자 (INPUT)는 하이 레벨에 있으며, 그래서 상기 M1은 턴 온 되고 그리고 상기 PU 노드가 방전되도록 한다; 동시에, 상기 제2 클록 신호 입력 단자 (Y)는 상기 제2 클록 신호 라인 (CLKB)이 제공한 고 레벨 클록 신호를 입력하며, 그래서 상기 M4가 턴 온 되고 그리고 상기 출력 단자 (OUTPUT)가 방전되도록 한다; 또한, 상기 M5는 턴 온 되고 그리고 상기 PD 노드는 충전되며, 그러면 상기 풀링-다운 M9는 제어되어 상기 PU 노드를 방전시키고 그리고 TFT (M10)를 풀링-다운하는 것이 제어되어 상기 출력 단자 (OUTPUT)를 방전시킨다.

[0051] 도 8은 백워드 스캔 동안에 짝수 행에 대응하는 게이트 신호를 제어하기 위한 게이트 드라이버 온 어레이의 각 단자들의 전압들의 타이밍 시퀀스 도면이다. (마지막 행으로부터 첫 번째 행까지의) 백워드 스캔이 수행될 때에, 상기 VDD는 일정한 저 전압을 공급하고 그리고 상기 VSS는 일정한 고 전압을 공급하며, 상기 리셋 단자 (RESET)로 고 레벨 펄스 신호가 입력되며, 그래서 상기 M2는 턴 온 되고 그리고 PU 노드는 충전되도록 한다; 다음에, 상기 제1 클록 신호 입력 단자 (X)는 상기 제2 클록 신호 라인 (CLKB)이 공급한 고 레벨 클록 신호를 입력하며, 그래서 상기 M3이 턴 온 되고 그리고 출력 단자 (OUTPUT)는 고 레벨 출력을 하도록 하며, 반면에 상기 커패시터 (C1) 내 저장된 전하들이 상기 PU 노드로 전달되며 그래서 상기 PU 노드에서의 전압이 더 증가한다는 것을 알 수 있다. 한편, 상기 M6은 상기 PU 노드에서 증가된 전압으로 인해서 턴 온 되고 그리고 상기 제2 노드 (PD)에서의 전압을 상기 저 전압 신호 단자 (VGL)에서의 전압까지 풀 다운시킨다. 다음, 상기 입력 단자 (INPUT)는 하이 레벨에 있으며, 그래서 상기 M1은 턴 온 되고 그리고 상기 PU 노드가 방전되도록 한다; 동시에, 상기 제2 클록 신호 입력 단자 (Y)는 상기 제1 클록 신호 라인 (CLK)이 제공한 고 레벨 클록 신호를 입력하며, 그래서 상기 M4가 턴 온 되고 그리고 상기 출력 단자 (OUTPUT)가 방전되도록 한다; 또한, 상기 M5는 턴 온 되고 그리고 상기 PD 노드는 방전되며, 그러면 M9를 풀링-다운하는 것이 제어되어 상기 PU 노드를 방전시키고 그리고 TFT (M10)를 풀링-다운하는 것이 제어되어 상기 출력 단자 (OUTPUT)를 방전시킨다.

[0052] 노드들의 충전-방전 특성들을 변경하지 않고서 상기 게이트 드라이버 온 어레이 내 상기 입력 단자 및 상기 리셋 단자의 기능들이 대칭적으로 구현되는 것으로 설계함으로써, 본 발명 개시의 실시예들에 따른 게이트 드라이버 온 어레이가 상기 게이트 드라이버 온 어레이가 양 방향 스캔을 달성하는 것을 가능하게 하며, 이는 상기 회로의 신뢰성과 안전성을 보장한다는 것을 상기의 설명으로부터 알 수 있다.

[0053] 동일한 개념을 기반으로 하여, 본 발명 개시의 상기 실시예들은 상기 설명된 시프팅 레지스터 및 어레이 기판을 포함하는 디스플레이 스크린을 제공하며, 상기 시프팅 레지스터 내 각 게이트 드라이버 온 어레이의 신호 출력 단자는 상기 어레이 기판 내 게이트 드라이버 온 어레이로부터의 게이트 신호 출력의 제어 하에 게이트 라인에 연결된다.

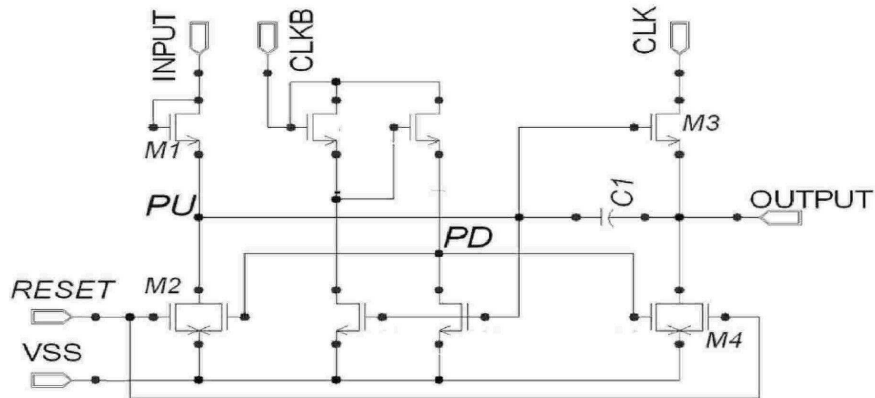
[0054] 노드들의 충전-방전 특성들을 변경하지 않고서 상기 게이트 드라이버 온 어레이 내 상기 입력 단자 및 상기 리셋 단자의 기능들이 대칭적으로 구현되는 것으로 설계함으로써, 본 발명 개시의 실시예들에 따른 게이트 드라이버 온 어레이, 시프팅 레지스터 및 디스플레이 스크린이 상기 게이트 드라이버 온 어레이가 양 방향 스캔을 달성하는 것을 가능하게 하며, 이는 상기 회로의 신뢰성과 안전성을 보장한다는 것을 상기의 설명으로부터 알 수

있다.

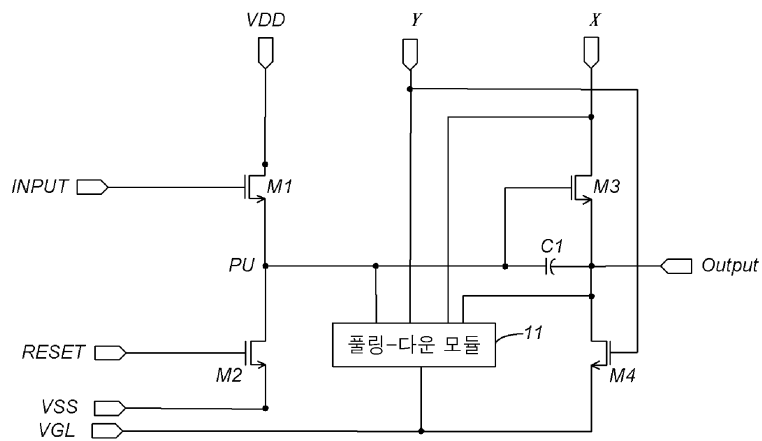
상기의 설명은 개시된 솔루션의 단지 예시적인 실시예들일 뿐이며, 보호를 위해 청구된 범위는 그것으로 한정되지 않는다. 대신에, 본 발명이 속한 기술 분야에서 통상의 지식을 가진 자들에게 자명할 것인 변형들 또는 대체들의 일부 또는 모든 것들은 본 발명의 범위 내에 포함될 것으로 의도된 것이다. 그러므로, 본 발명의 범위는 첨부한 청구범위에서 정의된다.

도면

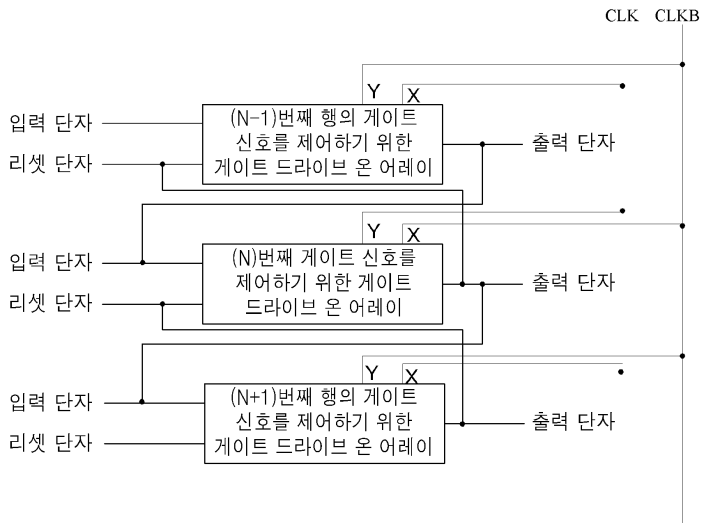
도면1



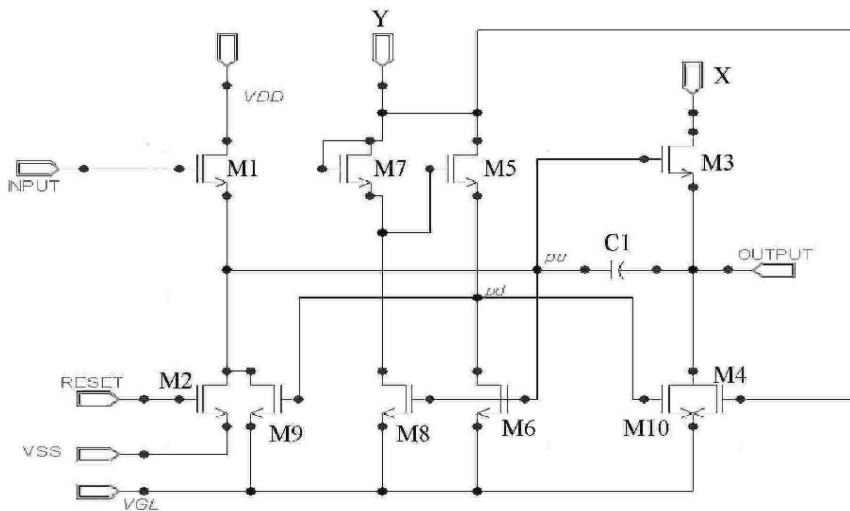
도면2



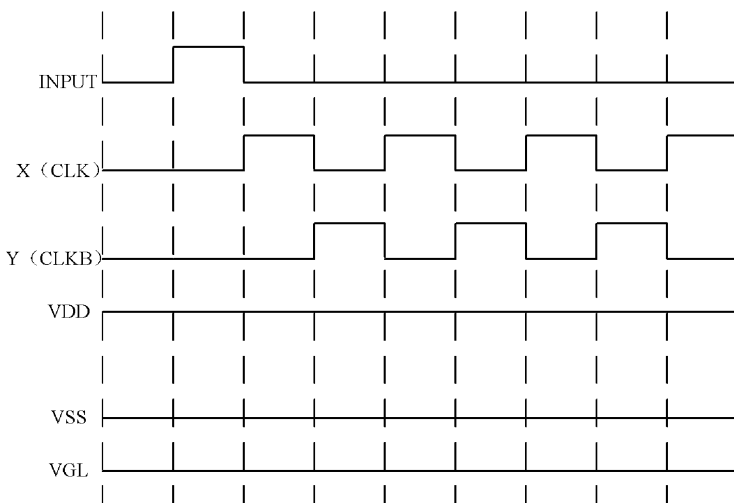
도면3



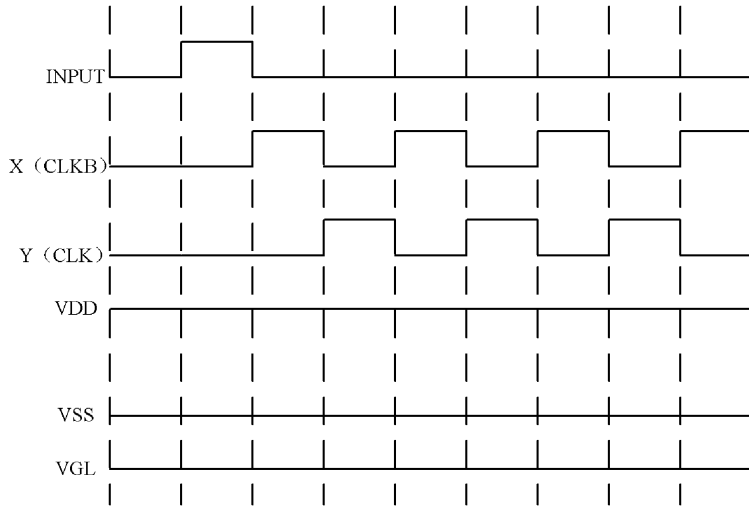
도면4



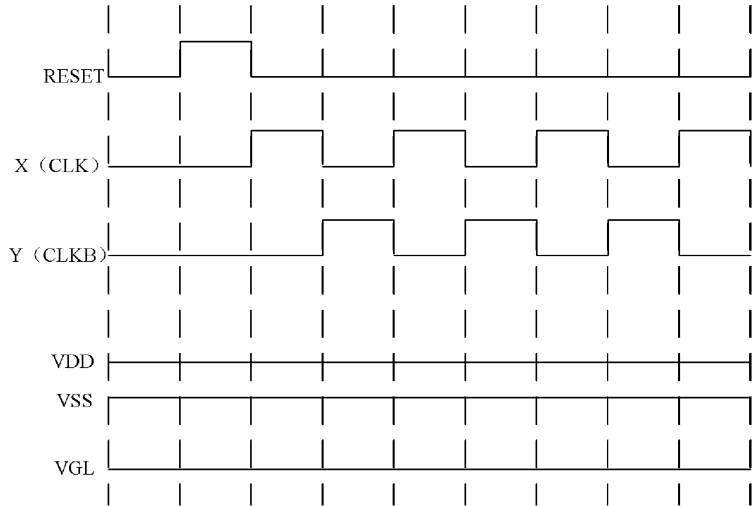
도면5



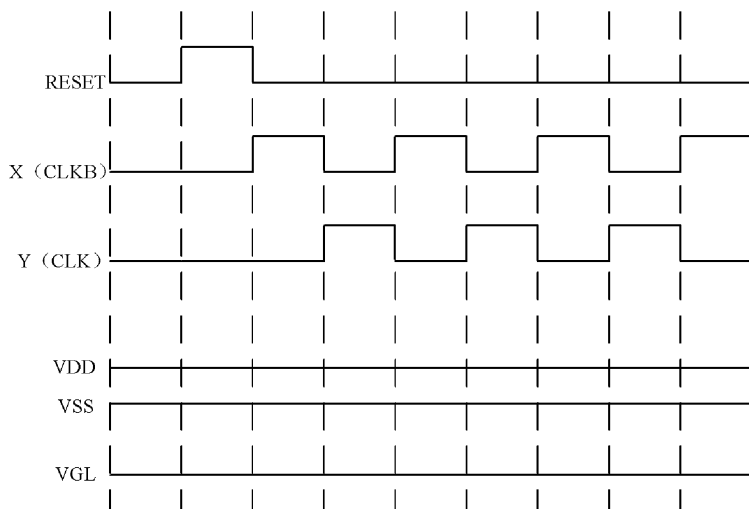
도면6



도면7



도면8



专利名称(译)	阵列上的栅极驱动器，移位寄存器和显示屏幕		
公开(公告)号	KR1020130043637A	公开(公告)日	2013-04-30
申请号	KR1020127032508	申请日	2012-08-21
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	CHEN XI		
发明人	천시		
IPC分类号	G09G3/36 G09G3/20		
CPC分类号	G09G3/3674 G09G2300/0408 G09G2310/0283 G09G2310/0286 G09G2310/08 G11C19/28 H03K5/153		
优先权	201110241400.8 2011-08-22 CN		
其他公开文献	KR101443126B1		
外部链接	Espacenet		

摘要(译)

本发明的实施例涉及液晶显示器，并且涉及具体带有栅极驱动器的阵列，以及移位寄存器和显示屏。栅极驱动器来自的阵列：模块包括第一个薄膜晶体管，第二个TFT，第三个TFT，第四个TFT，电容器和拉 - 并且模块拉动 - 连接在第一个时钟信号输入端子，第二个时钟信号之间输入端子，第一节点和输出端子以及模块连接到，并且在栅极驱动器进入上述阵列的周期期间，低压信号端子和第一节点以及输出端子处于NOP中。低级。因此，设计了在不改变节点的充放电特性之后，复位端子和栅极驱动器附带的阵列内输入端子的功能是对称实现的。这样，栅极驱动器所来的阵列将能够实现双向扫描，这保证了电路的可靠性和安全性。

