



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0039584
 (43) 공개일자 2013년04월22일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/1345 (2006.01)
 G02F 1/1339 (2006.01) G02F 1/1368 (2006.01)
 (21) 출원번호 10-2011-0104248
 (22) 출원일자 2011년10월12일
 심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
송민철
 서울 중구 중림동 삼성사이버아파트 108-1503
윤정훈
 경북 대구 달서구 죽전동 363-18번지
 (뒷면에 계속)
 (74) 대리인
권혁수, 송윤호, 오세준

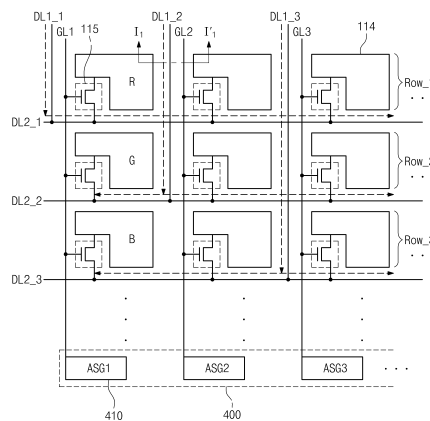
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **내로우 베젤을 갖는 액정표시장치**

(57) 요약

본 발명에 따른 액정표시장치는 서로 교차하는 m개의 열들 및 n개의 행들로 배열된 복수의 화소들이 형성된 제1 기관, 상기 제1 기관 위에 열 방향으로 배열된 n개의 제1 데이터 라인들, 상기 제1 데이터 라인들과 평행하게 배열된 m개의 게이트 라인들, 상기 m개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 n개의 제2 데이터 라인들, 상기 제1 기관의 일측면에 배치되는 소스 구동칩들, 및 상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동부를 포함하고, 상기 제2 데이터 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되며, 상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동부는 상기 게이트 라인들을 통해 상기 복수의 화소들에 각각 게이트 신호들을 제공한다.

대표도 - 도3



(72) 발명자

김성만

서울 송파구 신천동 장미아파트 25동 1001호

박재화

경북 구미시 봉곡동 현진에버빌 103동 501호

조영계

충청남도 아산시 탕정면 탕정면로 37, 103동 2304호 (탕정삼성트라펠리스)

특허청구의 범위

청구항 1

서로 교차하는 m 개의 열들 및 n 개의 행들로 배열된 복수의 화소들이 형성된 제1 기관;

상기 제1 기관 위에 열 방향으로 배열된 n 개의 제1 데이터 라인들;

상기 제1 데이터 라인들과 평행하게 배열된 m 개의 게이트 라인들;

상기 m 개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 n 개의 제2 데이터 라인들;

상기 제1 기관의 일측면에 배치되는 소스 구동칩들; 및

상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동부를 포함하고,

상기 제2 데이터 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되며,

상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동부는 상기 게이트 라인들을 통해 상기 복수의 화소들에 각각 게이트 신호들을 제공하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트 구동부는 상기 대응되는 게이트 라인들을 통해 상기 복수의 화소들에 게이트 신호들을 제공하는 m 개의 아모퍼스 실리콘 게이트 회로들을 포함하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 아모퍼스 실리콘 게이트 회로들은 상기 제1 기관의 하측면에 실장되는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 복수의 화소들은 각각

박막 트랜지스터; 및

화소 전극들을 포함하고,

상기 제2 데이터 라인들은 대응되는 행들에 배열된 상기 화소들의 박막 트랜지스터들의 소스들에 각각 연결되는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 게이트 라인들은 대응되는 열들에 배열된 상기 화소들의 박막 트랜지스터들의 게이트들에 각각 연결되는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 소스 구동칩들은 상기 제1 기관의 상측면에 배치되고 상기 게이트 구동부는 상기 제1 기관의 하측면에 배치되며, 상기 복수의 화소들이 배치된 영역을 제외한 상기 제1 기관의 좌측면 및 우측면 영역은 1mm 이하인 액

정표시장치.

청구항 7

제 2 항에 있어서,

상기 제1 기관은

제1 베이스 기관;

서로 이격되어 상기 제1 데이터 라인 및 상기 게이트 라인이 형성되는 제1 베이스 기관;

상기 제1 데이터 라인 및 상기 게이트 라인 위에 형성되는 게이트 절연막; 및

상기 게이트 절연막 위에 형성된 칼럼 스페이서를 포함하고,

상기 칼럼 스페이서는 상기 제1 데이터 라인 및 상기 게이트 라인과 오버랩되도록 형성되는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 제1 데이터 라인 및 상기 게이트 라인은 동일한 메탈로 구성되는 액정표시장치.

청구항 9

제 7 항에 있어서,

상기 제1 기관과 마주하는 제2 기관; 및

상기 제1 및 제2 기관들 사이에 구비되고 복수의 액정들을 갖는 액정층을 더 포함하고,

상기 칼럼 스페이서의 유전율은 상기 액정들의 유전율보다 낮은 액정표시장치.

청구항 10

제 7 항에 있어서,

상기 칼럼 스페이서는 에폭시계 아크릴 수지로 형성되는 액정표시장치.

청구항 11

제 7 항에 있어서,

상기 제1 데이터 라인 및 상기 게이트 라인 사이의 거리는 4 μ m 이상인 액정표시장치.

청구항 12

제 2 항에 있어서,

상기 제1 기관은

제1 베이스기관;

상기 데이터 라인으로부터 행 방향으로 분기되고 상기 제1 베이스 기관 위에 형성된 제1 분기부;

상기 제1 분기부 위에 형성된 게이트 절연막;

상기 제2 데이터 라인으로부터 상기 제1 분기부에 인접하도록 열 방향으로 분기되며 상기 게이트 절연막 위에 형성된 제2 분기부;

상기 제2 분기부 위에 형성된 층간 절연막; 및

상기 제1 분기부 및 상기 제2 분기부를 전기적으로 연결하는 브릿지를 포함하고,

상기 제1 분기부 상에 형성된 상기 게이트 절연막 및 상기 층간 절연막에는 상기 제1 분기부까지 제1 홀이 형성되고, 상기 제2 분기부 상에 형성된 상기 층간 절연막에는 상기 제2 분기부까지 제2 홀이 형성되며,

상기 브릿지는 상기 제1 및 제2 홀, 그리고 상기 제1 홀과 상기 제2 홀 사이의 상기 층간 절연막 위에 형성되는 액정표시장치.

청구항 13

제 2 항에 있어서,

상기 제1 기관은

제1 베이스기관; 및

게이트 절연막을 포함하고

상기 제1 베이스 기관 위에 상기 제1 데이터 라인 형성되고, 상기 제1 데이터 라인 위에는 상기 게이트 절연막이 형성되며, 상기 제1 데이터 라인 상에 형성된 게이트 절연막에는 상기 제1 데이터 라인까지 콘택홀이 형성되며, 상기 콘택홀 위에는 제2 데이터 라인이 형성되고, 상기 제1 및 제2 데이터 라인은 전기적으로 연결되는 액정표시 장치

청구항 14

서로 교차하는 m개의 열들 및 n개의 행들로 배열된 복수의 화소들이 형성된 제1 기관;

상기 제1 기관 위에 행 방향으로 배열된 m개의 제1 데이터 라인들;

상기 제1 데이터 라인들과 평행하게 배열된 n개의 게이트 라인들;

상기 n개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 m개의 제2 데이터 라인들;

상기 제1 기관의 일측면에 배치되는 소스 구동칩들; 및

상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동칩들을 포함하고,

상기 제2 데이터 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되며,

상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동칩들은 각각 상기 게이트 라인들을 통해 상기 복수의 화소들에 게이트 신호들을 제공하는 액정표시장치.

청구항 15

제 14 항에 있어서,

상기 복수의 화소들은 각각

박막 트랜지스터; 및

화소 전극들을 포함하고,

상기 제2 데이터 라인들은 대응되는 열들에 배열된 상기 화소들의 박막 트랜지스터들의 소스들에 각각 연결되는 액정표시장치.

청구항 16

제 15 항에 있어서,

상기 게이트 라인들은 대응되는 행들에 배열된 상기 화소들의 박막 트랜지스터들의 게이트들에 각각 연결되는 액정표시장치.

청구항 17

제 14 항에 있어서,

상기 소스 구동칩들은 상기 제1 기관의 좌측면에 배치되고, 상기 게이트 구동칩들은 상기 제1 기관의 우측면에

배치되며, 상기 복수의 화소들이 배치된 영역을 제외한 상기 제1 기관의 상측면 및 하측면 영역은 1mm 이하인 액정표시장치.

청구항 18

서로 교차하는 m개의 열들 및 n개의 행들로 배열된 복수의 화소들이 형성된 제1 기관;

상기 제1 기관 위에 열 방향으로 배열된 n/2개의 제1 데이터 라인들;

상기 제1 데이터 라인들과 평행하게 배열된 2m개의 게이트 라인들;

상기 2m개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 n/2개의 제2 데이터 라인들;

상기 제1 기관의 일측면에 배치되는 소스 구동칩들; 및

상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동부를 포함하고,

상기 제2 데이터 라인들은 홀수 행 및 짝수 행들에 배열된 화소들 사이에 각각 배치되고, 상기 홀수 행 및 짝수 행들에 배열된 화소들에 각각 연결되며

상기 제2 데이터 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되며,

상기 게이트 라인들은 두 개의 게이트 라인들 단위로 각각 열들에 배열된 화소들의 좌우에 배치되며, 두 개의 게이트 라인들 중 하나는 열에 배열된 홀수 번째 화소들에 연결되고 다른 하나는 그와 동일한 열에 배열된 짝수 번째 화소들에 연결되며,

상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동부는 상기 게이트 라인들을 통해 상기 복수의 화소들에 각각 게이트 신호들을 제공하는 액정표시장치.

청구항 19

제 18 항에 있어서,

상기 게이트 구동부는 상기 대응되는 게이트 라인들을 통해 상기 복수의 화소들에 게이트 신호들을 제공하는 2m 개의 아모퍼스 실리콘 게이트 회로들을 포함하는 액정표시장치.

청구항 20

제 19 항에 있어서,

상기 아모퍼스 실리콘 게이트 회로들은 상기 제1 기관의 하측면에 실장되는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서 더욱 상세하게는 내로우 베젤을 갖는 액정표시장치에 관한 것이다.

배경기술

[0002] 일반적으로 액정표시장치(Liquid Crystal Display)는 표시패널, 표시패널을 구동하는 게이트 구동부와 데이터 구동부, 및 표시 패널에 광을 공급하는 백라이트 유닛을 포함한다. 표시 패널은 제1 기관, 제1 기관과 마주하는 제2 기관, 및 제1 및 제2 기관 사이에 구비된 액정층을 포함한다. 제1 기관은 박막 트랜지스터 기관으로 정의되고, 제2 기관은 컬러필터 기관으로 정의될 수 있다.

[0003] 박막 트랜지스터 기관에는 서로 교차되어 형성된 게이트 라인들과 데이터 라인들에 각각 연결된 복수의 화소들이 배치된다. 또한 박막 트랜지스터 기관의 상측면(또는 하측면)에는 데이터 구동부가 실장되고 좌측면(또는 우측면)에는 게이트 구동부가 실장 된다. 데이터 구동부는 데이터 라인들에 데이터 신호를 제공하는 소스 구동칩(Source-IC)들을 포함하고, 게이트 구동부는 게이트 라인들에 게이트 신호를 제공하는 복수의 게이트 구동칩

(Gate-IC)들을 포함한다. 소스 구동칩들 및 게이트 구동칩들은 COF(Chip On the Film) 또는 COG(Chip On the Glass) 형태로 각각 박막 트랜지스터 기관의 상측면과 좌측면에 실장된다.

- [0004] 게이트 구동부는 게이트 구동칩들 대신에 복수의 ASG(Amorphous Silicon Gate circuit)들을 포함할 수 있다. 게이트 구동부가 복수의 ASG들을 포함하는 경우 박막 트랜지스터 기관의 좌측면에 게이트 구동 회로로서 별도의 박막 트랜지스터가 직접 실장 된다. 게이트 구동칩을 실장할 때보다 ASG를 실장할 때 집적회로 형태가 아닌 별도의 박막트랜지스터를 기관위에 직접 실장하므로 차지하는 면적이 넓어진다. 즉 비표시 영역이 넓어진다. 그러나 집적 회로(IC: Integrated Circuit)형태가 아닌 ASG를 사용하는 경우 제조 단가를 줄일 수 있다.
- [0005] 소스 구동칩들 및 복수의 ASG들이 각각 상측면과 좌측면에 실장될 경우 하측면은 빈공간이며 이러한 빈공간을 채우기 위해 실 갭(Seal Gap) 보상 패턴을 삽입한다.
- [0006] 칼라필터 기관에는 다수의 화소들에 대응하는 다수의 색화소들(예를들어, 레드, 그린 및 블루색화소들)이 구비되며 다수의 색화소들은 액정의 배열 변화에 따라 변경되는 빛의 양에 칼라를 부여한다.
- [0007] 복수의 화소들이 배치되어 영상이 표시되는 영역은 표시 영역으로 정의되고, 표시영역을 제외한 영역은 비표시 영역으로 정의된다. 액정표시장치를 하우징하는 베젤은 액정표시장치의 외관을 형성하며 비표시 영역이 증가되면 베젤 영역이 증가한다. 따라서 표시 영역을 증가시키기 위해서는 비표시 영역을 줄임으로서 베젤 영역을 줄여야 한다.
- [0008] ASG를 사용하는 경우 제조 단가가 절감되는 효과가 있으나 게이트 구동칩을 사용하는 경우보다 비표시 영역이 증가하게 된다. 그러나 미세 공정을 통해 트랜지스터 사이즈를 줄이는데는 한계가 있으므로 ASG를 사용하는 액정표시장치의 베젤 영역을 줄이는데는 한계가 있다.
- [0009] 또한, 화소들의 개수가 증가할수록 필요한 데이터 라인들의 개수가 증가한다. 예를 들어 해상도 1366×768의 경우 복수의 화소들은 각각 서브 화소들(레드, 그린, 블루 화소)을 포함하고 서브 화소들이 행 방향으로 배열된 경우 필요한 데이터 라인은 1366×3개가 되며 게이트 라인은 768개가 된다. 따라서 화소들의 개수가 증가할수록 게이트 라인보다 데이터 라인들의 개수가 더 증가하게 되므로 필요한 소스 구동칩이 증가하게 된다. 필요한 소스 구동칩이 증가할수록 제조 단가가 증가하게 된다.

발명의 내용

해결하려는 과제

- [0010] 본 발명이 해결하고자 하는 과제는 내로우 베젤을 갖는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

- [0011] 본 발명의 제1 실시예에 따른 액정표시장치는 서로 교차하는 m개의 열들 및 n개의 행들로 배열된 복수의 화소들이 형성된 제1 기관, 상기 제1 기관 위에 열 방향으로 배열된 n개의 제1 데이터 라인들, 상기 제1 데이터 라인들과 평행하게 배열된 m개의 게이트 라인들, 상기 m개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 n개의 제2 데이터 라인, 상기 제1 기관의 일측면에 배치되는 소스 구동칩들, 및 상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동부를 포함하고, 상기 제2 데이터 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되며, 상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동부는 상기 게이트 라인들을 통해 상기 복수의 화소들에 각각 게이트 신호들을 제공한다.
- [0012] 본 발명의 제2 실시예에 따른 액정표시장치는 서로 교차하는 m개의 열들 및 n개의 행들로 배열된 복수의 화소들이 형성된 제1 기관, 상기 제1 기관 위에 행 방향으로 배열된 m개의 제1 데이터 라인들, 상기 제1 데이터 라인들과 평행하게 배열된 n개의 게이트 라인들, 상기 n개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 m개의 제2 데이터 라인들, 상기 제1 기관의 일측면에 배치되는 소스 구동칩들, 및 상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동칩들을 포함하고, 상기 제2 데이터 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되며, 상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동칩들은 각각 상기 게이트 라인

들을 통해 상기 복수의 화소들에 게이트 신호들을 제공하는 액정표시장치.

[0013] 본 발명의 제3 실시예에 따른 액정표시장치는 서로 교차하는 m개의 열들 및 n개의 행들로 배열된 복수의 화소들이 형성된 제1 기관, 상기 제1 기관 위에 열 방향으로 배열된 n/2개의 제1 데이터 라인들, 상기 제1 데이터 라인들과 평행하게 배열된 2m개의 게이트 라인들, 상기 2m개의 게이트 라인들과 교차되도록 배열되고 각각 대응되는 상기 제1 데이터 라인들에 수직하게 연결되는 n/2개의 제2 데이터 라인들, 상기 제1 기관의 일측면에 배치되는 소스 구동칩들, 및 상기 제1 기관의 일측면과 반대면에 배치되는 게이트 구동부를 포함하고, 상기 제2 데이터 라인들은 홀수 행 및 짝수 행들에 배열된 화소들 사이에 각각 배치되고, 상기 홀수 행 및 짝수 행들에 배열된 화소들에 각각 연결되며, 상기 제2 데이터 라인들은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되고, 상기 게이트 라인들은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되며, 상기 게이트 라인들은 두 개의 게이트 라인들 단위로 각각 열들에 배열된 화소들의 좌우에 배치되며, 두 개의 게이트 라인들 중 하나는 열에 배열된 홀수 번째 화소들에 연결되고 다른 하나는 그와 동일한 열에 배열된 짝수 번째 화소들에 연결되며, 상기 소스 구동칩들은 각각 상기 제1 데이터 라인들 및 상기 제2 데이터 라인들을 통해 상기 복수의 화소들에 데이터 신호들을 제공하며, 상기 게이트 구동부는 상기 게이트 라인들을 통해 상기 복수의 화소들에 각각 게이트 신호들을 제공한다.

발명의 효과

[0014] 본 발명에 따른 액정표시장치는 베젤 영역을 줄이고 표시 영역을 넓힐 수 있다. 또한, 액정표시장치에 사용되는 소스 구동칩의 개수를 줄일 수 있어 제조 단가가 절감될 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 분해사시도이다.

도 2는 도 1에 도시된 액정표시장치의 평면도이다.

도 3은 도 2에 도시된 A영역의 확대도이다.

도 4은 도 3의 I1-I1'선을 따라 자른 단면도이다.

도 5a 는 도 3에 도시된 데이터 라인 및 데이터 분배 라인의 결합 구성을 보인 평면도이다.

도 5b는 도 5a의 I2-I2'선을 따라 자른 단면도이다.

도 6a 는 도 3에 도시된 데이터 라인 및 데이터 분배 라인의 다른 결합 구성을 보인 평면도이다.

도 6b는 도 6a의 I3-I3'선을 따라 자른 단면도이다.

도 7은 본 발명의 제2 실시예에 따른 액정표시장치의 평면도이다.

도 8은 도 2에 도시된 A'영역의 확대도이다.

도 9는 본 발명의 제3 실시예에 따른 액정표시장치의 평면도이다.

도 10은 도 9에 도시된 A''영역의 확대도이다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명한다.

[0017] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치를 나타내는 분해사시도이며 도 2는 도 1에 도시된 액정표시장치의 평면도이다.

[0018] 도 1 및 2를 참조하면, 본 발명의 제1 실시예에 따른 액정표시장치(500)는 표시패널(100), 게이트 구동부(400), 복수의 소스 구동칩들(300), 복수의 소스 구동칩들(300)이 각각 실장된 필름들(310), 구동 회로 기관(240), 및 백라이트 유닛(200)을 포함한다. 복수의 소스 구동칩들(300)은 데이터 구동부를 구성한다. 즉 데이터 구동부는 복수의 소스 구동칩들(300)을 포함한다. 게이트 구동부(400)는 복수의 아모퍼스 실리콘 게이트 회로들(ASG: Amorphous Silicon Gate circuit, 이하 ASG 회로라 칭함)(410)들을 포함한다.

[0019] 표시 패널(100)은 복수의 화소들이 형성된 제1 기관(110), 제1 기관(110)과 마주하는 제2 기관(120), 그리고 제1 및 제2 기관들(110,120) 사이에 구비된 액정층(미 도시됨)을 포함한다. 제1 기관(110)은 박막 트랜지스터 기

관으로 정의되고, 제2 기관(120)은 컬러필터 기관으로 정의될 수 있다. 이하, 제1 기관(110)은 박막트랜지스터 기관(110)으로, 제2 기관(120)은 컬러필터 기관(120)이라 칭한다.

- [0020] 백라이트 유닛(200)은 표시 패널(100)에 광을 공급하며 액정층은 백라이트 유닛(200)으로부터 공급되는 광의 투과율을 조절한다. 칼라필터 기관(120)에는 복수의 화소들에 대응하는 다수의 색화소들(미도시됨)(예를 들어, 레드, 그린 및 블루색 화소들)이 구비되며 다수의 색화소들은 액정의 배열 변화에 따라서 변경되는 빛의 양에 칼라를 부여한다.
- [0021] 복수의 화소들은 서로 교차하는 m개의 열들 및 n개의 행들로 배열되어 박막 트랜지스터 기관(110)에 형성된다. m 및 n은 0보다 큰 정수이다. 또한 복수의 화소들은 각각 박막 트랜지스터(TFT:Thin Film Transistor) 및 화소 전극(Pixel Electrode)을 포함한다. 박막 트랜지스터(TFT:Thin Film Transistor) 및 화소 전극(Pixel Electrode)은 이하, 도 3에 도시될 것이다.
- [0022] 제1 데이터 라인들(DL1_1~DL1_n)(이하, 데이터 라인들이라 칭함)은 각각 대응되는 제2 데이터 라인들(DL2_1~DL2_n)(이하, 데이터 분배 라인들이라 칭함)에 수직하게 연결된다. 데이터 분배 라인들(DL2_1~DL2_n) 및 게이트 라인들(GL1~GLm)은 서로 교차되어 형성되며 게이트 라인들(GL1~GLm)은 데이터 라인들(DL1_1~DL1_n)과 평행하게 배치된다. 복수의 화소들은 서로 교차되어 형성된 데이터 분배 라인들(DL2_1~DL2_n) 및 게이트 라인들(GL1~GLm)에 각각 연결된다. 구체적으로 데이터 분배 라인들(DL2_1~DL2_n)은 각각 대응되는 행들에 배열된 복수의 화소들에 연결되며, 게이트 라인들(GL1~GLm)은 각각 대응되는 열들에 배열된 복수의 화소들에 연결된다.(이하 도 3에서 상세히 설명됨) 데이터 분배 라인들(DL2_1~DL2_n)은 행 방향으로 배열되며 데이터 라인들(DL1_1~DL1_n) 및 게이트 라인들(GL1~GLm)은 열 방향으로 배열된다.
- [0023] 게이트 구동부(400)의 ASG 회로들(410)은 상기 박막 트랜지스터 기관(110)의 하측면에 실장되며 대응되는 게이트 라인들(GL1~GLm)을 통해 열 단위로 복수의 화소들에 각각 게이트 신호(또는 게이트 온/오프 신호)들을 공급한다. 따라서 ASG 회로들(410)은 게이트 라인들(GL1~GLm)에 대응되므로 m개가 박막트랜지스터 기관의 하측면에 실장 될 것이다.
- [0024] 소스 구동칩들(300)은 COF(Chip On the Film) 형태로 박막 트랜지스터 기관(110)의 상측면에 실장된다. 구체적으로 소스 구동칩들(300)은 테이프 캐리어 패키지(Tape Carrier Package) 방식으로 신호 전송 필름들(310)에 각각 실장 된다. 소스 구동칩들(300)은 신호 전송 필름들(310)을 통해 상기 박막 트랜지스터 기관(110)의 상측면과 구동 회로 기관(320)에 전기적으로 연결된다. 또한, 소스 구동칩들(300)은 상기 데이터 라인들(DL1_1~DL1_n)을 통해 데이터 신호들(또는 화소 데이터)을 전송한다. 데이터 신호들은 데이터 라인들(DL1_1~DL1_n)에 각각 연결된 데이터 분배 라인들(DL2_1~DL2_n)을 통해 각각 대응되는 행들에 배열된 복수의 화소들에 각각 제공된다. 즉, 행 단위로 복수의 화소들에 각각 데이터 신호들이 제공된다. 데이터 라인들(DL1_1~DL1_n), 데이터 분배 라인들(DL2_1~DL2_n), 게이트 라인들(GL1~GLm), 및 복수의 화소들의 연결 구성은 이하 도 3에서 도시되며, 상세히 설명될 것이다.
- [0025] 복수의 화소들이 배치된 영역은 표시영역(DA)으로 정의되며 표시영역(DA)을 제외한 영역은 비표시 영역으로 정의된다. 비표시 영역은 박막 트랜지스터 기관(110)의 좌측면과 표시영역(DA) 사이의 제1 영역(PA1), 우측면과 표시영역(DA) 사이의 제2 영역(PA2), 상측면과 표시영역(DA) 사이의 제3 영역(PA3), 및 하측면과 표시영역(DA) 사이의 제4 영역(PA4)을 포함한다.
- [0026] 게이트 구동부(400)의 ASG 회로들(410)이 박막 트랜지스터 기관(110)의 좌측면 또는 우측면에 배치되지 않고 하측면에 배치되므로 제1 영역(PA1) 또는 제2 영역(PA2)이 줄어든다. 구체적으로 비표시 영역의 제1 및 제2 영역들(PA1,PA2)은 각각 1mm이하의 사이즈를 가질 것이다. 또한 박막 트랜지스터 기관(110)의 하측면에 실 갭(Seal Gap) 보상 패턴을 삽입하는 대신에 ASG 회로들(410)이 실장되므로 비표시 영역의 제4 영역(PA4)은 기존과 동일하게 유지된다.
- [0027] 결과적으로 본 발명의 제1 실시예에 따른 액정표시장치(500)는 좌우 베젤(bezel) 영역을 줄일 수 있으므로 표시 영역의 좌우영역이 넓어질 것이다.
- [0028] 도 3은 도 2에 도시된 A영역의 확대도 이다. 설명의 편의를 위해 9개의 화소들이 도시되었으며 점선 화살표는 데이터의 이동 방향을 도시한다.
- [0029] 도 3을 참조하면, 복수의 화소들은 레드(Read), 그린(Green), 및 블루(Blue) 화소들로 구성되며 레드, 그린, 및 블루 화소들은 열 방향으로 배열된다. 복수의 화소들은 각각 박막 트랜지스터(115) 및 화소 전극(114)을 포함한다. 데이터 라인들(DL1_1~DL1_n)은 각각 대응되는 데이터 분배 라인들(DL2_1~DL2_n)에 수직하게 연결된다. 데이

터 분배 라인들(DL2_1~DL2_n)은 대응되는 행들에 배열된 화소들의 박막 트랜지스터들(115)의 소스들에 각각 연결된다. 데이터 분배 라인들(DL2_1~DL2_n)과 교차되어 형성된 게이트 라인들(GL1~GLm)은 대응되는 열들에 배열된 화소들의 박막 트랜지스터들(115)의 게이트들에 각각 연결된다. 복수의 화소들의 박막 트랜지스터들(115)의 드레인들은 각각 화소 전극들(114)에 연결된다.

- [0030] 데이터 라인(DL1_1)을 통해 제공되는 데이터 신호는 데이터 분배 라인(DL2_1)을 통해 제1 행(Row_1)에 배열된 화소들의 박막 트랜지스터들(115)의 소스들에 각각 인가된다. 역시 데이터 라인(DL1_2)을 통해 제공되는 데이터 신호는 데이터 분배 라인(DL2_2)을 통해 제2 행(Row_2)에 배열된 화소들의 박막 트랜지스터들(115)의 소스들에 각각 인가된다. 기타 데이터 라인들(DL1_3~DL1_n)을 통해 제공되는 데이터 신호들도 데이터 분배 라인들(DL2_3~DL2_n)을 통해 대응되는 행에 배열된 화소들의 박막 트랜지스터들(115)의 소스들에 각각 인가된다.
- [0031] 결과적으로 하나의 데이터 라인이 연결된 하나의 데이터 분배 라인을 통해 하나의 행에 배열된 화소들에 데이터 신호가 제공되므로 필요한 데이터 라인의 개수는 n 개가 된다.
- [0032] ASG 회로들(410)은 각각 대응되는 게이트 라인들(GL1~GLm)을 통해 열들에 배열된 화소들의 박막 트랜지스터들(115)의 게이트들에 각각 게이트 신호들을 인가한다. 따라서 게이트 라인들은 m개가 필요하다.
- [0033] 본 발명의 제1 실시예에 따른 액정표시장치(500)의 해상도가 1366×768인 경우 필요한 데이터 라인은 768×3개가 되며 게이트 라인은 1366개가 된다. 따라서 필요한 데이터 라인의 개수가 줄어들므로 필요한 소스 구동칩의 개수도 줄어들게 된다.
- [0034] 결과적으로 본 발명의 제1 실시예에 따른 액정표시장치(500)는 비표시 영역을 줄임으로서 베젤 영역을 줄일 수 있으며, 사용되는 소스 구동칩의 개수를 줄일 수 있어 제조 단가가 절감된다.
- [0035] 도 4은 도 3의 I1-I1'선을 따라 자른 단면도이다.
- [0036] 설명의 편의를 위해 도 3에는 제1 CST 라인(CST1), 제2 CST 라인(CST2), 칼럼 스페이서(CS:Column Spacer)를 도시하지 않았으며, 도 4의 단면도에서 각각의 적층구조를 설명하기 위하여 상기 구성이 도시되었다.
- [0037] 도 4를 참조하면, 박막트랜지스터 기관(110)은 제1 베이스 기관(111) 및 게이트 절연막(112)을 포함한다. 제1 베이스 기관(111) 위에는 제1 스토리지 커패시터라인(CST1)(이하 제1 CST 라인이라 칭함), 제2 스토리지 커패시터라인(CST2)(이하 제2 CST 라인이라 칭함), 데이터 라인(DL1_2), 게이트 라인(GL2)이 형성된다. 데이터 라인(DL1_2) 및 게이트 라인(GL2)은 서로 이격되어 제1 및 제2 CST 라인(CST1, CST2) 사이에 형성되며 동일한 메탈로 구성된다.
- [0038] 제1 CST 라인(CST1), 데이터 라인(DL1_2), 게이트 라인(GL2), 및 CST 라인(CST) 위에는 게이트 절연막(112)이 형성된다. 게이트 절연막(112) 위에는 제1 CST 라인(CST1)과 오버랩되는 화소 전극(114) 및 제2 CST 라인(CST2)과 오버랩되는 화소 전극(114)이 서로 이격되어 형성된다. 이하 제1 CST 라인(CST1)과 오버랩되는 화소 전극(114)을 제1 화소 전극, 제2 CST 라인(CST2)과 오버랩되는 화소 전극(114)을 제2 화소 전극이라 한다. 게이트 절연막(112) 위에는 데이터 라인(DL1_2) 및 게이트 라인(GL2)과 오버랩되며 제1 및 제2 화소 전극들 사이에 칼럼 스페이서(CS:Column Spacer)가 형성된다.
- [0039] 데이터 라인(DL1_2) 및 게이트 라인(GL2) 사이에는 제1 기생커패시터(CP1)가 형성되며 제1 픽셀전극과 데이터 라인(DL1_2) 사이에는 제2 기생커패시터(CP2)가 형성된다. 제1 픽셀전극과 제1 CST 라인(CST1)에는 스토리지 커패시터(CP3)가 형성된다. 제1 및 제2 기생커패시터들(CP1,CP2)은 패널 동작에 영향을 미칠 수 있다.
- [0040] 칼럼 스페이서(CS)는 유전율이 낮은 물질로 형성된다. 구체적으로 에폭시계 아크릴 수지가 사용되며, 칼럼 스페이서(CS)의 유전율은 액정의 유전율보다 낮다. 데이터 라인(DL1_2) 및 게이트 라인(GL2) 사이에 형성된 제1 기생커패시터(CP1)의 크기는 유전율에 비례한다. 기관들에 전압이 인가될 경우 액정층의 액정들(미 도시됨)이 재배열되고, 재배열된 액정들의 유전율이 높아진다. 그러나 칼럼 스페이서(CS)의 유전율은 액정들의 유전율보다 낮다. 따라서 액정들의 유전율이 높아지더라도 유전율이 낮은 칼럼 스페이서(CS)의 영향으로 제1 기생커패시터(CP1)의 크기는 작아진다.
- [0041] 또한 데이터 라인(DL1_2) 및 게이트 라인(GL2) 사이의 거리가 멀어질 수록 제1 기생커패시터(CP1)의 크기는 작아진다. 데이터 라인(DL1_2) 및 게이트 라인(GL2) 사이의 거리를 4 마이크로미터(μm)이상으로 이격시킬 경우 제1 기생커패시터(CP1)의 크기는 무시할 수 있을 정도로 작아진다.
- [0042] 스토리지 커패시터(CP3)는 제1 화소 전극과 칼라필터 기관(120)상에 형성된 공통전극(미도시됨)에 의해 형성되

는 액정 커패시터로부터 방전되는 전하를 보충한다. 스토리지 커패시터(CP3)의 크기는 제2 기생커패시터(CP2)보다 매우 크다. 스토리지 커패시터(CP3)의 크기는 제2 기생커패시터(CP2)보다 매우 크기 때문에 제2 기생커패시터(CP2)의 영향은 무시될 수 있다.

- [0043] 결과적으로 표시패널(100)의 동작에 따른 제1 및 제2 기생커패시터들(CP1, CP2)의 영향은 무시될 수 있을 것이다.
- [0044] 도 5a 는 도 3에 도시된 데이터 라인 및 데이터 분배 라인의 결합 구성을 보인 평면도이며, 도 5b는 도 5a의 I2-I2'선을 따라 자른 단면도이다. 도 5a 및 도 5b에는 임의의 한 데이터 라인(DL1_1) 및 데이터 분배 라인(DL2_1)이 도시되어 있다.
- [0045] 도 5a 및 도 5b를 참조하면, 박막 트랜지스터 기관(110)은 제1 베이스기관(111), 게이트 절연막(112), 및 층간 절연막(113)을 포함하고, 제1 베이스기관(111) 위에는 데이터 라인(DL1_1)으로부터 행 방향으로 분기된 제1 분기부(41)가 형성된다. 제1 분기부(41) 위에는 게이트 절연막(112)이 형성되고, 게이트 절연막(112) 위에는 데이터 분배 라인(DL2_1)으로부터 제1 분기부(41)에 인접하도록 열 방향으로 분기되는 제2 분기부(42)가 형성된다. 제2 분기부(42) 위에는 층간 절연막(113)이 형성된다. 제1 분기부(41)상에 형성된 게이트 절연막(112) 및 층간 절연막(113)에는 제1 분기부(41)까지 제1 홀(h1)이 형성되고 제2 분기부(42)상에 형성된 층간 절연막(113)에는 제2 분기부(42)까지 제2 홀(h2)이 형성된다. 제1 홀(h1), 제2 홀(h2), 그리고 제1 홀(h1)과 제2 홀(h2)사이의 층간 절연막(113) 위에 브릿지(40)가 형성되며, 제1 분기부(41) 및 제2 분기부(42)는 브릿지(40)를 통해 전기적으로 연결된다.
- [0046] 따라서 제1 분기부(41) 및 제2 분기부(42)는 다른 레이어상에 형성되고 브릿지(40)를 통해 전기적으로 연결된다.
- [0047] 도 6a 는 도 3에 도시된 데이터 라인 및 데이터 분배 라인의 다른 결합 구성을 보인 평면도이며, 도 6b는 도 6a의 I3-I3'선을 따라 자른 단면도이다. 도 6a 및 도 6b에는 임의의 한 데이터 라인(DL1_1) 및 데이터 분배 라인(DL2_1)이 도시되어 있다.
- [0048] 도 6a 및 도 6b를 참조하면, 제1 베이스기관(111) 위에는 데이터 라인(DL1_1)이 형성되고, 데이터 라인(DL1_1) 위에는 게이트 절연막(112)이 형성된다. 데이터 라인(DL1_1)상에 형성된 게이트 절연막(112)에는 데이터 라인(DL1_1)까지 컨택홀(CNT)이 형성된다. 컨택홀(CNT) 위에는 데이터 분배 라인(DL2_1)이 형성되고, 데이터 분배 라인(DL2_1) 위에는 층간절연막(113)이 형성된다. 컨택홀(CNT) 위에는 데이터 분배 라인(DL2_1)이 형성되므로 데이터 라인(DL1_1) 및 데이터 분배 라인(DL2_1)은 전기적으로 연결된다.
- [0049] 컨택홀(CNT)은 데이터 라인 및 데이터 분배 라인이 연결되는 곳에만 형성된다. 즉 컨택홀(CNT) 연결이 필요한 부분에만 형성된다. 예를 들어 데이터 라인(DL1_1) 및 데이터 분배 라인(DL2_1)이 연결되며 데이터 라인(DL1_2) 및 데이터 분배 라인(DL2_1)은 연결되지 않는다. 데이터 라인(DL1_1) 및 데이터 분배 라인(DL2_1)은 앞서 설명한 바와 같이 연결될 것이다. 그러나 데이터 라인(DL1_2)위에 형성된 게이트 절연막(112)에는 컨택홀(CNT)이 형성되지 않는다. 따라서 데이터 라인(DL1_2) 및 데이터 분배 라인(DL2_1)은 게이트 절연막(112)에 의해 분리되어 있으므로 전기적으로 연결되지 않는다.
- [0050] 도 7은 본 발명의 제2 실시 예에 따른 액정표시장치의 평면도이다.
- [0051] 본 발명의 제2 실시 예에 따른 액정표시장치(600)는 도 2에 도시된 액정표시 장치(500)와 달리 게이트 구동부가 복수의 게이트 구동칩(G-IC)들을 포함하며 박막트랜지스터 기관의 좌측에 배치되고, 소스 구동칩들이 박막트랜지스터 기관의 우측에 배치된다. 또한 게이트 구동칩들 및 소스 구동칩들이 박막트랜지스터 기관의 좌측 및 우측에 배치됨으로써 데이터 라인들, 데이터 분배 라인들 및 게이트 라인들의 연결구성과 배치가 달라진다. 기타 구성은 동일하므로 이하 동일한 구성은 동일한 명칭 및 부호를 사용하며 제1 실시 예에 따른 액정표시장치(500)와 다른 구성이 설명될 것이다.
- [0052] 도 7을 참조하면, 데이터 라인들(DL1_1~DL1_m)은 각각 대응되는 제2 데이터 라인들(DL2_1~DL2_m)(이하, 데이터 분배 라인들이라 칭함)에 수직하게 연결된다. 데이터 분배 라인들(DL2_1~DL2_m) 및 게이트 라인들(GL1~GLn)은 서로 교차되어 형성되며 게이트 라인들(GL1~GLn)은 데이터 라인들(DL1_1~DL1_m)과 평행하게 배치된다. 복수의 화소들은 서로 교차되어 형성된 데이터 분배 라인들(DL2_1~DL2_m) 및 게이트 라인들(GL1~GLn)에 각각 연결된다. 구체적으로 데이터 분배 라인들(DL2_1~DL2_m)은 각각 대응되는 열들에 배열된 복수의 화소들에 연결되며, 게이트 라인들(GL1~GLn)은 각각 대응되는 행들에 배열된 복수의 화소들에 연결된다.(이하 도 3에서 상세히 설명됨) 데이터 분배 라인들(DL2_1~DL2_m)은 열 방향으로 배열되며 데이터 라인들(DL1_1~DL1_m) 및 게이트 라인들

(GL1~GLn)은 행 방향으로 배열된다.

- [0053] 게이트 구동칩들(420)은 COF(Chip On the Film) 형태로 박막 트랜지스터 기관(110)의 좌측면에 실장되며 소스 구동칩들(300)은 COF(Chip On the Film) 형태로 박막 트랜지스터 기관(110)의 우측면에 실장된다. 게이트 구동칩들(420)은 게이트 구동부를 구성한다. 즉 게이트 구동부는 복수의 게이트 구동칩들(420)을 포함한다.
- [0054] 게이트 구동칩들(420)은 게이트 라인들(GL1~GLn)을 통해 행 단위로 복수의 화소들에 각각 게이트 신호(또는 게이트 온/오프 신호)들을 공급한다.
- [0055] 소스 구동칩들(220)은 상기 데이터 라인들(DL1_1~DL1_m)을 통해 데이터 신호들(또는 화소 데이터)을 전송한다. 데이터 신호들은 데이터 라인들(DL1_1~DL1_m)에 각각 연결된 데이터 분배 라인들(DL2_1~DL2_n)을 통해 각각 대응되는 열들에 배열된 복수의 화소들에 각각 제공된다. 즉, 열 단위로 복수의 화소들에 각각 데이터 신호들이 제공된다. 데이터 라인들(DL1_1~DL1_n), 데이터 분배 라인들(DL2_1~DL2_n), 게이트 라인들(GL1~GLm), 및 복수의 화소들의 연결 구성은 이하 도 8에서 도시되며, 상세히 설명될 것이다.
- [0056] 게이트 구동부의 게이트 구동칩들(420)이 박막 트랜지스터 기관(110)의 좌측에 배치되고, 소스 구동부의 소스 구동칩들(310)이 박막 트랜지스터 기관(110)의 우측에 배치되므로 제3 영역(PA3) 또는 제4 영역(PA4)이 줄어든다. 구체적으로 비표시 영역의 제3 및 제4 영역들(PA3,PA4)은 각각 1mm이하의 사이즈를 가질 것이다.
- [0057] 또한 ASG 회로들(410)을 실장 할 때보다 게이트 구동칩들(420)을 실장 할 경우 차지하는 면적이 작아진다. 따라서 도 2에 도시된 제1 영역(PA1)보다 도 7에 도시된 제1 영역(PA1)이 작다. 게이트 구동칩들(420)은 박막 트랜지스터 기관(110)의 우측면에, 그리고 소스 구동칩들(300)은 박막 트랜지스터 기관(110)의 우측면에 실장될수도 있으며 이러한 경우, 도 2에 도시된 제2 영역(PA2)보다 도 7에 도시된 제2 영역(PA2)이 작다.
- [0058] 결과적으로 단순한 구성에 의해 본 발명의 제2 실시예에 따른 액정표시장치(500)는 좌우 베젤(bezel) 및 상하 베젤(bezzel) 영역을 줄일 수 있으므로 표시영역의 상하 및 좌우영역이 넓어질 것이다.
- [0059] 도 8은 도 2에 도시된 A''영역의 확대도이다.
- [0060] 도 8을 참조하면, 데이터 라인들(DL1_1~DL1_m)은 각각 대응되는 데이터 분배 라인들(DL2_1~DL2_m)에 수직하게 연결된다. 데이터 분배 라인들(DL2_1~DL2_m)은 대응되는 열들에 배열된 화소들의 박막 트랜지스터들(113)의 소스들에 각각 연결된다. 데이터 분배 라인들(DL2_1~DL2_m)과 교차되어 형성된 게이트 라인들(GL1~GLn)은 대응되는 행들에 배열된 화소들의 박막 트랜지스터들(113)의 게이트들에 각각 연결된다. 복수의 화소들의 박막 트랜지스터들(113)의 드레인들은 각각 화소 전극들(112)에 연결된다.
- [0061] 데이터 라인(DL1_1)을 통해 제공되는 데이터 신호는 데이터 분배 라인(DL2_1)을 통해 제1 열(Co1_1)에 배열된 화소들(112)의 박막 트랜지스터들(113)의 소스들에 각각 인가된다. 역시 데이터 라인(DL1_2)을 통해 제공되는 데이터 신호는 데이터 분배 라인(DL2_2)을 통해 제2 열(Co1_2)에 배열된 화소들의 박막 트랜지스터들(113)의 소스들에 각각 인가된다. 기타 데이터 라인들(DL1_3~DL1_m)을 통해 제공되는 데이터 신호들도 데이터 분배 라인들(DL2_3~DL2_m)을 통해 대응되는 열에 배열된 화소들(112)의 박막 트랜지스터들(113)의 소스들에 각각 인가된다.
- [0062] 결과적으로 하나의 데이터 라인이 연결된 하나의 데이터 분배 라인을 통해 하나의 열에 배열된 화소들에 데이터 신호가 제공되므로 필요한 데이터 라인의 개수는 m 개가 된다.
- [0063] 게이트 구동칩들(420)은 각각 대응되는 게이트 라인들(GL1~GLn)을 통해 행들에 배열된 화소들의 박막 트랜지스터들(113)의 게이트들에 각각 게이트 신호들을 인가한다. 따라서 게이트 라인들은 n개가 필요하다.
- [0064] 도 9는 본 발명의 제3 실시예에 따른 액정표시장치의 평면도이다.
- [0065] 본 발명의 제3 실시예에 따른 액정표시장치(700)는 데이터 라인들, 데이터 분배 라인들 및 게이트 라인들의 개수 및 배치가 달라지는 것을 제외하면 도 2에 도시된 액정표시장치(500)와 실질적 구성이 동일하다. 이하 동일한 구성은 동일한 명칭 및 부호를 사용하며 제1 실시예에 따른 액정표시장치(700)와 다른 구성이 설명될 것이다.
- [0066] 데이터 라인들(DL1_1~DL1_n/2)은 각각 대응되는 데이터 분배 라인들(DL2_1~DL2_n/2)에 수직하게 연결된다. 데이터 분배 라인들(DL2_1~DL2_n/2) 및 게이트 라인들(GL1~GL2m)은 서로 교차되어 형성되며 게이트 라인들(GL1~GL2m)은 데이터 라인들(DL1_1~DL1_n/2)과 평행하게 배치된다.
- [0067] 데이터 분배 라인들(DL2_1~DL2_n/2)은 홀수 행 및 짝수 행들에 배열된 화소들 사이에 각각 배치된다. 또한 데이

터 분배 라인들(DL2_1~DL2_n/2)은 각각 홀수 행 및 짝수 행들에 배열된 화소들에 연결된다. 게이트 라인들(GL1~GLm2)은 두 개의 게이트 라인들 단위로 각각 열들에 배열된 화소들의 좌우에 배치된다. 또한 두 개의 게이트 라인들 중 하나는 열에 배열된 홀수 번째 화소들에 연결되고 다른 하나는 그와 동일한 열에 배열된 짝수 번째 화소들에 연결된다. 복수의 화소들과 데이터 분배 라인들(DL2_1~DL2_n/2)의 연결구성 및 복수의 화소들과 게이트 라인들(GL1~GL2m)의 구체적인 연결구성은 이하 도 10에서 상세히 설명될 것이다. 데이터 분배 라인들(DL2_1~DL2_n/2)은 행 방향으로 배열되며 데이터 라인들(DL1_1~DL1_n/2) 및 게이트 라인들(GL1~GL2m)은 열 방향으로 배열된다.

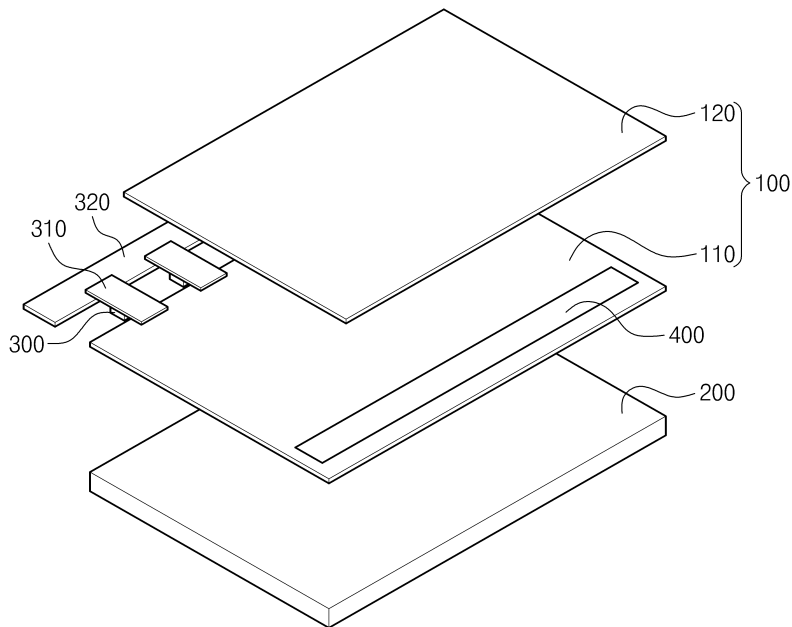
- [0068] 게이트 구동부(400)의 ASG 회로들(410)은 상기 박막 트랜지스터 기관(110)의 하측면에 실장되며 소스 구동칩들(300)은 신호 전송 필름들(310)을 통해 상기 박막 트랜지스터 기관(110)의 상측면과 구동 회로 기관(320)에 전기적으로 연결된다. 즉 도 9에 도시된 액정표시장치(700)의 ASG 회로들(410) 및 소스 구동칩들(300)의 배치는 도 2에 도시된 액정표시장치(500)와 동일하다. 따라서 본 발명의 제3 실시예에 따른 액정표시장치(700)는 좌우 베젤(bezel) 영역을 줄일 수 있으므로 표시영역의 좌우영역이 넓어질 것이다.
- [0069] 도 10은 도 9에 도시된 A'' 영역의 확대도 이다. 설명의 편의를 위해 12개의 화소들이 도시되었으며 점선 화살표는 데이터의 이동 방향을 도시한다.
- [0070] 도 10을 참조하면, 데이터 라인들(DL1_1~DL1_n/2)은 각각 대응되는 데이터 분배 라인들(DL2_1~DL2_n/2)에 수직하게 연결된다.
- [0071] 데이터 분배 라인들(DL2_1~DL2_n/2)은 홀수 행 및 짝수 행들에 배열된 화소들 사이에 각각 배치된다. 또한 데이터 분배 라인들(DL2_1~DL2_n/2)은 각각 홀수 행 및 짝수 행들에 배열된 화소들의 박막 트랜지스터들(113)의 소스들 연결된다. 게이트 라인들(GL1~GLm2)은 두 개의 게이트 라인들 단위로 각각 열들에 배열된 화소들의 좌우에 배치된다. 또한 두 개의 게이트 라인들 중 하나는 열에 배열된 홀수 번째 화소들의 박막 트랜지스터들(113)의 게이트들에 연결되고 다른 하나는 그와 동일한 열에 배열된 짝수 번째 화소들의 박막 트랜지스터들(113)의 게이트들에 연결된다. 복수의 화소들의 박막 트랜지스터들(113)의 드레인들은 각각 화소 전극들(112)에 연결된다.
- [0072] 데이터 라인(DL1_1)을 통해 제공되는 데이터 신호는 데이터 분배 라인(DL2_1)을 통해 홀수 행인 제1 행(Row_1) 및 짝수 행인 제2 행(Row_2)에 배열된 화소들(112)의 박막 트랜지스터들(113)의 소스들에 각각 인가된다. 역시 데이터 라인(DL1_2)을 통해 제공되는 데이터 신호는 데이터 분배 라인(DL2_2)을 통해 홀수 행인 제3 행(Row_3) 및 짝수 행인 제4 행(Row_4)에 배열된 화소들의 박막 트랜지스터들(113)의 소스들에 각각 인가된다. 기타 데이터 라인들(DL1_3~DL1_n)을 통해 제공되는 데이터 신호들도 데이터 분배 라인들(DL2_3~DL2_n)을 통해 짝수 행 및 홀수 행 배열된 화소들(112)의 박막 트랜지스터들(113)의 소스들에 각각 인가된다.
- [0073] 따라서 하나의 데이터 라인이 연결된 하나의 데이터 분배 라인을 통해 두 개의 행에 배열된 화소들에 데이터 신호가 제공되므로, 필요한 데이터 라인의 개수는 n/2 개가 된다.
- [0074] 두 개의 게이트 라인들(GL1, GL2) 중 하나의 게이트 라인(GL1)을 통해 제공되는 게이트 신호는 제1 열(Col_1)에 배열된 홀수 번째 화소들의 박막 트랜지스터들(113)의 게이트들에 인가된다. 다른 하나의 게이트 라인(GL2)을 통해 제공되는 게이트 신호는 제1 열(Col_2)에 배열된 짝수 번째 화소들에 배열된 박막 트랜지스터들(113)의 게이트들에 인가된다.
- [0075] 따라서 두 개의 게이트 라인들을 통해 하나의 열에 배열된 복수의 화소들에 게이트 신호가 제공되므로 필요한 게이트 라인의 개수는 2m개가 된다. ASG 회로들(410)은 게이트 라인들(GL1~GL2m)에 대응되므로 2m개가 박막트랜지스터 기관의 하측면에 실장 될 것이다.
- [0076] 이러한 구성에 의해 제3 실시예에 따른 액정표시장치(700)는 제1 실시예에 따른 액정표시장치(500)보다 필요한 데이터 라인의 개수가 반으로 줄게 되므로 필요한 소스 구동칩의 개수도 줄어들게 된다.
- [0077] 결과적으로 본 발명의 제3 실시예에 따른 액정표시장치(500)는 비표시 영역을 줄임으로서 베젤 영역을 줄일 수 있으며, 사용되는 소스 구동칩의 개수를 줄일 수 있어 제조 단가가 절감된다.
- [0078] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. 또한 본 발명에 개시된 실시예는 본 발명의 기술 사상을 한정하기 위한 것이 아니고, 하기의 특허 청구의 범위 및 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

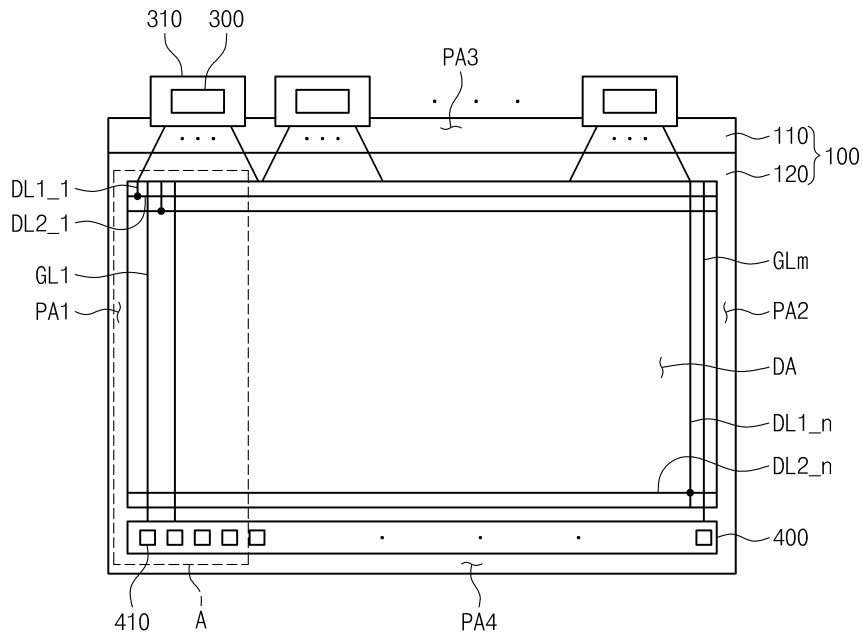
- [0079]
- | | |
|---------------|----------------------|
| 100: 표시패널 | 200: 백라이트 유닛 |
| 300: 소스구동칩 | 400: 게이트 구동부 |
| 500: 액정표시장치 | 110: 제1 기판 |
| 120: 제2 기판 | 111: 제1 베이스 기판 |
| 112: 게이트 절연막 | 113: 층간 절연막 |
| 114: 화소 전극 | 115: 박막 트랜지스터 |
| 240: 구동 회로 기판 | 310: 신호 전송 필름 |
| 320: 구동 회로 기판 | 410: 아모퍼스 실리콘 게이트 회로 |

도면

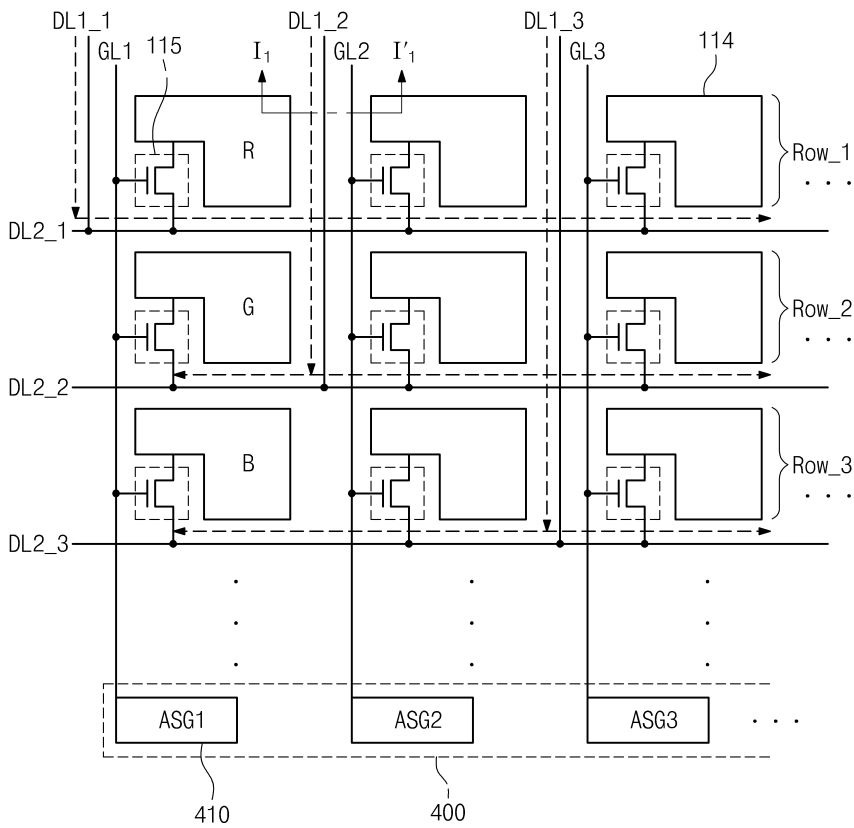
도면1



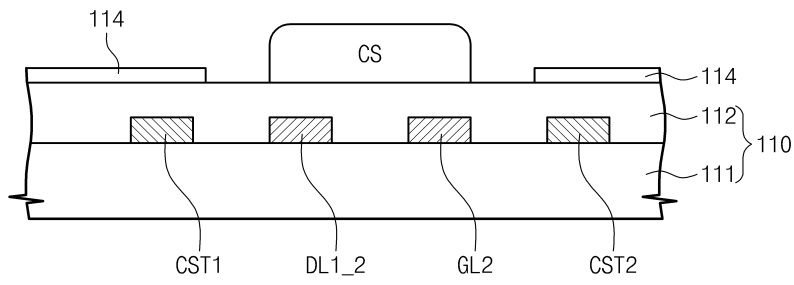
도면2



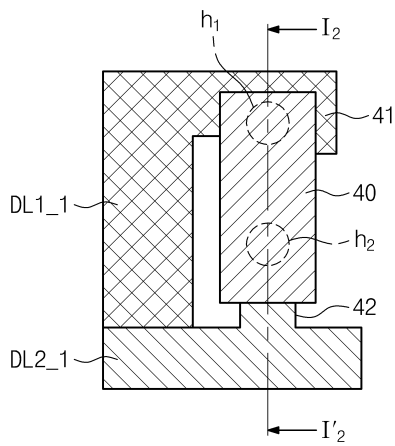
도면3



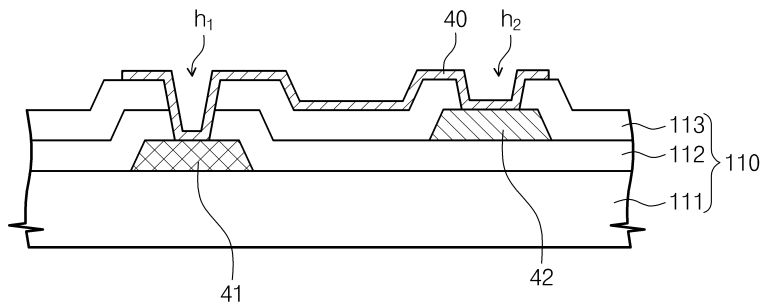
도면4



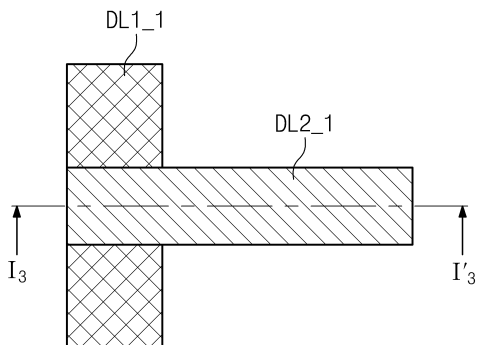
도면5a



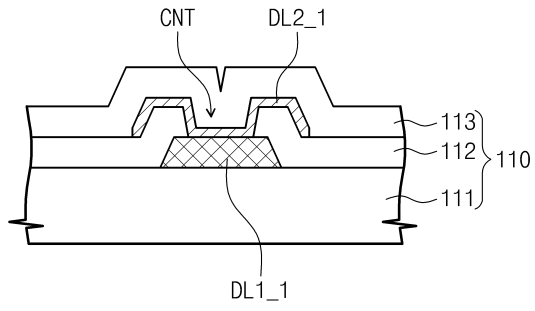
도면5b



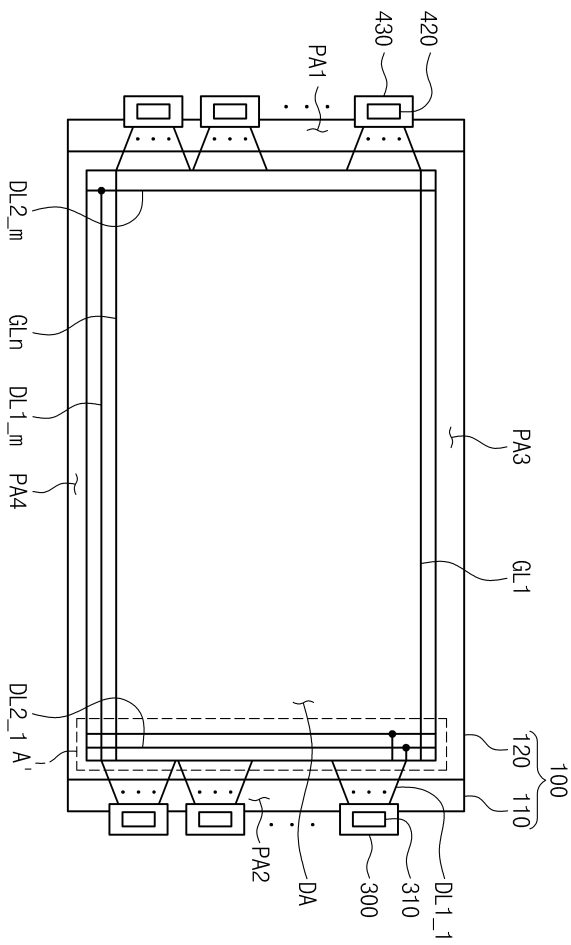
도면6a



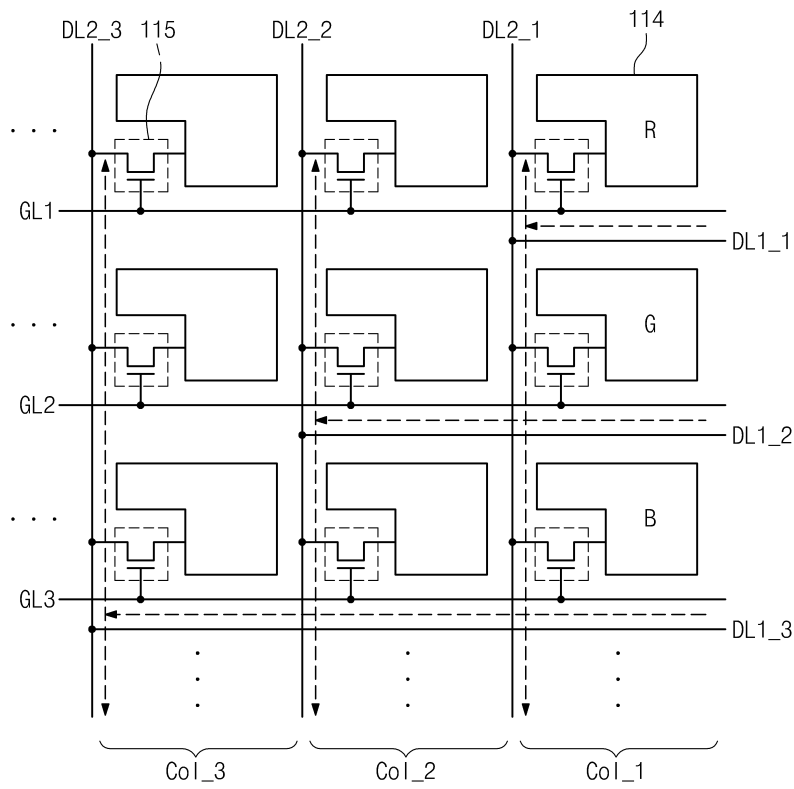
도면6b



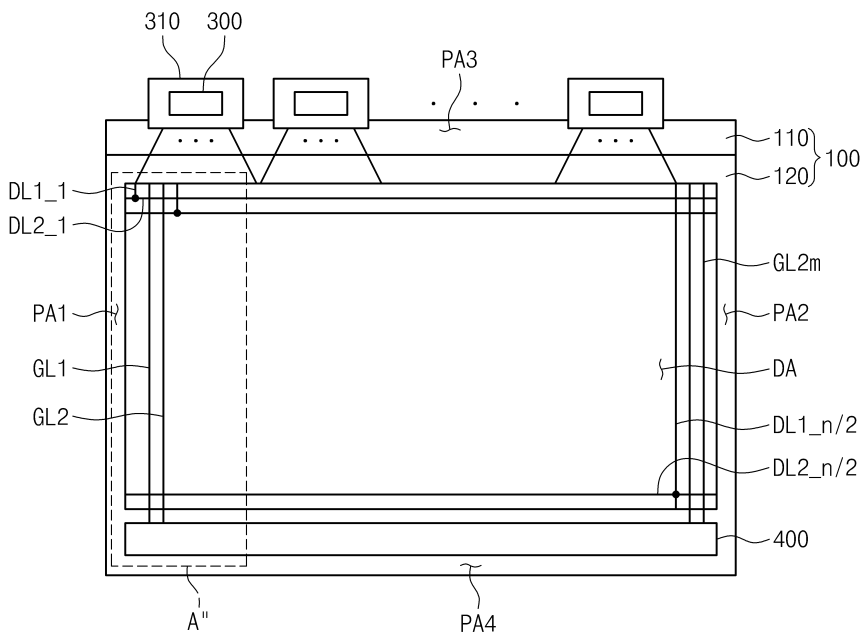
도면7



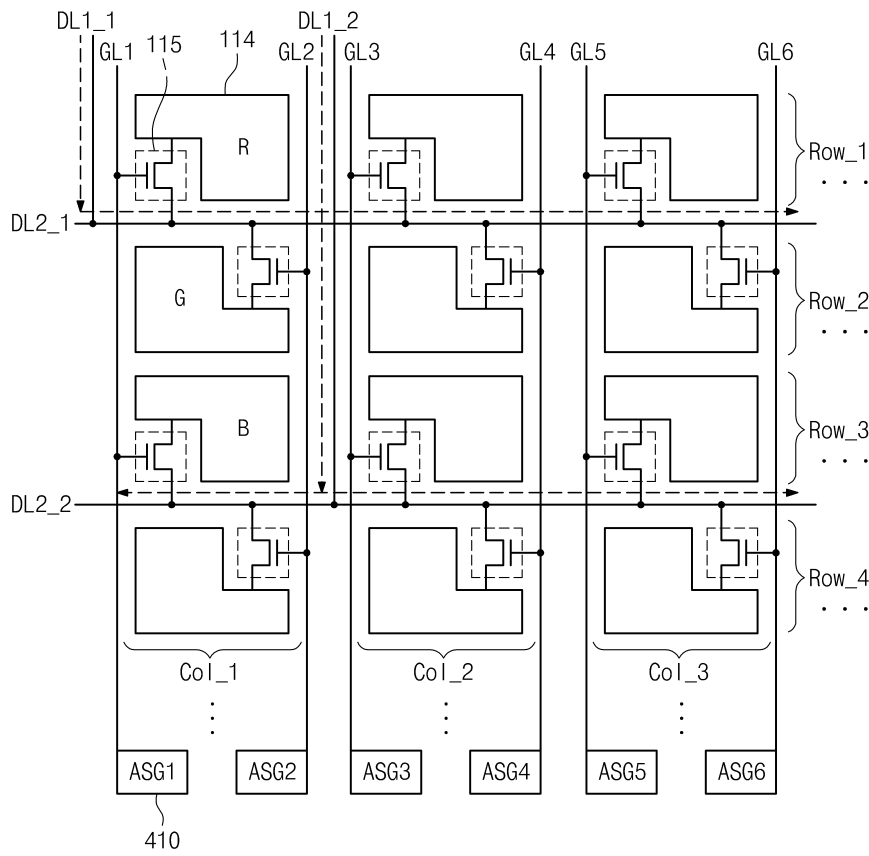
도면8



도면9



도면10



专利名称(译)	具有窄边框的液晶显示器		
公开(公告)号	KR1020130039584A	公开(公告)日	2013-04-22
申请号	KR1020110104248	申请日	2011-10-12
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	SONG MIN CHUL 송민철 YOON JUNG HOON 윤정훈 KIM SUNGMAN 김성만 PARK JAE HWA 박재화 CHO YOUNGJE 조영제		
发明人	송민철 윤정훈 김성만 박재화 조영제		
IPC分类号	G09G3/36 G02F1/1345 G02F1/1339 G02F1/1368		
CPC分类号	G02F1/13454 G02F1/13306 G02F1/133345 G02F1/13394 G02F1/136286 G02F1/1368 G02F2001/13398 G09G3/3648 G09G3/3659 G09G2300/0426 G09G2310/0281		
其他公开文献	KR101910340B1		
外部链接	Espacenet		

摘要(译)

目的：提供一种具有窄边框的液晶显示装置，以扩大显示区域，同时减小边框区域。结构：第一基板包括多个像素。N条数据线(DL1_1-DL1_n)沿垂直方向布置在第一基板上。M条栅极线与第一数据线平行布置。N条第二数据线被布置为与M条栅极线相交。N条第二数据线垂直连接到第一数据线。源极驱动芯片布置在第一基板的一侧。栅极驱动部分布置在与第一基板的一侧相对的一侧。

